



(12) 发明专利

(10) 授权公告号 CN 112350695 B

(45) 授权公告日 2022.07.01

(21) 申请号 202011325227.5

(22) 申请日 2020.11.23

(65) 同一申请的已公布的文献号
申请公布号 CN 112350695 A

(43) 申请公布日 2021.02.09

(73) 专利权人 海光信息技术股份有限公司
地址 300450 天津市滨海新区华苑产业区
海泰西路18号北2-204工业孵化-3-8

(72) 发明人 王文根 高玲

(74) 专利代理机构 北京超凡宏宇专利代理事务
所(特殊普通合伙) 11463
专利代理师 蒋姗

(51) Int.Cl.
H03K 5/13 (2014.01)

(56) 对比文件

- CN 111865272 A, 2020.10.30
- CN 1897583 A, 2007.01.17
- US 2016373115 A1, 2016.12.22
- US 2003189464 A1, 2003.10.09
- US 2012086486 A1, 2012.04.12
- CN 107171779 A, 2017.09.15

审查员 王恋

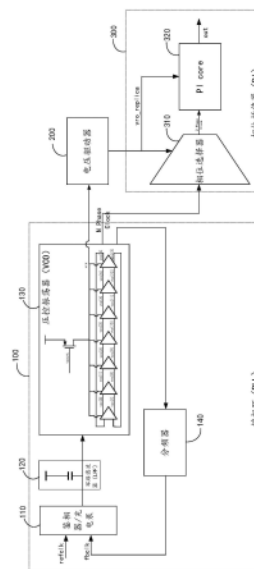
权利要求书2页 说明书9页 附图8页

(54) 发明名称

相位插值器系统、芯片和电子设备

(57) 摘要

本申请提供了一种相位插值器系统、芯片和电子设备,其中,该相位插值器系统,包括:锁相环、电压驱动器和相位插值器;相位插值器包括:相位选择器和相位插值器核心模块;相位选择器与相位插值器核心模块连接;锁相环的第一输出端与电压驱动器连接;电压驱动器的输出端与相位选择器的输入端和相位插值器核心模块的输入端连接,用于为相位选择器和相位插值器核心模块供电;锁相环的第二输出端与相位选择器连接,用于提供相位时钟。通过本申请实施例中的方法,通过电压驱动器的隔离,减少锁相环中的组件中的电压源电压于相位插值器的电压之间干扰,也可以减少锁相环的抖动。



1. 一种相位插值器系统,其特征在于,包括:锁相环、电压驱动器和相位插值器;
所述相位插值器包括:相位选择器和相位插值器核心模块;
所述相位选择器与所述相位插值器核心模块连接;
所述锁相环的第一输出端与所述电压驱动器连接;
所述电压驱动器的输出端与所述相位选择器的输入端和所述相位插值器核心模块的输入端连接,用于为所述相位选择器和所述相位插值器核心模块供电,所述电压驱动器为所述相位插值器核心模块提供的第一电压与所述锁相环的第一输出端输出的第二电压的电压差小于预设值;
所述锁相环的第二输出端与所述相位选择器连接,用于提供相位时钟。
2. 根据权利要求1所述的相位插值器系统,其特征在于,所述电压驱动器包括:第一运算放大器;
所述锁相环的第一输出端与所述电压驱动器的第一运算放大器的同相输入端连接;
所述第一运算放大器的反相输入端与所述第一运算放大器的输出端作为所述电压驱动器的输出端,与所述相位选择器的输入端和所述相位插值器核心模块的输入端连接。
3. 根据权利要求1所述的相位插值器系统,其特征在于,所述电压驱动器包括:第二运算放大器、第一电容和第一晶体管;
所述锁相环的第一输出端与所述第二运算放大器的同相输入端连接;
所述第二运算放大器的输出端与所述第一晶体管的栅极连接;
所述第一电容的一端连接在所述第二运算放大器的输出端与所述第一晶体管的栅极之间;
所述第一晶体管的漏极与电源连接,所述第一晶体管的源极与所述第二运算放大器的输出端作为所述电压驱动器的输出端,与所述相位选择器的输入端和所述相位插值器核心模块的输入端连接。
4. 根据权利要求1所述的相位插值器系统,其特征在于,所述电压驱动器包括:第一电阻、第二电容和第二晶体管;
所述锁相环的第一输出端与所述第一电阻的第一端连接;
所述第二电容的一端连接在所述第一电阻的第二端与所述第二晶体管的栅极之间;
所述第一电阻的第二端与所述第二晶体管的栅极连接;
所述第二晶体管的漏极与电源连接,所述第二晶体管的源极作为所述电压驱动器的输出端,与所述相位选择器的输入端和所述相位插值器核心模块的输入端连接。
5. 根据权利要求1所述的相位插值器系统,其特征在于,所述电压驱动器包括:第三运算放大器和密勒补偿模块;
所述锁相环的第一输出端与所述电压驱动器的第三运算放大器的同相输入端连接;
所述密勒补偿模块连接在所述第三运算放大器的输出端,与所述第三运算放大器的反相输入端形成所述电压驱动器的输出端,与所述相位选择器的输入端和所述相位插值器核心模块的输入端连接。
6. 根据权利要求5所述的相位插值器系统,其特征在于,所述第三运算放大器,包括:第三晶体管、第四晶体管、第五晶体管、第六晶体管、第七晶体管、第八晶体管、第九晶体管和第十晶体管;

所述第三晶体管的栅极作为所述第三运算放大器反相输入端；
所述第四晶体管的栅极作为所述第三运算放大器同相输入端；
所述第三晶体管的漏极与第五晶体管的漏极和栅极连接，所述第五晶体管的源极接地；

所述第四晶体管的漏极与所述第六晶体管的漏极连接，所述第六晶体管的源极接地；
所述第五晶体管的栅极与所述第六晶体管的栅极连接；
所述第七晶体管的漏极与所述第三晶体管的源极和所述第四晶体管的源极连接，所述第七晶体管的源极与一电源连接；

所述第七晶体管的栅极与所述第十晶体管的栅极和漏极连接；

所述第八晶体管的栅极与所述第七晶体管的栅极连接；

所述第八晶体管的漏极与所述第九晶体管的漏极连接；

所述第九晶体管的栅极与所述第四晶体管的漏极连接；

所述第九晶体管的栅极与所述第六晶体管的漏极连接；

所述第九晶体管的源极接地；

所述密勒补偿模块的一端与所述第九晶体管的栅极连接；

所述密勒补偿模块的另一端与所述第九晶体管的漏极连接。

7. 根据权利要求6所述的相位插值器系统，其特征在于，所述密勒补偿模块包括：第二电阻、第三电容；

所述第二电阻和所述第三电容串联；

所述第二电阻的一端与所述第九晶体管的栅极连接；所述第二电阻的另一端与所述第三电容的一端连接，所述第三电容的另一端与所述第九晶体管的漏极连接。

8. 根据权利要求1-7任意一项所述的相位插值器系统，其特征在于，所述锁相环包括：鉴相器、环路滤波器、压控振荡器和分频器；

所述鉴相器的输出端连接所述环路滤波器的输入端；

所述环路滤波器的输出端连接所述压控振荡器的输入端；

所述压控振荡器的第一输出端连接所述分频器的输入端；

所述分频器的输出端连接所述鉴相器的输入端；

所述压控振荡器的电压输出端与所述电压驱动器连接。

9. 一种芯片，其特征在于，包括权利要求1-8任意一项所述的相位插值器系统。

10. 一种电子设备，其特征在于，包括：权利要求9所述的芯片。

相位插值器系统、芯片和电子设备

技术领域

[0001] 本申请涉及芯片设计技术领域,具体而言,涉及一种相位插值器系统、芯片和电子设备。

背景技术

[0002] 在定制端口物理层领域中,相位插值器一般用来调节数据或时钟的延迟,而相位插值器的线性度则直接会影响到端口物理层的工作速率。

[0003] 进一步地,在时钟和数据恢复系统作为调整时钟延迟,为了减少时钟和数据恢复系统的恢复导致的抖动,则需要相位差值器具有比较小的步长以及较高的相位线性度。

[0004] 因此,在上述场景中,都对相位插值器的线性度具有一定的要求。

发明内容

[0005] 本申请的目的在于提供一种相位插值器系统、芯片和电子设备,能够解决相位插值器线性度不足的问题。

[0006] 第一方面,本发明实施例提供一种相位插值器系统,包括:锁相环、电压驱动器和相位插值器;

[0007] 所述相位插值器包括:相位选择器和相位插值器核心模块;

[0008] 所述相位选择器与所述相位插值器核心模块连接;

[0009] 所述锁相环的第一输出端与所述电压驱动器连接;

[0010] 所述电压驱动器的输出端与所述相位选择器的输入端和所述相位插值器核心模块的输入端连接,用于为所述相位选择器和所述相位插值器核心模块供电,所述电压驱动器为所述相位插值器核心模块提供的第一电压与所述锁相环的第一输出端输出的第二电压的电压差小于预设值;

[0011] 所述锁相环的第二输出端与所述相位选择器连接,用于提供相位时钟。

[0012] 在可选的实施方式中,所述电压驱动器包括:第一运算放大器;

[0013] 所述锁相环的第一输出端与所述电压驱动器的第一运算放大器的同相输入端连接;

[0014] 所述第一运算放大器的反相输入端与所述第一运算放大器的输出端作为所述电压驱动器的输出端,与所述相位选择器的输入端和所述相位插值器核心模块的输入端连接。

[0015] 在上述实施例中,通过使用第一运算放大器,可以使由锁相环输入至该电压驱动器中的电压值与由该电压驱动器输出的电压值能够接近,从而在实现了锁相环与相位差值器的隔离的情况下,还能够减少电压的损失。

[0016] 在可选的实施方式中,所述电压驱动器包括:第二运算放大器、第一电容和第一晶体管;

[0017] 所述锁相环的第一输出端与所述第二运算放大器的同相输入端连接;

- [0018] 所述第二运算放大器的输出端与所述第一晶体管的栅极连接；
- [0019] 所述第一电容的一端连接在所述第二运算放大器的输出端与所述第一晶体管的栅极之间；
- [0020] 所述第一晶体管的漏极与电源连接，所述第一晶体管的源极与所述第二运算放大器的输出端作为所述电压驱动器的输出端，与所述相位选择器的输入端和所述相位插值器核心模块的输入端连接。
- [0021] 在上述实施例中，通过使用第二运算放大器、第一电容和第一晶体管，可以使由锁相环输入至该电压驱动器中的电压值与由该电压驱动器输出的电压值能够接近，从而在实现了锁相环与相位差值器的隔离的情况下，还能够减少电压的损失。
- [0022] 在可选的实施方式中，所述电压驱动器包括：第一电阻、第二电容和第二晶体管；
- [0023] 所述锁相环的第一输出端与所述第一电阻的第一端连接；
- [0024] 所述第二电容的一端连接在所述第一电阻的第二端与所述第二晶体管的栅极之间；
- [0025] 所述第一电阻的第二端与所述第二晶体管的栅极连接；
- [0026] 所述第二晶体管的漏极与电源连接，所述第二晶体管的源极作为所述电压驱动器的输出端，与所述相位选择器的输入端和所述相位插值器核心模块的输入端连接。
- [0027] 在上述实施例中，通过使用第一电阻、第二电容和第二晶体管，可以使由锁相环输入至该电压驱动器中的电压值与由该电压驱动器输出的电压值能够接近，从而在实现了锁相环与相位差值器的隔离的情况下，还能够减少电压的损失。
- [0028] 在可选的实施方式中，所述电压驱动器包括：第三运算放大器和密勒补偿模块；
- [0029] 所述锁相环的第一输出端与所述电压驱动器的第三运算放大器的同相输入端连接；
- [0030] 所述密勒补偿模块连接在所述第三运算放大器的输出端，与所述第三运算放大器的反相输入端形成所述电压驱动器的输出端，与所述相位选择器的输入端和所述相位插值器核心模块的输入端连接。
- [0031] 在上述实施例中，通过增设密勒补偿模块，从而可以增加运算放大器的稳定性，提高运算放大器的性能，从而在实现了锁相环与相位差值器的隔离的情况下，还能够减少电压的损失。
- [0032] 在可选的实施方式中，所述第三运算放大器，包括：第三晶体管、第四晶体管、第五晶体管、第六晶体管、第七晶体管、第八晶体管、第九晶体管和第十晶体管；
- [0033] 所述第三晶体管的栅极作为所述第三运算放大器反相输入端；
- [0034] 所述第四晶体管的栅极作为所述第三运算放大器同相输入端；
- [0035] 所述第三晶体管的漏极与第五晶体管的漏极和栅极连接，所述第五晶体管的源极接地；
- [0036] 所述第四晶体管的漏极与所述第六晶体管的漏极连接，所述第六晶体管的源极接地；
- [0037] 所述第五晶体管的栅极与所述第六晶体管的栅极连接；
- [0038] 所述第七晶体管的漏极与所述第三晶体管的源极和所述第四晶体管的源极连接，所述第七晶体管的源极与一电源连接；

- [0039] 所述第七晶体管的栅极与所述第十晶体管的栅极和漏极连接；
- [0040] 所述第八晶体管的栅极与所述第七晶体管的栅极连接；
- [0041] 所述第八晶体管的漏极与所述第九晶体管的漏极连接；
- [0042] 所述第九晶体管的栅极与所述第四晶体管的漏极连接；
- [0043] 所述第九晶体管的栅极与所述第六晶体管的漏极连接；
- [0044] 所述第九晶体管的源极接地；
- [0045] 所述密勒补偿模块的一端与所述第九晶体管的栅极连接；
- [0046] 所述密勒补偿模块的另一端与所述第九晶体管的漏极连接。
- [0047] 在可选的实施方式中,所述密勒补偿模块包括:第二电阻、第三电容；
- [0048] 所述第二电阻和所述第三电容串联；
- [0049] 所述第二电阻的一端与所述第九晶体管的栅极连接;所述第二电阻的另一端与所述第三电容的一端连接,所述第三电容的另一端与所述第九晶体管的漏极连接。
- [0050] 在可选的实施方式中,所述锁相环包括:鉴相器、环路滤波器、压控振荡器和分频器；
- [0051] 所述鉴相器的输出端连接所述环路滤波器的输入端；
- [0052] 所述环路滤波器的输出端连接所述压控振荡器的输入端；
- [0053] 所述压控振荡器的第一输出端连接所述分频器的输入端；
- [0054] 所述分频器的输出端连接所述鉴相器的输入端；
- [0055] 所述压控振荡器的电压输出端与所述电压驱动器连接。
- [0056] 在上述实施例中,通过该锁相环的结构,可以实现在收、发通信双方建立载波同步或位同步。
- [0057] 第二方面,本发明实施例提供一种芯片,包括前述实施方式任意一项所述的相位插值器系统。
- [0058] 第三方面,本发明实施例提供一种电子设备,包括:前述实施方式所示的芯片。
- [0059] 本申请实施例的有益效果是:通过该电压驱动器的作用下,可以实现输入该电压驱动器的电压与该电压驱动器输出的电压可以较接近,从而可以实现电压驱动器对相位插值器的线性度影响较小。进一步地,通过在锁相环和相位插值器之间增设电压驱动器,实现了锁相环对应的电压源与相位插值器的隔离,使相位插值器在工作时不会影响锁相环中的组件中的电压源电压,实现减少锁相环中的组件中的电压源电压于相位插值器的电压之间干扰。进一步地,由于相位插值器工作时,不会从锁相环的电源抽电流,从而减少抽电流所导致的减少锁相环的抖动,但是电压驱动器提供的电流电压与锁相环的电源提供的电压接近,从而也能够实现比较好的相位插值器线性度。

附图说明

[0060] 为了更清楚地说明本申请实施例的技术方案,下面将对实施例中所需要使用的附图作简单地介绍,应当理解,以下附图仅示出了本申请的某些实施例,因此不应被看作是对范围的限定,对于本领域普通技术人员来讲,在不付出创造性劳动的前提下,还可以根据这些附图获得其他相关的附图。

[0061] 图1为本申请实施例提供的一相位插值器的结构示意图；

- [0062] 图2为本申请实施例提供的相位插值器的相位插值器核心模块的结构示意图；
- [0063] 图3为本申请实施例提供的相位插值器的相位插值器核心模块对应的时钟信号对比的结构示意图；
- [0064] 图4为本申请实施例提供的相位插值器的相位插值器核心模块对应的另一时钟信号对比的结构示意图；
- [0065] 图5为本申请实施例提供的相位插值器系统的第一个结构示意图；
- [0066] 图6为本申请实施例提供的相位插值器系统的第二个结构示意图；
- [0067] 图7为本申请实施例提供的相位插值器系统的第三个结构示意图；
- [0068] 图8为本申请实施例提供的相位插值器系统的第四个结构示意图；
- [0069] 图9为本申请实施例提供的相位插值器系统中的电压驱动器中的第三运算放大器的结构示意图；
- [0070] 图10a为本申请实施例提供的相位插值器系统处理的两路时钟信号示意图；
- [0071] 图10b为本申请实施例提供的相位插值器系统处理的另一两路时钟信号示意图；
- [0072] 图11a为使用现有技术中的相位插值器处理信号的锁相环抖动情况示意图；
- [0073] 图11b为使用本申请实施例提供的相位插值器系统处理信号的锁相环抖动情况示意图。
- [0074] 主要元件符号说明：100-锁相环；200-电压驱动器；300-相位插值器；110-鉴相器/充电泵；120-环路滤波器；130-压控振荡器；140-分频器；310-相位选择器；320-相位插值器核心模块；U1-第一运算放大器；U2-第二运算放大器；C1-第一电容；M1-第一晶体管；R1-第一电阻；C2-第二电容；M2-第二晶体管；150-鉴相器；160-充电泵+环路滤波器；M3-第三晶体管；M4-第四晶体管；M5-第五晶体管；M6-第六晶体管；M7-第七晶体管；M8-第八晶体管；M9-第九晶体管；M10-第十晶体管；C3-第三电容；R2-第二电阻。

具体实施方式

- [0075] 下面将结合本申请实施例中附图，对本申请实施例中的技术方案进行描述。
- [0076] 应注意到：相似的标号和字母在下面的附图中表示类似项，因此，一旦某一项在一个附图中被定义，则在随后的附图中不需要对其进行进一步定义和解释。同时，在本申请的描述中，术语“第一”、“第二”等仅用于区分描述，而不能理解为指示或暗示相对重要性。
- [0077] 首先，先对一般的相位插值器进行介绍，如图1所示，相位插值器可以包括：N相振荡器、相位选择器和相位插值器核心模块。
- [0078] 其中，该相位插值器核心模块作为相位插值器的核心，用于对时钟进行相位插值处理。
- [0079] 示例性地，如图1所示，该相位插值器由一相位插值器控制器控制。
- [0080] 其中，N相振荡器产生多相位时钟，然后相位选择器从多相位时钟中选择出指定数量的时钟。图1所示的实例中，N相振荡器产生N相位时钟，分别为： $Ph\langle 1 \rangle$ 、 $Ph\langle 2 \rangle$ 、 \dots 、 $Ph\langle N-1 \rangle$ 、 $Ph\langle N \rangle$ 。
- [0081] 在图1所示的实例中，相位选择器为N:2的相位选择器。
- [0082] 例如，如图2所示，相位插值器核心模块包括两路控制电路，则该相位选择器则可以从多相位时钟中选择两组时钟。该相位选择器将选出的两组时钟传输给相位插值器核心

模块。该相位插值器核心模块对两组输入时钟进行相位插值。

[0083] 在图1所示的实例中,由该N:2相位选择器选出的时钟分别为:Ph_even和Ph_odd。

[0084] 其中,该相位插值器控制器分别控制指定数量路驱动器驱动来调节输出时钟的延迟。

[0085] 示例性地,相位插值器控制器控制输出的驱动器驱动数量由相位插值器核心模块中的控制电路数量确定,图2所示的实例中,相位插值器核心模块包括两路控制电路,则该相位插值器控制器控制输出的驱动器驱动的数量也可以是两路。

[0086] 如图2所示,该相位插值器核心模块中包括:多个反相器、电容、和电阻。该电阻与其中一个反相器并联。

[0087] 示例性地,两路驱动可以分别为最高有效位 (Most Significant Bit,MSB) 和最低有效位 (Least Significant Bit,LSB)。

[0088] 示例性地,当相位插值器控制器输入的驱动器驱动强度增强,输出时钟的延时(delay)越受该路时钟控制。例如,如图2所示,a增加,表示输出时钟越受in0_pi控制;a减少,输出时钟越受in1_pi控制。

[0089] 本实施例中,若需要相位插值器输出的时钟的线性度好,则需要输入时钟的上升沿或下降沿比较缓慢。如图3所示,则需要时钟in1_pi沿(图3所示的沿为上升沿)发生在in0_pi沿上。

[0090] 示例性地,如图4所示,当输入时钟频率比较慢时,时钟in1_pi的沿发生在in0_pi的高电平处。在此实例中,输出的时钟的线性度比较差。

[0091] 其中,小数分频锁相环是作为减小插值滤波器(sigma delta)量化噪声的方式,相位插值器的步长(step)和线性度决定了量化噪声大小。

[0092] 下面通过对相位插值器与锁相环直接的工作关系的研究,提供一种相位插值器系统,能够在降低锁相环的抖动的情况下,还能够使相位插值器保持较好的线性度。

[0093] 实施例一

[0094] 本申请实施例提供一种相位插值器300系统。如图5所示,本实施例中的相位插值器300系统包括:锁相环100(phase locked loop,简称:PLL)、电压驱动器200(buffer)和相位插值器300(phase interpolator,简称:PI)。

[0095] 本实施例中,该电压驱动器200连接在该锁相环100与该相位插值器300之间。

[0096] 示例性地,该相位插值器300可以包括:相位选择器310(phase selection MUX)和相位插值器核心模块320(PI core)。其中,MUX表示数字选择器(multiplexer)。

[0097] 本实施例中,该相位选择器310与该相位插值器核心模块320连接。

[0098] 该锁相环100的第一输出端与该电压驱动器200连接。

[0099] 该电压驱动器200的输出端与该相位选择器310的输入端和该相位插值器核心模块320的输入端连接,用于为该相位选择器310和该相位插值器核心模块320供电。

[0100] 本实施例中,该电压驱动器200为所述相位插值器核心模块320提供的第一电压与该锁相环100的第一输出端输出的第二电压的电压差小于预设值。

[0101] 可选地,上述的预设值可以是按照需求设定的一误差上限。

[0102] 在一个实例中,第一电压也可以等于第二电压。

[0103] 该锁相环100的第二输出端与该相位选择器310连接,用于提供相位时钟。

[0104] 示例性地,可以根据该相位插值器300的设置提供对应数量的时钟。

[0105] 示例性地,该锁相环100的第二输出端可以输出N相位时钟,该N为一正整数。该相位选择器310可以从该N相位时钟中选出需要的时钟组数。

[0106] 例如,该相位选择器310可以是N:2MUX,也就是N:2数字选择器。该N:2MUX可以从N相位时钟中选出两组时钟。示例性地,选出的两组时钟可以是相邻的两组时钟。

[0107] 示例性地,可再次参阅图5所示,该锁相环100包括:鉴相器150(可参阅图7)(Phase Detector,简称:PD)、环路滤波器120(loop filter,简称:LPF)、压控振荡器130(Voltage controlled oscillator,简称:VCO)和分频器140(feedback)。

[0108] 示例性地,该鉴相器150的输出端连接该环路滤波器120的输入端。该环路滤波器120的输出端连接该压控振荡器130的输入端。该压控振荡器130的第一输出端连接该分频器140的输入端。该分频器140的输出端连接该鉴相器150的输入端。该压控振荡器130的电压输出端与该电压驱动器200连接。

[0109] 示例性地,上述鉴相器150可以是鉴频鉴相器150(PFD)。

[0110] 示例性地,如图5所示,该锁相环100还可以包括:充电泵(charge pump,简称:CP)。该鉴频鉴相器150与该锁相环100可以设计成一联合电路,以形成图5所示的鉴相器/充电泵110。

[0111] 示例性地,该充电泵也可以与环路滤波器120形成一个模块。如图7所示,形成充电泵+环路滤波器160。

[0112] 本实施例中,该压控振荡器130中可以包括反相器阵列和晶体管,图5所示的实例中该压控振荡器130包括七个反相器形成的反相器阵列。该晶体管的漏极与反相器阵列连接,该晶体管的源极与电源连接。示例性地,该压控振荡器130中的晶体管可以是PMOS管。

[0113] 示例性地,该七个反相器形成的反相器阵列中则可以包括十四个振荡单元,分别为:vco[0]、vco[1]、vco[2]、vco[3]、vco[4]、vco[5]、vco[6]、vco[7]、vco[8]、vco[9]、vco[10]、vco[11]、vco[12]、vco[13]。

[0114] 示例性地,该鉴相器150可以接收输入的参考时钟(refclk),并对该参考时钟进行处理。

[0115] 示例性地,该分频器140对信号进行处理后,可以返回一个反馈时钟信号(fbc1k)给鉴相器150。

[0116] 本实施例中,该锁相环100的压控振荡器130可以向相位插值器300的相位选择器310输入N相位时钟(N Phase Clock)。该相位选择器310从N相位时钟中选出两路时钟(2Phase Clock)传输给相位插值器核心模块320进行相位插值处理。

[0117] 在一种实施方式中,如图6所示,该电压驱动器200包括:第一运算放大器U1。

[0118] 该锁相环100的第一输出端与该电压驱动器200的第一运算放大器U1的同相输入端连接。

[0119] 本实施例中,该第一输出端用于输出振荡器电压(vro)给该电压驱动器200。

[0120] 该第一运算放大器U1的反相输入端与该第一运算放大器U1的输出端作为该电压驱动器200的输出端,与该相位选择器310的输入端和该相位插值器核心模块320的输入端连接。

[0121] 其中,运算放大器的作用可以包括:可对微弱信号进行放大,还可作为反相、电压

跟随器,还可对电信号做加减法运算,从而使输出的信号能够满足实际场景的需求。

[0122] 在本申请实施例中,该第一运算放大器U1可以使输入的振荡器电压(vro)与输出的复制振荡器电压(vro_replica)的电压值接近,从而较少电压驱动器200对相位插值器300的线性度的影响。

[0123] 在另一种实施方式中,如图7所示,该电压驱动器200包括:第二运算放大器U2、第一电容C1和第一晶体管M1。

[0124] 该锁相环100的第一输出端与该第二运算放大器U2的同相输入端连接。

[0125] 该第二运算放大器U2的输出端与该第一晶体管M1的栅极连接。

[0126] 该第一电容C1的一端连接在该第二运算放大器U2的输出端与该第一晶体管M1的栅极之间。

[0127] 该第一晶体管M1的漏极与电源连接,该第一晶体管M1的源极与该第二运算放大器U2的输出端作为该电压驱动器200的输出端,与该相位选择器310的输入端和该相位插值器核心模块320的输入端连接。

[0128] 本实施例中,如图7所示,该第一电容C1的另一端连接一电源。

[0129] 本实施例中,如图7所示,该第一晶体管M1可以是NMOS管。

[0130] 示例性地,该电压驱动器200还可以包括一恒流源,该恒流源的一端与第一晶体管M1的源极连接。该恒流源另一端接地。

[0131] 在另一种实施方式中,如图8所示,该电压驱动器200包括:第一电阻R1、第二电容C2和第二晶体管M2。

[0132] 该锁相环100的第一输出端与该第一电阻R1的第一端连接。

[0133] 该第二电容C2的一端连接在该第一电阻R1的第二端与该第二晶体管M2的栅极之间。

[0134] 该第一电阻R1的第二端与该第二晶体管M2的栅极连接。

[0135] 该第二晶体管M2的漏极与电源连接,该第二晶体管M2的源极作为该电压驱动器200的输出端,与该相位选择器310的输入端和该相位插值器核心模块320的输入端连接。

[0136] 示例性地,该第二晶体管M2可以是PMOS管。

[0137] 在一种实施方式中,该电压驱动器200可以包括:第三运算放大器和密勒补偿模块。

[0138] 该密勒补偿模块可以是密勒补偿电路。该密勒补偿电路中的密勒补偿电容将主极点向低频移动,将非主极点向高频移动来实现极点分离。添加补偿电阻,将零点移向高频,从而可以减小或抵消零点对系统稳定性的影响。

[0139] 该锁相环100的第一输出端与该电压驱动器200的第三运算放大器的同相输入端连接。

[0140] 该密勒补偿模块连接在该第三运算放大器的输出端,与该第三运算放大器的反相输入端形成该电压驱动器200的输出端,与该相位选择器310的输入端和该相位插值器核心模块320的输入端连接。

[0141] 具体地,如图9所示,该第三运算放大器,包括:第三晶体管M3、第四晶体管M4、第五晶体管M5、第六晶体管M6、第七晶体管M7、第八晶体管M8、第九晶体管M9和第十晶体管M10。

[0142] 其中,该第三晶体管M3的栅极作为该第三运算放大器反相输入端。该第四晶体管

M4的栅极作为该第三运算放大器同相输入端。该第三晶体管M3的漏极与第五晶体管M5的漏极和栅极连接,该第五晶体管M5的源极接地。该第四晶体管M4的漏极与该第六晶体管M6的漏极连接,该第六晶体管M6的源极接地。该第五晶体管M5的栅极与该第六晶体管M6的栅极连接。该第七晶体管M7的漏极与该第三晶体管M3的源极和该第四晶体管M4的源极连接,该第七晶体管M7的源极与一电源连接。该第七晶体管M7的栅极与该第十晶体管M10的栅极和漏极连接。该第八晶体管M8的栅极与该第七晶体管M7的栅极连接。该第八晶体管M8的漏极与该第九晶体管M9的漏极连接。该第九晶体管M9的栅极与该第四晶体管M4的漏极连接。该第九晶体管M9的栅极与该第六晶体管M6的漏极连接。该第九晶体管M9的源极接地。

[0143] 其中,该密勒补偿模块的一端与该第九晶体管M9的栅极连接。该密勒补偿模块的另一端与该第九晶体管M9的漏极连接。

[0144] 在一种实施方式中,如图9所示,该密勒补偿模块包括:第二电阻R2、第三电容C3。

[0145] 其中,该第二电阻R2和该第三电容C3串联。

[0146] 该第二电阻R2的一端与该第九晶体管M9的栅极连接;该第二电阻R2的另一端与该第三电容C3的一端连接,该第三电容C3的另一端与该第九晶体管M9的漏极连接。

[0147] 进一步地,该电压驱动器200还可以包括一恒流源,该恒流源的一端与第十晶体管的漏极连接,该恒流源的另一端接地。

[0148] 本申请实施例中的相位插值器300系统中,当锁相环100的工作频率比较低时,锁相环100的电控振荡器会产生比较低的振荡器电压(vro),相位插值器300的相位选择器310的N相位的输入时钟的上升/下降沿会比较慢。电压驱动器200控制输出的复制振荡器电压(vro_replica)随着振荡器电压变化,产生比较低的复制振荡器电压,因此,如图10a所示,相位插值器核心模块320的两个输入时钟的沿也会比较缓慢,in1_pi时钟沿发生在in0_pi沿上。

[0149] 本申请实施例中的相位插值器300系统中,当锁相环100的工作频率比较高时,锁相环100的电控振荡器会产生比较高的振荡器电压(vro),相位插值器300的相位选择器310的N相位的输入时钟的上升/下降沿会比较快。电压驱动器200控制输出的复制振荡器电压(vro_replica)随着振荡器电压变化,产生比较高的复制振荡器电压,因此,如图10b所示,相位插值器核心模块320的两个输入时钟的时间间隔也比较短,从而满足in1_pi时钟沿发生在in0_pi沿上。

[0150] 如图11a所示,图11a示出了未使用本申请实施例中的相位插值器300系统处理的后得到的信号示意图。其中,图示中的横坐标表示时间变量(Time/us),纵坐标表示锁相环100每皮秒的抖动(PLL Period_jitter/ps)。

[0151] 其中,在相位插值器300输入时钟的操作(PI operates①)和相位插值器300输入时钟的操作(PI operates②)中,出现了明显的抖动现象。

[0152] 如图11b所示,图11b示出了使用本申请实施例中的相位插值器300系统处理的后得到的信号示意图。

[0153] 其中,图示中的横坐标表示时间变量(Time/us),纵坐标表示锁相环100每皮秒的抖动(PLL Period_jitter/ps)。

[0154] 其中,在相位插值器300输入时钟的操作(PI operates①)和相位插值器300输入时钟的操作(PI operates②)中,相较于图11a所示的实例中抖动不明显。

[0155] 在本申请实施例中,通过在锁相环100与相位插值器300之间增设电压驱动器200,可以满足低频到高频的工作需求。例如,低频可以是锁相环100最低工作频率。不管是锁相环100处于低频的工作频率还是高频的工作频率相位插值器300的输出延时(delay)都能够保持比较好的线性度,提高端口物理层或锁相环100性能。

[0156] 在本申请实施例中,通过电压驱动器200的作用,可以将相位插值器300与压控振荡器130的电压源隔离,从而可以使相位插值器300在工作时,不会干扰压控振荡器130的电压源的振荡器电压,从而使振荡器电压的干扰较小,从而可以改善锁相环100的抖动(jitter)性能。

[0157] 本实施例中,由电压驱动器200输出的电压能够较好地跟随振荡器电压电源的变换,从而可以使电压驱动器200不会影响到相位插值器300的线性度。

[0158] 进一步地,本申请实施例中的电压驱动器200可以相当于一个电压控制电压源,可以通过一个输出级为源跟随器(source follower)的运算放大器来实现,该运算放大器的接法可以为单位增益缓冲器,运算放大器本身需要具有较高增益和一定的带宽。该单位增益缓冲器作为负反馈电路可以通过满足一定的相位裕度(phase margin)来保证稳定性。

[0159] 进一步地,通过提高相位插值器300的线性度,从而可以减小高速接口电路(SerDes)中的Clock and data recovery(CDR,时钟和数据恢复)恢复的时钟时带来抖动(jitter)。

[0160] 进一步地,通过提高相位插值器300的线性度,从而可以实现在定制端口物理层领域中,提高端口物理层的工作速率。

[0161] 本申请实施例还提供一种芯片,该芯片包括相位插值器300系统。

[0162] 本实施例中的相位插值器300系统与实施例一提供的相位插值器300系统类似,关于本实施例中的相位插值器300系统的其它细节可以参阅实施例一中的描述,在此不再赘述。

[0163] 本申请实施例还提供一种电子设备,该电子设备还可以包括:芯片。

[0164] 该芯片可以是处理器,该电子设备中还可以包括存储器,该存储器中存储有一些计算机程序,该处理器用于执行该计算机程序,以实现该电子设备所需执行的功能。

[0165] 本实施例中的芯片与实施例一提供的芯片类似,关于本实施例中的芯片的其它细节可以参阅实施例一中的描述,在此不再赘述。

[0166] 以上该仅为本申请的优选实施例而已,并不用于限制本申请,对于本领域的技术人员来说,本申请可以有各种更改和变化。凡在本申请的精神和原则之内,所作的任何修改、等同替换、改进等,均应包含在本申请的保护范围之内。应注意到:相似的标号和字母在下面的附图中表示类似项,因此,一旦某一项在一个附图中被定义,则在随后的附图中不需要对其进行进一步定义和解释。

[0167] 以上该,仅为本申请的具体实施方式,但本申请的保护范围并不局限于此,任何熟悉本技术领域的技术人员在本申请揭露的技术范围内,可轻易想到变化或替换,都应涵盖在本申请的保护范围之内。因此,本申请的保护范围应以权利要求的保护范围为准。

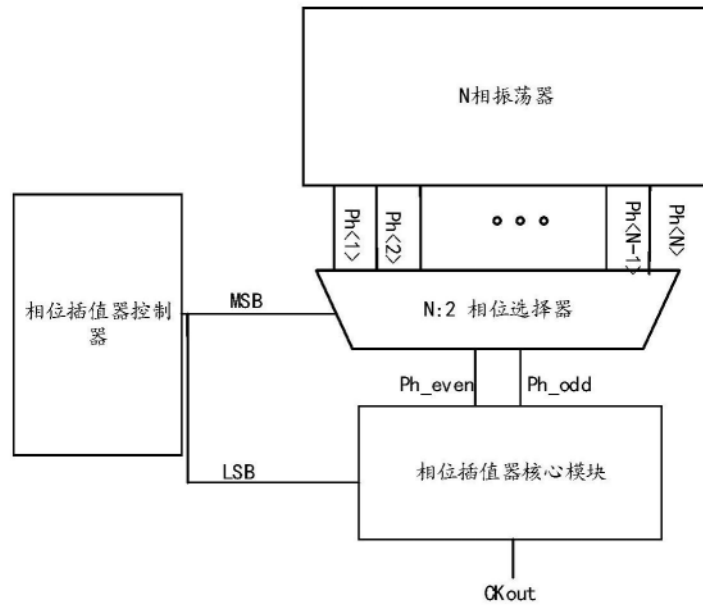


图1

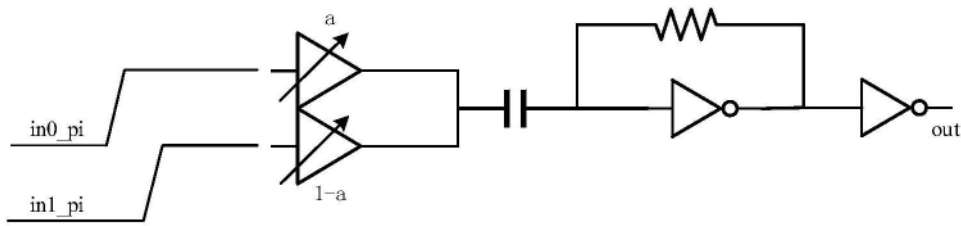


图2

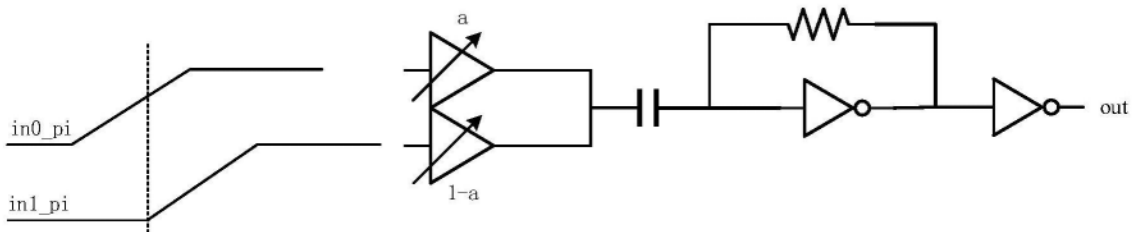


图3

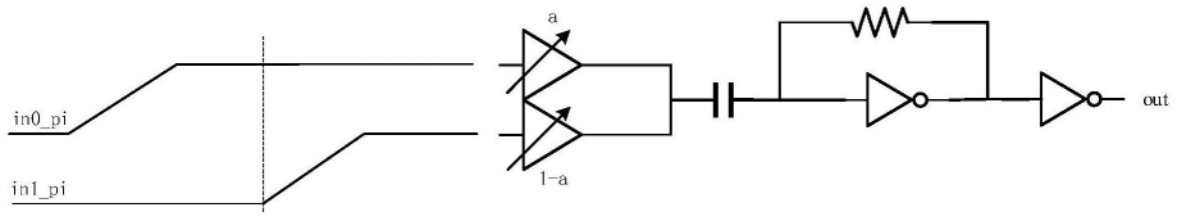


图4

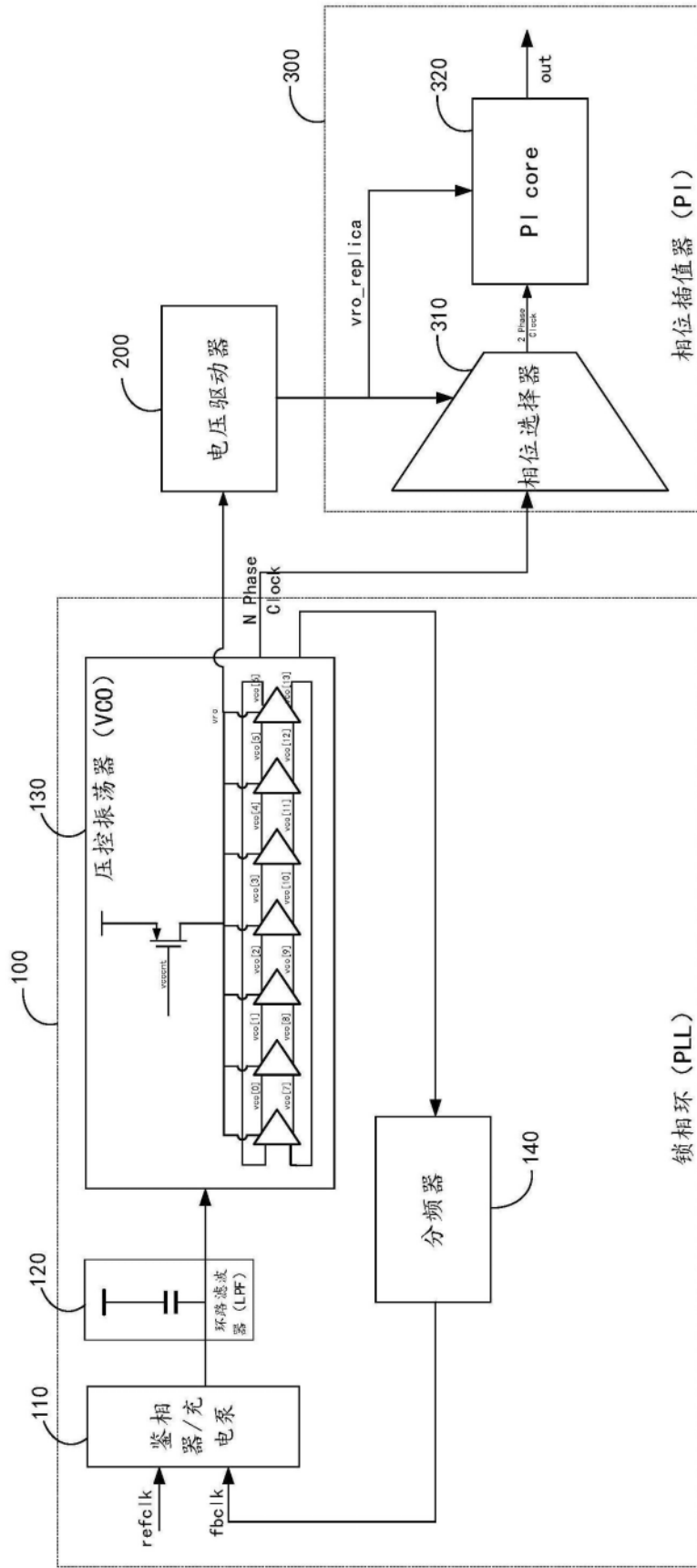


图5

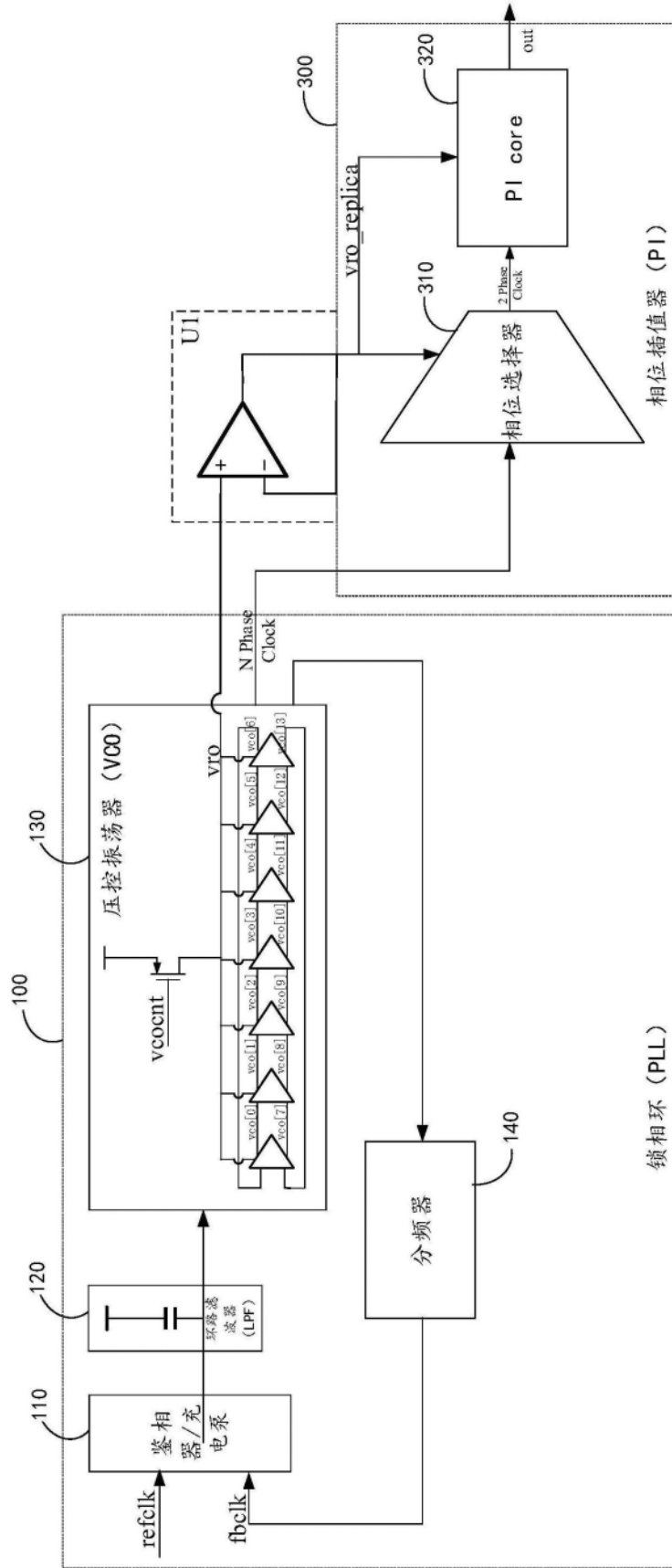


图6

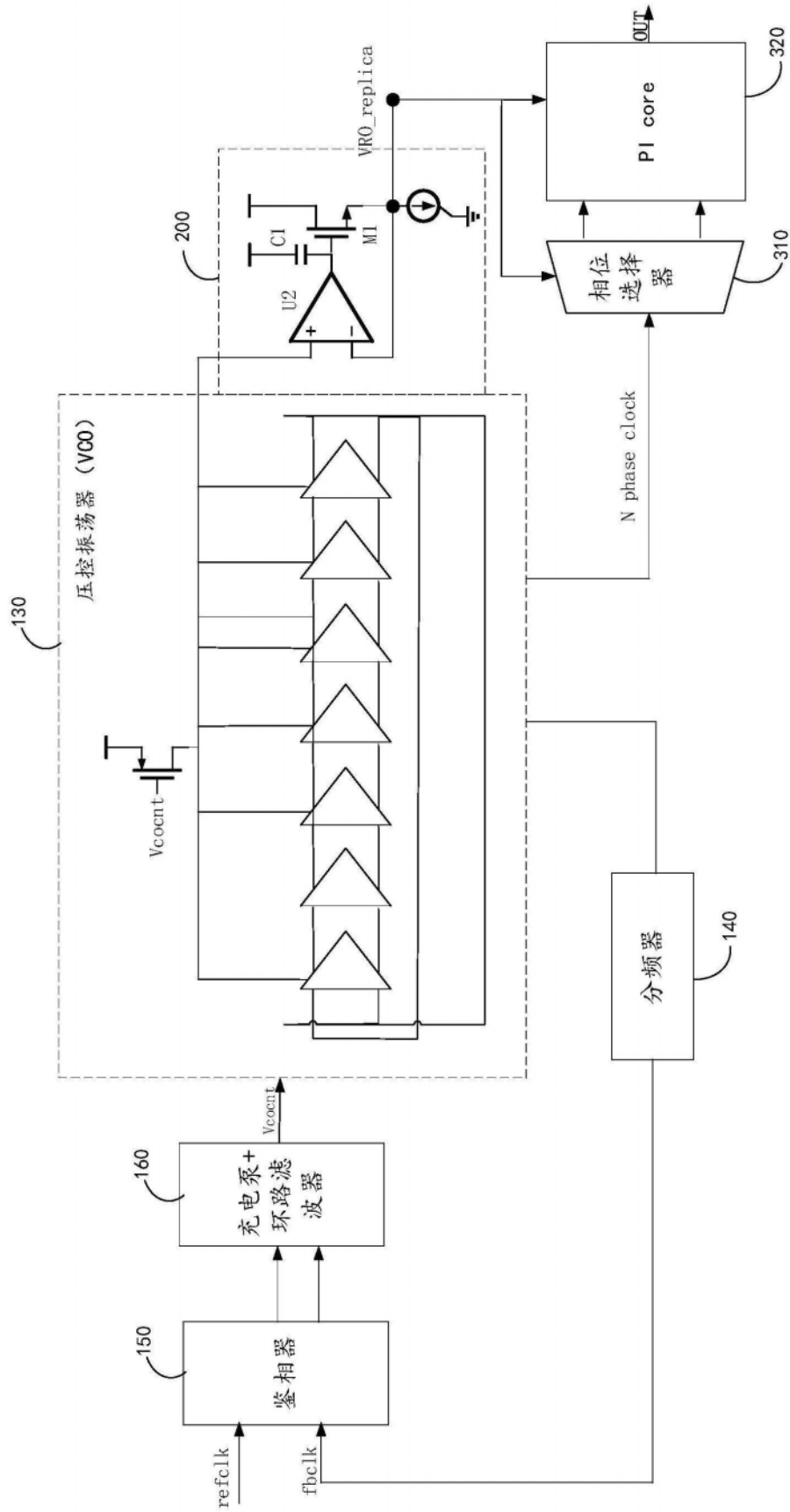


图7

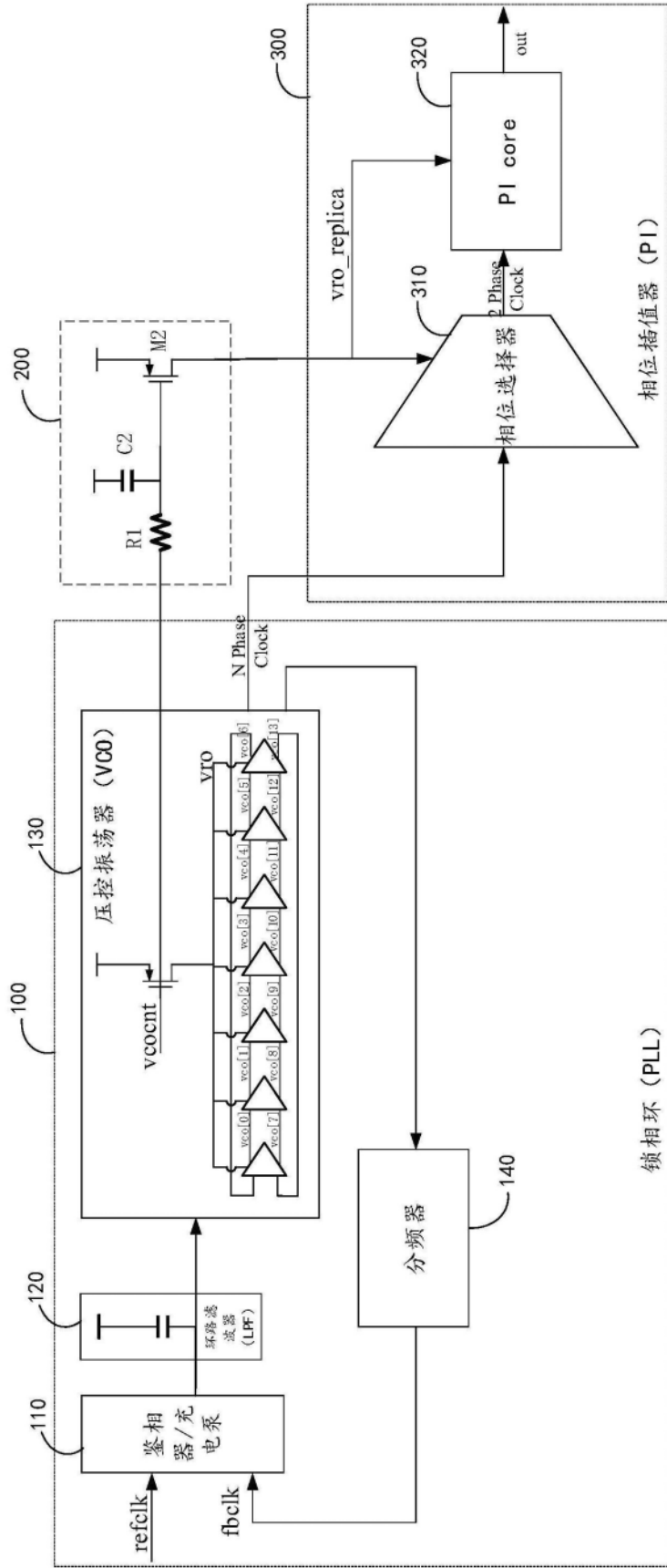


图8

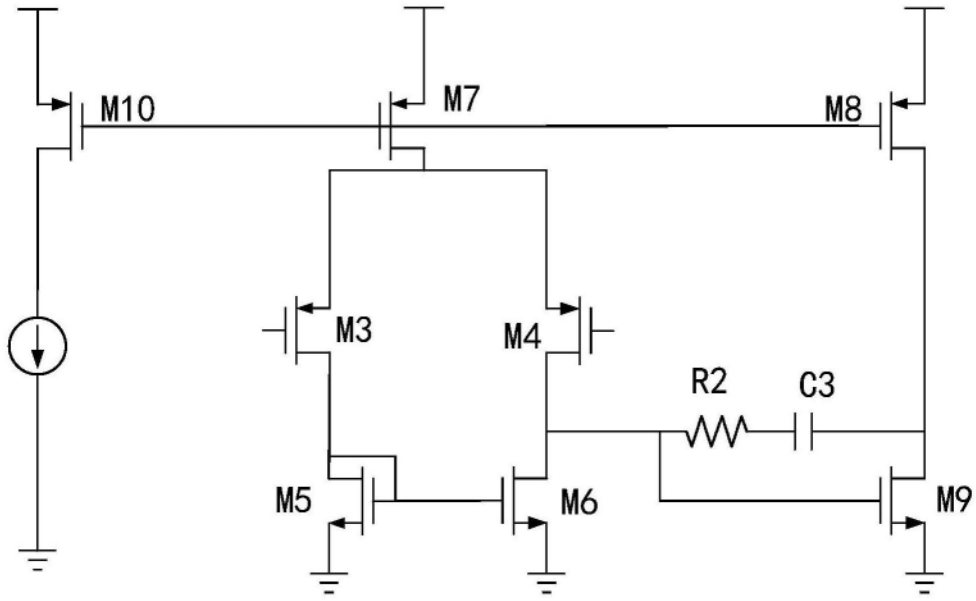


图9

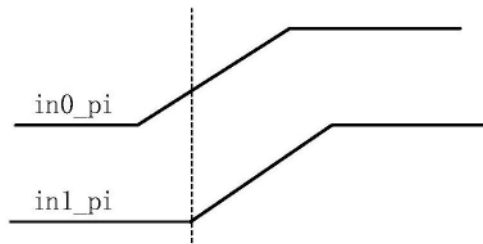


图10a

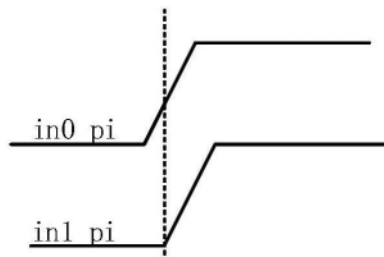


图10b

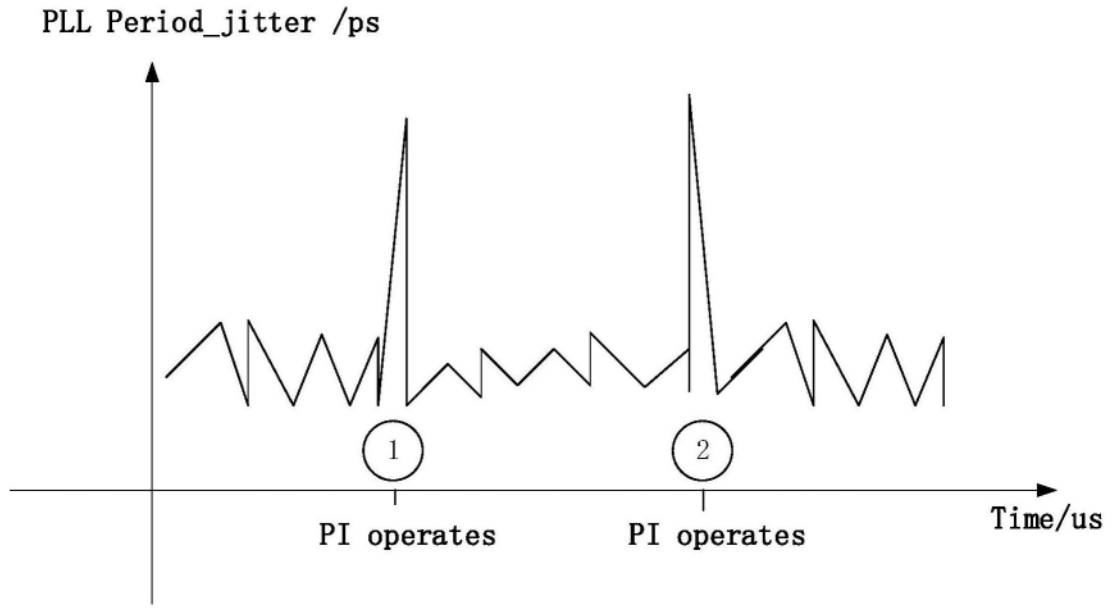


图11a

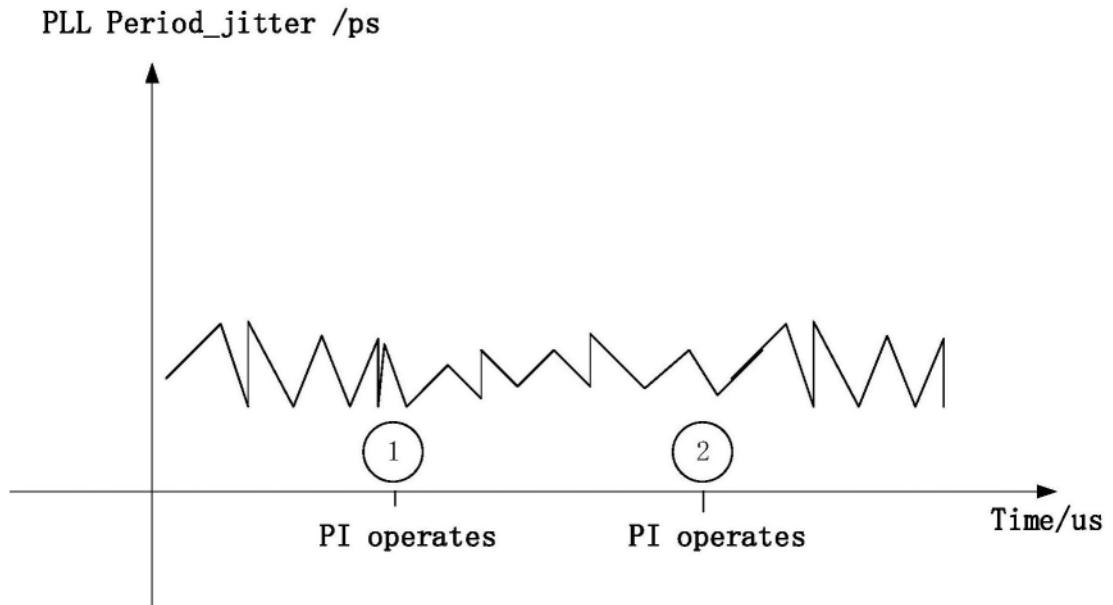


图11b