

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2011-90756
(P2011-90756A)

(43) 公開日 平成23年5月6日(2011.5.6)

(51) Int.Cl.			F I			テーマコード (参考)	
G11C	11/4076	(2006.01)	G11C	11/34	354C	5B079	
H03K	5/00	(2006.01)	H03K	5/00	V	5M024	
G11C	11/407	(2006.01)	G11C	11/34	362T		
G06F	1/10	(2006.01)	G06F	1/04	330A		
G06F	1/12	(2006.01)	G06F	1/04	340D		

審査請求 未請求 請求項の数 16 O L (全 19 頁)

(21) 出願番号 特願2010-25065 (P2010-25065)
 (22) 出願日 平成22年2月8日 (2010.2.8)
 (31) 優先権主張番号 10-2009-0101950
 (32) 優先日 平成21年10月26日 (2009.10.26)
 (33) 優先権主張国 韓国 (KR)

(71) 出願人 591024111
 株式会社ハイニックスセミコンダクター
 HYNIX SEMICONDUCTOR
 INC.
 大韓民国京畿道利川市夫鉢邑牙美里山136-1
 San 136-1, Ami-Ri, Bubaal-Eup, Ichon-Shi, Kyoungki-Do, Korea
 (74) 代理人 110000796
 特許業務法人三枝国際特許事務所
 (72) 発明者 崔 勳
 大韓民国京畿道利川市夫鉢邑牙美里山136-1

最終頁に続く

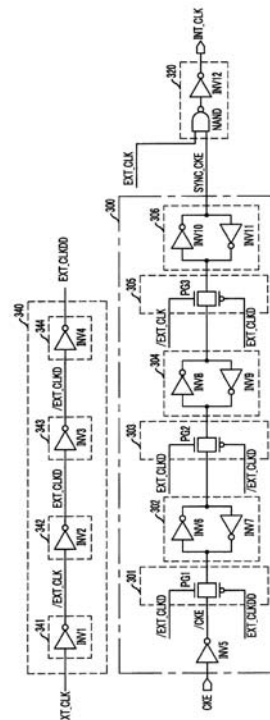
(54) 【発明の名称】 半導体装置およびその動作方法

(57) 【要約】

【課題】 外部から印加されるクロックをバッファリングして内部クロックを生成する回路を提供すること。

【解決手段】 外部クロックを受信し、各々互いに異なる遅延量を反映する複数の同期化クロックを生成するクロック遅延部340と、複数の前記同期化クロックのうち、最も大きい遅延量が反映されたクロックから最も小さい遅延量が反映されたクロックの順にクロックイネーブル信号を各々同期させて同期化クロックイネーブル信号を生成するクロック同期化部300と、前記外部クロックに対応する内部クロックを生成し、前記同期化クロックイネーブル信号に応じて、その動作がオン・オフ制御される内部クロック生成部320とを備えることを特徴とする。

【選択図】 図3



【特許請求の範囲】**【請求項 1】**

外部クロックを受信し、各々互いに異なる遅延量を反映する複数の同期化クロックを生成するクロック遅延部と、

複数の前記同期化クロックのうち、最も大きい遅延量が反映されたクロックから最も小さい遅延量が反映されたクロックの順に各前記同期化クロックにクロックイネーブル信号を同期させて同期化クロックイネーブル信号を生成するクロック同期化部と、

前記外部クロックに対応する内部クロックを生成し、前記同期化クロックイネーブル信号に応じて、その動作がオン・オフ制御される内部クロック生成部と、
を備えることを特徴とする半導体装置。

10

【請求項 2】

前記クロック遅延部が、

前記外部クロックを受信し、予め設定された第 1 の遅延量の分だけ遅延して、複数の前記同期化クロックに含まれる第 1 の同期化クロックを生成する第 1 の遅延部と、

前記第 1 の同期化クロックを受信し、予め設定された第 2 の遅延量の分だけ遅延して、複数の前記同期化クロックに含まれる第 2 の同期化クロックを生成する第 2 の遅延部と、

前記第 2 の同期化クロックを受信し、予め設定された第 3 の遅延量の分だけ遅延して、複数の前記同期化クロックに含まれる第 3 の同期化クロック（前記複数の同期化クロックに含まれる）を生成する第 3 の遅延部と、

を備えることを特徴とする請求項 1 に記載の半導体装置。

20

【請求項 3】

前記第 1 の遅延量～前記第 3 の遅延量が、同一の遅延量であることを特徴とする請求項 2 に記載の半導体装置。

【請求項 4】

前記第 1 の遅延量～前記第 3 の遅延量が、互いに異なる遅延量であることを特徴とする請求項 2 に記載の半導体装置。

【請求項 5】

前記クロック同期化部が、

前記クロックイネーブル信号を受信し、前記第 3 の同期化クロックを基準として同期させる第 1 の同期化部と、

前記第 1 の同期化部の出力信号を受信し、前記第 2 の同期化クロックを基準として同期させる第 2 の同期化部と、

前記第 2 の同期化部の出力信号を受信し、前記第 1 の同期化クロックを基準として同期させる第 3 の同期化部と、

を備えることを特徴とする請求項 2 に記載の半導体装置。

30

【請求項 6】

前記内部クロック生成部が、

前記同期化クロックイネーブル信号の活性化期間では前記外部クロックのトグルに対応して前記内部クロックをトグルさせ、

前記同期化クロックイネーブル信号の非活性化期間では前記外部クロックのトグルとは関係なく、前記内部クロックを予め設定された論理レベルに固定することを特徴とする請求項 1 に記載の半導体装置。

40

【請求項 7】

前記クロック遅延部が、

前記外部クロックを受信し、その位相を反転することによって、前記外部クロックに比べて予め設定された遅延量の分だけ遅延した、複数の前記同期化クロックに含まれる第 1 のクロックを生成する第 1 のインバータと、

前記第 1 のクロックを受信し、その位相を反転することによって、前記第 1 のクロックに比べて予め設定された遅延量の分だけ遅延した、複数の前記同期化クロックに含まれる第 2 のクロックを生成する第 2 のインバータと、

50

前記第 2 のクロックを受信し、その位相を反転することによって、前記第 2 のクロックに比べて予め設定された遅延量の分だけ遅延した、複数の前記同期化クロックに含まれる第 3 のクロックを生成する第 3 のインバータと、

前記第 3 のクロックを受信し、その位相を反転することによって、前記第 3 のクロックに比べて予め設定された遅延量の分だけ遅延した、複数の前記同期化クロックに含まれる第 4 のクロックを生成する第 4 のインバータと、
を備えることを特徴とする請求項 1 に記載の半導体装置。

【請求項 8】

前記クロック同期化部が、

正制御入力端に印加される前記第 3 のクロックと負制御入力端に印加される前記第 4 のクロックとに応じて信号入力端に印加される前記クロックイネーブル信号の信号出力端への伝達を制御する第 1 の伝達制御ゲートと、

正制御入力端に印加される前記第 2 のクロックと負制御入力端に印加される前記第 3 のクロックとに応じて信号入力端に印加される前記第 1 の伝達制御ゲートの出力信号の信号出力端への伝達を制御する第 2 の伝達制御ゲートと、

正制御入力端に印加される前記第 1 のクロックと負制御入力端に印加される前記第 2 のクロックとに応じて信号入力端に印加される前記第 2 の伝達制御ゲートの出力信号を前記同期化クロックイネーブル信号として信号出力端に伝達することを制御する第 3 の伝達制御ゲートと、

を備えることを特徴とする請求項 7 に記載の半導体装置。

【請求項 9】

前記クロック同期化部が、

前記第 1 の伝達制御ゲート～前記第 3 の伝達制御ゲートの各々の信号出力端にそれぞれ接続されて出力される信号がフローティングされることを防止する第 1 のラッチ～第 3 のラッチをさらに備えることを特徴とする請求項 8 に記載の半導体装置。

【請求項 10】

前記内部クロック生成部が、

前記第 3 の伝達制御ゲートの信号出力端に出力された前記同期化クロックイネーブル信号と前記外部クロックとの論理積演算を行い、前記内部クロックを生成することを特徴とする請求項 9 に記載の半導体装置。

【請求項 11】

外部クロックのトグルより第 1 期間の分だけ遅延した時点でトグルする第 1 の同期化クロックを生成するステップと、

前記外部クロックのトグルより前記第 1 期間よりも長い第 2 期間の分だけ遅延した時点でトグルする第 2 の同期化クロックを生成するステップと、

クロックイネーブル信号を前記第 2 の同期化クロックに同期させて第 1 の同期化クロックイネーブル信号を生成するステップと、

前記第 1 の同期化クロックイネーブル信号を前記第 1 の同期化クロックに同期させて第 2 の同期化クロックイネーブル信号を生成するステップと、

前記外部クロックに対応する内部クロックを生成し、前記第 2 の同期化クロックイネーブル信号に応じて、その動作をオン・オフ制御するステップと、
を含むことを特徴とする半導体装置の動作方法。

【請求項 12】

前記動作をオン・オフ制御する前記ステップが、

前記第 2 の同期化クロックイネーブル信号が活性化状態であるときには、前記外部クロックのトグルに対応して前記内部クロックをトグルさせるステップと、

前記第 2 の同期化クロックイネーブル信号が非活性化状態であるときには、前記外部クロックのトグルとは関係なく、前記内部クロックを予め設定された論理レベルに固定させるステップと、

を含むことを特徴とする請求項 11 に記載の半導体装置の動作方法。

10

20

30

40

50

【請求項 1 3】

外部クロックを受信し、バッファリングして内部クロックとして出力し、クロックイネーブル信号に応じて、その動作がオン・オフ制御されるクロックバッファリング部と、前記内部クロックに実際出力経路の遅延時間を反映して遅延複製クロックとして出力する遅延複製モデル部と、

前記内部クロックと前記遅延複製クロックとの位相を比較し、比較結果に対応する時間の分だけ前記内部クロックを遅延して遅延固定クロックとして出力する遅延固定部と、を備え、

前記クロックバッファリング部が、

前記外部クロックを受信し、各々互いに異なる遅延量を反映する複数の同期化クロックを生成するクロック遅延部と、

10

複数の前記同期化クロックのうち、最も大きい遅延量が反映されたクロックから最も小さい遅延量が反映されたクロックの順に各前記同期化クロックに前記クロックイネーブル信号を同期させて同期化クロックイネーブル信号を生成するクロック同期化部と、

前記外部クロックに対応する前記内部クロックを生成し、前記同期化クロックイネーブル信号に応じて、その動作がオン・オフ制御される内部クロック生成部と、を備えることを特徴とする半導体装置。

【請求項 1 4】

前記クロック遅延部が、

前記外部クロックを受信し、予め設定された第 1 の遅延量の分だけ遅延して、複数の前記同期化クロックに含まれる第 1 の同期化クロックを生成する第 1 の遅延部と、

20

前記第 1 の同期化クロックを受信し、予め設定された第 2 の遅延量の分だけ遅延して、複数の前記同期化クロックに含まれる第 2 の同期化クロックを生成する第 2 の遅延部と、

前記第 2 の同期化クロックを受信し、予め設定された第 3 の遅延量の分だけ遅延して、複数の前記同期化クロックに含まれる第 3 の同期化クロックを生成する第 3 の遅延部と、を備えることを特徴とする請求項 1 3 に記載の半導体装置。

【請求項 1 5】

前記クロック同期化部が、

前記クロックイネーブル信号を受信し、前記第 3 の同期化クロックを基準として同期させる第 1 の同期化部と、

30

前記第 1 の同期化部の出力信号を受信し、前記第 2 の同期化クロックを基準として同期させる第 2 の同期化部と、

前記第 2 の同期化部の出力信号を受信し、前記第 1 の同期化クロックを基準として同期させる第 3 の同期化部と、

を備えることを特徴とする請求項 1 4 に記載の半導体装置。

【請求項 1 6】

前記内部クロック生成部が、

前記同期化クロックイネーブル信号の活性化区間では前記外部クロックのトグルに対応して前記内部クロックをトグルさせ、

前記同期化クロックイネーブル信号の非活性化区間では前記外部クロックのトグルとは関係なく、前記内部クロックを予め設定された論理レベルに固定することを特徴とする請求項 1 3 に記載の半導体装置。

40

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体設計技術に関し、特に、外部から印加されるクロックをバッファリングして内部クロックを生成する回路に関する。

【背景技術】

【0002】

一般に、SDRAM (S y n c h r o n o u s D R A M) をはじめとする同期式半導

50

体装置は、外部クロックをバッファリングして内部クロックを生成した後、生成された内部クロックを用いて予め設定された動作を行う。

【0003】

このとき、外部クロックをバッファリングして内部クロックを生成する過程では、クロックイネーブル信号に応じてバッファリング動作がオン・オフ制御されなければならないが、これは、ほとんどの半導体装置の場合、消費する電流を低減することが目的で、外部クロックに対応して内部クロックを生成する動作モード、例えば、パワーダウンモード (power down mode) を支援するためである。

【0004】

図1は、従来技術により外部クロックをバッファリングして内部クロックを生成する回路の構成を詳細に示した回路図である。

10

【0005】

図1に示すように、従来技術による外部クロックをバッファリングして内部クロックを生成する回路は、外部クロックEXT__CLKに応じてクロックイネーブル信号CKEを同期させる同期化部100と、外部クロックEXT__CLKに対応する内部クロックINT__CLKを生成し、同期化部100を介して出力される同期したクロックイネーブル信号SYNC__CKEに応じて、その動作がオン・オフ制御される内部クロック生成部120とを備える。

【0006】

ここで、同期化部100は、外部クロックEXT__CLKを負入力端に受信し、外部クロックEXT__CLKの位相を反転したクロック/EXT__CLKを正入力端に受信して、信号入力端に印加されるクロックイネーブル信号CKEが信号出力端へSYNC__CKEとして伝送することを制御するパスゲートPG、およびインバータINV1を備える。

20

【0007】

そして、内部クロック生成部120は、外部クロックEXT__CLKを第1の入力端に受信し、同期化部100を介して出力される同期したクロックイネーブル信号SYNC__CKEを第2の入力端に受信して論理積演算を行い、内部クロックINT__CLKとして出力するNANDゲートNAND、およびインバータINV2を備える。

【0008】

図2は、図1に示された従来技術による、外部クロックをバッファリングして内部クロックを生成する回路の動作を説明するためのタイミング図である。

30

【0009】

図2に示すように、外部クロックEXT__CLKは、所定の周期を有する状態でトグル (toggling) しており、クロックイネーブル信号CKEは、ロジック「ロー」 (Low) の非活性化状態から瞬時的に論理レベルが遷移してロジック「ハイ」 (High) の活性化状態になることが分かる。

【0010】

ところが、クロックイネーブル信号CKEがロジック「ロー」からロジック「ハイ」に遷移する時点が外部クロックEXT__CLKのエッジ (図2では、立ち下りエッジが示されているが、立ち上りエッジでもあり得る) の近くにある場合、同期化部100を介して出力される同期したクロックイネーブル信号SYNC__CKEには、図2に示されたように、グリッチ (glitch) が発生するという問題がある。

40

【0011】

このようにグリッチが発生した、同期したクロックイネーブル信号SYNC__CKEをそのまま用いて内部クロック生成部120を動作させる場合、図2に示されたように、生成された内部クロックINT__CLKにもグリッチが発生する。

【0012】

上述した問題は、外部クロックEXT__CLKの周波数が高周波数になればなるほど、半導体装置の全体動作に大きな影響を及ぼす恐れがある。

【発明の概要】

50

【発明が解決しようとする課題】**【0013】**

本発明は、上記のような従来技術の問題を解決するために提案されたものであって、その目的は、外部クロックをバッファリングして内部クロックを生成するとき、外部クロックとは非同期のクロックイネーブル信号を用いて、バッファリング動作をオン・オフ制御する過程でグリッチが発生することを防止することができる半導体装置のクロックバッファリング回路を提供することにある。

【課題を解決するための手段】**【0014】**

そこで、上記の目的を達成するための本発明に係る半導体装置は、外部クロックを受信し、各々互いに異なる遅延量を反映して複数の同期化クロックを生成するクロック遅延部と、複数の前記同期化クロックのうち、最も大きい遅延量が反映されたクロックから最も小さい遅延量が反映されたクロックの順に前記同期化クロックにクロックイネーブル信号を同期させて同期化クロックイネーブル信号を生成するクロック同期化部と、前記外部クロックに対応する内部クロックを生成し、前記同期化クロックイネーブル信号に応じて、その動作がオン・オフ制御される内部クロック生成部とを備えることを特徴とする。

10

【0015】

また、上記の目的を達成するための本発明に係る半導体装置の動作方法は、外部クロックのトグルより第1期間の分だけ遅延した時点でトグルする第1の同期化クロックを生成するステップと、前記外部クロックのトグルより前記第1期間よりも長い第2期間の分だけ遅延した時点でトグルする第2の同期化クロックを生成するステップと、クロックイネーブル信号を前記第2の同期化クロックに同期させて第1の同期化クロックイネーブル信号を生成するステップと、前記第1の同期化クロックイネーブル信号を前記第1の同期化クロックに同期させて第2の同期化クロックイネーブル信号を生成するステップと、前記外部クロックに対応する内部クロックを生成し、前記第2の同期化クロックイネーブル信号に応じて、その動作をオン・オフ制御するステップとを含むことを特徴とする。

20

【0016】

また、上記の目的を達成するための本発明に係る別の半導体装置は、外部クロックを受信し、バッファリングして内部クロックとして出力し、クロックイネーブル信号に応じて、その動作がオン・オフ制御されるクロックバッファリング部と、前記内部クロックに実際出力経路の遅延時間を反映して遅延複製クロックとして出力する遅延複製モデル部と、前記内部クロックと前記遅延複製クロックとの位相を比較し、比較結果に対応する時間の分だけ前記内部クロックを遅延して遅延固定クロックとして出力する遅延固定部と、を備え、前記クロックバッファリング部が、前記外部クロックを受信し、各々互いに異なる遅延量を反映する複数の同期化クロックを生成するクロック遅延部と、複数の前記同期化クロックのうち、最も大きい遅延量が反映されたクロックから最も小さい遅延量が反映されたクロックの順に各前記同期化クロックに前記クロックイネーブル信号を同期させて同期化クロックイネーブル信号を生成するクロック同期化部と、前記外部クロックに対応する前記内部クロックを生成し、前記同期化クロックイネーブル信号に応じて、その動作がオン・オフ制御される内部クロック生成部と、を備えることを特徴とする。

30

40

【発明の効果】**【0017】**

本発明は、外部クロックをバッファリングして内部クロックを生成するとき、外部クロックとは非同期のクロックイネーブル信号を用いてバッファリング動作をオン・オフ制御する過程で外部クロックを段階的に遅延させた複数の同期化クロックに、クロックイネーブル信号を設定された順にそれぞれ同期させることにより、グリッチが発生することを防止できるという効果がある。

【図面の簡単な説明】**【0018】**

【図1】従来技術による外部クロックをバッファリングして内部クロックを生成する回路

50

の構成を詳細に示した回路図である。

【図2】図1に示された従来技術による外部クロックをバッファリングして内部クロックを生成する回路の動作を説明するためのタイミング図である。

【図3】本発明の実施形態による、外部クロックをバッファリングして内部クロックを生成する回路の構成を詳細に示した回路図である。

【図4】図1に示された従来技術に係るクロックバッファリング回路の動作と図3に示された本発明の実施形態に係るクロックバッファリング回路の動作とを比較して示したタイミング図である。

【図5】図1に示された従来技術に係るクロックバッファリング回路の動作と図3に示された本発明の実施形態に係るクロックバッファリング回路の動作とを比較して示したタイミング図である。

10

【図6】本発明の実施形態に係るクロックバッファリング回路が適用された遅延固定ループ回路の構成を示したブロック図である。

【発明を実施するための形態】

【0019】

以下、添付した図面を参照して、本発明の好ましい実施形態を説明する。しかし、本発明は、以下で開示される実施形態に限定されるものではなく、互いに異なる様々な形態で構成されることができる。本実施形態は、単に、本発明の開示が完全となり、当技術分野で通常の知識を有する者に本発明の範疇を完全に知らせるために提供されるものである。

【0020】

20

図3は、本発明の実施形態による、外部クロックをバッファリングして内部クロックを生成する回路を詳細に示した回路図である。

【0021】

図3に示すように、外部クロックをバッファリングして内部クロックを生成する回路は、外部クロックEXT_CLKを受信し、互いに異なる遅延量を反映する複数の同期化クロック/EXT_CLK、EXT_CLKD、/EXT_CLKD、EXT_CLKDDを生成するクロック遅延部340と、

複数の同期化クロック/EXT_CLK、EXT_CLKD、/EXT_CLKD、EXT_CLKDDのうち、最も大きい遅延量が反映されたクロックEXT_CLKDDから最も小さい遅延量が反映されたクロック/EXT_CLKの順に、それらの同期化クロック

30

にクロックイネーブル信号CKEを各々同期させて同期化クロックイネーブル信号SYNC_CKEを生成するクロック同期化部300と、外部クロックEXT_CLKに対応する内部クロックINT_CLKを生成し、同期化クロックイネーブル信号SYNC_CKEに応じて、その動作がオン・オフ制御される内部クロック生成部320と

を備える。

【0022】

ここで、クロック遅延部340は、

外部クロックEXT_CLKを受信し、予め設定された第1の遅延量の分だけ遅延して、第1の同期化クロック/EXT_CLK、EXT_CLKD（複数の同期化クロック/EXT_CLK、EXT_CLKD、/EXT_CLKD、EXT_CLKDDに含まれる）を生成する第1の遅延部341、342と、

40

第1の同期化クロック/EXT_CLK、EXT_CLKDを受信し、予め設定された第2の遅延量の分だけ遅延して、第2の同期化クロックEXT_CLKD、/EXT_CLKD（複数の同期化クロック/EXT_CLK、EXT_CLKD、/EXT_CLKD、EXT_CLKDDに含まれる）を生成する第2の遅延部342、343と、

第2の同期化クロックEXT_CLKD、/EXT_CLKDを受信し、予め設定された第3の遅延量の分だけ遅延して、第3の同期化クロック/EXT_CLKD、EXT_CLKDD（複数の同期化クロック/EXT_CLK、EXT_CLKD、/EXT_CLKD、EXT_CLKDDに含まれる）を生成する第3の遅延部343、344と

50

を備える。

【0023】

参考までに、図3のクロック遅延部340に備えられる第1の遅延部341、342、第2の遅延部342、343、および第3の遅延部343、344は、内部に含まれた構成要素INV2、INV3が互いに重複していることが分かるが、これは、本発明の実施形態に係るクロック遅延部340で複数のインバータINV1、INV2、INV3、INV4を用いてクロックを遅延させるという回路的な特徴のためにそのように具現されただけであり、図3に示された構成と異なる方式で具現される回路では、もちろん内部に含まれた構成要素が互いに重複しないように構成することもできる。

【0024】

すなわち、図3に示されたようなクロック遅延部340は、1つの実施形態であり、図3に示された構成と異なる形態で構成される回路である場合も本願発明の範疇に含まれる。

【0025】

また、図3に示されたようなクロック遅延部340は、次のとおりにさらに具体的に構成要素を分けることができる。

【0026】

クロック遅延部340は、外部クロックEXT_CLKを受信し、その位相を反転することによって外部クロックEXT_CLKに比べて予め設定された遅延量の分だけ遅延した第1のクロック/EXT_CLK（複数の同期化クロック/EXT_CLK、EXT_CLKD、/EXT_CLKD、EXT_CLKDDに含まれる）を生成する第1のインバータINV1と、第1のクロック/EXT_CLKを受信し、その位相を反転することによって第1のクロック/EXT_CLKに比べて予め設定された遅延量の分だけ遅延した第2のクロックEXT_CLKD（複数の同期化クロック/EXT_CLK、EXT_CLKD、/EXT_CLKD、EXT_CLKDDに含まれる）を生成する第2のインバータINV2と、第2のクロックEXT_CLKDを受信し、その位相を反転することによって第2のクロックEXT_CLKDに比べて予め設定された遅延量の分だけ遅延した第3のクロック/EXT_CLKD（複数の同期化クロック/EXT_CLK、EXT_CLKD、/EXT_CLKD、EXT_CLKDDに含まれる）を生成する第3のインバータINV3と、第3のクロック/EXT_CLKDを受信し、その位相を反転することによって第3のクロック/EXT_CLKDに比べて予め設定された遅延量の分だけ遅延した第4のクロックEXT_CLKDD（複数の同期化クロック/EXT_CLK、EXT_CLKD、/EXT_CLKD、EXT_CLKDDに含まれる）を生成する第4のインバータINV4とを備える。

【0027】

そして、図3に示されたようなクロック遅延部340では、第1の遅延部341、342に入力されるクロックEXT_CLK、/EXT_CLKを遅延させて/EXT_CLK、EXT_CLKDを出力する第1の遅延量と、第2の遅延部342、343に入力されるクロック/EXT_CLK、EXT_CLKDを遅延させてEXT_CLKD、/EXT_CLKDを出力する第2の遅延量と、第3の遅延部343、344に入力されるクロックEXT_CLKD、/EXT_CLKDを遅延させて/EXT_CLKD、EXT_CLKDDを出力する第3の遅延量とは、互いに同一の遅延量を有する状態になる。

【0028】

すなわち、第1のインバータINV1～第4のインバータINV4は、全て同じサイズを有し、入力されるクロックを全て同一の遅延量の分だけ遅延させて出力する。

【0029】

しかし、図3に示されたものと異に構成された回路では、第1の遅延量～第3の遅延量が各々互いに異なる遅延量を有するか、または、一部は同一の遅延量を有し、残りは異なる遅延量を有するように構成されることもできる。

10

20

30

40

50

【 0 0 3 0 】

そして、クロック同期化部 3 0 0 は、クロックイネーブル信号 C K E を受信し、第 3 の同期化クロック / E X T _ C L K D、E X T _ C L K D D を基準として同期させる第 1 の同期化部 3 0 1 と、該第 1 の同期化部 3 0 1 の出力信号を受信し、第 2 の同期化クロック E X T _ C L K D、/ E X T _ C L K D を基準として同期させる第 2 の同期化部 3 0 3 と、第 2 の同期化部 3 0 3 の出力信号を受信し、第 1 の同期化クロック / E X T _ C L K、E X T _ C L K D を基準として同期させる第 3 の同期化部 3 0 5 とを備える。

【 0 0 3 1 】

参考までに、図 3 に示されたクロック同期化部 3 0 0 には、クロック同期化動作を行う複数の伝達ゲート P G 1、P G 2、P G 3 だけでなく、クロックの論理レベルがフローティング (f l o a t i n g) されることを防止する複数のインバータ I N V 5、I N V 6、I N V 7、I N V 8、I N V 9、I N V 1 0、I N V 1 1 も備えられている。これらのインバータを第 1 の同期化部 ~ 第 3 の同期化部 3 0 1、3 0 3、3 0 5 で具現した理由は、本発明の実施形態に係るクロック同期化部 3 0 0 で最も重要な動作は、入力されるクロックイネーブル信号 C K E を複数の同期化クロック / E X T _ C L K、E X T _ C L K D、/ E X T _ C L K D、E X T C L K D D に同期させて出力し、複数の同期化クロック / E X T _ C L K、E X T _ C L K D、/ E X T _ C L K D、E X T C L K D D のうち、最も大きい遅延量が反映されたクロックから最も小さい遅延量が反映されたクロックの順序 (E X T _ C L K D D / E X T _ C L K D E X T _ C L K D / E X T _ C L K) でクロックイネーブル信号 C K E を各々同期させるという動作であるため、これを最も単純化して具現しただけである。図 3 に示された回路に忠実に表現してみれば、次のように説明されることができる。

【 0 0 3 2 】

クロック同期化部 3 0 0 は、正制御入力端に印加される第 3 のクロック / E X T _ C L K D と負制御入力端に印加される第 4 のクロック E X T _ C L K D D とに応じて信号入力端に印加される位相が反転されたクロックイネーブル信号 / C K E の信号出力端への伝達を制御する第 1 の伝達制御ゲート P G 1 と、正制御入力端に印加される第 2 のクロック E X T _ C L K D と負制御入力端に印加される第 3 のクロック / E X T _ C L K D とに応じて信号入力端に印加される第 1 の伝達制御ゲート P G 1 の出力信号の信号出力端への伝達を制御する第 2 の伝達制御ゲート P G 2 と、正制御入力端に印加される第 1 のクロック / E X T _ C L K と負制御入力端に印加される第 2 のクロック E X T _ C L K D とに応じて信号入力端に印加される第 2 の伝達制御ゲート P G 2 の出力信号を同期化クロックイネーブル信号 S Y N C _ C K E として信号出力端に伝達することを制御する第 3 の伝達制御ゲート P G 3 とを備える。

【 0 0 3 3 】

また、第 1 の伝達制御ゲート P G 1、第 2 の伝達制御ゲート P G 2、および第 3 の伝達制御ゲート P G 3 の信号出力端に各々接続されて出力される信号がフローティングされることを防止する第 1 のラッチ 3 0 2、第 2 のラッチ 3 0 4、および第 3 のラッチ 3 0 6 がさらに備えられている。

【 0 0 3 4 】

そして、内部クロック生成部 3 2 0 は、同期化クロックイネーブル信号 S Y N C _ C K E の活性化期間では外部クロック E X T _ C L K のトグルに対応して内部クロック I N T _ C L K をトグルさせ、同期化クロックイネーブル信号 S Y N C _ C K E の非活性化期間では外部クロック E X T _ C L K のトグルと関係なく、内部クロック I N T _ C L K を予め設定された論理レベルに固定させる動作を行う。

【 0 0 3 5 】

したがって、内部クロック生成部 3 2 0 は、第 3 の伝達制御ゲート P G 3 の信号出力端に出力された同期化クロックイネーブル信号 S Y N C _ C K E と外部クロック E X T _ C L K との否定論理積の演算を行って内部クロック I N T _ C L K を生成する N A N D ゲート N A N D、およびインバータ I N V 1 2 を備える。

10

20

30

40

50

【 0 0 3 6 】

図 4 は、図 1 に示された従来技術に係るクロックバッファリング回路の動作と図 3 に示された本発明の実施形態に係るクロックバッファリング回路の動作とを比較して示したタイミング図である。

【 0 0 3 7 】

図 4 に示すように、従来技術に係るクロックバッファリング回路の動作 (A) と本発明の実施形態に係るクロックバッファリング回路の動作 (B) とが別々に図示されており、クロックイネーブル信号 C K E がロジック「ハイ」の活性化状態からロジック「ロー」の非活性化状態に遷移する過程でのバッファリング動作を示していることが分かる。

【 0 0 3 8 】

まず、従来技術に係るクロックバッファリング回路の動作 A を説明すれば、次のとおりである。

(A) 図 4 に示されたように、外部クロック E X T _ C L K がロジック「ロー」の非活性化状態からロジック「ハイ」の活性化状態に遷移 (立ち上りエッジ) する時点とほとんど同時に、クロックイネーブル信号 C K E がロジック「ハイ」の活性化状態からロジック「ロー」の非活性化状態に遷移 (立ち下りエッジ) するような現象が発生するとき、クロックイネーブル信号 C K E を外部クロック E X T _ C L K の位相を反転したクロック / E X T _ C L K に同期させて同期したクロックイネーブル信号 S Y N C _ C K E を生成する過程で発生するグリッチと、同期したクロックイネーブル信号 S Y N C _ C K E と外部クロック E X T _ C L K との間に論理積演算を行い、内部クロック I N T _ C L K を発生させる過程で発生するグリッチとによって、生成された内部クロック I N T _ C L K の正確な論理レベルが分からない問題点 (図 4 (A) の (1) で示した波線部分参照) を生じることが分かる。

【 0 0 3 9 】

すなわち、グリッチによって外部クロック E X T _ C L K がロジック「ロー」の非活性化状態からロジック「ハイ」の活性化状態に遷移 (立ち上りエッジ) される時点よりも、同期したクロックイネーブル信号 S Y N C _ C K E がロジック「ハイ」の活性化状態からロジック「ロー」の非活性化状態に遷移 (立ち下りエッジ) される時点が後に位置 (どのくらい後であるか予め知ることができない) し、このため、外部クロック E X T _ C L K に対応して内部クロック I N T _ C L K がロジック「ロー」の非活性化状態からロジック「ハイ」の活性化状態に遷移 (立ち上りエッジ) した後、まもなく (どのくらい後であるか予め知ることができない) ロジック「ハイ」の活性化状態からロジック「ロー」の非活性化状態に遷移 (立ち下りエッジ) し、内部クロック I N T _ C L K が正常なトグル期間を維持できなくなる可能性がある。

【 0 0 4 0 】

このように、従来技術に係るクロックバッファリング回路では、外部クロック E X T _ C L K の論理レベルが遷移する時点とクロックイネーブル信号 C K E がトグルする時点とが互いに近接すると、内部クロック I N T _ C L K が正常なクロック信号として認識されないパルスとして発生する可能性があり、このため、半導体装置が全体的に誤動作する恐れがある。

【 0 0 4 1 】

それに対し、本発明の実施形態に係るクロックバッファリング回路の動作 (B) を説明すれば、次のとおりである。

(B) 図 4 に示されたように、外部クロック E X T _ C L K がロジック「ハイ」の活性化状態からロジック「ロー」の非活性化状態に遷移 (立ち下りエッジ) する時点とほとんど同時に、クロックイネーブル信号 C K E がロジック「ハイ」の活性化状態からロジック「ロー」の非活性化状態に遷移するような現象が発生しても、クロックイネーブル信号 C K E を複数の同期化クロック / E X T _ C L K 、 E X T _ C L K D 、 / E X T _ C L K D 、 E X T C L K D D に同期させて同期したクロックイネーブル信号 S Y N C _ C K E を生成する過程で各同期化クロック / E X T _ C L K 、 E X T _ C L K D 、 / E X T _ C L K D

10

20

30

40

50

、EXTCLKDDにクロックイネーブル信号CKEが同期するため、同期する過程でグリッチがほとんど発生しなくなる。

【0042】

同時に、複数の同期化クロック/EXTCLK、EXTCLKD、/EXTCLKD、EXTCLKDDのうち、最も大きい遅延量が反映されたクロックから最も小さい遅延量が反映されたクロックの順序(EXTCLKDD / EXTCLKD EXTCLKD / EXTCLK)でクロックイネーブル信号CKEを同期させて同期したクロックイネーブル信号SYNCCKEを生成するので、常に、外部クロックEXTCLKの位相を反転したクロック/EXTCLKがロジック「ロー」の非活性化状態からロジック「ハイ」の活性化状態に遷移(立ち上りエッジ)する動作が発生した後、同期したクロックイネーブル信号SYNCCKEがロジック「ハイ」の活性化状態からロジック「ロー」の非活性化状態に遷移(立ち下りエッジ)する動作が発生し、これにより、外部クロックEXTCLKと同期したクロックイネーブル信号SYNCCKEとの論理積演算を行い、内部クロックINTCLKを生成する過程で内部クロックINTCLKは、常に正確な論理レベルを有する状態(図4の(2)で示した破線部分参照)になることが分かる。

10

【0043】

すなわち、本願発明の実施形態に係るクロックバッファリング回路では、常に外部クロックEXTCLKがロジック「ハイ」の活性化状態からロジック「ロー」の非活性化状態に遷移(立ち下りエッジ)された後、同期したクロックイネーブル信号SYNCCKEがロジック「ハイ」の活性化状態からロジック「ロー」の非活性化状態に遷移(立ち下りエッジ)するので、それに対応して発生する内部クロックINTCLKが常に正常なトグル期間を有することができるようになる。

20

【0044】

このように、本発明の実施形態に係るクロックバッファリング回路では、外部クロックEXTCLKの論理レベルが遷移する時点とクロックイネーブル信号CKEがトグルする時点とが互いに近接しても、内部クロックINTCLKが常に正常なトグル期間を有することができ、これにより、半導体装置が誤動作することを防止することができる。

【0045】

図5は、図1に示された従来技術に係るクロックバッファリング回路の動作と図3に示された本発明の実施形態に係るクロックバッファリング回路の動作とを比較して示したタイミング図である。

30

【0046】

図5に示すように、従来技術に係るクロックバッファリング回路の動作(A)と本発明の実施形態に係るクロックバッファリング回路の動作(B)とが別々に図示されており、クロックイネーブル信号CKEがロジック「ロー」の非活性化状態からロジック「ハイ」の活性化状態に遷移する過程でのバッファリング動作を示していることが分かる。

【0047】

まず、従来技術に係るクロックバッファリング回路の動作Aを説明すれば、次のとおりである。

40

(A)図5に示されたように、外部クロックEXTCLKがロジック「ロー」の非活性化状態からロジック「ハイ」の活性化状態に遷移(立ち上りエッジ)する時点とほとんど同時に、クロックイネーブル信号CKEがロジック「ロー」の非活性化状態からロジック「ハイ」の活性化状態に遷移(立ち上りエッジ)する現象が発生するとき、クロックイネーブル信号CKEを外部クロックEXTCLKの位相を反転したクロック/EXTCLKに同期させて同期したクロックイネーブル信号SYNCCKEを生成する過程で発生するグリッチと、同期したクロックイネーブル信号SYNCCKEと外部クロックEXTCLKとの否定論理積の演算を行い、内部クロックINTCLKを発生させる過程で発生するグリッチとによって、生成された内部クロックINTCLKが、正常な活性化期間を有することができないという問題点(図5の(1)で示した破線部分参照)を

50

生じることが分かる。

【0048】

すなわち、グリッチによって外部クロック EXT_CLK がロジック「ロー」の非活性化状態からロジック「ハイ」の活性化状態に遷移（立ち上りエッジ）される時点よりも、同期したクロックイネーブル信号 $SYNC_CKE$ がロジック「ロー」の非活性化状態からロジック「ハイ」の活性化状態に遷移（立ち上りエッジ）される時点が、後に位置（どのくらい後であるか予め知ることができない）し、このため、外部クロック EXT_CLK に対応して内部クロック INT_CLK がロジック「ロー」の非活性化状態からロジック「ハイ」の活性化状態に遷移（立ち上りエッジ）する時点が遅延（どのくらい後であるか予め知ることができない）され、内部クロック INT_CLK が正常なトグル期間を維持できなくなる可能性がある。

10

【0049】

このように、従来技術に係るクロックバッファリング回路では、外部クロック EXT_CLK の論理レベルが遷移する時点とクロックイネーブル信号 CKE がトグルする時点とが互いに近接すると、内部クロック INT_CLK が正常なクロック信号として認識されないパルスとして発生する可能性があり、このため、半導体装置が全体的に誤動作する恐れがある。

【0050】

それに対し、本発明の実施形態に係るクロックバッファリング回路の動作 B を説明すれば、次のとおりである。

20

(B) 図 5 に示されたように、外部クロック EXT_CLK がロジック「ハイ」の活性化状態からロジック「ロー」の非活性化状態に遷移（立ち下りエッジ）する時点とほとんど同時に、クロックイネーブル信号 CKE がロジック「ロー」の非活性化状態からロジック「ハイ」の活性化状態に遷移（立ち上りエッジ）するような現象が発生しても、クロックイネーブル信号 CKE を複数の同期化クロック / EXT_CLK 、 EXT_CLKD 、/ EXT_CLKD 、 EXT_CLKDD に同期させて同期したクロックイネーブル信号 $SYNC_CKE$ を生成する過程で各同期化クロック / EXT_CLK 、 EXT_CLKD 、/ EXT_CLKD 、 EXT_CLKDD にクロックイネーブル信号 CKE が同期するため、同期する過程でグリッチがほとんど発生しなくなる。

【0051】

30

同時に、複数の同期化クロック / EXT_CLK 、 EXT_CLKD 、/ EXT_CLKD 、 EXT_CLKDD のうち、最も大きい遅延量が反映されたクロックから最も小さい遅延量が反映されたクロックの順序 (EXT_CLKDD / EXT_CLKD EXT_CLKD / EXT_CLK) でクロックイネーブル信号 CKE を同期させて同期したクロックイネーブル信号 $SYNC_CKE$ を生成するので、常に外部クロック EXT_CLK の位相を反転したクロック / EXT_CLK がロジック「ロー」の非活性化状態からロジック「ハイ」の活性化状態に遷移（立ち上りエッジ）する動作が発生した後、同期したクロックイネーブル信号 $SYNC_CKE$ がロジック「ロー」の非活性化状態からロジック「ハイ」の活性化状態に遷移（立ち上りエッジ）する動作が発生し、これにより、外部クロック EXT_CLK と同期化したクロックイネーブル信号 $SYNC_CKE$ との論理積演算を行い、内部クロック INT_CLK を生成する過程で内部クロック INT_CLK は、常に正確な論理レベルを有する状態（図 5 の (2) で示した破線部分参照）になることが分かる。

40

【0052】

すなわち、本願発明の実施形態に係るクロックバッファリング回路では、常に外部クロック EXT_CLK がロジック「ハイ」の活性化状態からロジック「ロー」の非活性化状態に遷移（立ち下りエッジ）した後、同期したクロックイネーブル信号 $SYNC_CKE$ がロジック「ロー」の非活性化状態からロジック「ハイ」の活性化状態に遷移（立ち上りエッジ）するので、それに対応して発生する内部クロック INT_CLK が常に正常なトグル期間を有することができるようになる。

50

【 0 0 5 3 】

このように、本発明の実施形態に係るクロックバッファリング回路では、外部クロック E X T _ C L K の論理レベルが遷移する時点とクロックイネーブル信号 C K E がトグルする時点とが互いに近接しても、内部クロック I N T _ C L K が常に正常なトグル期間を有することができ、これにより、半導体装置が誤動作することが防止できる。

【 0 0 5 4 】

以上で説明したように、本発明の実施形態を適用すれば、外部クロック E X T _ C L K をバッファリングして内部クロック I N T _ C L K を生成するとき、外部クロック E X T _ C L K とは非同期のクロックイネーブル信号 C K E を用いてバッファリング動作をオン・オフ制御する過程で外部クロック E X T _ C L K を段階的に遅延させた複数の同期化クロック / E X T _ C L K 、 E X T _ C L K D 、 / E X T _ C L K D 、 E X T C L K D D にクロックイネーブル信号を設定された順序（最も大きい遅延量が反映されたクロックから最も小さい遅延量が反映されたクロックの順序（ E X T C L K D D / E X T _ C L K D E X T _ C L K D / E X T _ C L K ））でそれぞれ同期させることにより、グリッチが発生することが防止でき、これにより、クロックイネーブル信号 C K E の論理レベルが遷移する時点と関係なく、外部クロック E X T _ C L K のトグル期間に正確に対応するトグル期間を有する内部クロック I N T _ C L K を発生させることが可能である。

10

【 0 0 5 5 】

参考までに、前述した本発明の実施形態に係るクロックバッファリング回路は、単に外部クロックをバッファリングして内部クロックを生成する動作を制御するための回路のみならず、図 6 に示すような遅延固定ループ回路でパワーダウンモード進入を制御するための構成要素 P D N _ C T R L (2) に適用することもできる。

20

【 0 0 5 6 】

すなわち、本発明の実施形態に係るクロックバッファリング回路は、所定の周期でトグルするクロックを伝達する過程で特定の制御信号（クロックの周期に同期していない信号である）に対応して、その伝達をオン・オフ制御する回路であれば、どんな回路にも適用することができる。

【 0 0 5 7 】

以上で説明した本発明は、前述した実施形態及び添付図面によって限定されるものではなく、本発明の技術的思想を逸脱しない範囲内で様々な置換、変形、及び変更が可能であることが本発明の属する技術分野における通常の知識を有する者にとって明白であろう。

30

【 0 0 5 8 】

例えば、前述した実施形態で例示した論理ゲートおよびトランジスタは、入力される信号の極性に依りて、その位置および種類が異なるように実現されるべきであろう。

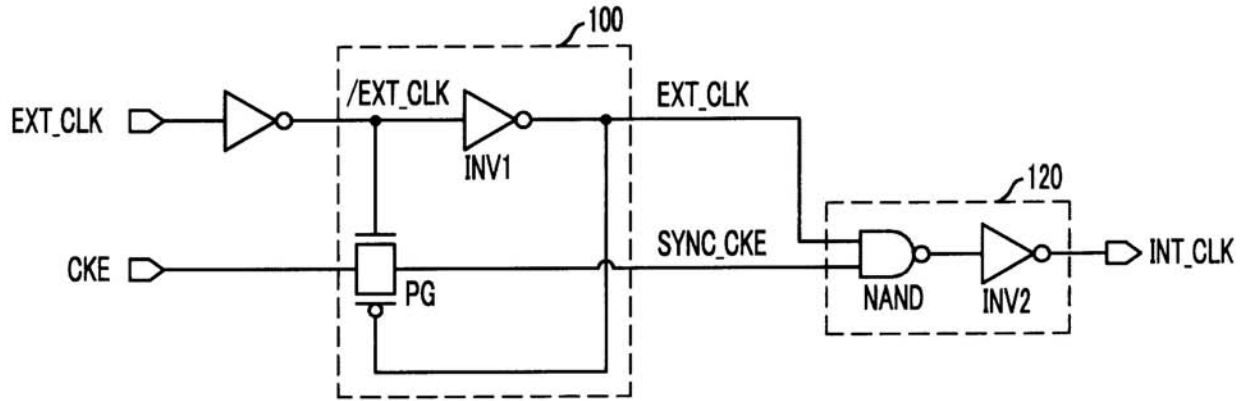
【 符号の説明 】

【 0 0 5 9 】

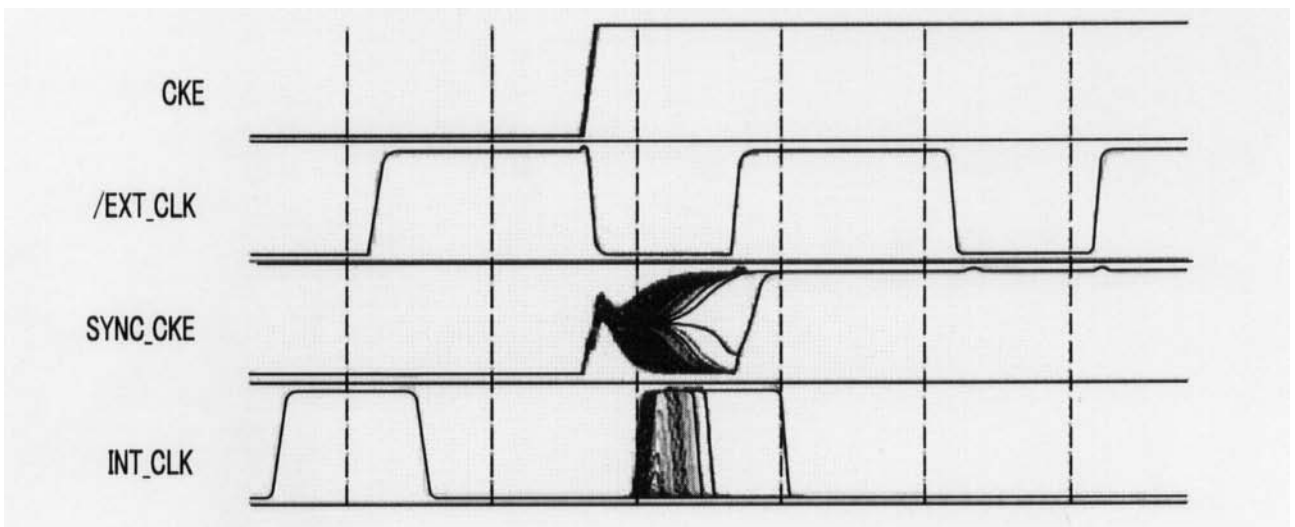
1 0 0 、 3 0 0 クロック同期化部
 3 0 1 、 3 0 3 、 3 0 5 第 1 ~ 第 3 の同期化部
 3 0 2 、 3 0 4 、 3 0 6 第 1 ~ 第 3 のラッチ
 3 4 0 クロック遅延部
 1 2 0 、 3 2 0 内部クロック生成部

40

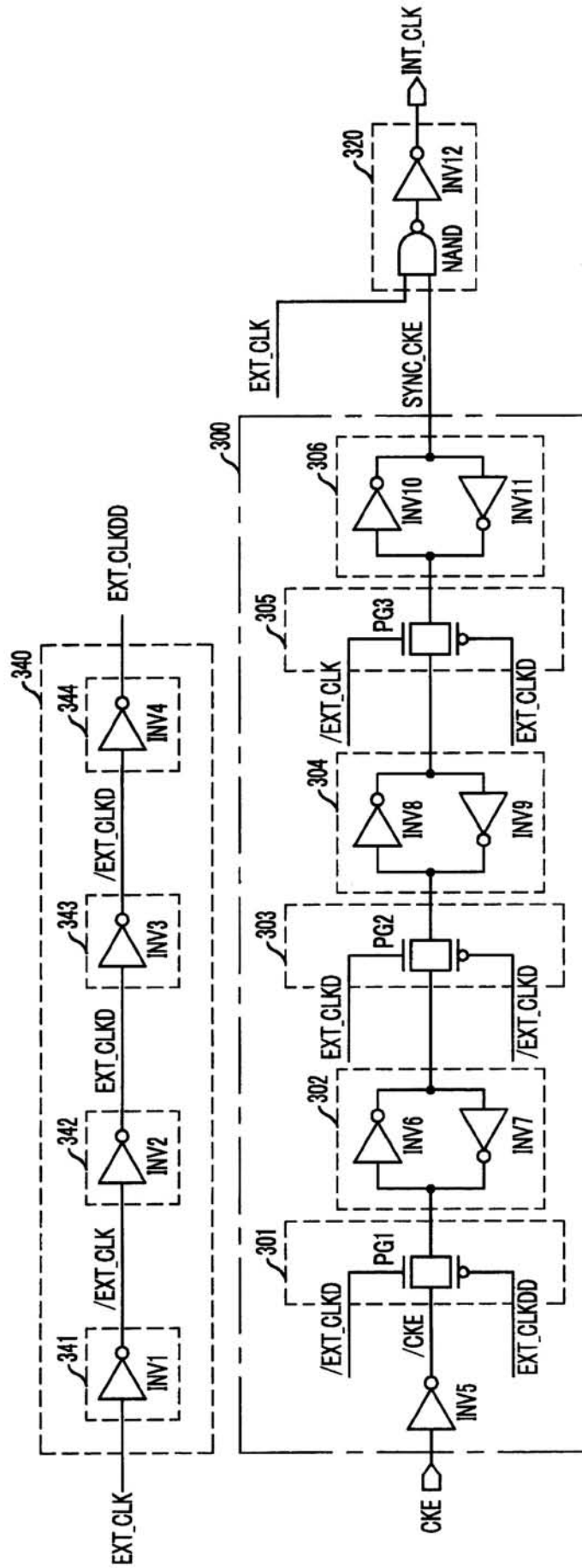
【 図 1 】



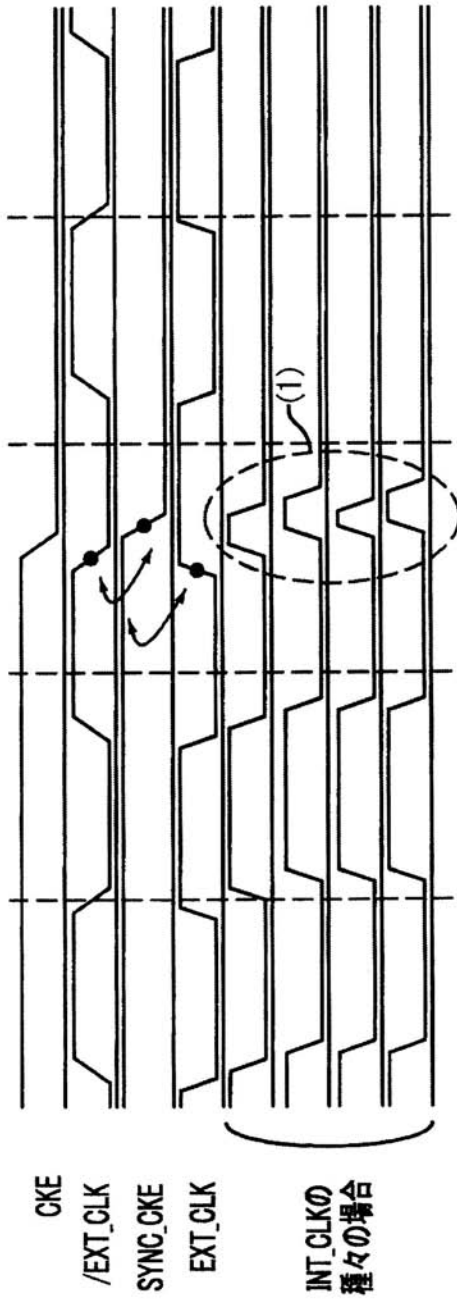
【 図 2 】



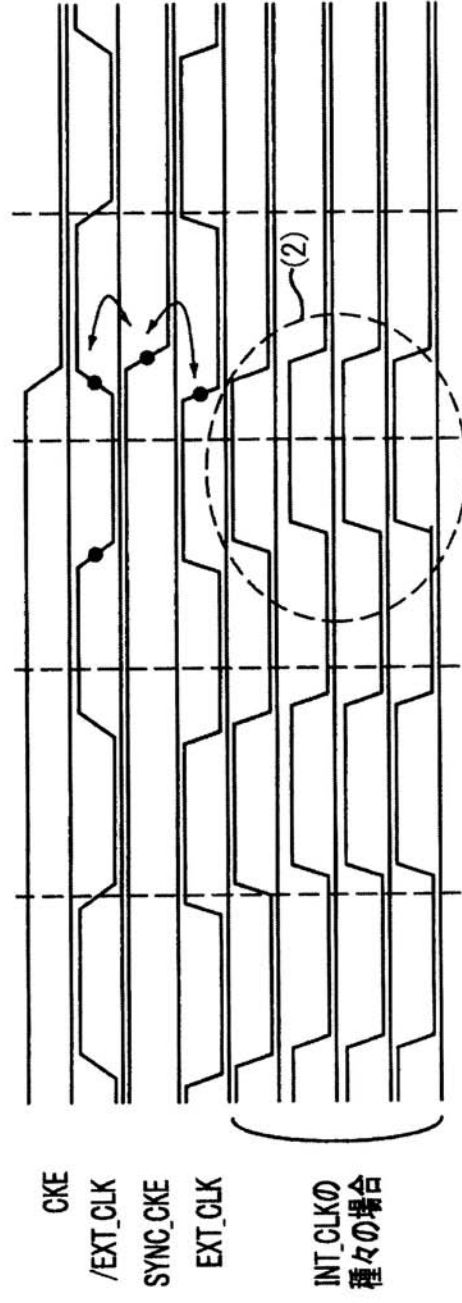
【 図 3 】



【 図 4 】

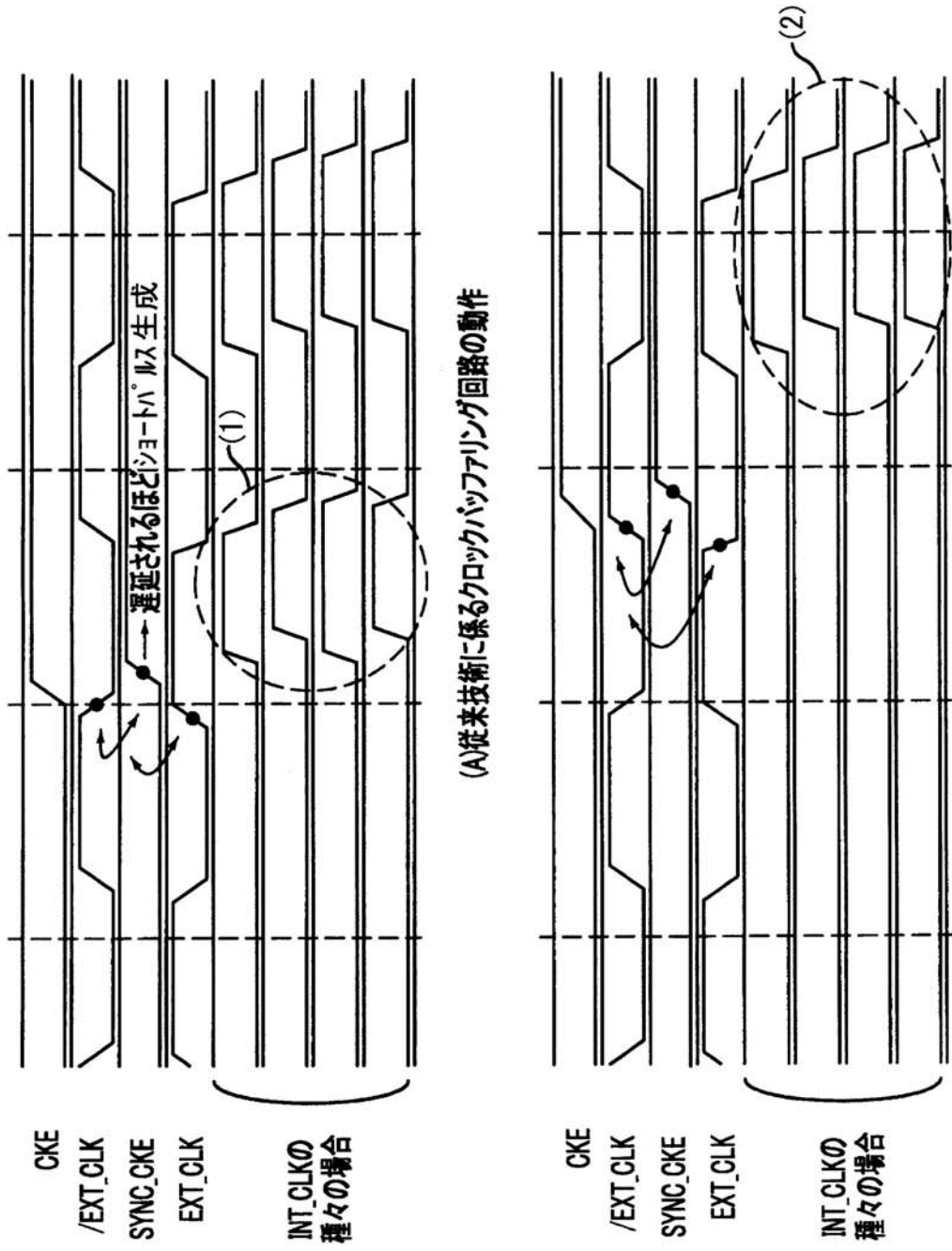


(A)従来技術に係るクロックバッファリング回路の動作



(B)本願発明の実施形態に係るクロックバッファリング回路の動作

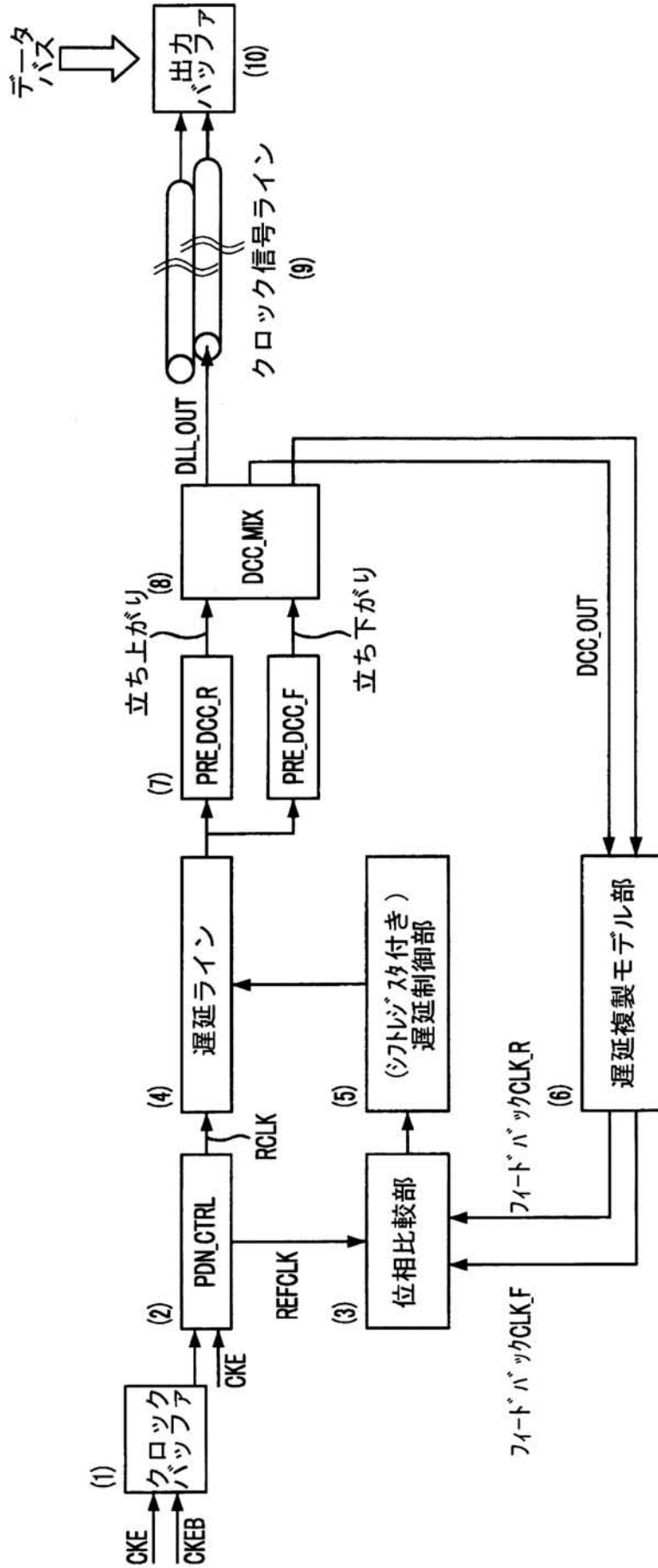
【 図 5 】



(A)従来技術に係るクロックバックアライン回路の動作

(B)本願発明の実施形態に係るクロックバックアライン回路の動作

【 図 6 】



フロントページの続き

(72)発明者 羅 光振

大韓民国京畿道利川市夫鉢邑牙美里山 1 3 6 - 1

Fターム(参考) 5B079 AA07 BC03 CC14 DD05

5M024 AA36 AA40 BB27 DD82 JJ03 JJ32 JJ38 KK18 PP01 PP02

PP07