

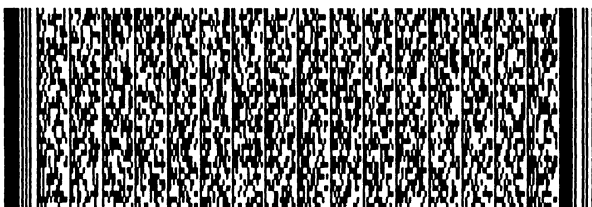
# 公告本

申請日期： 9/12/05	IPC分類	589831
申請案號： 091135336	H04L 12/46	

(以上各欄由本局填註)

## 發明專利說明書

一、 發明名稱	中文	以不同相位之時脈觸發多埠訊號傳輸之多埠網路介面電路及相關方法
	英文	Multi-Port Network Interface Circuit And Related Method For Triggering Transmission Signals Of Multiple Ports With Clocks Of Different Phases
二、 發明人 (共2人)	姓名 (中文)	1. 許銘勛
	姓名 (英文)	1. Hsu, Ming-Hsun
	國籍 (中英文)	1. 中華民國 TW
	住居所 (中文)	1. 台北縣新店市中正路五三三號八樓
	住居所 (英文)	1. 8F, No. 533, Chung-Cheng Rd., Hsin-Tien City, Taipei Hsien, Taiwan, R.O.C.
三、 申請人 (共1人)	名稱或姓名 (中文)	1. 威盛電子股份有限公司
	名稱或姓名 (英文)	1. VIA TECHNOLOGIES, INC.
	國籍 (中英文)	1. 中華民國 TW
	住居所 (營業所) (中文)	1. 台北縣新店市中正路533號8樓 (本地址與前向貴局申請者相同)
	住居所 (營業所) (英文)	1. 8F, No. 533, Chung-Cheng Rd., Hsin-Tien City, Taipei Hsien, Taiwan, R.O.C.
	代表人 (中文)	1. 王雪紅
	代表人 (英文)	1. Wang, Hsueh-Hung

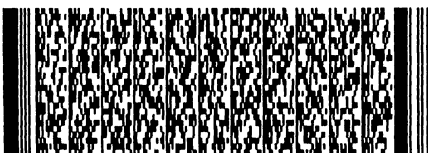


申請日期：	IPC分類
申請案號：	

(以上各欄由本局填註)

## 發明專利說明書

一、 發明名稱	中文	
	英文	
二、 發明人 (共2人)	姓名 (中文)	2. 張建誠
	姓名 (英文)	2. Chang, Chien-Cheng
	國籍 (中英文)	2. 中華民國 TW
	住居所 (中文)	2. 台北縣新店市中正路五三三號八樓
	住居所 (英文)	2. 8F, No.533, Chung-Cheng Rd., Hsin-Tien City, Taipei Hsien, Taiwan, R.O.C.
三、 申請人 (共1人)	名稱或 姓名 (中文)	
	名稱或 姓名 (英文)	
	國籍 (中英文)	
	住居所 (營業所) (中文)	
	住居所 (營業所) (英文)	
	代表人 (中文)	
	代表人 (英文)	



## 一、本案已向

國家(地區)申請專利

申請日期

案號

主張專利法第二十四條第一項優先權

二、主張專利法第二十五條之一第一項優先權：

申請案號：

日期：

三、主張本案係符合專利法第二十條第一項第一款但書或第二款但書規定之期間

日期：

四、有關微生物已寄存於國外：

寄存國家：

寄存機構：

寄存日期：

寄存號碼：

有關微生物已寄存於國內(本局所指定之寄存機構)：

寄存機構：

寄存日期：

寄存號碼：

熟習該項技術者易於獲得,不須寄存。

## 五、發明說明 (1)

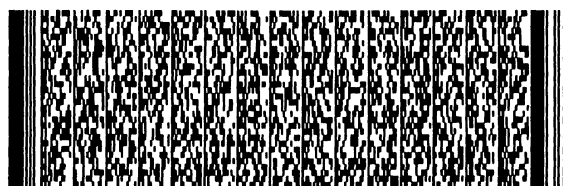
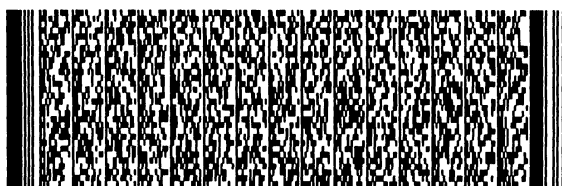
## 發明之技術領域：

本發明係提供一種多埠網路介面電路及相關控制方法，尤指一種能以不同時脈觸發相異埠上訊號傳輸的網路介面電路及相關方法，以減少網路介面電路的供電震盪 (power bounce) 及訊號串響 (cross-talk)。

## 先前技術：

在現代化的資訊社會中，能夠快速交換資料、數據、情報及知識的電腦網路，已成為人際交流、技術發展最重要的資源之一。有效地擴張、加速網路基礎建設，也成為資訊業界乃至於政府致力推廣實施的重點工作。

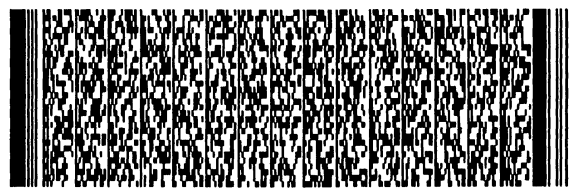
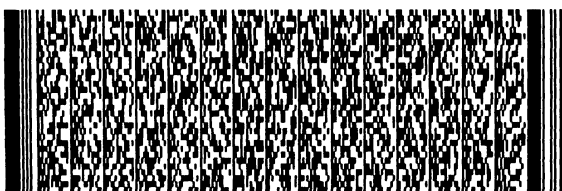
要將不同的電腦終端機連接為網路，可以使用不同的網路連接拓樸 (topology)。在這些連接拓樸中，終端機 (可以是電腦、記憶儲存裝置或是網路印表機等等) 可被視為網路的網路節點 (node)；各網路節點間直接、間接的連接，就能形成一網路。舉例來說，在時下常用的 10BASE T 或 100BASE T 之區域網路 (LAN, Local Area Network) 中，即以星狀的拓樸來形成網路；各個終端機可分別連接至一集線器 (hub) 或交換器 (switch)，再與其他的網路節點或是其他的網路設備 (像是其他的集線器、交換器或路由器) 連接，就能集結成一網路，並透過網路上的各種網



## 五、發明說明 (2)

路設備在各網路節點間交換資料。換句話說，像是集線器、交換器或路由器這些網路設備，能把各個單獨的網路節點連接起來，最後形成能夠互通資訊的龐大網路，讓各終端機的使用者能在廣大的網路中存取豐富的網路資源。

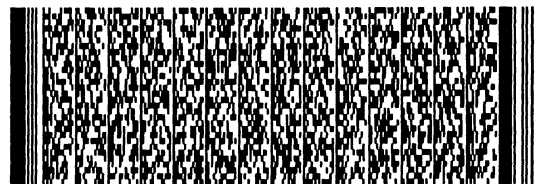
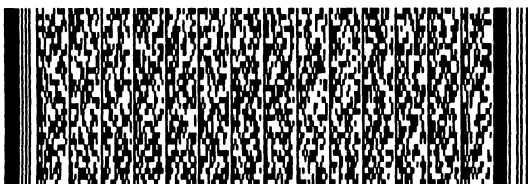
為了要協調各網路節點間往來的資料，這些用來連接各網路節點的網路設備多半具有多個用來交換資料的網路連接埠，每一個網路連接埠連接於一網路節點（或其他的網路設備）。透過一網路介面電路，這些網路設備就能經由多個不同的網路連接埠向各網路節點傳輸資料訊號，並接收由各網路節點發出的資料訊號，達到網路互連的功能。請參考圖一，其顯示了習知之多埠網路介面電路 10 的功能方塊圖；網路介面電路 10 可以是裝在集線器、交換器或路由器等網路設備的網路介面電路。在此假設網路介面電路 10 為八埠的網路介面電路，具有八個網路連接埠，分別連接於網路拓樸中的八個網路節點 19A 至 19H（也就是終端機或其他的網路設備，像是電腦、網路印表機或是其他的集線器、交換器等等），能同時傳輸訊號資料至這八個網路節點，並同時接收由這八個網路節點傳來的資料、訊號。在網路介面電路 10 中，設有一媒體存取電路（MAC, medium access control circuit）12 及一實體層電路（PHY）14，分別用來實現開放系統互連（open system interconnection）架構下媒體存取層及實體層的功能。配合網路介面電路 10 連接的八個網路節點 19A 至 19H，實體層



## 五、發明說明 (3)

電路 14 中也設有八個訊號電路 16A 至 16H，分別連接於媒體存取電路 12 的訊號埠 Sp1 至 Sp8，以處理要傳輸至各網路節點 19A 至 19H 的訊號，並分別形成對應的訊號 mp1 至 mp8，再透過傳輸埠 22A 至 22H 將這些訊號分別傳輸至網路節點 19A 至 19H。由網路節點 19A 至 19H 分別傳輸至網路介面電路 10 的訊號，則會分別經由接收埠 24A 至 24H 傳輸至一接收電路 18，在經過訊號處理後，再回傳至媒體存取電路 12。換句話說，傳輸埠 22A、接收埠 24A 合起來就形成一網路連接埠，能以雙工 (duplex) 的方式傳輸、接收網路節點 19A 的資料、訊號；同理，接收埠 24B、傳輸埠 22B 形成網路介面電路 10 對網路節點 19B 收發訊號的網路連接埠，以此類推。

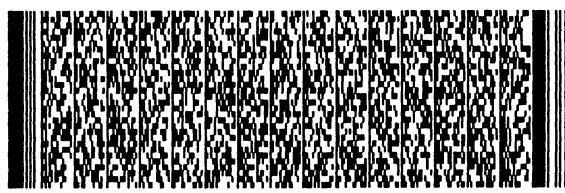
除了處理訊號傳輸的訊號電路 16A 至 16H、用來處理訊號接收的訊號電路 18 外，習知實體層電路 14 中還設有一時脈產生器 14，用來產生一時脈 CLK0，以協調實體層電路 14 中各功能方塊的運作，尤其是訊號電路 16A 至 16H。對應地，訊號電路 16A 至 16H 也分別設有一時脈端 25，以接收時脈 CLK0 之觸發而同步運作。時脈產生器 14 可以是一鎖相回路，電連於媒體存取電路 12，以根據媒體存取層電路 12 產生的參考時脈 CLKr0 來產生一同步的時脈 CLK0。換句話說，藉由對參考時脈 CLKr0 的控制，媒體存取電路 12 就能控制實體層電路 14 運作的時脈，尤其是對各網路節點 19A 至 19H 收發訊號的時序。作為一鎖相回路，時脈產生器 14



## 五、發明說明 (4)

中設有一相位偵測器 PD0、一充電電路 (charge pump) CP0、一震盪器 VCO0，也可選擇性地加上一除頻器 DIV0。相位偵測器 PD0 用來偵測參考時脈 CLKr0 以及一震盪時脈 CLKd0 間頻率及相位差，並產生一誤差訊號 Se0。充電電路 CP0 可將誤差訊號 Se0 轉換為一電壓的控制訊號 Sc0，像是利用誤差訊號 Se0 控制一電流源的電流大小，並將電流充入一電容以產生控制訊號 Sc0。作為一壓控震盪器的震盪器 VCO0 能產生時脈 (震盪時脈) CLK0，並根據控制訊號 Sc0 的電壓大小來調整時脈 CLK0 的頻率快慢。時脈 CLK0 經由除頻器 DIV0 除頻後產生的震盪時脈 CLKd0 就能回授至相位偵測器 PD0，讓時脈產生器 14 能再度根據震盪時脈 CLKd0 與參考時脈 CLKr0 間的頻率 / 相位差來修正時脈 CLK0 的頻率，最終使時脈 CLK0 得以和媒體存取電路 12 產生的參考時脈 CLKr0 同步。

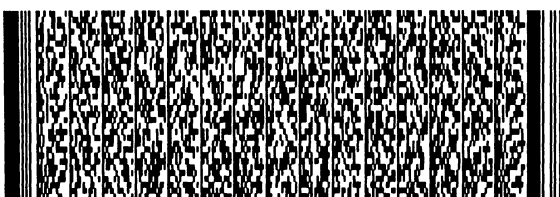
媒體存取電路 12 與實體層電路 14 間協調運作的情形可描述如下。要由網路介面電路 10 傳輸至各網路節點 19A 至 19H 的資料，會由媒體存取電路 12 加以封裝以形成封包，包括將資料附上標頭 (header)、錯誤檢查碼及相關實體裝置之位址 (像是媒體存取控制位址，MAC address) 等等，方便封包於網路上的傳輸。要傳輸至不同網路節點 19A 至 19H 的封包會分別傳輸至各個對應的訊號電路 16A 至 16H (像是要傳輸至網路節點 19A 的封包會由訊號電路 16A 來處理)，由各對應的訊號電路對封包進行必要的訊



## 五、發明說明 (5)

號處理，像是拌碼 (scramble)、編碼 (encode，如 100BASE T區域網路下的 MLT3編碼) 及適當地調變、訊號驅動，使訊號能有足夠的驅動能力及較佳的訊號波形，可由對應傳輸埠經由傳輸線順利地傳輸至各網路節點。由各網路節點傳輸至網路介面電路 10 的訊號，則會由接收電路 18 予以適當地解碼、解拌碼或解調變，還原為封包形式的資料，並回傳至媒體存取電路 12，由媒體存取電路 12 將其進行還原處理，取得封包中的資料。在實際實施時，傳輸至各網路節點的訊號 mp1 至 mp8 會以差動訊號的形式，分別透過對應的傳輸埠以傳輸線 (像是絞線對，twisted pair) 同時將兩個互為反相的訊號傳輸至對應的網路節點。同理，各網路節點也是以互為反相的兩個訊號將資料傳輸至網路介面電路 10 的對應接收埠 24A 至 24H。

請參考圖二 (並同時參考圖一)。圖二為習知網路介面電路 10 於各傳輸埠 22A 至 22H 傳輸之訊號 mp1 至 mp8，以及時脈 CLK0 波形時序之示意圖；圖二之橫軸即為時間；各訊號波形之縱軸為訊號大小。在此假設各訊號電路 16A 至 16H 為升緣 (rising edge) 觸發之訊號電路；也就是說，各訊號電路在由各自之時脈端 25 接收一觸發之時脈後，該時脈的升緣會觸發各訊號電路進行相關的訊號處理，並產生出一筆資料。如圖一所示，由於習知之網路介面電路 10 中，各訊號電路 16A 至 16H 皆同步地由時脈 CLK0 觸發，各訊號 mp1 至 mp8 可能會在同一時間發生資料轉態 (transition)，

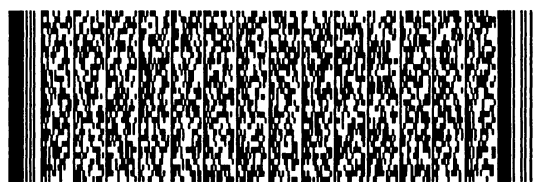
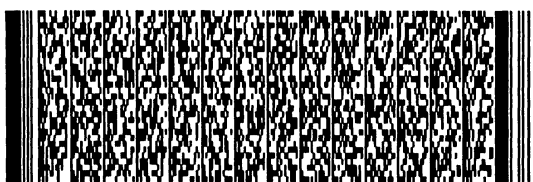




## 五、發明說明 (6)

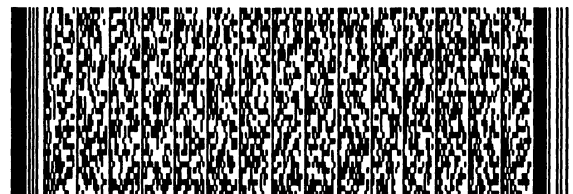
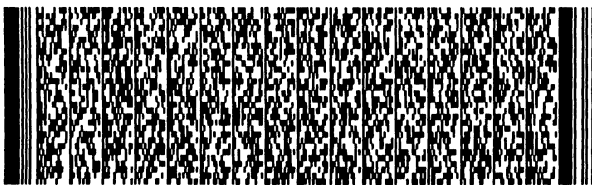
由一筆資料轉態至另一筆資料。舉例來說，如圖二所示，時脈 CLK0於時點 tp0會由低位準升高至高位準而產生一升緣，訊號 mp1中傳輸的資料也由一筆數位「0」的資料（也就是一位元的資料）轉換為一筆數位「1」的資料。同理，在時脈 CLK0在時點 tp1的升緣，訊號 mp1也會由一筆數位「1」的資料轉態為次一筆數位「0」的資料；時脈 CLK0在時點 tp4的升緣則在訊號 mp1由一筆數位「0」的資料觸發出另一筆數位「0」的資料。在習知的網路介面電路 10 中，由於各訊號電路 16A至 16H都由同一時脈 CLK0所觸發，所以各訊號電路要傳輸至各網路節點的訊號 mp1至 mp8，都會在同樣的時間發生資料轉態。如圖二所示，各訊號 mp1至 mp8都會在時點 tp0的升緣由一筆數位「0」的資料轉態為一筆數位「1」的資料；在時點 tp8的升緣，訊號 mp3至 mp8會由數位「1」的資料轉態為數位「0」的資料；以此類推，訊號 mp1至 mp6在時點 tp11的升緣會由數位「1」的資料轉態為數位「0」的資料，等等。

如技藝人士所知，各訊號電路 16A至 16H要將訊號 mp1至 mp8透過傳輸線傳輸至對應的網路節點 19A至 19H時，要有足夠的驅動能力，才能將各訊號中各筆位元的資料順利經由傳輸線傳輸至遠端的網路節點。舉例來說，訊號電路 16A在時點 tp0有一資料轉態，要在傳輸數位「0」之資料後再傳輸一數位「1」之資料至網路節點 19A；此時訊號電路 16A就要透過傳輸埠 22A以大電流來驅動 (drive) 傳輸埠



## 五、發明說明 (7)

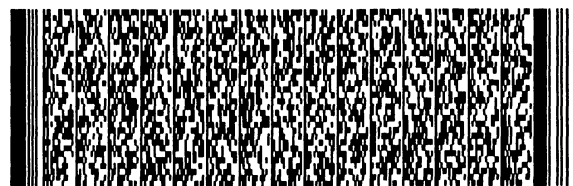
22A、網路節點 19A間的傳輸線，才能快速地將整條傳輸線上的電壓由原來數位「0」的低位準拉高至數位「1」的高位準。相對地，一旦順利將傳輸線上的訊號拉至高位準，訊號電路 16A所需的訊號驅動力就能大幅減少，只需較少的功率，就能維持傳輸線上的高位準。像在時點  $tp_A$ ，沒有資料轉態的產生，實體層電路 14整體的耗電變化最少，故沒有供電上之震盪 (power bounce)產生。另一方面，到了時點  $tp_1$ ，訊號電路 16A也要以大電流對整條傳輸線放電，才能將傳輸線上的電壓由原本的高位準拉低至低位準，以便在數位「1」之資料後，發出一數位「0」之資料。同理，其他的訊號電路 16B到 16H，也要在各對應訊號發生資料轉態時，以大電流變化來驅動訊號透過傳輸線傳輸至遠端的對應網路節點。然而，由於圖一中之習知多埠網路介面電路 10是以單一時脈 CLK0來同時觸發各個訊號電路 16A至 16H，所以各個訊號電路皆在同樣的時間（也就是時脈 CLK0的升緣）發生資料轉態，並要在同一時間以大電流來分別驅動對應的資料轉態。由於各訊號電路都要在同一時間引用大功率的電流來驅動訊號，會突然增加實體層電路 14的總體功率需求，並引起供電震盪 (power bounce)。一般來說，網路介面電路 10是以外部的直流偏壓來供應其所需的功率；若是網路介面電路 10中各訊號電路 16A至 16H為了要驅動資料轉態而在同一時間增加功率需求，外部的直流偏壓會無法平順地立即回應此功率需求，而造成響應上的漣波 (ripple)，使該直流偏壓無法維持對



## 五、發明說明 (8)

網路介面電路 10 的穩定功率供應，連帶地危及各訊號電路 16A 至 16H 的正常運作。尤其是當網路介面電路 10 剛開始運作時，會發出鏈結脈波 (link pulses) 傳輸至各網路節點以和各網路節點建立同步之聯繫；在建立鏈結初期便會發生較嚴重的供電震盪，因為各訊號 mp1 至 mp8 都會同時發生相同的資料轉態，並在同一時間增大功率需求以驅動資料轉態，像是在圖二中由時點 tp0 至 tp7 的這段時間所示的。即使各訊號 mp1 至 mp8 稍後會傳輸不同的資料，但還是會有相當大的機率有數個訊號同時發生資料轉態而產生不小的供電震盪，像是在時點 tp8，有六個訊號 mp3 至 mp8 會同時發生資料轉態。

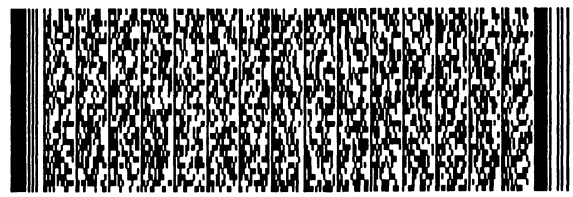
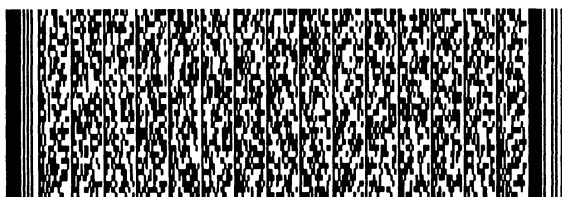
除了引起供電震盪之外，習知網路介面電路 10 同時觸發之資料轉態，還容易引發各訊號電路、傳輸線間的串響 (cross-talk)。舉例來說，在時點 tp0，訊號 mp1 至 mp8 同時都要由低位準升高至高位準，由於訊號電路 16A、16B 之間的相長性電氣耦合，訊號 mp1 會耦合到訊號 mp2 在同一時間升高位準的部分能量，使訊號 mp1 之訊號位準可能上升到比數位「1」標準高位準還高的位準，如圖二中虛線波形 27a 所示。換句話說，在升高到代表數位「1」的預設位準後，訊號 mp1 之訊號位準還會因電氣耦合而繼續上升，並超過線路額定的訊號位準，損壞訊號電路。同理，在時



## 五、發明說明 (9)

點  $tp_9$ ，訊號  $mp_2$  要由高位準轉換至低位準，同時間訊號  $mp_3$  也要由低位準轉換為高位準；訊號  $mp_2$  在拉低至低位準的過程中，會因為耦合到訊號  $mp_3$  位準升高的部分能量而無法真正降低到代表數位「0」的標準低位準（或要用較長的反應時間才能降低到數位「0」的標準低位準），如虛線波形 27b 所示；而訊號  $mp_3$  也可能因為部分的能量被耦合至訊號  $mp_2$  而無法真正升高到代表數位「1」的標準高位準（或要用較長時間才能升至高位準），如虛線波形 27c 所示。一旦訊號  $mp_1$  至  $mp_8$  的波形發生上述的失真及延遲，就會導致資料誤判（像是將數位「0」之資料錯誤地變為數位「1」之資料）、訊號時序難以同步等等對網路資料傳輸不良的影響。

總結上述討論可知，由於習知之多埠網路介面電路 10 是由同一時脈觸發要傳輸至不同網路節點的訊號，使得各訊號會在同一時間同步地發生資料轉態，導致供電震盪及串響的不良效應，使得習知的網路介面電路會有功率不穩、訊號波形失真等等缺點。尤其是現代對網路資料傳輸速度的要求較高，使得單位時間內要傳輸的位元資料增加，相當於增加單位時間內的資料轉態；對習知的網路介面電路 10 來說，功率由震盪後恢復平穩的時間餘裕就更形縮短，相對地供電震盪的情形就會更加嚴重。因為要快速地驅動資料轉態，各訊號電路驅動訊號所需的能量更大，同時資料轉態所引起的供電震盪、電氣耦合乃至於波形失



## 五、發明說明 (10)

真，也就會變得更明顯。

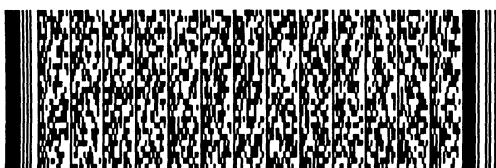
## 發明內容：

因此，本發明之主要目的，在於提供一種以不同相位之時脈觸發各訊號電路傳輸訊號之網路介面電路及相關控制方法，以使要傳輸至各網路節點的訊號不會同時發生資料轉態 (transition)，減少供電震盪及串響的不利影響。

在習知技術中，各個用來產生傳輸訊號的訊號電路都以一相同的時脈觸發，使得各訊號會同時發生資料轉態，會導致供電震盪及串響，使得習知網路介面電路不能穩定地工作，並造成網路資料傳輸波形失真、延遲及誤傳等負面影響。

在本發明中，不同的訊號電路係根據不同相位的時脈加以觸發，使得各訊號電路要傳輸至各網路節點的訊號不會在同一瞬間發生資料轉態，也因此本發明之網路介面電路不會有功率需求瞬間突增的現象，避免供電震盪的發生；而在資料轉態瞬間因電氣互耦產生的串響現象也得以大幅減輕。

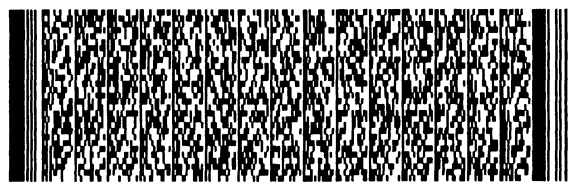
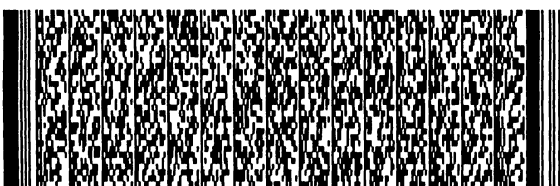
## 實施方式：



## 五、發明說明 (11)

請參考圖三。圖三為本發明多埠網路介面電路30功能方塊之示意圖。網路介面電路30可用在像是交換器、集線器或是路由器等等的網路設備中，用來與多個網路節點交換資料、訊號。在圖三中的實施例中，亦假設網路介面電路30為一八埠的網路介面電路，以八個網路連接埠分別與八個網路節點39A至39H交換資料。網路介面電路30中亦設有一媒體存取電路32及一實體層電路34。媒體存取電路32用來控制網路傳輸的進行。實體層電路34中設有一時脈產生器40、一接收電路38以及八個訊號電路36A至36H。訊號電路36A至36H分別用來產生訊號m1至m8，並分別透過傳輸埠42A至42H將各訊號m1至m8傳輸至對應的網路節點39A至39H。由網路節點39A至39H回傳至網路介面電路30的訊號，則會分別由各接收埠43A至43H傳輸至接收電路38，並在訊號處理後回傳至媒體存取電路32。訊號電路36A至36H分別設有一時脈端45，用來接收一時脈的觸發以協調各訊號電路之運作。其中各訊號電路36A至36H可分別由不同相位的時脈c1至c8來觸發，而不是由單一時脈統一地觸發。為了配合這樣的機制，時脈產生器40也可依據媒體存取電路32由時脈端CK輸出的參考時脈CLKr，產生各時脈c1至c8。

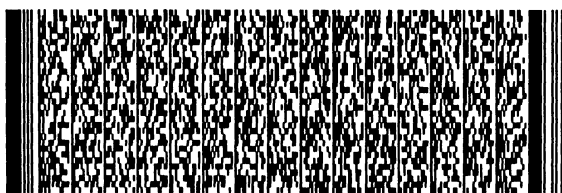
網路介面電路30運作的情形可描述如下。類似於圖一中網路介面電路10的運作原理，媒體存取電路32可將要傳輸至各網路節點的資料封裝為封包，透過各網路連接埠S1



## 五、發明說明 (12)

至 S8 分別傳輸至對應的訊號電路 36A 至 36H。訊號電路 36A 至 36H 會根據媒體存取電路 32 傳來的控制指令對各封包進行訊號處理（像是拌碼、編碼或調變）及訊號驅動，並分別在時脈 c1 至 c8 的觸發之下，產生訊號 m1 至 m8，再透過對應的傳輸埠 42A 至 42H 將訊號 m1 至 m8 分別傳輸至各個網路節點 39A 至 39H。由各網路節點 39A 至 39H 傳輸至網路介面電路 30 的訊號會經由各接收埠 43A 至 43H 傳至接收電路 38，由接收電路 38 進行解編、解拌碼或解調等訊號處理以還原出封包形式的資料，回傳至媒體存取電路 32。媒體存取電路 32 就能對這些封包進行解封裝，取出其中的資料。各傳輸埠 42A 至 42H，連同接收埠 43A 至 43H，就分別形成對各網路節點 39A 至 39H 收發資料的網路連接埠。

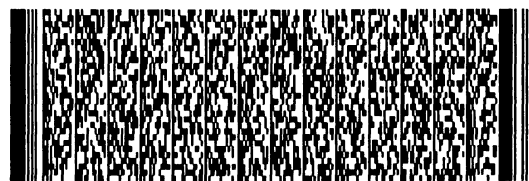
本發明中之訊號電路 36A 至 36H 可分別以不同相位之時脈 c1 至 c8 予以觸發，使各訊號 m1 至 m8 資料轉態發生的時間得以錯開。關於此種運作機制，請參考圖四（及圖三）。圖四為本發明於一實施例中，各訊號 m1 至 m8、對應時脈 c1 至 c8 波形時序之示意圖；圖四之橫軸為時間，各訊號波形之縱軸為波形的大小。在圖四的實施例中，時脈產生器 40 係依據參考時脈 CLK<sub>r</sub> 產生出八個頻率（週期）相同、但相位互異的時脈 c1 至 c8，分別用來觸發訊號 m1 至 m8 之產生。這樣一來，各訊號 m1 至 m8 資料轉態發生的時間也會互相錯開。舉例來說，如圖四所示，時脈 c1、c2 具有相同的週期 T，但時脈 c1、c2 間具有相位差，此相位差於波形反映出



## 五、發明說明 (13)

來的就是時間上的延遲。就像圖四中所標示的，時脈  $c_1$ 、 $c_2$  的升緣相互間有時段  $t_d$  的延遲時間差，因此，訊號  $m_1$  及  $m_2$  資料轉態發生的時間也會有時段  $t_d$  的延遲；如圖四中，在時脈  $c_1$  的觸發下（此處亦假設為升緣觸發），訊號  $m_1$  在時點  $t_0$  有一資料轉態，由一筆數位「0」的一位元資料轉態為一筆數位「1」的資料；而在時脈  $c_2$  的觸發下，訊號  $m_2$  的資料轉態就會延遲時段  $t_d$ ，在時點  $t_0 + t_d$  才會發生資料轉態，由一筆數位「0」的資料轉態為一筆數位「1」的資料。換句話說，當訊號  $m_1$  數位「0」之資料傳輸完而要傳輸數位「1」的資料時，訊號  $m_2$  還在傳輸同一筆數位「0」的資料，不會在同一時間發生資料轉態。同理，時脈  $c_2$ 、 $c_3$  間亦具有相位差（同樣反映為時段  $t_d$  的延遲時間），訊號  $m_2$ 、 $m_3$  資料轉態發生的時間也會有時段  $t_d$  的時間差。就如圖四所示，繼訊號  $m_2$  在時點  $t_0 + t_d$  發生資料轉態後，訊號  $m_3$  在時點  $t_0 + 2t_d$  才會發生資料轉態，由一筆數位「0」的資料轉態為數位「1」的資料。以此類推，在圖四的實施例中，時脈  $c_1$  至  $c_8$  兩兩之間均具有時段  $t_d$  的時間差（也就是相位差），使得各訊號  $m_1$  至  $m_8$  資料轉態發生的時間會完全相互錯開，散佈在時域上的不同時點，避免各訊號會在同一時間發生資料轉態。

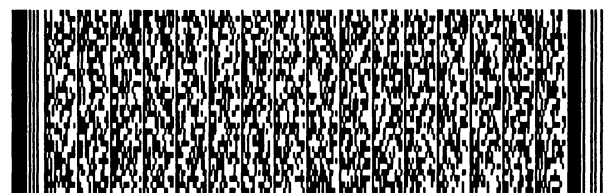
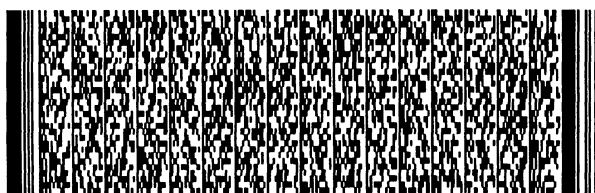
只要各訊號  $m_1$  至  $m_8$  不會在同一時間發生資料轉態，各訊號電路 36A 至 36H 就不會在同一時間增大功率需求來驅動資料轉態，也就能避免供電震盪。如前所述，在各訊號發





## 五、發明說明 (14)

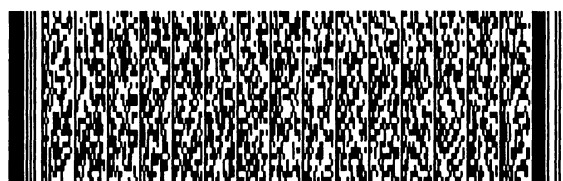
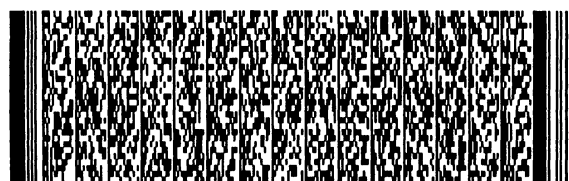
生資料轉態時，對應訊號電路訊號的功率需求就會大增，以便增加訊號驅動的能力，驅動資料轉態。若像習知技術一樣，各訊號都在同一時間發生資料轉態，各訊號電路的功率需求就會同一時間增加，使習知網路介面電路10總體功率需求瞬間突增，導致供電震盪。相較之下，本發明能錯開各訊號資料m1至m8資料轉態發生的時間，連帶地各訊號電路36A至36H就不會同時增加功率需求，網路介面電路30總體功率需求也會平均地散佈在時域，不會在某一時刻突然暴增，進而避免供電震盪。同理，由於各訊號m1至m8資料轉態之時間錯開，各訊號資料轉態期間因電氣能量互耦而造成的串響也得以避免，使本發明中各訊號的波形能較符合理想波形，也不會有額外的延遲。特別是對於晶片設計中電磁干擾(EMI)的問題也可以獲得顯著的改善；隨著單位時間內驅動電流的變化率降低，晶片中的電磁干擾也會隨之降低。在實際實施時，各時脈c1至c8間相位差的大小(也就是時段td的長短)可視功率響應、串響影響的程度及週期T之長短來決定。舉例來說，若在某一訊號電路因應資料轉態而增加功率需求後，對網路介面電路30之功率供應能在一時段ts後恢復平穩，那麼時段td只要略大於時段ts，就能大幅減少供電震盪的情形。同理，若在某一訊號發生資料轉態後，只要再經過一時段ts2，該訊號之暫態對其他訊號電氣耦合之影響程度就能大幅減少，那麼只要時段td略大於時段ts2，就能大幅減輕串響的影響。而圖四中實施例各時脈間相互的相位差也不一定要相



## 五、發明說明 (15)

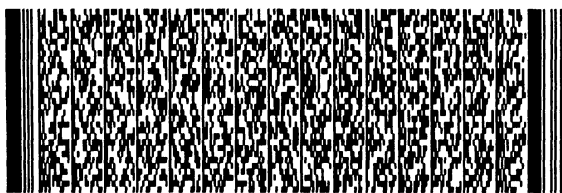
同，像時脈  $c1$ 、 $c2$ 間的相位差可以和時脈  $c2$ 、 $c3$ 間的相位差不同。

請參考圖五（並一併參考圖三）。圖五為本發明第二實施例中，訊號  $m1$ 至  $m8$ 、時脈  $c1$ 至  $c8$ 波形時序的示意圖；同圖四的圖例，圖五的橫軸為時間，各訊號、時脈的縱軸為波形大小。在此實施例中，時脈產生器 40產生四組相位相異的時脈，其中時脈  $c1$ 、 $c5$ 為同頻率（同週期）同相位的時脈，時脈  $c2$ 、 $c6$ 為同頻同相位的時脈， $c3$ 、 $c7$ 及  $c4$ 、 $c8$ 為另兩組同頻率同相位的時脈。各組時脈間則互有相位差，反映為時段  $t_a$ 的延遲時間。如圖五所示，時脈  $c1$ 、 $c5$ 的升緣與時脈  $c2$ 、 $c6$ 的升緣有時段  $t_a$ 的延遲，時脈  $c3$ 、 $c7$ 的升緣與時脈  $c2$ 、 $c6$ 間的升緣也有時段  $t_a$ 的延遲，以此類推。在這些時脈的觸發下，訊號  $m1$ 、 $m5$ 的資料轉態會在同一時間被觸發，訊號  $m2$ 、 $m6$ 的資料轉態會在同一時間被觸發，但訊號  $m1$ 、 $m5$ 與訊號  $m2$ 、 $m6$ 間不會同時發生資料轉態。舉例來說，在圖五中，訊號  $m1$ 、 $m5$ 在時脈  $c1$ 、 $c5$ 的觸發下，會在時點  $t_1$ 由低位準的數位「0」轉換為高位準的數位「1」，訊號  $m2$ 、 $m6$ 在時脈  $c2$ 、 $c6$ 的觸發下，則會延遲時段  $t_a$ ，在時點  $t_1+t_a$ 才會發生資料轉態，由數位「0」的資料轉態為數位「1」的資料。同理，訊號  $m3$ 、 $m7$ 則會再延遲至時點  $t_1+2t_a$ 時才發生資料轉態。若是對網路介面電路 30的功率供應能力較佳，能穩定地應付容許數個訊號電路在同一時間增高的功率需求，就可採用圖五中的實施



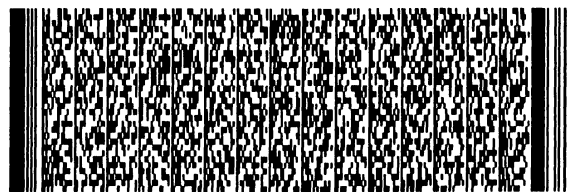
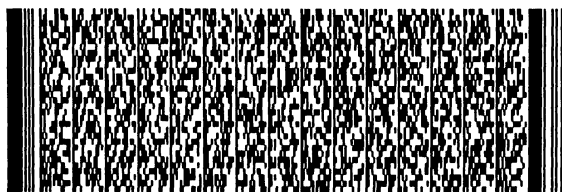
## 五、發明說明 (16)

例，以數個訊號電路為一組（圖五實施例是以兩個訊號電路為一組），以同相位的時脈觸發同一組中的不同訊號電路。在這種實施例中，時脈產生器40所要產生的相位相異時脈之個數就可減少，在規劃各時脈間相位差（也就是時段 $t_a$ 的長短）時也會較有彈性。但本實施例還是能避免多個（或所有）訊號電路同時增加功率需求所引起的供電震盪；由於本實施例可確實掌握同一時間內會增加功率需求的訊號電路之數目，也能較為精確地設計、規劃對網路介面電路30的功率供應。以圖五中的實施例來說，同一時間內最多只有同一組內的兩個訊號電路會增加功率需求以驅動資料轉態（譬如說在時點 $t_1$ 最多只有訊號電路36A、36E會驅動訊號 $m_1$ 、 $m_5$ 中的資料轉態），這樣一來電路設計者就能較佳地掌握本發明網路介面電路30在各時間的功率需求。相較之下，習知之網路介面電路10在同一時間可能只有八個訊號電路要驅動資料轉態，由於功率需求的不確定性較大，增加電路設計、規劃時的困難。另外，在實際實施本發明類似圖五所示的實施例時，可選擇佈局較遠的兩個（或數個）訊號電路為一組，以同一時脈觸發。串響的電氣耦合在佈局較近的線路上會比較強烈，造成的負面影響也比較大。若在佈局較遠的不同訊號電路以同一時脈觸發，即使會在同一時間發生資料轉態，不同線路間的電氣耦合也較小，使串響的影響能有效降低。



## 五、發明說明 (17)

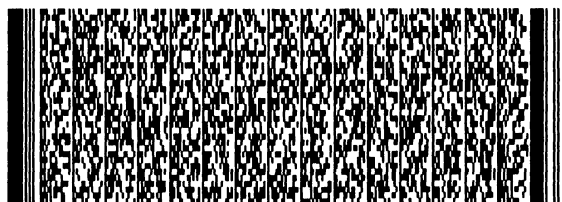
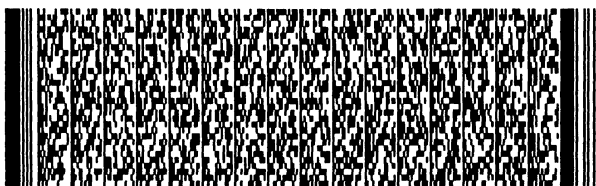
請繼續參考圖六（並一併參考圖三）。圖六為圖三中時脈產生器 40 一實施例之功能方塊示意圖。在此實施例中，時脈產生器 40 中設有一相位偵測器 PD、一充電電路 CP、一震盪器 VCO 以形成一鎖相回路，並可選擇性地加上一除頻器 DIV。類似於圖一中的時脈產生器 20，時脈產生器 40 亦是根據媒體存取電路 32 提供的參考時脈 CLK<sub>r</sub> 來產生各時脈 c1 至 c8，以觸發各訊號電路 36A 至 36H 產生訊號 m1 至 m8。時脈產生器 40 的工作原理可描述如下：相位偵測器 PD 會偵測一時脈 CLK<sub>d</sub> 與參考時脈 CLK<sub>r</sub> 間頻率或相位的誤差，並產生一誤差訊號 S<sub>e</sub>；充電電路 CP 會根據誤差訊號 S<sub>e</sub> 產生對應的電壓控制訊號 S<sub>c</sub>；震盪器 VCO 可震盪出一時脈（一震盪時脈）CLK，並根據控制訊號 S<sub>c</sub> 來調整時脈 CLK 的頻率大小。時脈 CLK 經過除頻器 DIV 除頻後產生的時脈 CLK<sub>d</sub> 就會迴授至相位偵測器 PD，再根據時脈 CLK<sub>d</sub> 及參考時脈 CLK<sub>r</sub> 間的頻率、相位間的誤差反覆修正時脈 CLK 的頻率，最後使時脈 CLK 得以和參考時脈 CLK<sub>r</sub> 同步。在時脈產生器 40 中，震盪器 VCO 可用環式震盪器來實現，像圖六中的震盪器 VCO 即以五個互相串連的反相器 48 形成一典型的環式震盪器，控制訊號 S<sub>c</sub> 可控制每個反相器反相輸出的延遲時間，以控制此環式震盪器產生的時脈 CLK 之週期。而本發明即可利用此環式震盪器中每個反相器 48 的輸出來產生不同相位的時脈。如圖六所示，圖六中繪出之時脈 CK<sub>a</sub> 至 CK<sub>e</sub> 的波形即為震盪器 VCO 中各反相器輸出的訊號波形（各波形的橫軸為時間，縱軸為波形大小），可看出各時脈 CK<sub>b</sub> 至 CK<sub>e</sub> 之升



## 五、發明說明 (18)

緣相對於時脈 CKa之升緣分別具有時段  $t_c$ 、 $2t_c$ 、 $3t_c$ 及  $4t_c$  的延遲時間（也就是相對於時脈 CKa的相位差）。圖六波形中標出的時段  $t_g$ ，即為一反相器反相輸出的延遲時間；舉例來說，時脈 CKa經過一反相器 48延遲反相輸出的結果即為時脈 CKd。在使用圖六中的配置來實現本發明時，舉例來說，可取用時脈 CKa至 CKd分別做為時脈 c1至 c4（及 c5至 c8），即可實現本發明於圖五中的實施例。另外，要實施圖四中的實施例，則可在震盪器 VCO中串連九個反相器（或四個差動驅動、差動輸出的反相器）以產生出八個不同相位的時脈。圖六中要於各反相器 48中取出各時脈時，也可另以緩衝器 50來增加各時脈的驅動能力，並防止雜訊進入反相器 48所在的鎖相回路中。

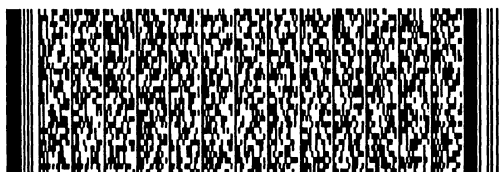
總結來說，在習知的多埠網路介面電路中，用來傳輸訊號的多個訊號電路受同一時脈的觸發，會在同一時間提高功率需求以驅動傳輸訊號中的資料轉態，造成功率需求瞬間突增，導致供電震盪；且各訊號電路在同時驅動訊號轉換時，還會因電氣能量錯誤地耦合而引發傳輸訊號的波形失真、延遲等等對網路訊號傳輸不利的影響。相較之下，本發明的多埠網路介面電路中係以不同相位的時脈來驅動不同的訊號電路，能錯開不同訊號在傳輸時資料轉態發生的時間，使得功率需求不會突然暴增，避免供電震盪，也能大幅減少串響的影響，維護網路訊號傳輸的品質。在 100BASE T的區域網路架構中，傳輸至網路節點的



##### 五、發明說明 (19)

訊號會以 MLT-3 的編碼方式編碼為具有「-1」、「0」及「1」三種數位資料的訊號，但本發明之精神仍可使用於 100BASE T 網路架構下的多埠網路設備，避免網路設備中電路的供電震盪及串響。

以上所述僅為本發明之較佳實施例，凡依本發明申請專利範圍所做之均等變化與修飾，皆應屬本發明專利之涵蓋範圍。



## 圖式簡單說明

## 圖式之簡單說明：

圖一為一習知多埠網路介面電路之功能方塊圖。

圖二為圖一中網路介面電路運作時各埠傳輸訊號及相關時脈之波形時序圖。

圖三為本發明多埠網路介面電路之功能方塊圖。

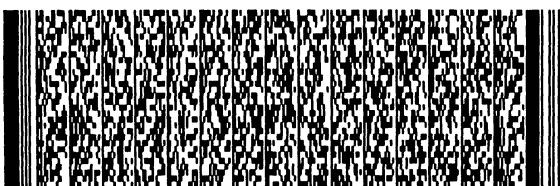
圖四為圖三中網路介面電路控制時脈及相關訊號於一實施例中之波形時序圖。

圖五為圖三中網路介面電路控制時脈及相關訊號另一實施例中之波形時序圖。

圖六為圖三中時脈產生器一實施例之功能方塊圖。

## 圖式之符號說明：

10、30	網路介面電路
12、32	媒體存取電路
14、34	實體層電路
16A-16H、36A-36H	訊號電路
18、38	接收電路
19A-19H、39A-39H	網路節點
20、40	時脈產生器
22A-22H、42A-42H	傳輸埠
24A-24H、43A-43H	接收埠
25、45	時脈端



## 圖式簡單說明

27a-27c	虛線波形
48	反相器
CLKr0、CLKr	參考時脈
CK0、CK	時脈端
PD0、PD	相位偵測器
CP0、CP	充電電路
VC00、VC0	震盪器
DIV0、DIV	除頻器
Se0、Se	誤差訊號
Sc0、Sc	控制訊號
Sp1-Sp8、S1-S8	訊號埠
mp1-mp8、m1-m8	訊號
T	週期
Td、ta、td	時段
tp0-tp11、tpa、t0-t1	時點
CLK0、CLKd0、c1-c8、CLKd、CLK、CKa-CKe、 CL1-CL8	時脈





四、中文發明摘要 (發明名稱：以不同相位之時脈觸發多埠訊號傳輸之多埠網路介面電路及相關方法)

本發明係提供一種多埠網路介面電路及相關控制方法。該多埠網路介面電路係用來以多埠將複數個訊號傳輸至一網路的不同網路節點(像是終端機)，其中該網路介面電路係以具有相位差的不同時脈來觸發各埠的訊號傳輸，使得各埠傳輸訊號之資料轉態(transition)不會同時發生。

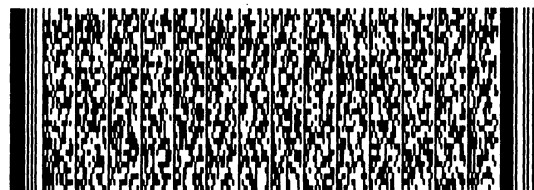
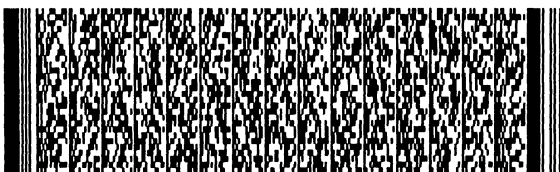
伍、(一)、本案代表圖為：第 3 圖

(二)、本案代表圖之元件代表符號簡單說明：

30	網路介面電路	32	媒體存取電路
34	實體層電路	36A-36H	訊號電路
38	接收電路	39A-39H	網路節點
40	時脈產生器	42A-42H	傳輸埠
43A-43H	接收埠	45	時脈端
CLKr	參考時脈	CK	時脈端

陸、英文發明摘要 (發明名稱：Multi-Port Network Interface Circuit And Related Method For Triggering Transmission Signals Of Multiple Ports With Clocks Of Different Phases)

A multi-port network interface circuit and relative control method. The multi-port network is used for transmitting a plurality of signals to different nodes( like terminals) of a network via multiple ports of the network interface circuit, wherein the network interface circuit triggers the transmission of the signals of the different ports with clocks of different phases, such that

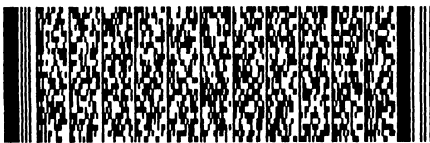


四、中文發明摘要 (發明名稱：以不同相位之時脈觸發多埠訊號傳輸之多埠網路介面電路及相關方法)

S1-S8	訊號埠	m1-m8	訊號
c1-c8	時脈		

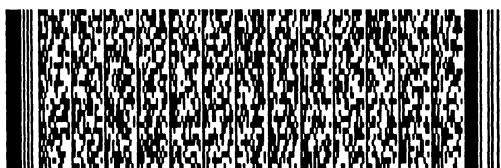
陸、英文發明摘要 (發明名稱：Multi-Port Network Interface Circuit And Related Method For Triggering Transmission Signals Of Multiple Ports With Clocks Of Different Phases)

transition of the transmitted signals of different ports will not happen at a same time.



## 六、申請專利範圍

1. 一種網路介面電路，用以與複數個網路節點通訊；  
該網路介面電路包含有：  
一第一訊號電路，用來根據一第一時脈產生一第一訊號；  
一第二訊號電路，用來根據一第二時脈產生一第二訊號；  
一第一傳輸埠及一第二傳輸埠，分別用來將該第一訊號及該第二訊號傳輸至該些網路節點；以及  
一時脈產生器，用來產生該第一時脈及該第二時脈，而該第一時脈與該第二時脈間具有一預設之相位差。
2. 如申請專利範圍第1項之網路介面電路，其中該時脈產生器包含有：  
一相位偵測器，用來偵測一參考時脈與一震盪時脈間頻率或相位的誤差並產生一對應的誤差訊號；  
一充電電路 (charge pump)，電連於該相位偵測器，用來根據該誤差訊號產生一控制訊號；以及  
一震盪器，電連於該充電電路，用來根據該控制訊號調整該震盪時脈的頻率。
3. 如申請專利範圍第2項之網路介面電路，其中該震盪器為一環式 (ring oscillator) 震盪器，其包含有：複數個反相器，每一反相器用來將另一反相器輸出的訊號反相並延遲一延遲時間以產生對應的輸出訊號；該震盪器可根



## 六、申請專利範圍

據該控制訊號調整各反相器的延遲時間，並以該些反相器中之一反相器的輸出訊號作為該震盪時脈。

4. 一種網路介面電路，用以與複數個網路節點通訊；該網路介面電路包含有：

一鎖相回路，用以接收一外部參考時脈以產生複數個時脈，而該些時脈間彼此具有一預設之相位差；

複數個訊號電路，耦接至該鎖相回路，用以根據該些時脈分別產生複數個傳輸訊號；以及

複數個網路連接埠，耦接至該些訊號電路，用以將該些傳輸訊號分別傳輸至該些網路節點。

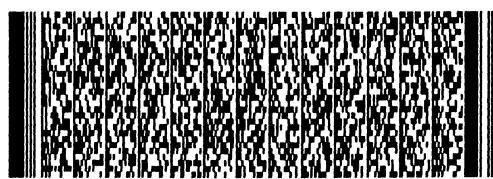
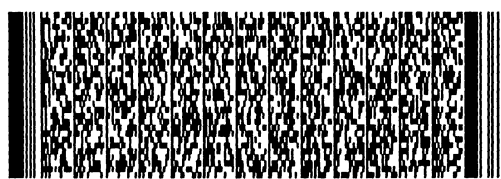
5. 如申請專利範圍第4項之網路介面電路，其中該鎖相回路包含有：

一相位偵測器，用來偵測該外部參考時脈與一震盪時脈間頻率或相位的誤差並產生一對應的誤差訊號；

一充電電路 (charge pump)，電連於該相位偵測器，用來根據該誤差訊號產生一控制訊號；以及

一震盪器，電連於該充電電路，用來根據該控制訊號調整該震盪時脈的頻率。

6. 如申請專利範圍第5項之網路介面電路，其中該震盪器為一環式 (ring oscillator) 震盪器，其包含有：複數個反相器，其彼此串接，每一反相器用來將另一反相器輸



#### 六、申請專利範圍

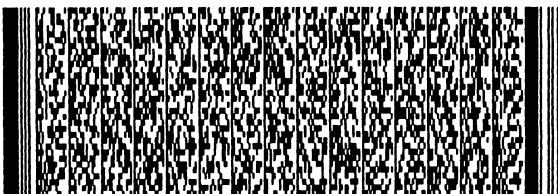
出的訊號反相並延遲一延遲時間以產生對應的輸出訊號；該震盪器可根據該控制訊號調整各反相器的延遲時間，並以該些反相器中之一反相器的輸出訊號作為該震盪時脈。

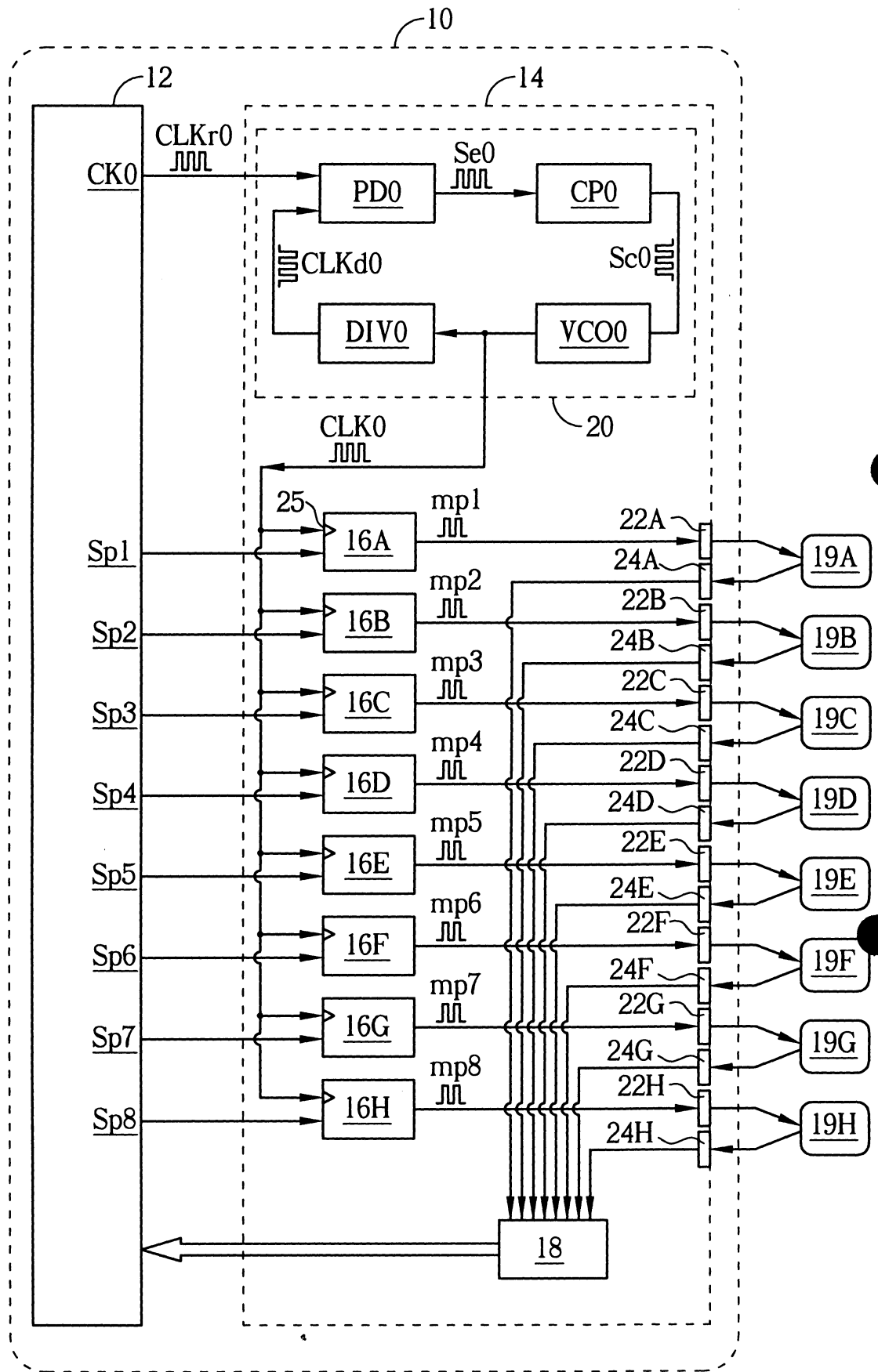
7. 如申請專利範圍第6項之網路介面電路，其中該控制訊號係提供各反相器一實質相同之延遲量。

8. 一種降低一實體層電路之電磁干擾之方法，包含下列步驟：

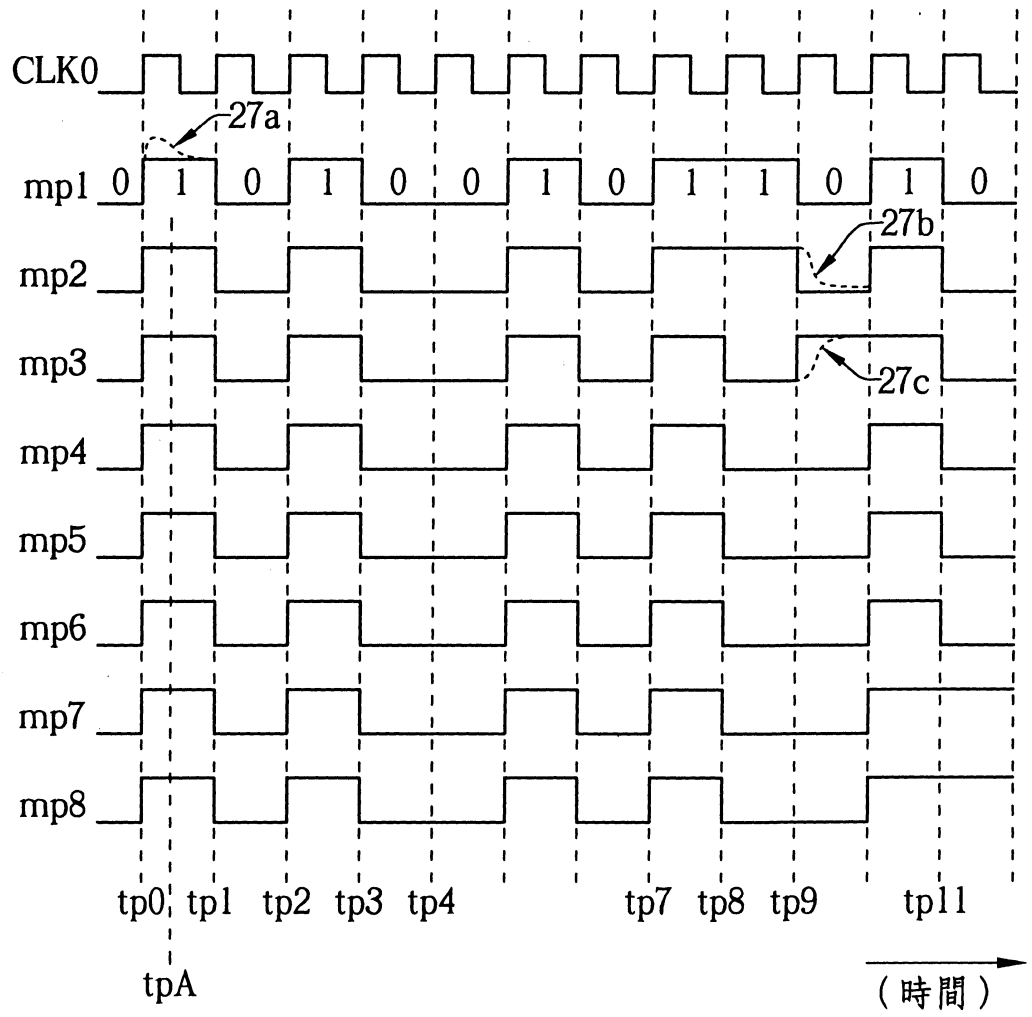
接收一外部參考時脈以產生複數個時脈，該些時脈具有一相同頻率，而彼此間具有相位差；  
根據該些時脈分別地產生複數個傳輸訊號；以及  
將該些傳輸訊號分別地傳輸至複數個網路節點。

9. 如申請專利範圍第8項之方法，其中該些時脈間彼此具有一實質相同之相位差。

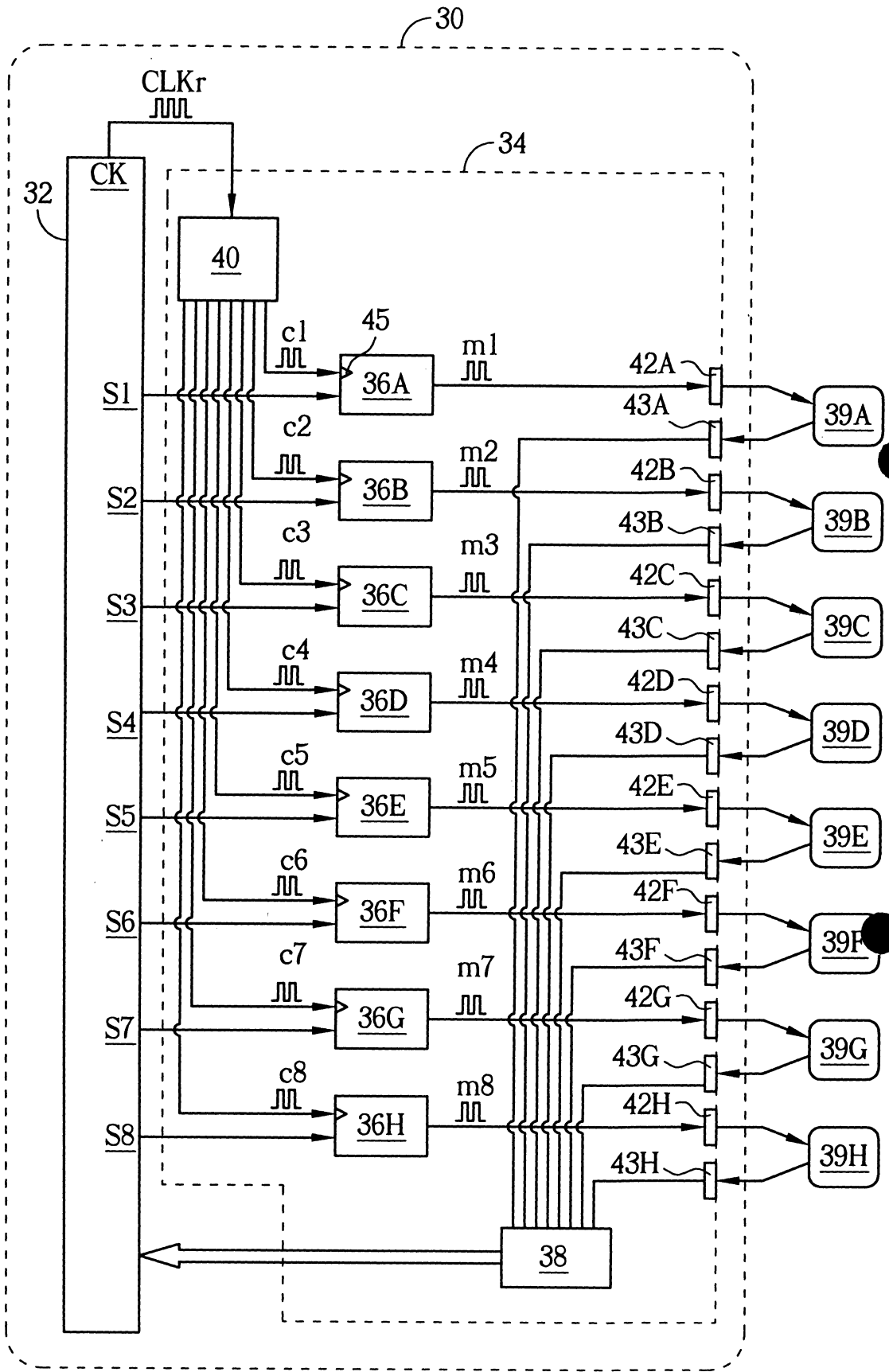




圖一

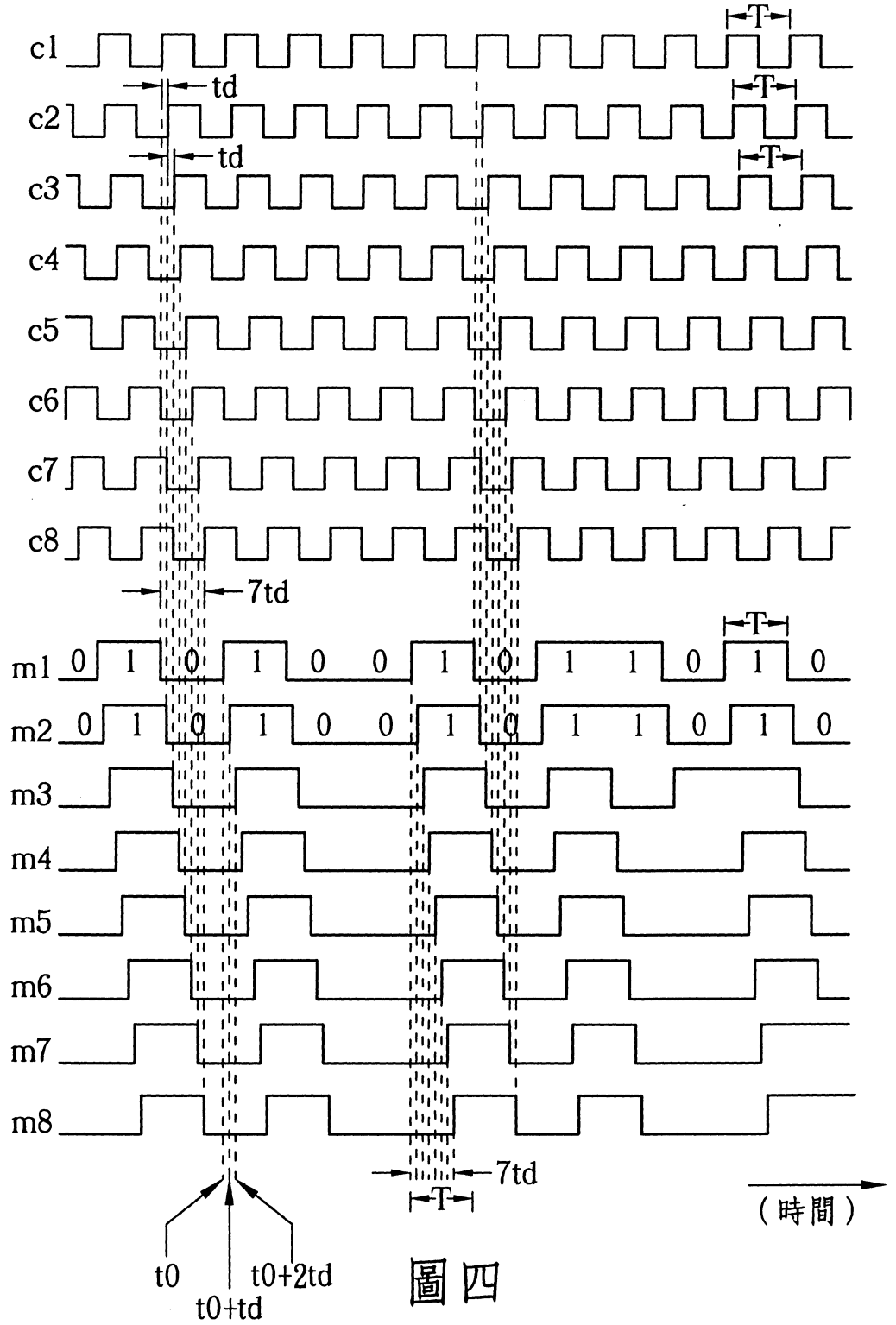


圖二

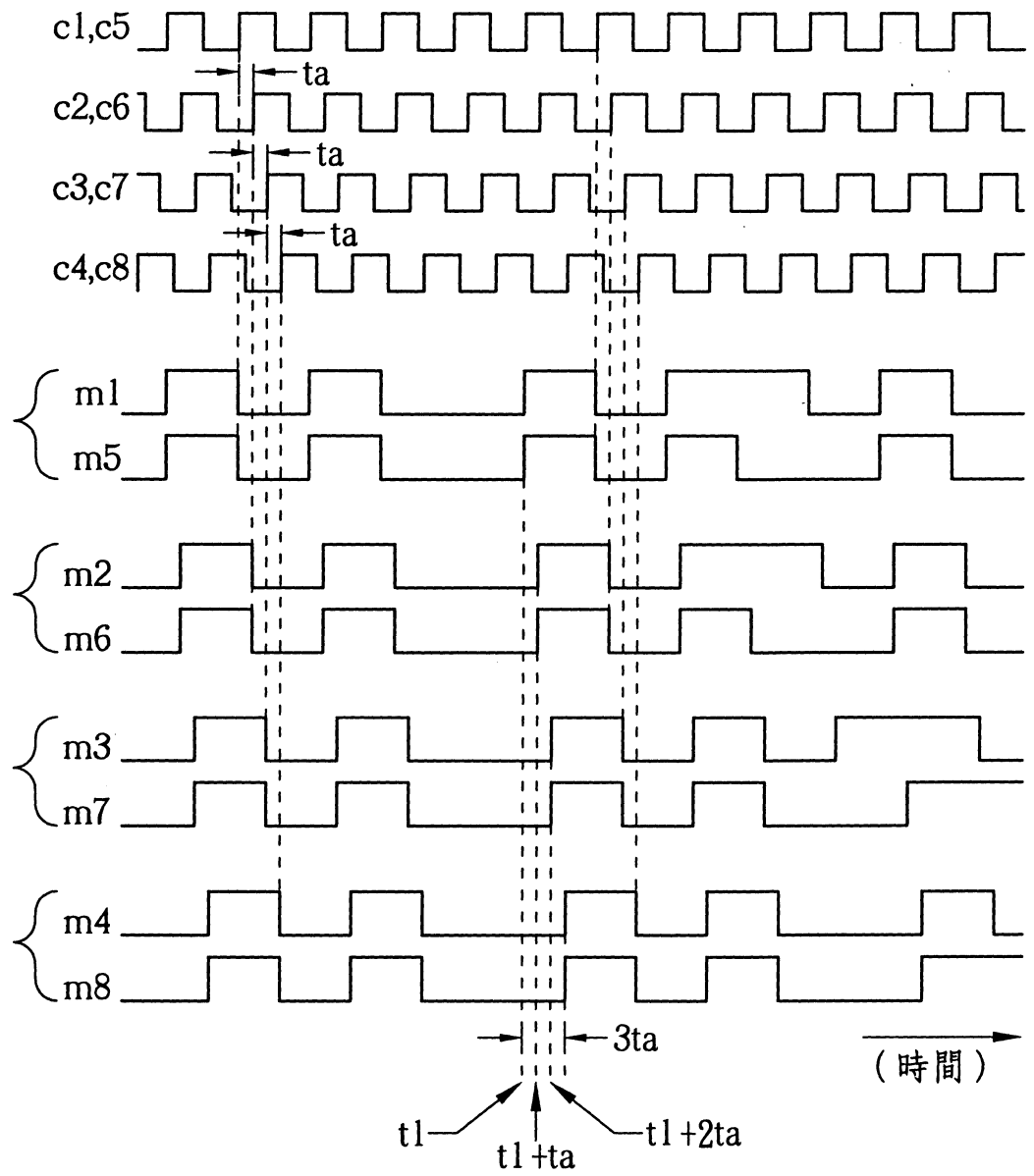


圖三

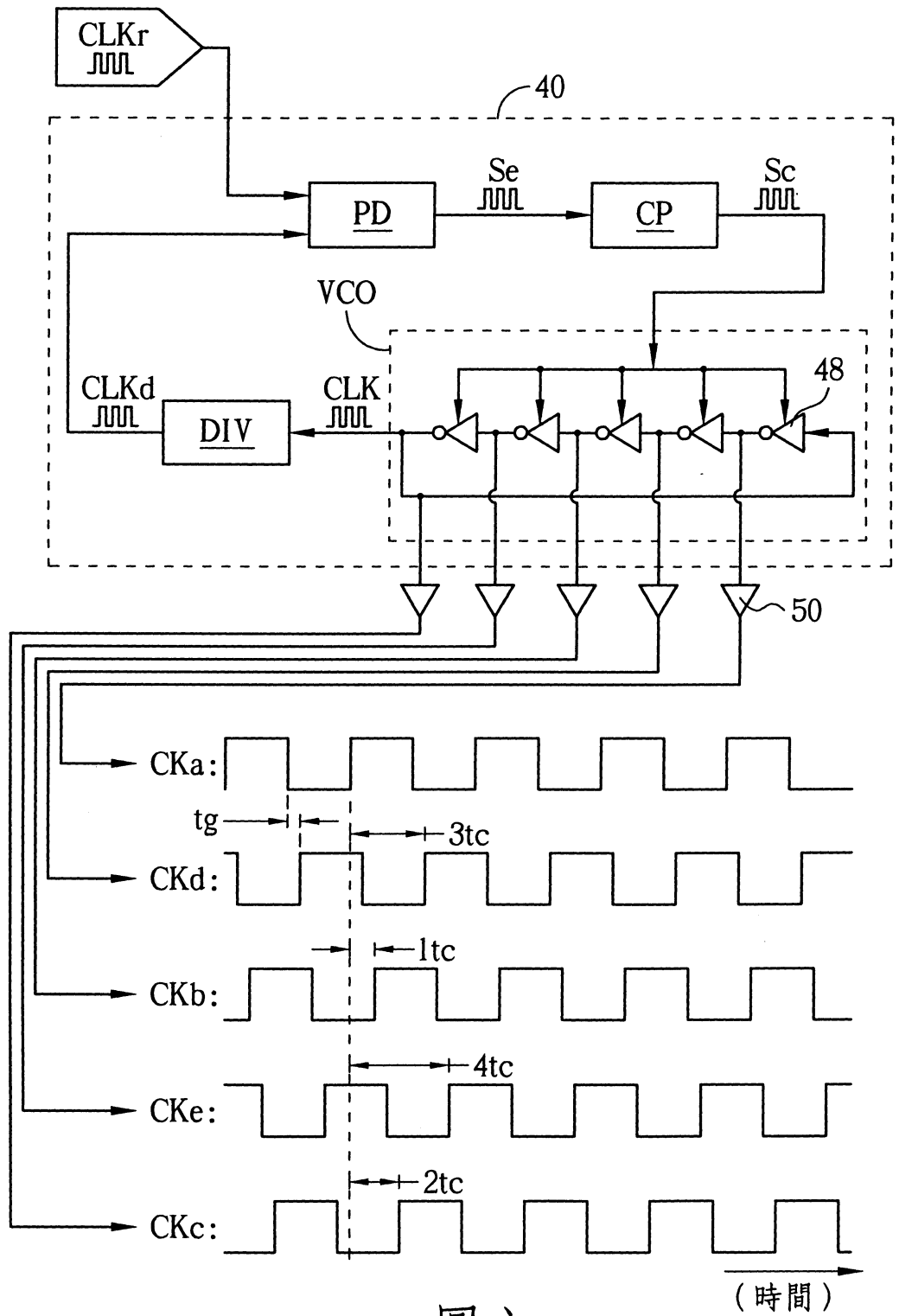




圖四



圖五



圖六