

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第3951634号

(P3951634)

(45) 発行日 平成19年8月1日(2007.8.1)

(24) 登録日 平成19年5月11日(2007.5.11)

(51) Int. Cl.

G 0 1 D 5/244 (2006.01)

F I

G O 1 D 5/244 K

請求項の数 7 (全 11 頁)

(21) 出願番号	特願2001-151597 (P2001-151597)	(73) 特許権者	000004260
(22) 出願日	平成13年5月21日(2001.5.21)		株式会社デンソー
(65) 公開番号	特開2002-340613 (P2002-340613A)		愛知県刈谷市昭和町1丁目1番地
(43) 公開日	平成14年11月27日(2002.11.27)	(74) 代理人	100100022
審査請求日	平成15年7月8日(2003.7.8)		弁理士 伊藤 洋二
		(74) 代理人	100108198
			弁理士 三浦 高広
		(74) 代理人	100111578
			弁理士 水野 史博
		(72) 発明者	岡田 寛
			愛知県刈谷市昭和町1丁目1番地 株式会 社デンソー内
		(72) 発明者	上野山 博文
			愛知県刈谷市昭和町1丁目1番地 株式会 社デンソー内

最終頁に続く

(54) 【発明の名称】 物理量検出回路

(57) 【特許請求の範囲】

【請求項1】

検出対象となる物理量に応じた出力信号を発生させるセンシング部(23、24)と、前記センシング部での特性バラツキを記憶するメモリ手段(30)が備えられ、該メモリ手段によって前記センシング部からの出力信号を補正することで、前記検出対象となる物理量に応じた出力を発生する信号処理回路とを有してなる物理量検出回路において、前記信号処理回路内の複数の場所における信号が測定されるように構成され、これら複数の場所における信号が前記複数の場所よりも少ない数の端子(13)から測定されるように構成されており、

前記信号処理回路には、前記センシング部の出力信号に基づいて形成される所定の信号を複数化する冗長化手段(37a~37j)が組み込まれ、該冗長化手段によって複数化された信号のいずれかが異常となった場合にも、前記信号処理回路から前記物理量に応じた出力信号が発生するようになっており、該冗長化手段によって複数化された信号それぞれが前記端子から出力されるように構成されていることを特徴とする物理量検出回路。

10

【請求項2】

前記端子は、1つの測定端子(13)であることを特徴とする請求項1に記載の物理量検出回路。

【請求項3】

前記複数の場所における信号が入力されるセレクタ(36)を有し、該セレクタによって各場所の信号を選択することで、前記1つの測定端子から前記各場所の信号を出力する

20

ように構成されていることを特徴とする請求項 2 に記載の物理量検出回路。

【請求項 4】

前記セレクタによる選択を制御する制御手段(29)が備えられていることを特徴とする請求項 3 に記載の物理量検出回路。

【請求項 5】

前記制御手段に対して外部から信号入力するための調整端子(12)を備え、該調整端子を介して前記メモリ手段への書き込みも行なえるようになっていることを特徴とする請求項 4 に記載の物理量検出回路。

【請求項 6】

前記冗長化手段は、複数の遅延回路(37a~37c)と、該複数の遅延回路それぞれの出力および前記センシング部の出力信号に基づいて形成される所定の信号が入力される EX-OR 回路(37d~37f)とを有して構成されており、

10

前記 EX-OR 回路の出力が前記端子から確認できるように構成されていることを特徴とする請求項 1 ないし 5 のいずれか 1 つに記載の物理量検出回路。

【請求項 7】

請求項 1 乃至 6 に記載の物理量検出回路が前記物理量として回転状態を検出する回転検出回路である場合において、

前記センシング部からの出力信号に基づき、前の出力信号に応じた信号を保持する保持手段(39a)を有し、該保持手段の出力に基づいて回転方向の検出を行なうようになっており、

20

前記保持手段は、今回の出力信号に応じた信号と該保持手段に保持された前の出力信号に応じた信号とが一致したときには、前記今回の出力信号に応じた信号を出力するようになっていることを特徴とする回転検出回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、物理量の検出に用いられる物理量検出回路に関するもので、例えば、車輪速度センサ等の回転状態の検出に用いられる回転検出回路に好適である。

【0002】

【従来の技術】

30

圧力ゲージなどのブリッジを信号源とするセンサは、信号に対しオフセット等の誤差項が大きいため、その誤差項を調整するための調整手段が不可欠である。その一手法として、CMOSのEPROMをメモリとし、製品状態での調整端子を用いることで、メモリに誤差項を記憶させて上記調整を行なうことが提案されており、このような構成が量産化されている。

【0003】

【発明が解決しようとする課題】

車輪速度等の検出に用いられる回転検出センサは、2値化出力が一般的であるが、近年、内部の信号処理回路が複雑化している。さらに、回転検出信号が車両制御上重要な信号となることから信号処理回路内の論理回路に冗長化も盛り込まれており、信号処理回路内の様々な場所における電圧(電流)が所望の電圧(電流)になっているか否か確認しないと不良品を取り除くことができない。しかしながら、単純に各場所毎に検査用端子を増やすことはチップコストを上げることになってしまう。

40

【0004】

本発明は上記点に鑑みて、検査端子を増加させることなく、信号処理回路内の各場所における電圧(電流)が所望値であるか否かが確認できるような物理量検出回路を提供することを目的とする。

【0005】

【課題を解決するための手段】

上記目的を達成するため、請求項 1 に記載の発明では、検出対象となる物理量に応じた

50

出力信号を発生させるセンシング部(23、24)と、センシング部での特性バラツキを記憶するメモリ手段(30)が備えられ、該メモリ手段によってセンシング部からの出力信号を補正することで、検出対象となる物理量に応じた出力を発生する信号処理回路とを有してなる物理量検出回路において、信号処理回路内の複数の場所における信号が測定されるように構成し、これら複数の場所における信号が複数の場所よりも少ない数の端子(13)から測定されるように構成している。さらに、信号処理回路に、前記センシング部の出力信号に基づいて形成される所定の信号を複数化する冗長化手段(37a~37j)を組み込み、該冗長化手段によって複数化された信号のいずれかが異常となった場合にも、信号処理回路から物理量に応じた出力信号が発生するようにし、該冗長化手段によって複数化された信号それぞれが端子から出力されるように構成することを特徴としている。

10

【0006】

このような構成とすることで、検査端子を増加させることなく、信号処理回路内の各場所における電圧(電流)が所望値であるか否かが確認できる。また、冗長化手段を用いた場合に、複数化された信号のいずれかが異常となった場合にも物理量に応じた出力信号が発生するように構成されていると、その物理量に応じた出力信号が間違っていたとしても、そこから上記異常を診断することができないが、上記のように複数化された信号それぞれが端子から出力されるようにすることで、各信号を確認することが可能となる。

この場合、例えば、請求項2に示すように、端子を1つの測定端子(13)とすることができる。

【0007】

20

請求項3に記載の発明では、複数の場所における信号が入力されるセレクタ(36)を有し、該セレクタによって各場所の信号を選択することで、1つの測定端子から各場所の信号を出力するように構成されていることを特徴としている。このように、セレクタを用いることで、各場所の信号を選択して出力することが可能となり、請求項1に示す効果を得ることができる。

【0008】

請求項5に記載の発明では、制御手段に対して外部から信号入力するための調整端子(12)を備え、該調整端子を介してメモリ手段への書き込みも行なえるようになっていたことを特徴としている。このように、調整端子を介して制御手段に外部からの信号入力成家されるようにすることで、制御手段により、メモリ手段への書き込みと、セレクタの制御を行なうことができる。

30

【0011】

請求項7に記載の発明では、請求項1乃至6に記載の物理量検出回路が物理量として回転状態を検出する回転検出回路である場合において、センシング部からの出力信号に基づき、前の出力信号に応じた信号を保持する保持手段(39a)を有し、該保持手段の出力に基づいて回転方向の検出を行なうようになっており、保持手段は、今回の出力信号に応じた信号と該保持手段に保持された前の出力信号に応じた信号とが一致しているときには、今回の出力信号に応じた信号を出力するようになっていたことを特徴としている。

【0012】

このように、保持手段を備えることにより、前の回転状態と今回の回転状態とが異なっても、前の回転状態における出力を保持することで、後述するレーシング防止機能を果たすことができる。

40

【0013】

なお、上記各手段の括弧内の符号は、後述する実施形態に記載の具体的手段との対応関係を示すものである。

【0014】**【発明の実施の形態】****(第1実施形態)**

本発明の一実施形態が適用された車輪速度センサ1の全体構成を図1に示す。また、図1に示す車輪速度センサ1の模式図を図2(a)、(b)に示す。図1に示すように、本車

50

輪速度センサ 1 は、タイヤの回転軸 2 の回転に連動して回転される着磁ロータ 3 に対向するように配置され、着磁ロータ 3 の回転による磁気変化を M R E (磁気抵抗効果) 素子で検出すると共に、M R E 素子からの検出信号を信号処理回路部で解析することで、着磁ロータ 3 の N 極及び S 極の変化に対応した方形波電流を出力するようになっている。そして、このような車輪速度センサ 1 に、後述するタイヤの回転方向検出機能やレーシング防止機能を備えた構成としている。

【 0 0 1 5 】

この車輪速度センサ 1 の出力形式は、図 3 (a) に示すような 2 端子定電流出力型であり、ロータの回転方向に基づいて、図 3 (b) に示すような電流を出力する。そして、外部回路では、この電流を抵抗 4 で電圧に変換し、1 V 又は 1 . 9 V をしきい値とする 2 つのコンパレータ 5、6 によって、回転数検出信号と回転方向検出信号に分離するようになっている。

10

【 0 0 1 6 】

このような本車輪速度センサ 1 は、具体的には図 2 (a)、(b) のように構成される。図 2 (a) に示すように、車輪速度センサ 1 は、M R E 素子からなる素子回路用 I C 7 と信号処理回路部が形成された処理回路用 I C 8 とを備えて構成されている。これら各 I C 7、8 は樹脂 9 によってモールド化され、樹脂 9 から + 端子 1 0 と - 端子 1 1、さらには調整端子 1 2 および測定端子 1 3 が引き出された構成とされている。これにより、樹脂モールド部が構成されている。そして、このように構成された樹脂モールド部が、図 2 (b) に示すようにハウジング 1 4 内に收容されることで、車輪速度センサ 1 が構成され、+ 端子 1 0 と - 端子 1 1 のみがハウジング 1 4 の外部に露出し、調整端子 1 2 および測定端子 1 3 がハウジング 1 4 の外部に露出しない状態となっている。

20

【 0 0 1 7 】

ここで、調整端子 1 2 とは、M R E 素子からの信号に存在するオフセット等の誤差項を調整するために用いられる端子をいう。例えば 2 つの M R E 素子からの出力によって回転数検出および回転方向検出を行なう場合、図 4 (a) に示すように、M R E 素子からの検出信号 (もしくはこれを増幅した信号) A、B を所定のしきい値 A、B でスレッシュホールドすることになるが、しきい値 A、B が検出信号 A、B の中央に無い場合 (図 4 (b)) は、中央に有る場合 (図 4 (c)) と比べ、2 値化信号の波形がずれてしまう。特に、着磁ロータ 3 と車輪速度センサ 1 との間隔が広くなり、検出信号の振幅が小さくなると、2 値化そのものができなくなる。調整端子 1 2 は、このような波形ズレを打ち消すべく、上記誤差項を見込んでしきい値 A、B を設定するために用いられる。なお、この調整端子 1 2 を用いた具体的なしきい値調整方法については後述する。

30

【 0 0 1 8 】

また、測定端子 1 3 とは、車輪速度センサ 1 に備えられる信号処理回路内の各場所における電圧 (電流) が所望値であるか否かを確認するための端子である。この測定端子 1 3 を用いた具体的な電圧確認方法についても後述する。

【 0 0 1 9 】

続いて、図 5 に、車輪速度センサ 1 の具体的な回路構成を示し、この図に基づいて車輪速度センサ 1 の回路構成についての説明を行なう。

40

【 0 0 2 0 】

図 5 に示すように、車輪速度センサ 1 は、定電流形成用および各回路の電源用とされる電圧源 2 1、定電流を発生させる定電流源 2 2、ホイートストンブリッジを形成した 2 つの M R E 素子 2 3、2 4 とその他の回路によって構成された信号処理回路部とを有した構成となっている。2 つの M R E 素子 2 3、2 4 は、着磁ロータ 3 のピッチ (N 極、S 極の間隔) に応じて 2 系統がチップ上にレイアウトされている。これら 2 つの M R E 素子 2 3、2 4 のうち的一方 (ここでは M R E 素子 2 3) は、回転数検出信号を出力するためのものであり、他方 (ここでは M R E 素子 2 4) は、回転方向検出信号を出力するためのものである。各 M R E 素子 2 3、2 4 の出力としては、ホイートストンブリッジの対向する 2 点 (中点) の電位差が用いられ、各 M R E 素子 2 3、2 4 の各出力が信号処理回路に入力さ

50

れるようになっている。

【0021】

各MRE素子23、24の各出力は、増幅器25、26によって増幅されるようになっている。そして、これらの増幅器25、26を介した増幅出力がコンパレータ27、28によって2値化されるようになっている。

【0022】

これら各コンパレータ27、28に入力されるしきい値A、Bは調整端子12を介して調整される。信号処理回路部には、制御回路29、EPROMを備えたメモリ30及び2つのD/Aコンバータ31、32が備えられており、調整端子12を介して信号入力を行なうと、入力された信号が制御回路によってデータ信号、クロック信号、リセット信号、モードアドレス信号等に分離され、メモリ30への書き込みが行われたのち、メモリ30に記憶されたデータに応じて各D/Aコンバータ31、32からアナログ電圧のしきい値A、Bを出力するようになっている。

10

【0023】

また、このようにコンパレータ27、28によって2値化された信号が論理回路部33に入力され、論理回路部33では、2値化信号に基づいて正転であるか又は逆転であるかの判定を行ない、これによって所望の電流波形が得られるように各電流ドライバ34、35を駆動するようになっている。

【0024】

そして、このような回路構成の各場所の電圧(電流)が入力されるセクタ36が備えられている。具体的には、各MRE素子23、24の出力、各D/Aコンバータ31、32の出力、メモリ30に記憶されたデータ等、論理回路部33内に各部の電圧(電流)が入力されるようになっている。このセクタ36は、例えば一般的なCMOSのアナログスイッチで構成され、制御回路29によって制御されるようになっている。このセクタ36を介して、各場所の電圧(電流)が選択的に測定端子13に出力されるようになっている。

20

【0025】

続いて、図6に、上記回路内に備えられた論理回路部33の詳細を示し、この図に基づき論理回路部33についての説明を行なう。

【0026】

図6に示すように、論理回路部33には、エッジ発生部37、正逆判定部38、前回転判定部39、出力論理部40が備えられている。

30

【0027】

エッジ発生部37には、3つの遅延回路37a、37b、37cと、3つのEX-OR回路37d、37e、37f、3つのAND回路37g、37h、37i、及びOR回路37jが備えられている。3つの遅延回路37a~37cは、回路の冗長化を行なうための冗長手段に相当する。これら各遅延回路37a~37cには、2値化された2つの信号(以下、2値化信号A、Bという)のうち的一方(2値化信号A)が入力され、各遅延回路37a~37cの出力は、2値化信号Aと共に各EX-OR回路37d~37fに入力され、各EX-OR回路37d~37fの出力のいずれか2つずつが各AND回路37g~37iに入力されると共に、各EX-OR回路37g~37iの出力がセクタ36に送られるようになっている。そして、各AND回路37g~37iでは、入力された2つのEX-OR回路37g~37iの出力に対して多数決を行ない、その結果に基づきOR回路37jでクロック信号CLKaを発生させるようになっている。

40

【0028】

また、エッジ発生部37には、2値化信号Aが入力される遅延回路37kと、2値化信号A及び遅延回路37kの出力が入力されるEX-OR回路37mが備えられており、これらによって、上記したクロック信号CLKaとは異なるクロック信号CLKlを発生させるようになっている。さらに、エッジ発生部37には、2値化信号A、Bが共に入力されるEX-NOR回路37n、EX-NOR回路37nの出力が入力される遅延回路37p

50

、及びEX - NOR回路37nと遅延回路37pの出力が入力されるEX - OR回路37qが備えられている。これらによって、2値化信号A、Bの両方のエッジを示すクロック信号CLKeを発生させるようになっている。

【0029】

正逆判定部38は、タイヤが正転しているか、逆転しているかを判定する役割を果たす。この正逆判定部38には、2値化信号Bを入力すると共にクロック信号CLKeをクロックとするD型フリップフロップ38aと、D型フリップフロップ38a及び2値化信号Aの各出力が入力される2つのEX - NOR回路38b、38cとによって構成されている。これらのうちEX - NOR回路38bによって正逆判定が行なわれるようになっている。

10

【0030】

前回転判定部39は、レーシング防止機能の役割を果たす。この前回転判定部39には、EX - NOR回路38bの出力を入力すると共にクロック信号CLKaをクロックとするD型フリップフロップ(保持手段)39aと、D型フリップフロップ39a及びEX - NOR回路38cの各出力が入力されるEX - NOR回路39bとが備えられている。これらの構成においては、D型フリップフロップ39aにて前の回転状態を保持すると共に、EX - NOR回路39bにて前の回転状態と今回の回転状態とが同じか否かを判定し、それらが異なっている場合には前の回転状態から出力が切替わらないように論理が組まれている。

【0031】

出力論理部40は、正転、逆転に応じた出力を発生させるものである。この出力論理部40には、EX - NOR回路39bの出力およびクロック信号CLKaに基づいてクロック信号CLKcを形成するAND回路40aと、クロック信号CLKcをクロックとし、NOT回路40bを通じて自身の出力を反転させた信号を入力とするD型フリップフロップ40cと、EX - OR回路38c及びD型フリップフロップ39aの各出力とクロック信号CLKlとが入力されるAND回路40dと、AND回路40d及びD型フリップフロップ40cの各出力が入力されるOR回路40eとが備えられている。これらのうち、OR回路40eから正転に応じた出力を発生させ、AND回路40dから逆転に応じた出力を発生させるようになっている。

20

【0032】

図7に、上記構成の論理回路部33によるタイミングチャートを示す。この図に示した点線よりも紙面左側は正転時におけるタイミングチャート、紙面右側は逆転時におけるタイミングチャートとなっている。なお、この図中、EXはEX - NOR回路38nの出力、SChEは遅延回路37pの出力、B0はD型フリップフロップ38aの出力、RaはEX - NOR回路38cの出力、SChAは遅延回路37a~37cの出力、Ra0はD型フリップフロップ39aの出力、ReはEX - NOR回路39bの出力、CirはD型フリップフロップ40cの出力、TiLは遅延回路37kの出力、ReVはAND回路40dの出力、HLはOR回路40eの出力、IouTは論理回路部33の出力(つまり、ReVとHLを合成したものに相当している)に相当している。

30

【0033】

この図に示された2値化信号Aと2値化信号Bとに基づいて信号処理回路での処理が行なわれるが、ここでは、2値化信号Bの方が2値化信号Aよりも位相が遅れている場合に正転、2値化信号Aの方が2値化信号Bよりも位相が遅れている場合には逆転となる。このように、正転から逆転に変化した時には、2値化信号A、Bの位相が逆転することになるが、論理回路部33の出力IouTを見てみると分かるように、逆転となってもすぐに逆転時の出力に切替わっておらず、正転時の出力が維持された状態とされている。

40

【0034】

これは、前回転判定部39によって前の回転状態と今回の回転状態とが異なっても、前の回転状態における出力を保持しているためであり、これによってレーシング防止機能が果たされている。すなわち、レーシング防止機能とは、タイヤがロックした時もしくは

50

信号の切替え前後で機械振動によりガタガタして、出力すべき信号が正逆正逆を繰り返した場合に、その出力の変化を防止（マスク）する機能をいい、上記のように1エッジ分、正転から逆転もしくは逆転から正転への変化をマスクすることで、このようなレーシング防止機能を果たすことが可能となる。

【0035】

以上のように動作する論理回路部33を有して車輪速度センサ1が構成されている。このような車輪速度センサ1は、実動作モード、E p ライトモード、アナログリードモードの3つのモードで動作する。

【0036】

実動作モードは、車輪速度センサ1が実際の製品として使用される際に動作するモードである。この時には、調整端子12には何も入力せず、メモリ30からEPROMに記憶されたデータがD/Aコンバータ31、32に出力され、D/Aコンバータ31、32を介して所定のしきい値A、Bが設定される。そして、このしきい値A、Bに基づいて、各MRE素子23、24の出力を増幅した信号がスレッシュされると共に、2値化信号A、Bとして論理回路部33に入力されて、正転、逆転に応じた信号を発生させる。このモードのときにはセクタ36は動作せず、測定端子13での各電位の確認は行なわれない。

10

【0037】

E p ライトモードは、車輪速度センサ1が完成品とされる前にメモリ30にデータを入力するモードであり、メモリ30内のラッチ部に予め書き込むデータの入力を行なう。このモードにおいてもセクタ36は動作せず、測定端子13での各電位の確認は行なわれない。

20

【0038】

アナログリードモードは、調整すべきアナログ信号、すなわち各MRE素子23、24のオフセット出力やコンパレータ27、28のしきい値電圧等を測定端子13に出力するためのモードである。この時には、調整端子12からの入力信号に基づいて制御回路29がセクタ36を駆動し、セクタ36は制御回路29からのクロックのタイミングに合わせて、どの場所の電圧を出力するかを決め、測定端子13から様々な場所の電圧を出力する。なお、セクタ36を一般的なCMOSのアナログスイッチで構成した場合、デジタルであるかアナログであるかに無関係に出力可能であるため、車輪速度センサ1を構成する回路内のいずれの場所に関しても、その場所の電圧（電流）が所望値となっているか否かを確認することが可能である。また、確認したい端子数も制御回路29に備えられるアドレスカウンタのカウント数だけ見ることが可能である。

30

【0039】

以上説明したように、本実施形態に示す車輪速度センサ1においては、複数の場所の電圧（電流）を、その場所の数よりも少ない端子で確認できるようにしている。このため、検査端子を増加させることなく、信号処理回路内の各場所における電圧（電流）が所望値であるか否かを確認することができる。そして、セクタ36を備え、制御回路29によってセクタ36が出力する電圧（電流）を適宜選択することで、その検査端子を測定端子13のみとすることができる。

【0040】

また、上述したように、本車輪速度センサ1では、複数の遅延回路37a~37cおよび複数のEX-OR回路37d~37fを備えた構成とすることで回路の冗長化を図っている。すなわち、回路内の一部の機能が止まった時に、システム上重大な問題となる場合、その機能を複数化することによって重大問題を防ぐのである。しかしながら、このような冗長化を図るべく機能を複数化した場合、複数のうちのいずれかが故障したとしても、その故障を確認することができなくなる場合がある。例えば、本実施形態のような車輪速度センサ1の場合、3系統の多数決化によって車輪の回転数が半減して出力され、回転数自体は出力されるが、その回転数が間違っただけとなる可能性があり、回転数が出力されないのであれば故障を確認できるのであるが、間違っただけでも回転数が出力されるために故障を確認できなくなる。

40

50

【0041】

これに対し、本実施形態では、各EX-OR回路37d～37fの出力がセクタ36を介して測定端子13から確認できるようにしている。このため、各EX-OR回路37d～37fの出力が所望値となっているか否かを個々に確認でき、上記不都合をなくすることができる。

【0042】

また、本実施形態では、正逆判定部に2つのEX-NOR回路38b、38cを備え、ここでも冗長化を図っている。このため、ここでも各EX-NOR回路38b、38cの出力がセクタ36を介して測定端子13から確認できるようにするべきであるとも考えられる。しかしながら、EX-OR回路38b、38cの下段に前回転判定部が備えられており、EX-OR回路38b、38cの出力が異常になると正転、逆転信号が正常ではなくなるため、正転、逆転信号をダイアグ信号として用いてEX-OR回路38b、38cの故障診断を行なうことが可能となるため、その必要性を無くすることができる。

10

【0043】

(他の実施形態)

上記実施形態では、物理量として回転検出を行なう車輪速度センサに本発明の一実施形態を適用したが、他の物理量、例えば圧力や加速度の検出に本発明の一実施形態を適用しても良い。

【図面の簡単な説明】

【図1】本発明の一実施形態が適用される車輪速度センサ1の組み付け状態を示した全体図である。

20

【図2】図1に示す車輪速度センサ1の模式図であり、(a)は樹脂モールド部の全体図、(b)は樹脂モールド部をハウジングに収容したときの図である。

【図3】(a)は、車輪速度センサ1が接続される外部回路を示す図であり、(b)は、着磁ロータ3の回転に伴う出力波形を示した図である。

【図4】(a)は、検出信号としきい値との関係を示した図であり、(b)は、しきい値が各信号波形の中央に無い場合における2値化信号の波形を示した図であり、(c)は、しきい値が各信号波形の中央に有る場合における2値化信号の波形を示した図である。

【図5】車輪速度センサ1の回路構成を示した図である。

【図6】車輪速度センサ1に備えられた論理回路部33の具体的なロジックを示した図である。

30

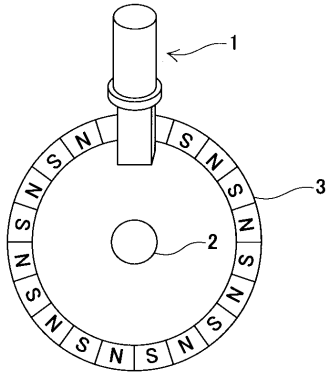
【図7】図6に示す論理回路部33のタイミングチャートを示す図である。

【符号の説明】

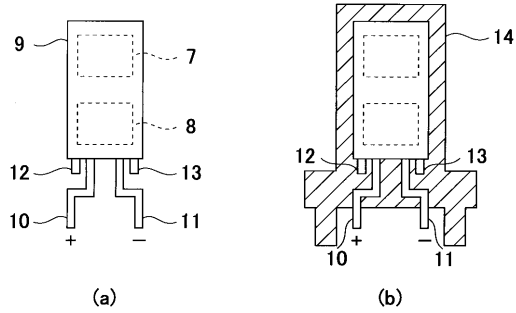
1...車輪速度センサ、10...+端子、11...-端子、12...調整端子、
13...測定端子、23、24...MRE素子、29...制御回路、30...メモリ、
31、32...D/Aコンバータ、33...論理回路部、36...セクタ、
37...エッジ発生部、37a～37c...遅延回路、
37d～37f...EX-OR回路、38...正逆判定部、39...前回転判定部、
39a...D型フリップフロップ、39b...EX-NOR回路、
40...出力論理部。

40

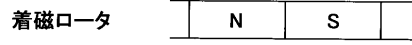
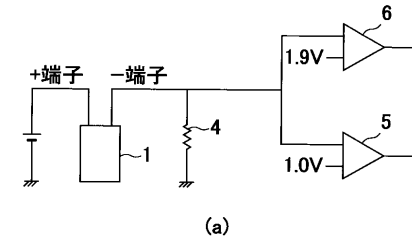
【図1】



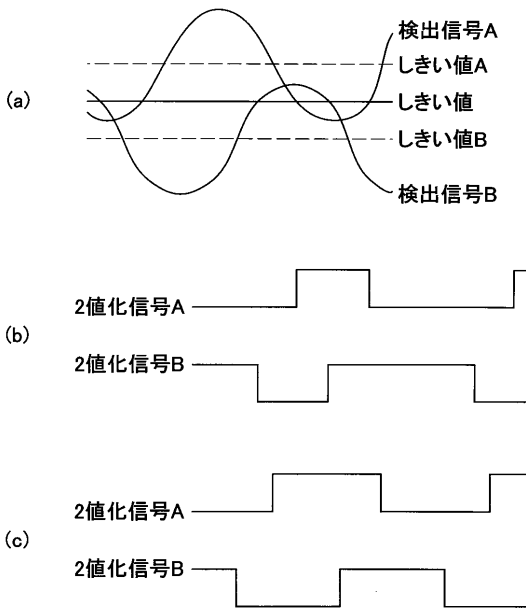
【図2】



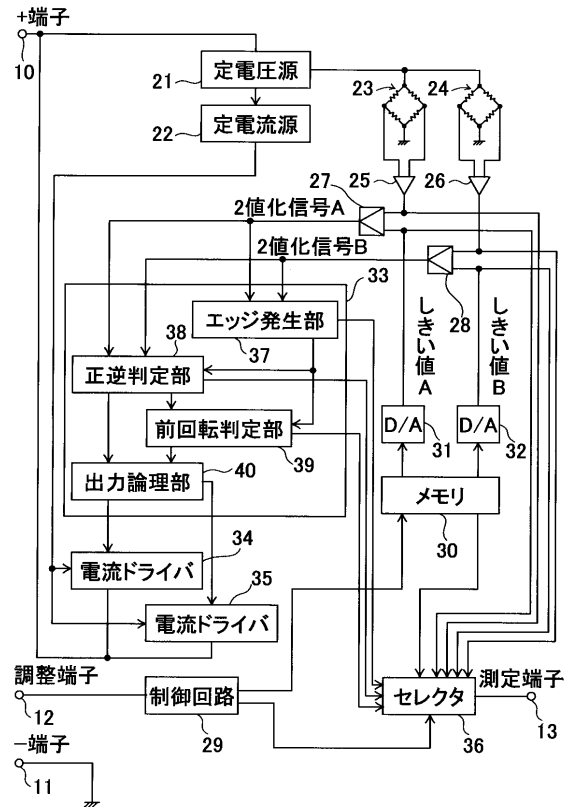
【図3】



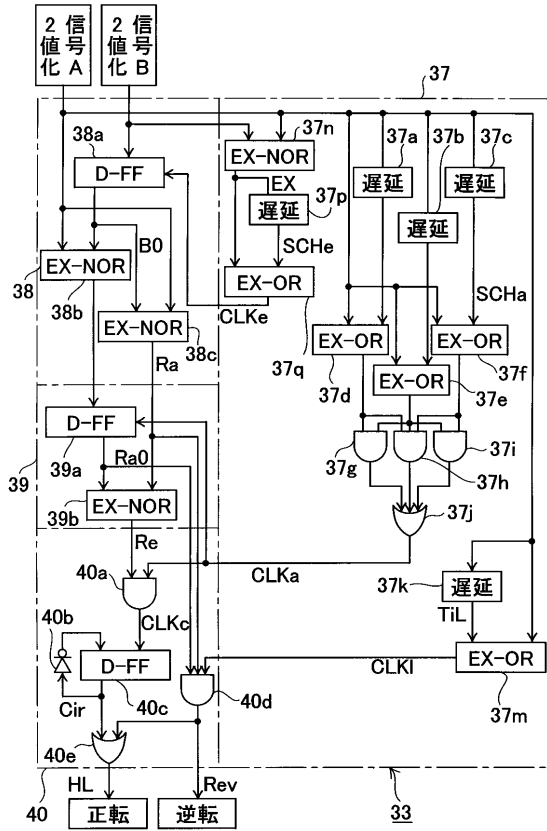
【図4】



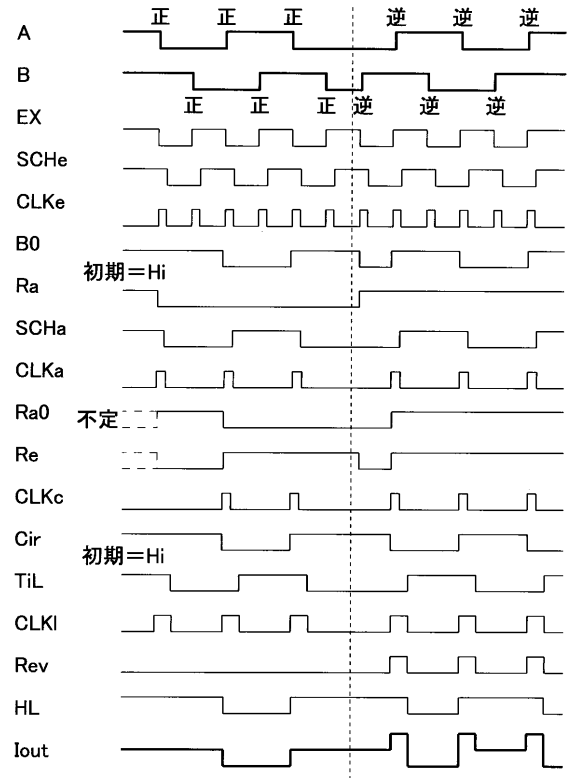
【図5】



【 図 6 】



【 図 7 】



フロントページの続き

審査官 山下 雅人

- (56)参考文献 特開平08 - 122100 (JP, A)
特開平09 - 311052 (JP, A)
特開2001 - 004714 (JP, A)
特開平02 - 010175 (JP, A)

- (58)調査した分野(Int.Cl. , DB名)
G01D 5/00 - 5/252
G01R 31/28