

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2007-187744

(P2007-187744A)

(43) 公開日 平成19年7月26日(2007.7.26)

(51) Int. Cl.	F I	テーマコード (参考)
G03F 7/26 (2006.01)	G03F 7/26	2H096
H01L 21/027 (2006.01)	H01L 21/30 578	5F004
H01L 21/3065 (2006.01)	H01L 21/30 573	5F046
	H01L 21/30 565	
	G03F 7/26 501	
審査請求 未請求 請求項の数 5 O L (全 11 頁) 最終頁に続く		

(21) 出願番号 特願2006-3946 (P2006-3946)
 (22) 出願日 平成18年1月11日 (2006.1.11)

(71) 出願人 000005223
 富士通株式会社
 神奈川県川崎市中原区上小田中4丁目1番1号
 (74) 代理人 100105337
 弁理士 眞鍋 潔
 (74) 代理人 100072833
 弁理士 柏谷 昭司
 (74) 代理人 100075890
 弁理士 渡邊 弘一
 (74) 代理人 100110238
 弁理士 伊藤 壽郎
 (72) 発明者 林 雅一
 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

最終頁に続く

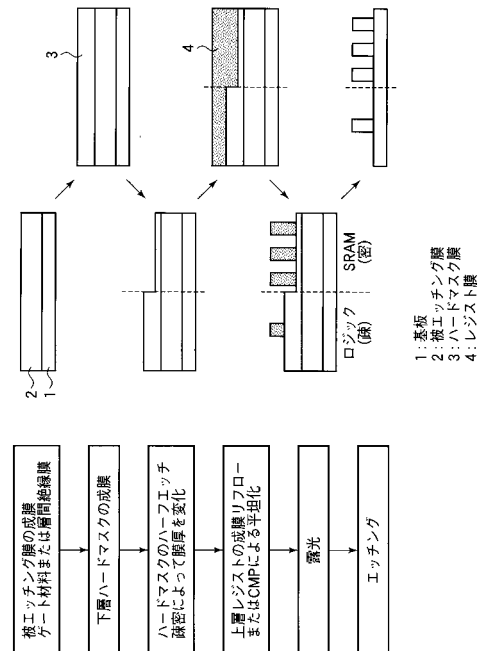
(54) 【発明の名称】 パターン形成方法

(57) 【要約】

【課題】パターン形成方法に関し、パターン疎密に依るエッチング形状の差を解消することが可能であり、また、エッチングシフト量の変動などに対して即応性に優れ、且つ、低コストのパターン形成方法を提供しようとする。

【解決手段】パターン密度が異なる回路パターンの形成を必要とする被エッチング膜2のエッチングに於いて、パターン密度にかかわらずエッチング後に所望の寸法をもつ被エッチング膜2を形成する為、所望のエッチングシフト量が得られるレジスト膜厚をそれぞれのパターン密度に応じて決定し、前記パターン密度に対応して膜厚を変化させたレジスト膜4をマスクとしてエッチングを行う。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

パターン密度が異なる回路パターンの形成を必要とする被エッチング膜のエッチングに於いて、

パターン密度にかかわらずエッチング後に所望の寸法をもつ被エッチング膜を形成する為、所望のエッチングシフト量が得られるレジスト膜厚をそれぞれのパターン密度に応じて決定し、

前記パターン密度に対応して膜厚を変化させたレジスト膜をマスクとしてエッチングを行うこと

を特徴とするパターン形成方法。

10

【請求項 2】

請求項 1 記載の方法に依って決定した膜厚でレジスト膜を形成する為、パターン密度に応じて段差を設けたハードマスク上にレジスト膜を堆積させ、必要に応じてレジスト膜表面を平坦化して所望の膜厚のレジスト膜を形成すること

を特徴とする請求項 1 記載のパターン形成方法。

【請求項 3】

請求項 1 記載の方法に依って決定した膜厚でレジスト膜を形成する為、積層した複数のレジスト膜を用い、パターン密度に応じて上層レジスト膜を除去することで所望のレジスト膜厚を実現すること

を特徴とする請求項 1 記載のパターン形成方法。

20

【請求項 4】

請求項 1 記載の方法に依って決定した膜厚でレジスト膜を形成する為、単層レジスト膜を用いてパターン密度に応じて該単層レジスト膜をハーフエッチングすることで所望のレジスト膜厚を実現すること

を特徴とする請求項 1 記載のパターン形成方法。

【請求項 5】

レジスト膜厚によってエッチングシフト量を補正する為、事前に取得したレジスト膜厚とシフト量との相関をもとに所望のレジスト膜厚を算出すること

を特徴とする請求項 1 記載のパターン形成方法。

【発明の詳細な説明】

30

【技術分野】

【0001】

本発明は、半導体装置、或いは、半導体装置の回路基板等を製造する際に実施されるリソグラフィ、パターンング、エッチングの工程に於いて、パターン疎密に起因するエッチング形状の変動を抑制することが可能なパターン形成方法に関する。

【背景技術】

【0002】

現在、半導体デバイスの微細化が進展するとともに、メモリとロジックが 1 チップ化されるなどによって、回路パターンのレイアウトは複雑化している。微細なパターンの形成に用いられるプラズマを利用したドライエッチングでは、レジストマスクの形状が均一であったとしても、多くの場合、エッチング後の線幅や穴径がパターンの疎密によって変化することが知られている。

40

【0003】

図 5 はゲートを形成する場合のエッチング工程を説明する為の工程要所に於けるウェーハを表す要部切断側面図であり、図に於いて、11 は基板、12 は下層膜、13 は被エッチング膜、14 A は疎パターンのレジスト膜、14 B は密パターンのレジスト膜をそれぞれ示し、また、図 (A) はリソグラフィ技術のレジストプロセスを経てレジスト膜 14 A 及び 14 B が形成された後の状態を表し、図 (B) は被エッチング膜 13 のエッチングが終了して疎パターンの被エッチング膜 13 A が、また、密パターンの被エッチング膜 13 (B) が形成された後の状態を著している。

50

【0004】

通常、密パターンはSRAM (static random access memory) などのメモリ回路に、また、疎パターンはロジック回路に対応する。図(A)から明らかなように疎パターンのレジスト膜14Aの幅と、密パターンのレジスト膜14Bの幅とは等しくなっているが、エッチング終了後に於ける被エッチング膜13に於ける疎パターンの被エッチング膜13Aの幅aと密パターンの被エッチング膜13Bの幅bとは $a > b$ となる。

【0005】

尚、プラズマドライエッチングに於いては、プラズマのガス種、圧力、レジストの材質などの条件に依っては、前記とは逆に疎パターンが細く、密パターンが太く形成される場合もある。

10

【0006】

一般に、エッチングにおける横方向のエッチング量はエッチングシフト量と呼ばれ、エッチングシフト量がパターン疎密によって変化することがこの要因である。

【0007】

前記エッチングシフト量に影響する因子として、エッチングにともなう反応生成物およびレジストマスクの帯電が挙げられる。即ち、反応生成物がパターン側壁に堆積し、その反応生成物膜がエッチングに対する保護膜として作用する。また、レジストマスクが帯電することに依って、ウェハに入射するイオンの角度を変化させてしまう。これらの現象がパターンの疎密によって変化することがシフト量に影響を及ぼしている。

20

【0008】

従来、パターン疎密に依らずエッチング後の形状を等しくする為、プラズマ生成機構やガス種の最適化などのエッチング条件を改良して、エッチング後の形状がパターン疎密に影響されないエッチング方法が開発されている(例えば、特許文献1及び特許文献2を参照。)。

【0009】

また、パターン疎密に依ってエッチングシフト量が異なることを予測して、レジストマスクの寸法をパターン疎密に応じて変化させるリソグラフィ技術も開発されている(例えば、特許文献3を参照。)。

【0010】

更にまた、パターン疎密に依って異なる成分から成るマスクを使用することで、エッチング中にマスク材料から発生する反応生成物を変化させ、パターン疎密によって異なる側壁保護膜を形成する技術も提案されている(例えば、特許文献4を参照。)。

30

【0011】

然しながら、パターン疎密差による影響を解消するようにエッチング条件を最適化する場合、エッチング条件の変更は、エッチングレートやマスクに対する選択比などにも影響を及ぼす為、最適なエッチング条件を導出することは極めて困難な作業となる。更に、エッチング条件は被エッチング材料ごとに特定されなければならない為、被エッチング材料が変わる度にエッチング条件を最適化する作業が必要となる。

【0012】

また、エッチングシフト量はエッチング装置の状態に依っても次第に変化することは前記した通りであり、真空チャンパーの内壁に対する反応性生物の堆積、及び、チャンパー内部品のエッチングによる消耗などが原因として挙げられる。この為、パターン疎密差による影響を補正するようにエッチング条件を最適化しても、その条件を恒久的に使用できる可能性は小さく、シフト量の変動に即応してエッチング条件を随時最適化することも先に記述した理由から困難である。

40

【0013】

更に、レジストマスクをパターン疎密に依って変更することでエッチング後の形状を均一にしようとする場合、リソグラフィに用いるレチクルをパターン疎密に応じて作製することが必要となり、そして、シフト量の変動などによってパターン疎密によるエッチング

50

シフト量が増加したとき、それに応じてレチクルを変更することは製造コストの大幅な増加に結び付いてしまう。

【0014】

更にまた、マスク材料をパターン疎密に応じて変更する場合も、被エッチング材料およびエッチング条件ごとに最適なマスク材料を抽出することは困難であり、そして、エッチング装置の状態によって変動するエッチングシフト量に対応して、マスク材料を選択することもほぼ不可能である。

【特許文献1】特開平3-129821号公報

【特許文献2】特開平7-94469号公報

【特許文献3】特開2004-302263号公報

【特許文献4】特開2002-261267号公報

【発明の開示】

【発明が解決しようとする課題】

【0015】

本発明では、パターン疎密に依るエッチング形状の差を解消することが可能であり、また、エッチングシフト量の変動などに対して即応性に優れ、且つ、低コストのパターン形成方法を提供しようとする。

【課題を解決するための手段】

【0016】

本発明に依るパターン形成方法では、パターン密度が異なる回路パターンの形成を必要とする被エッチング膜のエッチングに於いて、パターン密度にかかわらずエッチング後に所望の寸法をもつ被エッチング膜を形成する為、所望のエッチングシフト量が得られるレジスト膜厚をそれぞれのパターン密度に応じて決定し、前記パターン密度に対応して膜厚を変化させたレジスト膜をマスクとしてエッチングを行うことを基本とする。

【発明の効果】

【0017】

前記手段を採ることに依り、パターン疎密に依らずに被エッチング膜のエッチング後のパターンは所望の寸法通りのものを実現することができる。

【0018】

本発明に依るパターン疎密に対応してレジスト膜厚を変化させる方法では、レジスト膜厚の変化でエッチング条件を変える必要はなく、プラズマ状態に及ぼす影響も殆どないことから、エッチングレートなどのエッチング特性を変化させることも不要であり、疎密差を解消することができる。

【0019】

また、異なる被エッチング材料からなる膜に対しても事前にレジスト膜厚とエッチングシフト量の相関を得ることで対応が可能であり、迅速にパターン疎密による影響を解消することができる。

【0020】

また、本発明を実施するの必要な作業は、パターン疎密に対応してレジスト膜厚を変化させるのみであることから、エッチング装置の経時変化のようなシフト量の変動に対しても、その変動に即応してパターン密度による影響を補正することが可能である。

【0021】

また、過去に於けるエッチングシフト量の変化に応じたレジスト膜厚の設定は、本発明の効果を一層大きくすることとなる。過去のエッチング結果を監視し、その結果を随時レジスト膜厚の設定に反映させることに依って、エッチングにおける加工精度を向上する効果が得られ、従って、製造コストを大幅に増大させることなく、パターン密度によらずエッチング後の線幅および穴径などを所望の寸法に加工でき、歩留り向上に寄与できる。

【発明を実施するための最良の形態】

【0022】

本発明では、レジスト膜厚がエッチングシフト量に影響を及ぼすことを利用して、被エ

10

20

30

40

50

ツチング膜の上にパターン密度に応じて異なった膜厚でレジストを堆積させ、リソグラフィによるパターンングを経て、エッチングを行うことが特徴となっている。また、エッチング後の疎パターンおよび密パターンにおけるエッチングシフト量を測定し、その値をもとにパターン疎密に対するレジスト膜厚を最適化することを特徴としている。

【0023】

パターン密度に応じて異なる膜厚のレジストを堆積させるために、パターン密度に対応したマスクによるパターンングおよびエッチングを行う。パターン密度ごとに精密にエッチング形状を制御するときは、これらの工程を追加することでレジスト膜厚を2種類以上に变化させる。これに使用するマスクは、回路のレイアウトにも依存するが、半導体デバイス製造に於けるゲートおよび配線加工用のマスクに匹敵する精細度は不要であり、本処理の追加による負担は大きくない。

10

【0024】

レジスト膜厚をパターン密度に応じて变化させる方法としては、電子ビーム及びイオンビームなどのエネルギービームを利用することに依って、所望の箇所のみのレジストまたはレジスト下層膜をエッチングすることも可能である。

【0025】

レジスト膜厚とエッチングシフト量の相関はエッチング装置及びプラズマ条件によって異なる。パターン密度によって变化するエッチングシフト量を、レジスト膜厚を变化させることによって制御するために、レジスト膜厚を变化させたときのエッチングシフト量を事前に準備し、その相関をもとにパターン密度に応じたレジスト膜厚を設定する。

20

【0026】

更に、レジスト膜厚の設定においては、過去のエッチングによって得られたエッチングシフト量をもとに、パターン密度に応じてレジスト膜厚を最適化することによって、エッチング装置の経時変化によるエッチングシフト量の変動などの事態に対しても即応することが可能となる。

【実施例1】

【0027】

図1は本発明に於ける実施例1の説明図であり、(A)はプロセスフロー、(B)はプロセス要所に於けるウェーハの要部切断側面をそれぞれ表している。尚、(A)、(B)の何れに於いても、プロセスは矢印に従って進行するものとする。また、ここでは、パターンの疎密に対応する回路として、疎パターンはロジック回路、密パターンはSRAMなどのメモリ回路であるとし、従って、全体としては混載LSIデバイスとなる。

30

【0028】

図1では、パターン疎密に従って2種類の膜厚でレジストを堆積させることに依って、疎パターンと密パターンのエッチング形状を所望の寸法にする場合を示している。

【0029】

パターン密度を考慮し、更にエッチング後の寸法精度を向上させようとする場合には、パターン密度に応じてレジスト膜厚を2種類以上に増加することも可能である。

【0030】

図1のエッチング後の断面形状に見られるように、エッチングされる面積が大きいゲートエッチングに関わる一連の処理を図示したが、エッチングされる面積が小さい層間絶縁膜のトレンチおよびホールのエッチングなどに対しても、エッチング面積が異なることを除いてほぼ同様である。

40

【0031】

(1)

CVD法を適用することに依り、基板1上に多結晶Siからなる被エッチング膜2を成膜する。次いで、SiO₂ 或いはSi₃N₄ などからなるハードマスク膜3を成膜する。

【0032】

(2)

パターン疎密に依ってレジスト膜厚に差をもたせる為、密パターン領域に対応するハ-

50

ドマスク膜3のみエッチングを行う。この場合、所望のレジスト膜厚を実現する為、エッチング時間制御に依ってハードマスク膜3のエッチング深さを調節する。プラズマ発生機構などに起因するエッチング特性によっては、逆に疎パターンのみをエッチングしなければならない場合もある。また、パターン疎密に対応するパターンニングからエッチングまでのプロセスに代替できる手段として、イオンビームなどのエネルギービームを利用した局所エッチングを利用しても良い。

【0033】

(3)

パターン疎密に応じてハードマスク膜3に段差を設けた後、レジスト膜4を堆積する。このとき、疎パターンと密パターンで所望のレジスト膜厚となるようにレジスト表面を平坦化するため、リフローまたはCMP (chemical mechanical polishing) による処理を行う。粘度が小さいレジストであれば平坦化作業を簡便化したり、更には省略することも可能である。

10

【0034】

(4)

前記したようにして、膜厚を変化させたレジスト膜4を通常のリソグラフィによってパターンニングし、それをマスクとして被エッチング膜2のエッチングを行うことに依って、パターン疎密による影響を解消することができる。

【実施例2】

【0035】

20

図2は本発明に於ける実施例2の説明図であり、(A)はプロセスフロー、(B)はプロセス要所に於けるウェーハの要部切断側面をそれぞれ表し、図1に於いて用いた記号と同じ記号で指示した部分は同一或いは同効の部分を表すものとする。尚、(A)、(B)の何れに於いても、プロセスは矢印に従って進行するものとする。また、ここでは、パターンの疎密に対応する回路として、疎パターンはロジック回路、密パターンはSRAMなどのメモリ回路であるとし、従って、全体としては混載LSIデバイスである。

【0036】

実施例2に於いては、エッチングマスクとして、実施例1に示したハードマスク膜3を用いることなく、レジスト膜を積層して用いる、いわゆる、二重レジスト膜を利用した例であり、図に於いて、被エッチング膜2上には下層レジスト膜4A及び上層レジスト膜4Bを形成し、レジスト膜を厚くする必要があるパターンに対してのみ上層レジスト膜4Bを残すことに依って、疎パターンであるロジック回路と密パターンであるSRAMなどのメモリ回路とでレジスト膜厚を変えている。この場合、上層レジスト膜4Bのパターンニングは、実施例1について記述したように、疎密に応じたマスクを用いて露光及び現像の処理を行なうか、又は、エネルギービームによる局所エッチングを用いる。実施例2に於いても、実施例1と同様、パターン密度の如何に限らず、更なる加工精度の向上が必要とされるときは、レジスト膜厚を2種類以上に増加して良く、また、エッチング特性によっては、疎密パターンに於けるレジスト膜厚の段差を逆にすることも起こりうる。

30

【実施例3】

【0037】

40

図3は本発明に於ける実施例3の説明図であり、(A)はプロセスフロー、(B)はプロセス要所に於けるウェーハの要部切断側面をそれぞれ表し、図1に於いて用いた記号と同じ記号で指示した部分は同一或いは同効の部分を表すものとする。尚、(A)、(B)の何れに於いても、プロセスは矢印に従って進行するものとする。また、ここでは、パターンの疎密に対応する回路として、疎パターンはロジック回路、密パターンはSRAMなどのメモリ回路であるとし、従って、全体としては混載LSIデバイスである。

【0038】

実施例3に於いては、単層の厚いレジスト膜15を形成し、そのレジスト膜15を疎パターンに対応する部分のみハーフエッチすることに依って、パターンの疎密に応じた所望のレジスト膜厚を実現する。

50

【0039】

実施例1と同様にパターン疎密に対応したパターンングを行うには、マスク後のエッチング、または、エネルギービームによる局所エッチングを用いる。また、レジスト膜厚を2種類以上に増加して加工精度を向上させることも可能であり、エッチング特性によっては、疎密パターンに於けるレジスト膜厚の段差は逆にすることも起こり得る。

【0040】

図4はレジスト膜の成膜からエッチング後の測長に至る全体的な処理及び測長結果からレジスト膜厚を最適化する処理フローを示す説明図である。

【0041】

図から明らかであるが、被エッチング膜のエッチング後に行われる測長によってエッチングシフト量が求められる。また、レジスト膜厚とエッチングシフト量との相関については、事前にエッチング装置、エッチング条件及びレジスト材料ごとに準備しておくものとする。疎パターンと密パターンそれぞれのエッチングシフト量の実測値をもとにして、所望の加工寸法を得るためのシフト量の補正值を求める。レジスト膜厚とエッチングシフト量との相関について、このシフト量補正值を導入することによって、パターン疎密に応じたレジスト膜厚を求める。このようにして求めたレジスト膜厚を次回の処理に対して適用することによって、エッチング装置の状態変化に起因するエッチングシフト量の変動を抑制することができる。これに依り、本発明の方法が、パターン疎密に現れるプロセス変動に対して即時に対応可能であることが知得できよう。

10

【0042】

本発明が開示した方法に於いては、レジスト膜厚の変化でエッチングシフト量を補正する技術が提供され、パターン密度に対応する補正だけでなく、レジスト膜厚を被エッチング膜に対して一定にすれば、パターン全体のエッチングシフト量を一律に補正することができるものであり、これは、パターン密度に起因するエッチング後の寸法変動を抑制することにより、エッチング面全体の寸法の制御が重要視される場合に有効である。

20

【0043】

本発明に於いては、前記説明した実施の形態を含め、多くの形態で実施することができるので、以下、それを付記として例示する。

【0044】

(付記1)

パターン密度が異なる回路パターンの形成を必要とする被エッチング膜のエッチングに於いて、

パターン密度にかかわらずエッチング後に所望の寸法をもつ被エッチング膜を形成する為、所望のエッチングシフト量が得られるレジスト膜厚をそれぞれのパターン密度に応じて決定し、

前記パターン密度に対応して膜厚を変化させたレジスト膜をマスクとしてエッチングを行うこと

を特徴とするパターン形成方法。

30

【0045】

(付記2)

(付記1)に於いて決定した膜厚でレジスト膜を形成する為、パターン密度に応じて段差を設けたハードマスク上にレジスト膜を堆積させ、必要に応じてレジスト膜表面を平坦化して所望の膜厚のレジスト膜を形成すること

を特徴とする(付記1)記載のパターン形成方法。

40

【0046】

(付記3)

(付記1)に於いて決定した膜厚でレジスト膜を形成する為、積層した複数のレジスト膜を用い、パターン密度に応じて上層レジスト膜を除去することで所望のレジスト膜厚を実現すること

を特徴とする(付記1)記載のパターン形成方法。

50

【 0 0 4 7 】

(付記 4)

(付記 1) に於いて決定した膜厚でレジスト膜を形成する為、単層レジスト膜を用いてパターン密度に応じて該単層レジスト膜をハーフエッチングすることで所望のレジスト膜厚を実現すること

を特徴とする(付記 1)記載のパターン形成方法。

【 0 0 4 8 】

(付記 5)

パターン密度に対応してレジスト膜の膜厚を変化させる為の段差を実現するに際し、パターン密度に対応して作製したマスクによるパターンニング及び該パターンニングに続くエッチングによって形成すること

を特徴とする(付記 1)記載のパターン形成方法。

【 0 0 4 9 】

(付記 6)

パターン密度に対応してレジスト膜の膜厚を変化させる為の段差を実現するに際し、エネルギービームを用いて局所的にエッチングを行うことによって形成すること

を特徴とする(付記 1)記載のパターン形成方法。

【 0 0 5 0 】

(付記 7)

パターン密度にかかわるエッチングシフト量の実測値をもとにし、次回のエッチングで所望の加工寸法を得るために必要な膜厚でレジスト膜を形成するように調節すること

を特徴とする(付記 1)記載のパターン形成方法。

【 0 0 5 1 】

(付記 8)

レジスト膜厚によってエッチングシフト量を補正する為、事前に取得したレジスト膜厚とシフト量との相関をもとに所望のレジスト膜厚を算出すること

を特徴とする(付記 1)記載のパターン形成方法。

【 図面の簡単な説明 】

【 0 0 5 2 】

【図 1】本発明に於ける実施例 1 のプロセスフロー (A)、及び、プロセス要所に於けるウェーハの要部切断側面 (B) をそれぞれ表す説明図である。

【図 2】本発明に於ける実施例 2 のプロセスフロー (A)、プロセス要所に於けるウェーハの要部切断側面 (B) をそれぞれ表す説明図である。

【図 3】本発明に於ける実施例 3 のプロセスフロー (A)、プロセス要所に於けるウェーハの要部切断側面 (B) をそれぞれ表す説明図である。

【図 4】本発明に於けるレジスト膜厚を最適化する処理フローを示す説明図である。

【図 5】ゲートを形成する場合に於ける従来のエッチング工程を説明する為の工程要所に於けるウェーハを表す要部切断側面図である。

【 符号の説明 】

【 0 0 5 3 】

- 1 基板
- 2 被エッチング膜
- 3 ハードマスク膜
- 4 レジスト膜
- 4 A 下層レジスト膜
- 4 B 上層レジスト膜
- 1 5 単層の厚いレジスト膜

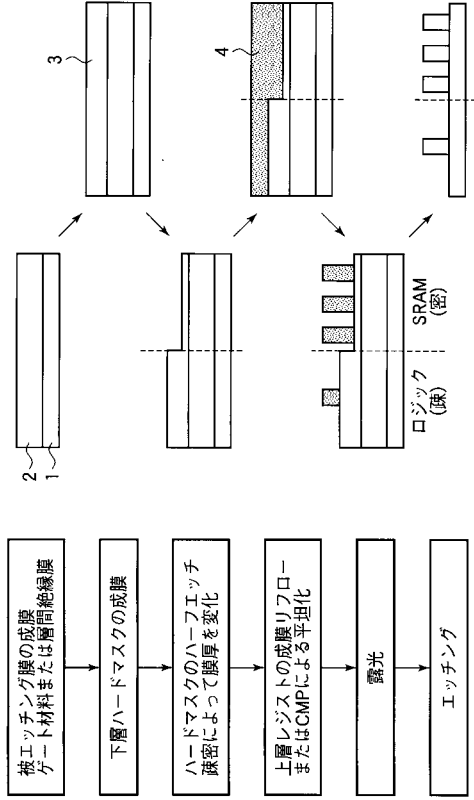
10

20

30

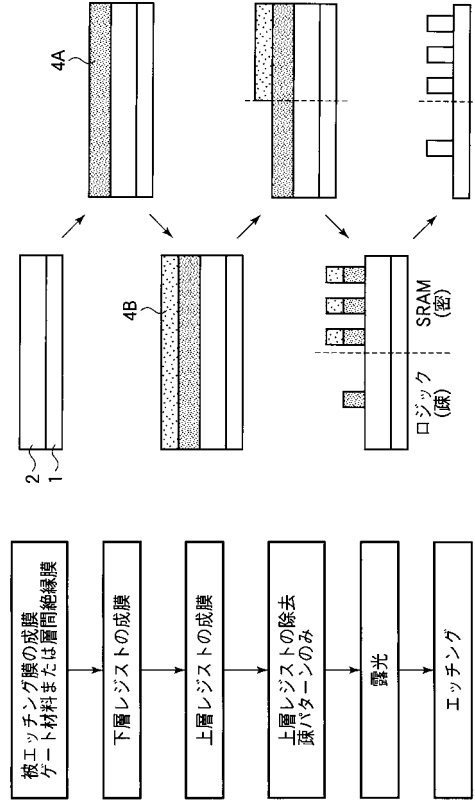
40

【 図 1 】



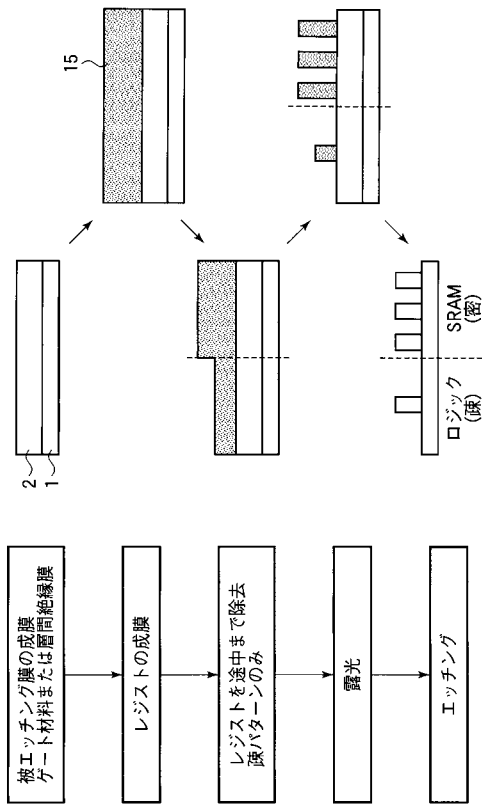
- 1: 基板
- 2: 被エッチング膜
- 3: ハードマスク膜
- 4: レジスト膜

【 図 2 】



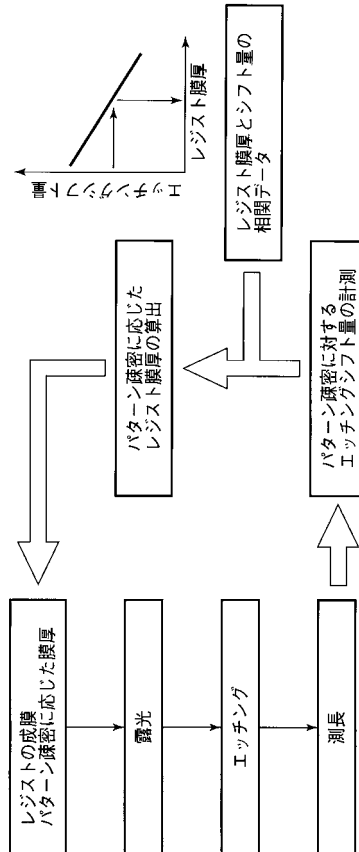
- 1: 基板
- 2: 被エッチング膜
- 4A: 下層レジスト膜
- 4B: 上層レジスト膜

【 図 3 】

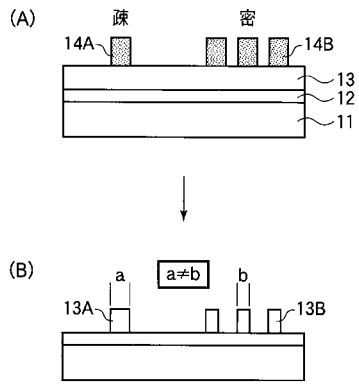


- 1: 基板
- 2: 被エッチング膜
- 15: 単層の厚いレジスト膜

【 図 4 】



【 図 5 】



- 11: 基板
- 12: 下層膜
- 13: 被エッチング膜
- 13A: 疎パターンの被エッチング膜
- 13B: 密パターンの被エッチング膜
- 14A: 疎パターンのレジスト膜
- 14B: 密パターンのレジスト膜

フロントページの続き

(51)Int.Cl.

F I

テーマコード(参考)

H 0 1 L 21/302 1 0 5 A

Fターム(参考) 2H096 AA25 BA01 BA09 DA04 DA10 EA12 GA08 JA02 KA02 KA15
KA16 KA30 LA17
5F004 AA01 EA02 EA06 EA07 EA32
5F046 AA26 JA22 NA16