



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2013년12월09일
(11) 등록번호 10-1338994
(24) 등록일자 2013년12월03일

(51) 국제특허분류(Int. Cl.)
H01L 29/786 (2006.01)
(21) 출원번호 10-2007-0141940
(22) 출원일자 2007년12월31일
심사청구일자 2012년12월28일
(65) 공개번호 10-2009-0073871
(43) 공개일자 2009년07월03일
(56) 선행기술조사문헌
JP2000031496 A
KR100667078 B1
KR100740087 B1
KR100675638 B1

(73) 특허권자
엘지디스플레이 주식회사
서울특별시 영등포구 여의대로 128(여의도동)
(72) 발명자
조봉래
경상북도 구미시 인동43길 22-42, 207동 606호 (구평동, 부영아파트)
(74) 대리인
박장원

전체 청구항 수 : 총 8 항

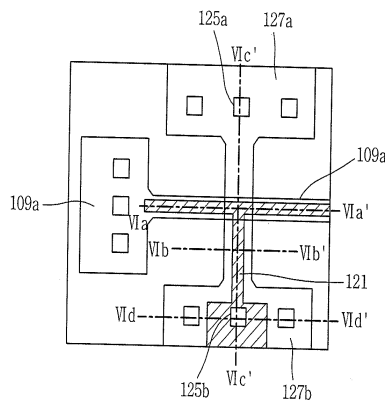
심사관 : 설관식

(54) 발명의 명칭 박막트랜지스터 및 그 제조방법

(57) 요약

본 발명은 박막트랜지스터 및 그 제조방법에 관한 것으로, 본 발명에 따른 박막트랜지스터 제조방법은 기판상에 활성층을 형성하는 단계; 상기 활성층을 포함한 기판상에 게이트절연막을 형성하는 단계; 상기 게이트절연막상에 게이트전극을 형성하는 단계; 상기 게이트전극타측아래의 활성층에 제1도전형 불순물을 주입하여 제1도전형 불순물영역을 형성하는 단계; 상기 게이트전극타측아래의 활성층에 제2도전형 불순물을 주입하여 제2도전형 불순물영역을 형성하는 단계; 상기 게이트전극을 포함한 게이트절연막상에 상기 제1도전형 불순물영역과 제2도전형 불순물영역을 노출시키는 제1, 2 콘택홀을 형성하는 단계; 및 상기 제1, 2 콘택홀을 포함한 층간절연막상에 상기 제1도전형 불순물영역 및 제2도전형 불순물영역과 각각 접속되는 드레인전극과 소스전극을 형성하는 단계;를 포함하여 구성되는 것을 특징으로 한다.

대표도 - 도5



특허청구의 범위

청구항 1

기판상에 형성된 게이트전극;

상기 기판상에 형성되고, 상기 게이트전극양측에 위치한 소스/드레인전극; 및

상기 게이트전극과 기판사이에 형성되고, 상기 게이트전극과 절연되게 중첩되는 채널영역과, 상기 소스/드레인 전극 각각과 접촉되며 서로 다른 도전성을 갖는 소스/드레인영역을 포함하는 활성층;을 포함하여 구성되는 것을 특징으로 하는 박막트랜지스터.

청구항 2

제1항에 있어서, 상기 드레인영역은 n+고농도영역이고, 상기 소스영역은 p+고농도영역인 것을 특징으로 하는 박막트랜지스터.

청구항 3

제1항에 있어서, 상기 게이트전극과 소스/드레인전극은 Al합금, Mo 또는 Mo 합금, W 또는 W 합금, Cr 또는 Cr 합금, Ti 또는 Ti 합금 등의 금속중에서 선택하여 형성된 것을 특징으로 하는 박막트랜지스터.

청구항 4

기판상에 활성층을 형성하는 단계;

상기 활성층을 포함한 기판상에 게이트절연막을 형성하는 단계;

상기 게이트절연막상에 게이트전극을 형성하는 단계;

상기 게이트전극일측아래의 활성층에 제1도전형 불순물을 주입하여 제1도전형 불순물영역을 형성하는 단계;

상기 게이트전극타측아래의 활성층에 제2도전형 불순물을 주입하여 제2도전형 불순물영역을 형성하는 단계;

상기 게이트전극을 포함한 게이트절연막상에 상기 제1도전형 불순물영역과 제2도전형 불순물영역을 노출시키는 제1, 2 콘택홀을 형성하는 단계; 및

상기 제1, 2 콘택홀을 포함한 층간절연막상에 상기 제1도전형 불순물영역 및 제2도전형 불순물영역과 각각 접촉되는 드레인전극과 소스전극을 형성하는 단계;를 포함하여 구성되는 것을 특징으로 하는 박막트랜지스터 제조방법.

청구항 5

제4항에 있어서, 상기 제1도전형 불순물은 n+ 고농도불순물이고, 제2도전형 불순물은 p+고농도불순물인 것을 특징으로 하는 박막트랜지스터 제조방법.

청구항 6

제4항에 있어서, 상기 게이트전극과 소스/드레인전극은 Al, Al합금, Mo 또는 Mo 합금, W 또는 W 합금, Cr 또는 Cr 합금, Ti 또는 Ti 합금 등의 금속중에서 어느 하나를 선택하여 형성된 것을 특징으로 하는 박막트랜지스터 제조방법.

청구항 7

제4항에 있어서, 상기 제1도전형 불순물은 p+ 고농도불순물이고, 제2도전형 불순물은 n+고농도불순물인 것을 특징으로 하는 박막트랜지스터 제조방법.

청구항 8

제4항에 있어서, 상기 기판상에 버퍼절연막을 형성하는 단계를 더 포함하는 것을 특징으로 하는 박막트랜지스터 제조방법.

명세서

발명의 상세한 설명

기술분야

[0001] 본 발명은 박막트랜지스터 및 제조방법에 관한 것으로서, 보다 상세하게는 LDD(lightly doped drain) 영역을 별도로 형성하지 않더라도 누설전류(leakage current)와 키크(kink) 현상을 억제할 수 있는 박막트랜지스터 및 그 제조방법에 관한 것이다.

배경기술

- [0002] 일반적으로 액정표시장치는 화소를 구동하는 방식에 따라 수동행렬 액정표시장치와 능동행렬 액정표시장치로 나누어지는데, 이 중에서 능동행렬 액정표시장치는 하나의 화소가 각 화소마다 형성된 박막트랜지스터로 구동된다.
- [0003] 이러한 박막트랜지스터는 활성층과 게이트전극, 소스전극 그리고 드레인전극으로 구성되어 있으며, 이중 활성층은 채널이 형성되는 곳으로 박막트랜지스터의 특성을 좌우한다.
- [0004] 활성층은 일반적으로 비정질 실리콘이나 폴리실리콘을 이용하는데, 최근 들어 박막트랜지스터의 활성층을 비정질실리콘에서 폴리실리콘으로 대체하고 있다. 이는 폴리실리콘이 비정질실리콘에 비하여 전계이동도가 높고 광누설전류가 거의 없으며, 유리기판위에 회로를 제작할 수 있는 SOG(silicon on glass) 제품을 만들 수 있는 장점이 있기 때문이다.
- [0005] 이러한 폴리실리콘을 이용한 박막트랜지스터는 일반적으로 탑게이트(top gate)구조를 채택하는데, 이 구조는 활성층의 상부에 게이트전극이 존재하여 일반적인 MOSFET(metal-oxide semiconductor field effect transistor) 소자와 유사한 구조를 가지며, 기존의 반도체 집적공정을 이용할 수 있는 큰 장점을 가지고 있다.
- [0006] 또한, 도핑시 게이트전극위에 마스크를 사용하여 박막트랜지스터 채널의 자기배열(self-align) 구조가 가능하다.
- [0007] 폴리실리콘 박막트랜지스터는 전계이동도와 온전류(on-current) 특성 등은 우수한데 반해, 도 1에서와 같이, 박막트랜지스터의 주요한 요구조건중 하나인 오프전류(off-current) 특성이 좋지 않다.
- [0008] 여기서, 오프전류란 이론상으로는 박막트랜지스터가 오프상태일 때는 활성층으로는 전자가 이동하지 않아 전류가 흐를 수 없으나, 실제로는 활성층을 지나는 전자가 존재하게 되어 전류가 흐르는 것을 말한다. 즉, 낮은 드레인전압에서 오프전류는 전자가 드레인전극과 활성층영역에 인가된 전기장에 의한 터널링을 하여 전도대로 이동하여 전류가 흐르는 것을 말한다.
- [0009] 이러한 오프전류를 감소하기 위해 오프셋 영역을 두어 LDD(lightly doped drain)라는 추가적인 도핑 공정을 실시하여 에너지 밴드간 수평 거리를 넓게 하여 전자가 쉽게 터널링하지 못하게 되어, 오프전류를 감소시킬 수 있다.
- [0010] 이러한 관점에서, LDD 도핑공정을 적용한 종래기술에 따른 박막트랜지스터 구조에 대해 도 2 및 3을 참조하여 설명하면 다음과 같다.
- [0011] 도 2는 종래기술에 따른 LDD 구조가 형성된 박막트랜지스터의 평면도이다.
- [0012] 도 3a는 도 2의 IIIa - IIIa'선에 따른 박막트랜지스터의 단면도이고, 도 3b는 도 2의 IIIb - IIIb'선에 따른 박막트랜지스터의 단면도이며, 도 3c는 도 2의 IIIc - IIIc'선에 따른 박막트랜지스터의 단면도이며, 도 3d는 도 2의 IIId - IIId'선에 따른 박막트랜지스터의 단면도이다.
- [0013] 여기서, 종래기술에 따른 박막트랜지스터 구조에 대해 도 2 및 도 3c를 중심으로 설명하도록 한다.
- [0014] 종래기술에 따른 박막트랜지스터는 NMOS 또는 PMOS와 같은 단일 MOS로 형성될 수 있고, CMOS로 형성될 수 있지만, 이하에서는 NMOS로 형성된 경우만을 설명하기로 한다.
- [0015] 도 2 및 도 3c를 참조하면, 종래기술에 따른 박막트랜지스터는 게이트선(미도시)의 게이트신호에 응답하여 데이터선(미도시)의 데이터신호를 화소전극(미도시)에 공급하는데, 이를 위해 박막트랜지스터는 게이트선과 접속된 게이트전극(19a)과, 데이터선과 접속된 소스전극(33b)과, 화소전극과 접속된 드레인전극(33a),

소스전극(33b)과 드레인전극(33a)사이에서 채널을 형성하는 활성층(15a)을 포함한다.

- [0016] 여기서, 게이트전극(19a)은 게이트선(미도시)에 대해 수직으로 돌출되어 게이트선(미도시)으로부터 인가되는 게이트신호에 따라 박막트랜지스터를 동작시킨다.
- [0017] 또한, 소스전극(33b)은 데이터선에 접속되어 있으며, 데이터선으로부터 인가되는 데이터신호를 활성층(15a)을 경유하여 드레인전극(33a)으로 인가한다.
- [0018] 그리고, 드레인전극(33a)은 게이트전극(420)을 사이에 두고 소스전극(33b)과 마주 보고 형성되어 있으며, 인가 받은 데이터신호를 화소전극으로 인가한다.
- [0019] 더우기, 활성층(15a)은 버퍼절연막(13)을 사이에 두고 절연기관(11)상에 형성된다. 이때, 상기 활성층(15a)은 게이트절연막(17)을 사이에 두고 게이트전극(19a)과 중첩된 채널영역과, 채널영역을 사이에 두고 마주 보는 소스영역(27b) 및 드레인영역(27a), 상기 소스영역(27b) 및 드레인영역(27b)사이에서 개재되는 LDD(lightly doped drain)영역(21)을 포함한다.
- [0020] 상기 드레인영역(27a) 및 소스영역(27b)에 n⁺ 불순물이 도핑되어 있어도, 박막트랜지스터의 오프전류를 감소하기 위해 LDD영역(21)에는 도핑되지 않을 수 있으나 통상적으로 저농도 불순물로 도핑된다.
- [0021] 또한, 상기 소스영역(27b) 및 드레인영역(27a)은 층간절연막(29) 및 게이트절연막(17)을 관통하는 제1 및 제2 콘택홀(31a, 31b) 각각을 통해 드레인전극(33a) 및 소스전극(33b)과 각각 접속된다.
- [0022] 상기 구성으로 이루어지는 종래기술에 따른 박막트랜지스터 제조방법에 대해 도 4a 내지 도 4h를 참조하여 설명하면 다음과 같다.
- [0023] 도 4a 내지 도 4h는 종래기술에 따른 박막트랜지스터 제조방법을 설명하기 위한 공정단면도이다.
- [0024] 도 4a에 도시된 바와 같이, 절연기관(11)상에 버퍼절연막(13)을 형성한후, 그 위에 비정질실리콘층을 증착한 다음 이를 결정화시켜 폴리실리콘층(15)을 형성한다.
- [0025] 이어서, 도 4b에 도시된 바와 같이, 포토리소그래피공정 및 식각공정을 통해 상기 폴리실리콘층(15)을 선택적으로 식각하여 활성층(15a)을 형성한다.
- [0026] 그다음, 상기 활성층(15a)을 포함한 버퍼절연막(13)상에 질화실리콘(SiNx) 또는 산화실리콘(SiO₂)등과 같은 무기절연물질을 이용하여 게이트절연막(17)을 형성한다.
- [0027] 이어서, 상기 게이트절연막(17)상부에 Al합금 등의 금속을 스퍼터링 등의 방식으로 증착하여 게이트금속층(19)을 형성한다.
- [0028] 이어서, 도 4c에 도시된 바와 같이, 포토리소그래피 공정 및 식각공정을 통해 상기 게이트금속층(19)을 선택적으로 식각하여 게이트전극(19a)을 형성한다.
- [0029] 그다음, 도 4d에 도시된 바와 같이, 상기 게이트전극(19a)을 차단막으로 하여 상기 게이트전극(19a)양측아래의 활성층(15a)부분에 n⁻ 저농도 불순물을 이온주입하여 LDD영역(21)을 형성한다.
- [0030] 이어서, 도 4e 및 도 4f에 도시된 바와 같이, 기판 전면에 제1감광막(23)을 도포한후 마스크를 이용한 포토리소그래피공정 및 식각공정을 통해 상기 제1감광막(23)을 선택적으로 패터닝하여 후속 공정에서 형성될 상기 활성층(15a)의 드레인영역 및 소스영역과 대응되는 지역을 각각 노출시키는 제1, 2개구부(25a, 25b)를 갖는 제1 감광막패턴(23a)을 형성한다.
- [0031] 이어서, 상기 제1 감광막패턴(23a)을 차단막으로 하여 상기 제1, 2개구부(25a, 25b)를 통해 노출된 활성층(15a)의 드레인영역과 소스영역에 n⁺ 고농도 불순물을 이온주입하여 n⁺ 드레인/소스영역(27a, 27b)을 형성한다.
- [0032] 그다음, 도 4g에 도시된 바와 같이, 상기 제1감광막패턴(23a)을 제거한후 기판 전면에 질화실리콘(SiNx) 또는 산화실리콘(SiO₂)과 같은 무기절연물질을 증착하므로써 층간절연막(29)을 형성한다.
- [0033] 이어서, 마스크를 이용한 포토리소그래피공정 및 식각공정을 통해 상기 층간절연막(29)을 선택적으로 제거하여 상기 드레인/소스영역(27a, 27b)을 노출시키는 제1, 2 콘택홀(31a, 31b)을 형성한다.
- [0034] 그다음, 도 4h에 도시된 바와 같이, 상기 층간절연막(29)상부에 Al 또는 Al합금 등의 금속을 스퍼터링 등의 방

식으로 증착하여 소스/드레인 형성용 금속층(미도시)을 형성한다.

[0035] 이어서, 마스크를 이용한 포토리소그라피공정 및 식각공정에 의해 상기 금속층(미도시)을 선택적으로 제거하여 드레인전극(33a)과 소스전극(33b)을 형성하므로써 박막트랜지스터 제조공정을 완료한다.

[0036] 상기와 같이 제조되는 종래기술에 따른 박막트랜지스터 및 그 제조방법의 경우, 도면에는 도시하지 않았지만, LDD(lightly doped drain)영역을 형성하여 주므로써 오프상태(off state)에서의 누설전류(leakage current)를 억제할 수 있다.

[0037] 그러나, 상기 종래기술에 따른 박막트랜지스터 및 그 제조방법에 의하면 다음과 같은 문제점이 있다.

[0038] 종래기술에 따른 박막트랜지스터 및 그 제조방법은 오프상태에서의 누설전류를 억제하기 위한 LDD 구조를 형성하기 위해 LDD 포토공정 및 도핑공정 등이 추가로 필요하게 되어 전체 디바이스(device) 제작공정이 더욱 늘어나게 되므로 생산성 및 생산수율에 영향을 미치게 된다.

발명의 내용

해결 하고자하는 과제

[0039] 이에 본 발명은 상기 종래기술의 제반 문제점을 해결하기 위하여 안출한 것으로서, 본 발명의 목적은 LDD(lightly doped drain) 영역을 별도로 형성하지 않더라도 누설전류(leakage current)와 키크(kink) 현상을 억제할 수 있는 박막트랜지스터 및 그 제조방법을 제공함에 있다.

과제 해결수단

[0040] 상기 목적을 달성하기 위한 본 발명에 따른 박막트랜지스터는, 기판상에 형성된 게이트전극; 상기 기판상에 형성되고, 상기 게이트전극양측에 위치한 소스/드레인전극; 및 상기 게이트전극과 기판사이에 형성되고, 상기 게이트전극과 절연되게 중첩되는 채널영역과, 상기 소스/드레인전극 각각과 접속되며 서로 다른 도전성을 갖는 소스/드레인영역을 포함하는 활성층;을 포함하여 구성되는 것을 특징으로 한다.

[0041] 상기 목적을 달성하기 위한 본 발명에 따른 박막트랜지스터는, 기판상에 활성층을 형성하는 단계; 상기 활성층을 포함한 기판상에 게이트절연막을 형성하는 단계; 상기 게이트절연막상에 게이트전극을 형성하는 단계; 상기 게이트전극일측아래의 활성층에 제1도전형 불순물을 주입하여 제1도전형 불순물영역을 형성하는 단계; 상기 게이트전극타측아래의 활성층에 제2도전형 불순물을 주입하여 제2도전형 불순물영역을 형성하는 단계; 상기 게이트전극을 포함한 게이트절연막상에 상기 제1도전형 불순물영역과 제2도전형 불순물영역을 노출시키는 제1, 2 콘택홀을 형성하는 단계; 및 상기 제1, 2 콘택홀을 포함한 층간절연막상에 상기 제1도전형 불순물영역 및 제2도전형 불순물영역과 각각 접속되는 드레인전극과 소스전극을 형성하는 단계;를 포함하여 구성되는 것을 특징으로 한다.

효과

[0042] 본 발명에 따른 박막트랜지스터 및 그 제조방법에 의하면 다음과 같은 효과가 있다.

[0043] 본 발명은 기존의 LDD구조가 아닌 LDD구조가 없는 종래기술의 박막트랜지스터 구조에서 소스영역에 p+영역을 형성시켜 주는 구조로써 공정상에 추가되는 공정이 없을 뿐만 아니라 LDD 구조에서 필요한 LDD 도핑공정을 생략하게 되므로 공정을 단순화시킬 수 있다.

[0044] 따라서, 본 발명은 장치의 단채널효과(short channel effect)를 억제할 수 있는 구조로 구동회로의 면적을 줄여 보다 콤팩트(compact)한 장치 설계가 가능하게 된다.

[0045] 또한, 본 발명은 p+영역을 조절하여 각 구동회로의 특성에 맞는 특성을 얻을 수 있어 보다 개선된 구동회로 특성 및 설계가 가능하다.

[0046] 그리고, 본 발명은 P-TFT에 적용하는 경우 p+영역을 n+ 영역으로 적용하게 되면 위에서와 같은 동일한 효과를 얻을 수 있다.

발명의 실시를 위한 구체적인 내용

[0047] 이하, 본 발명에 따른 박막트랜지스터 구조에 대해 첨부된 도면을 참조하여 상세히 설명한다.

- [0048] 도 5는 본 발명에 따른 박막트랜지스터 구조의 평면도이다.
- [0049] 도 6a는 도 5의 VIa - VIa'선에 따른 박막트랜지스터의 단면도이고, 도 6b는 도 5의 VIb - VIb'선에 따른 박막트랜지스터의 단면도이며, 도 6c는 도 5의 VIc - VIc'선에 따른 박막트랜지스터의 단면도이며, 도 6d는 도 1의 VI d - VI d'선에 따른 박막트랜지스터의 단면도이다.
- [0050] 여기서, 본 발명에 따른 박막트랜지스터 제조방법은 도 5 및 도 6c를 중심으로 설명하도록 한다.
- [0051] 본 발명에 따른 박막트랜지스터는 NMOS 또는 PMOS와 같은 단일 MOS로 형성될 수 있고, CMOS로 형성될 수 있지만, 이하에서는 NMOS로 형성된 경우만을 설명하기로 한다.
- [0052] 도 5 및 도 6c를 참조하면, 본 발명에 따른 박막트랜지스터는 게이트선(미도시)의 게이트신호에 응답하여 데이터선(미도시)의 데이터신호를 화소전극(미도시)에 공급하는데, 이를 위해 박막트랜지스터는 게이트선과 접속된 게이트전극(109a)과, 데이터선과 접속된 소스전극(127b)과, 화소전극과 접속된 드레인전극(127a), 소스전극(127b)과 드레인전극(127a) 사이에 채널을 형성하는 활성층(105a)을 포함한다.
- [0053] 여기서, 게이트전극(109a)은 게이트선(미도시)에 대해 수직으로 돌출되어 게이트선(미도시)으로부터 인가되는 게이트신호에 따라 박막트랜지스터를 동작 시킨다.
- [0054] 또한, 소스전극(127b)은 데이터선에 접속되어 있으며, 데이터선으로부터 인가되는 데이터신호를 활성층(105a)을 경유하여 드레인전극(127a)으로 인가한다.
- [0055] 그리고, 드레인전극(127a)은 게이트전극(109a)을 사이에 두고 소스전극(127b)과 마주 보고 형성되어 있으며, 인가받은 데이터신호를 화소전극으로 인가한다.
- [0056] 더우기, 활성층(105a)은 버퍼절연막(103)을 사이에 두고 절연기판(101)상에 형성된다. 이때, 상기 활성층(105a)은 게이트절연막(107)을 사이에 두고 게이트전극(109a)과 중첩된 채널영역과, 채널영역을 사이에 두고 마주 보는 제2도전형 소스영역(121) 및 제1도전형 드레인영역(115)을 포함한다. 여기서, 상기 제2도전형 소스영역(121)은 p+ 영역을 말한다. 본 발명에서는 N형 TFT인 경우에 대해 설명하였지만, P형 TFT인 경우에도 가능하고 이 경우에 제2도전형 소스영역(121)은 n+영역을 말한다.
- [0057] 또한, 상기 소스영역(121) 및 드레인영역(115)은 층간절연막(123) 및 게이트절연막(107)을 관통하는 제1 및 제2콘택홀(125a, 125b) 각각을 통해 드레인전극(127a) 및 소스전극(127b)과 각각 접속된다.
- [0058] 한편, 상기 구성으로 이루어진 본 발명에 따른 박막트랜지스터 제조방법에 대해 도 7a 내지 도 7h를 참조하여 설명하면 다음과 같다.
- [0059] 도 7a 내지 도 7h는 본 발명에 따른 박막트랜지스터 제조방법을 설명하기 위한 공정 단면도이다.
- [0060] 도 7a에 도시된 바와 같이, 절연기판(101)상에 버퍼절연막(103)을 형성한후, 그 위에 비정질실리콘층을 증착한 다음 이를 결정화시켜 폴리실리콘층(105)을 형성한다.
- [0061] 이때, 상기 버퍼절연막(103)으로는 질화실리콘(SiNx) 또는 산화실리콘(SiO₂) 등과 같은 무기절연물질을 사용하는데, 이 버퍼절연막(103)은 절연기판(101)의 불순물이 확산되는 것을 막아 준다.
- [0062] 또한, 상기 비정질실리콘층은 LPCVD(low pressure chemical vapor deposition), PECVD(plasma enhanced chemical vapor deposition) 등의 방법으로 증착하고, 이어 레이저 또는 열을 이용한 결정화 과정을 거쳐 폴리실리콘층(105)으로 형성된다.
- [0063] 이어서, 도 7b에 도시된 바와 같이, 포토리소그라피공정 및 식각공정을 통해 상기 폴리실리콘층(105)을 선택적으로 식각하여 활성층(105a)을 형성한다.
- [0064] 그다음, 상기 활성층(105a)을 포함한 버퍼절연막(103)상에 질화실리콘(SiNx) 또는 산화실리콘(SiO₂) 등과 같은 무기절연물질을 이용하여 게이트절연막(107)을 형성한다.
- [0065] 이어서, 상기 게이트절연막(107)상부에 Al합금, Mo 또는 Mo 합금, W 또는 W 합금, Cr 또는 Cr 합금, Ti 또는 Ti 합금 등의 금속을 스퍼터링 등의 방식으로 증착하여 게이트금속층(109)을 형성한다. 이때, 상기 상기 게이트금속층(109)은 단일층 또는 이중층으로 형성할 수도 있다.
- [0066] 이어서, 도 7c에 도시된 바와 같이, 포토리소그라피 공정 및 식각공정을 통해 상기 게이트금속층(109)을 선택

적으로 식각하여 게이트전극(109a)을 형성한다.

- [0067] 그다음, 상기 게이트전극(109a)을 포함한 게이트절연막(107)상부에 제1감광막 (111)을 도포한후 마스크를 이용한 포토리소그래피공정 및 식각공정을 통해 상제1감광막(111)을 선택적으로 패터닝하여 후속 공정에서 형성될 상기 활성층(105a)의 소스영역과 대응되는 지역을 노출시키는 제1개구부(113)를 갖는 제1 감광막패턴 (111a)을 형성한다.
- [0068] 이어서, 도 7d에 도시된 바와 같이, 상기 제1 감광막패턴(111a)을 차단막으로 하여 상기 제1개구부(113)를 통해 노출된 활성층(105a)의 소스영역 형성지역에 n+ 고농도 불순물을 이온주입하여 n+ 드레인영역(115)을 형성한다.
- [0069] 그다음, 도 7e에 도시된 바와 같이, 상기 제1감광막패턴(111a)을 제거한후 기판 전면에서 제2감광막(117)을 도포한다.
- [0070] 이어서, 도 7f에 도시된 바와 같이, 상기 제2감광막(117)을 포토리소그래피공정 및 식각공정을 통해 선택적으로 제거하여 소스영역과 대응되는 지역을 노출시키는 제2개구부(119)를 갖는 제2감광막패턴(117)을 형성한다.
- [0071] 그다음, 상기 제2감광막패턴(117)을 차단막으로하여 상기 제2개구부(119)를 통해 상기 노출된 활성층(105a)의 소스영역 형성지역에 p+ 고농도 불순물을 이온주입하여 p+ 영역(121)을 형성한다.
- [0072] 이어서, 도 7g에 도시된 바와 같이, 상기 제2감광막패턴(117)을 제거한후 기판 전면에서 PECVD 또는 APCVD 공정으로 질화실리콘(SiNx) 또는 산화실리콘(SiO₂)과 같은 무기절연물질을 증착하므로써 층간절연막(123)을 형성한다.
- [0073] 그다음, 마스크를 이용한 포토리소그래피 공정 및 식각공정을 통해 상기 층간절연막(123)과 그 아래의 게이트 절연막(107) 일부분을 차례로 식각하여 상기 드레인영역(115)과 소스영역, 즉 p+ 영역(121)을 각각 노출시키는 제1, 2 콘택홀 (125a, 125b)를 각각 형성한다.
- [0074] 이어서, 도 7h에 도시된 바와 같이, 상기 층간절연막(123)상부에 Al 또는 Al합금, Mo 또는 Mo 합금, W 또는 W 합금, Cr 또는 Cr 합금, Ti 또는 Ti 합금 등의 금속을 스퍼터링 등의 방식으로 증착하여 소스/드레인 형성용 금속층(미도시)을 형성한다.
- [0075] 그다음, 마스크를 이용한 포토리소그래피공정 및 식각공정에 의해 상기 금속층(미도시)을 선택적으로 제거하여 드레인전극(127a)과 소스전극(127b)을 형성하므로써 박막트랜지스터 제조공정을 완료한다.
- [0076] 상기와 같이 제조되는 본 발명에 따른 박막트랜지스터에 따른 오프전류(off current) 및 킹크(kink) 현상에 대해 도 8a 및 도 8b를 참조하여 설명하면 다음과 같다.
- [0077] 도 8a는 본 발명과 종래기술에 따른 박막트랜지스터 구조의 게이트전압에 따른 드레인전류의 변화를 비교하여 나타낸 그래프이다.
- [0078] 도 8b는 본 발명과 종래기술에 따른 박막트랜지스터 구조의 드레인전압에 따른 드레인전류의 변화를 비교하여 나타낸 그래프이다.
- [0079] 도 8a에 도시된 바와 같이, 본 발명은 LDD영역을 형성하지 않은 종래기술의 박막트랜지스터 구조에 비해, 오프 상태(off state)에서의 누설전류(leakage current)를 크게 줄일 수 있다. 이는 오프상태에서의 캐리어(carrier)들이 p+ 영역(121)으로 빠져 나감과 동시에 소스영역인 p+영역(121)에서 생성된 캐리어가 채널 영역 (105a)에서 스크린 효과(screen effect)를 나타내기 때문에 누설전류를 감소 시킨다.
- [0080] 또한, 도 8b에 도시된 바와 같이, 본 발명은 LDD영역을 형성하지 않은 종래기술의 박막트랜지스터 구조에 비해, 출력 특성의 킹크(kink) 현상을 감소시킬 수 있다. 이는 충돌 이온화(impact ionization)을 인한 전자-홀쌍(electron-hole pair)의 홀(hole)이 빠져 나가게 하여 킹크(kink) 현상을 억제하는 효과를 얻을 수 있다.
- [0081] 이상에서와 같이, 본 발명은 기존의 LDD구조가 아닌 LDD구조가 없는 종래기술의 박막트랜지스터 구조에서 소스 영역에 p+영역을 형성시켜 주는 구조로써 공정상에 추가되는 공정이 없을 뿐만 아니라 LDD 구조에서 필요한 LDD 도핑공정을 생략하게 되므로 공정을 단순화시킬 수 있다.
- [0082] 따라서, 본 발명은 장치의 단채널효과(short channel effect)를 억제할 수 있는 구조로 구동회로부의 면적을 줄여 보다 콤팩트(compact)한 장치 설계가 가능하게 된다.

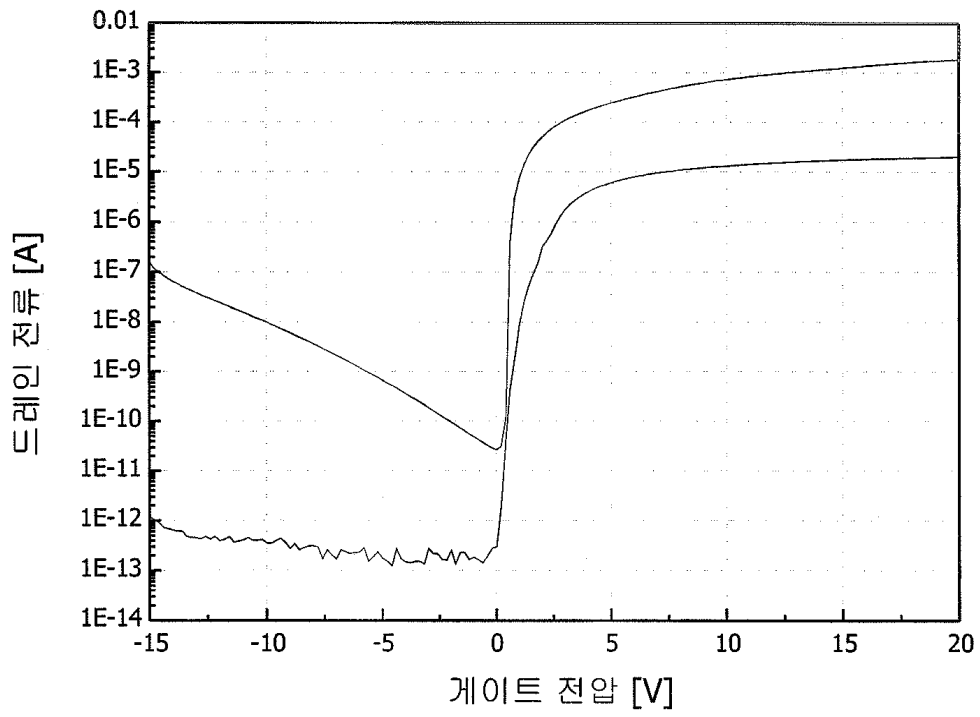
- [0083] 또한, 본 발명은 p+영역을 조절하여 각 구동회로의 특성에 맞는 특성을 얻을 수 있어 보다 개선된 구동회로 특성 및 설계가 가능하다.
- [0084] 그리고, 본 발명은 P-TFT에 적용하는 경우, p+영역을 n+ 영역으로 적용하게 되면 위에서와 같은 동일한 효과를 얻을 수 있다.
- [0085] 이상에서 본 발명의 바람직한 실시예에 대하여 상세하게 설명하였지만, 당해 기술 분야에서 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 타 실시예가 가능하다는 점을 이해할 수 있을 것이다.
- [0086] 따라서, 본 발명의 권리범위는 이에 한정되는 것이 아니고 다음의 청구범위에서 정의하고 있는 본 발명의 기본 개념을 이용한 당업자의 여러 변형 및 개량 형태 또한 본 발명의 권리범위에 속하는 것이다.

도면의 간단한 설명

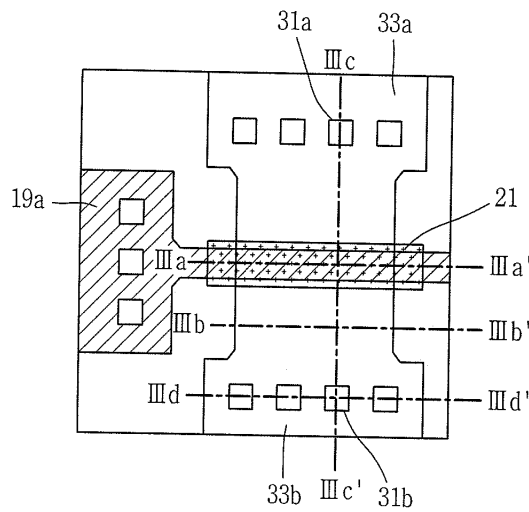
- [0087] 도 1은 종래기술에 따른 박막트랜지스터 구조의 게이트전압에 따른 오프전류(off current)의 변화를 나타낸 그래프이다.
- [0088] 도 2는 종래기술에 따른 LDD 구조가 형성된 박막트랜지스터의 평면도이다.
- [0089] 도 3a는 도 2의 IIIa - IIIa'선에 따른 박막트랜지스터의 단면도이고, 도 3b는 도 2의 IIIb - IIIb'선에 따른 박막트랜지스터의 단면도이며, 도 3c는 도 2의 IIIc - IIIc'선에 따른 박막트랜지스터의 단면도이며, 도 3d는 도 2의 IIId - IIId'선에 따른 박막트랜지스터의 단면도이다.
- [0090] 도 4a 내지 도 4h는 종래기술에 따른 박막트랜지스터 제조방법을 설명하기 위한 공정단면도이다.
- [0091] 도 5는 본 발명에 따른 박막트랜지스터 구조의 평면도이다.
- [0092] 도 6a는 도 5의 VIa - VIa'선에 따른 박막트랜지스터의 단면도이고, 도 6b는 도 5의 VIb - VIb'선에 따른 박막트랜지스터의 단면도이며, 도 6c는 도 5의 VIc - VIc'선에 따른 박막트랜지스터의 단면도이며, 도 6d는 도 1의 VI d - VI d'선에 따른 박막트랜지스터의 단면도이다.
- [0093] 도 7a 내지 도 7h는 본 발명에 따른 박막트랜지스터 제조방법을 설명하기 위한 공정 단면도이다.
- [0094] 도 8a는 본 발명과 종래기술에 따른 박막트랜지스터 구조의 게이트전압에 따른 드레인전류의 변화를 비교하여 나타낸 그래프이다.
- [0095] 도 8b는 본 발명과 종래기술에 따른 박막트랜지스터 구조의 드레인전압에 따른 드레인전류의 변화를 비교하여 나타낸 그래프이다.

도면

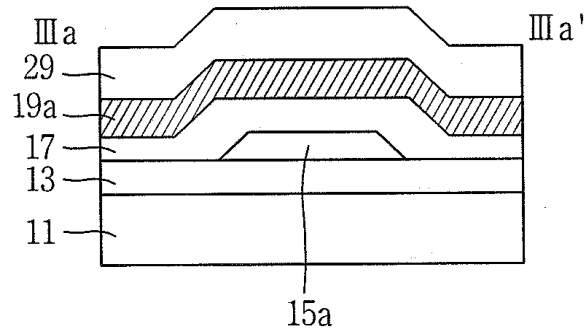
도면1



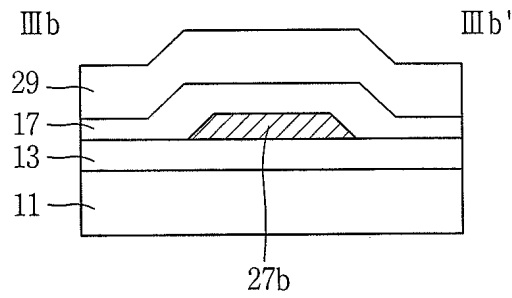
도면2



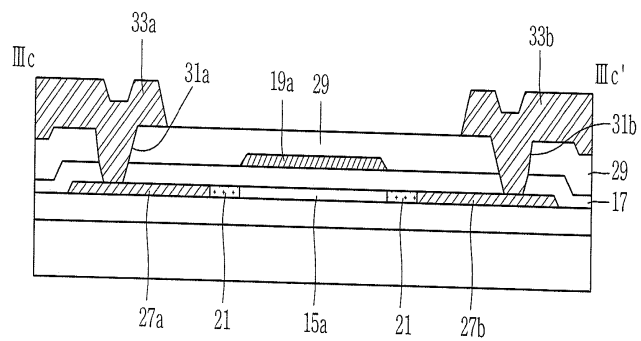
도면3a



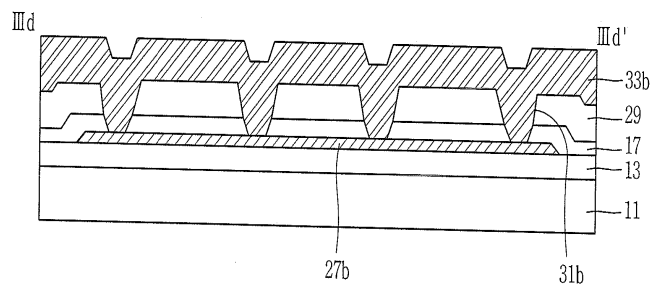
도면3b



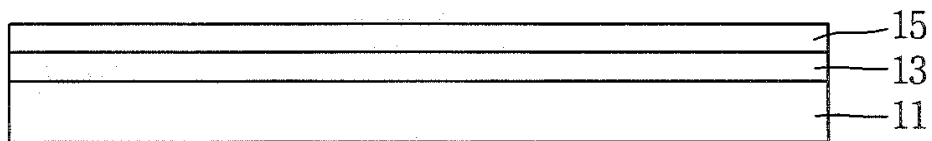
도면3c



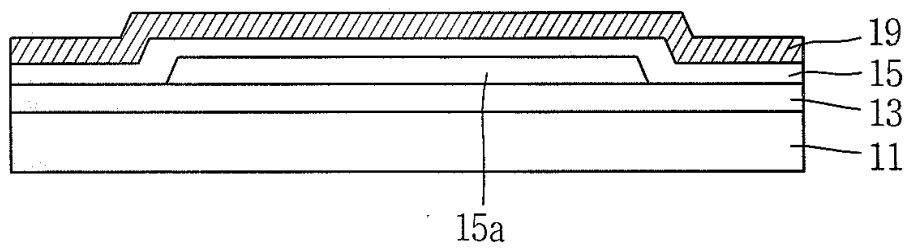
도면3d



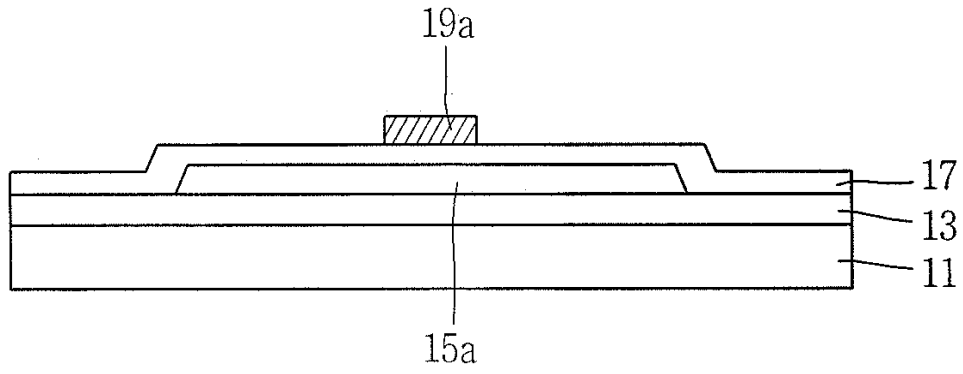
도면4a



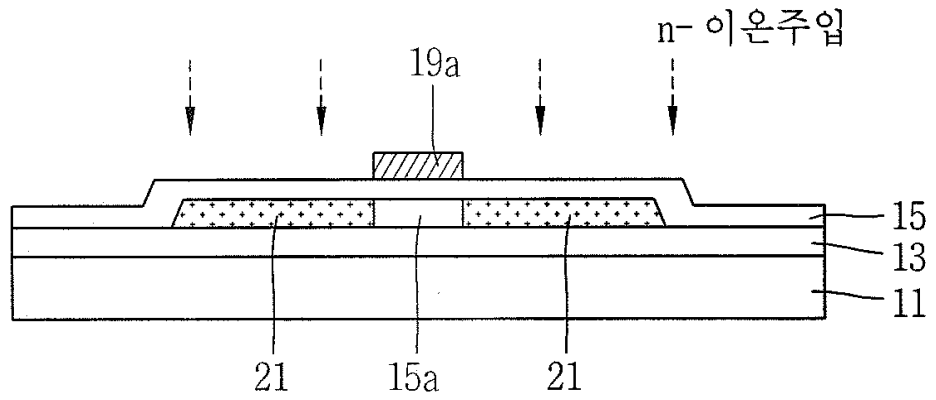
도면4b



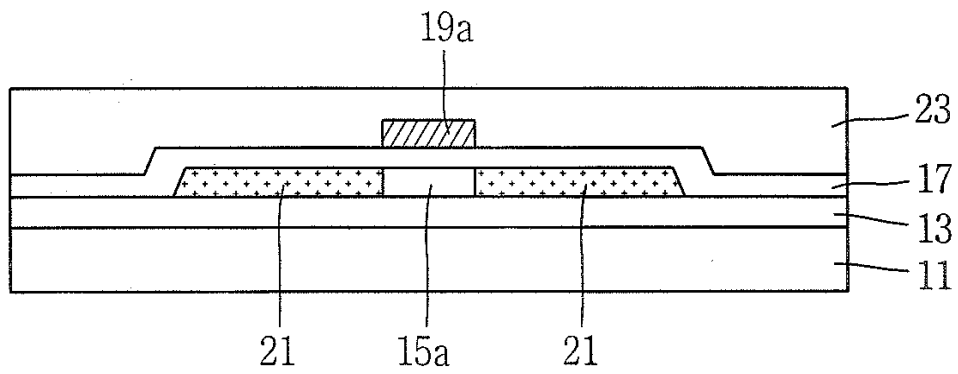
도면4c



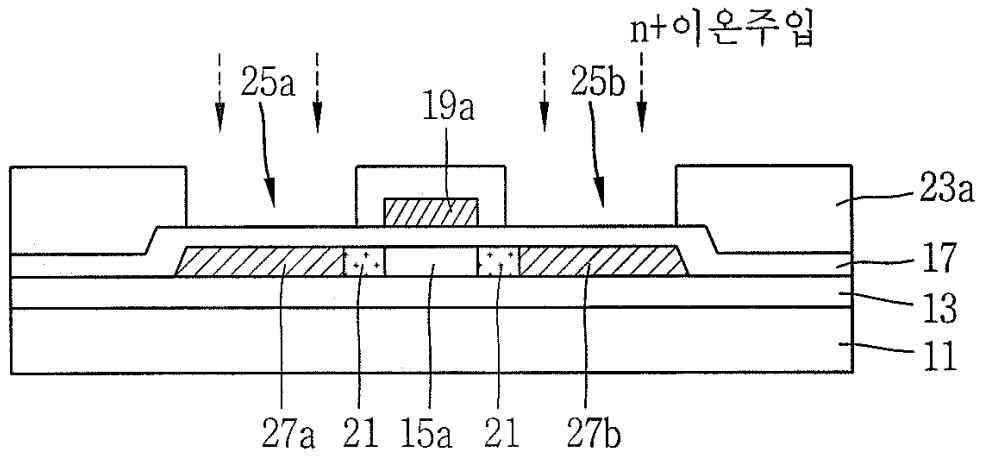
도면4d



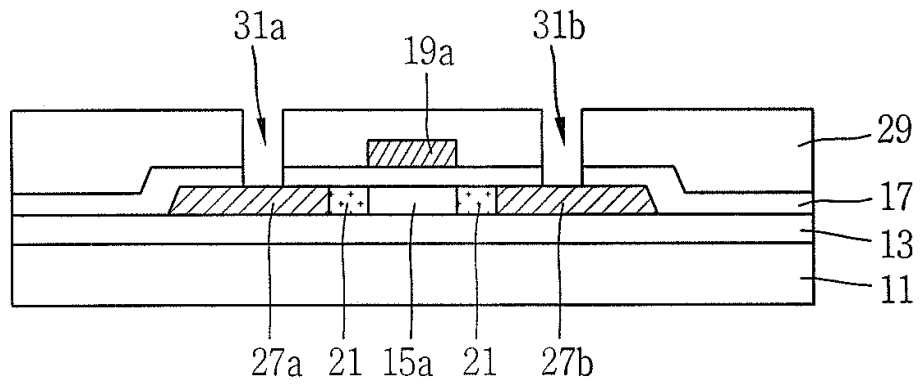
도면4e



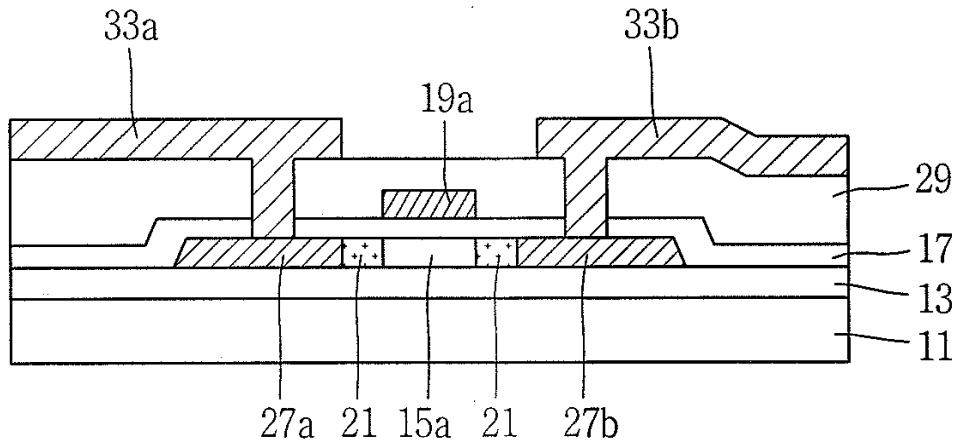
도면4f



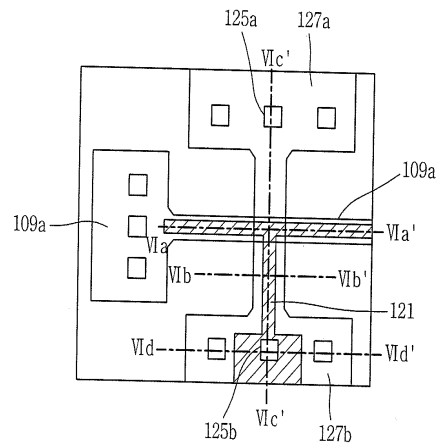
도면4g



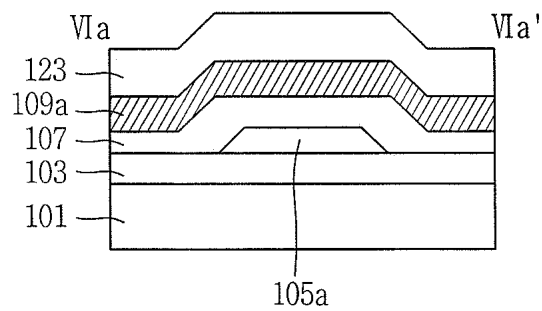
도면4h



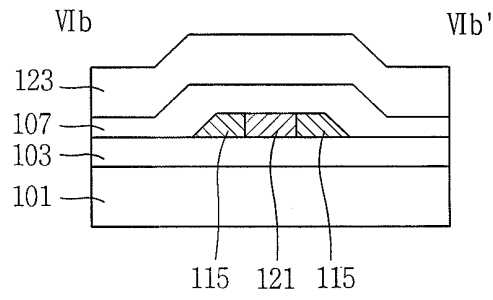
도면5



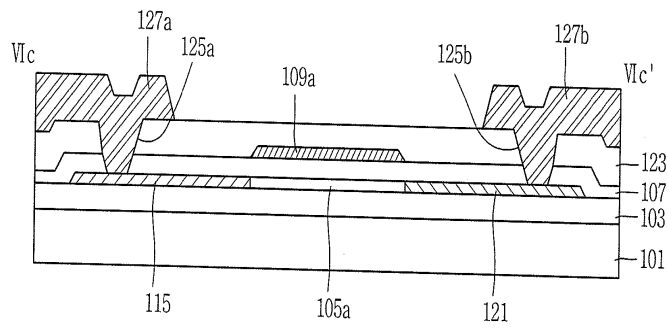
도면6a



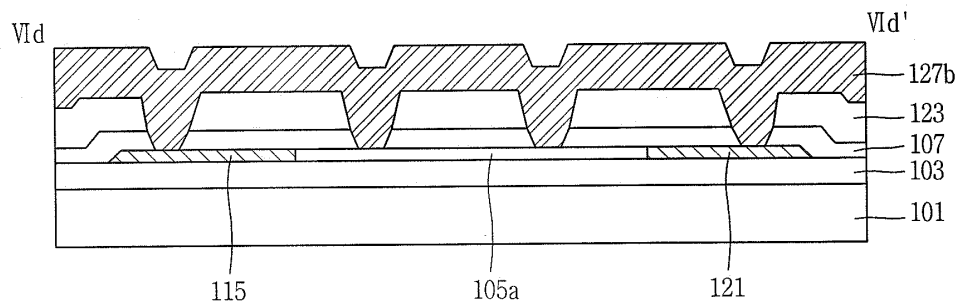
도면6b



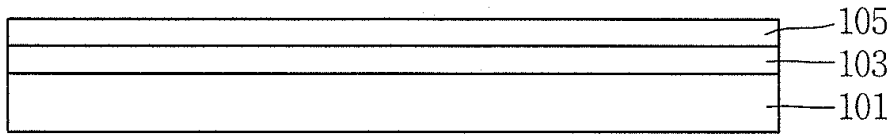
도면6c



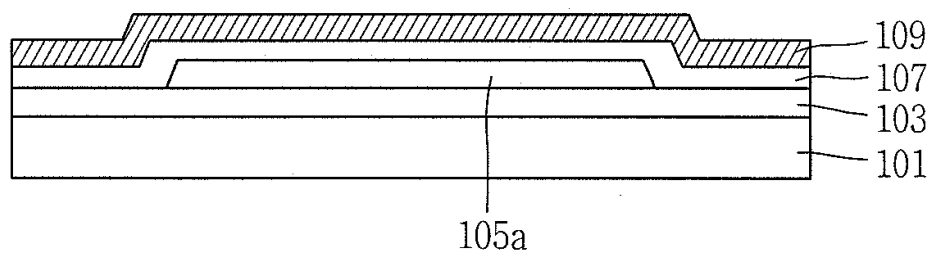
도면6d



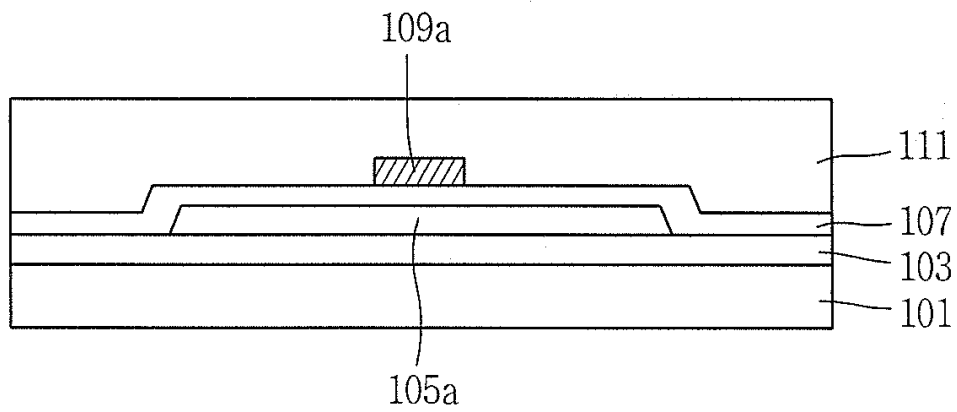
도면7a



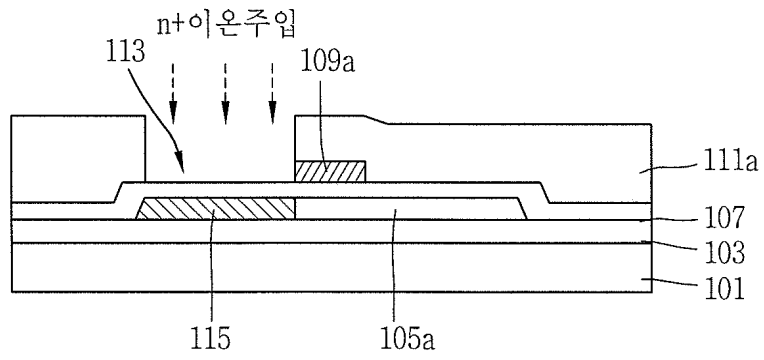
도면7b



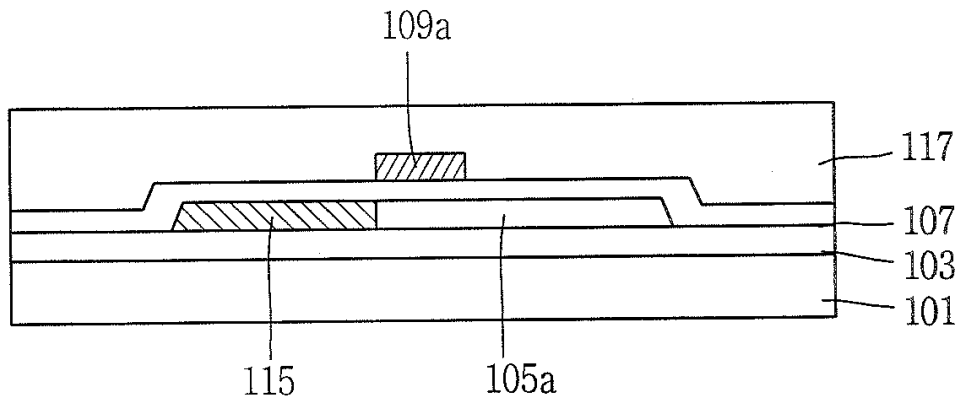
도면7c



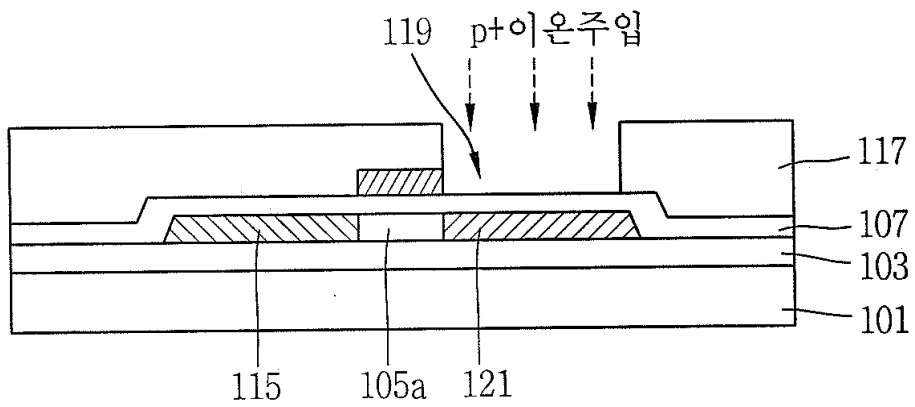
도면7d



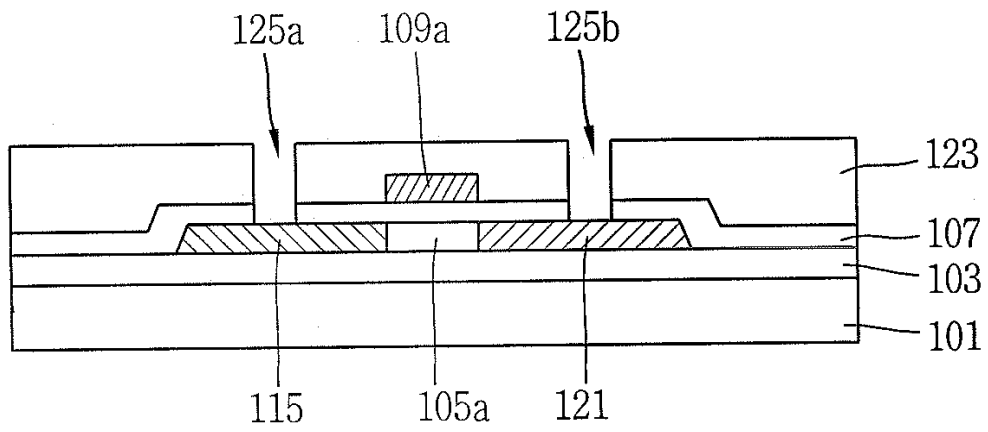
도면7e



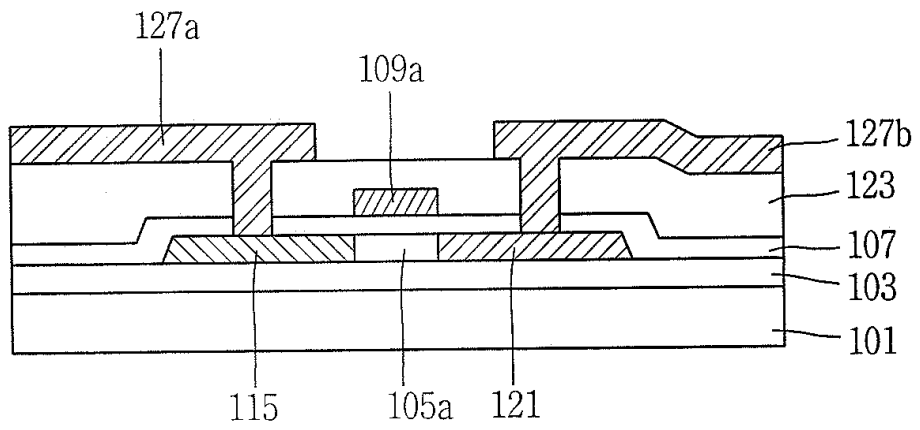
도면7f



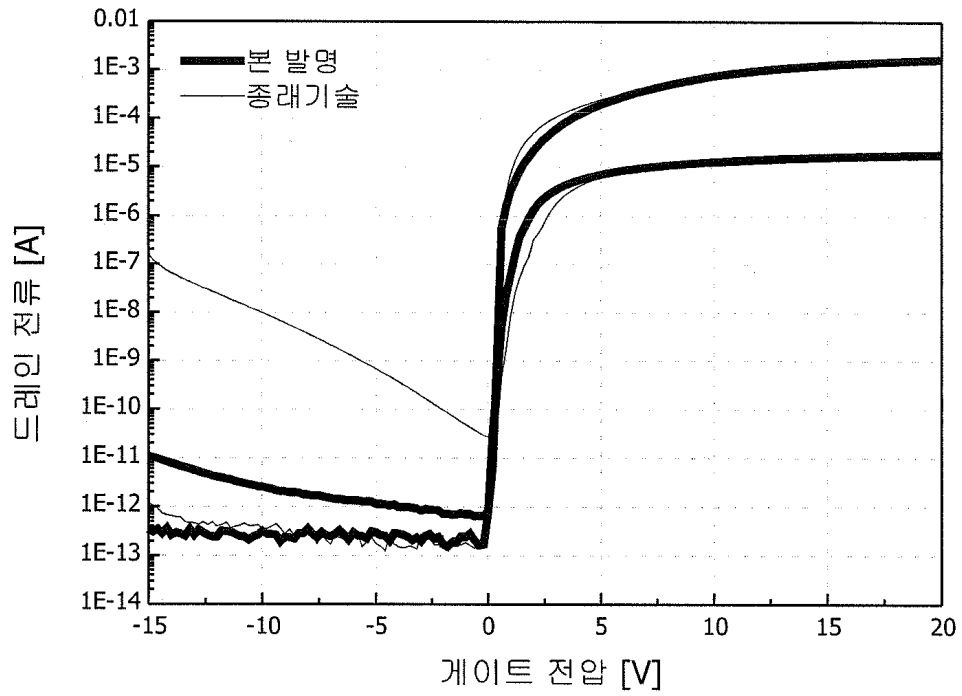
도면7g



도면7h



도면8a



도면8b

