

公告本

申請日期	89.5.16
案 號	89,09360
類 別	H01L 27/04

A4
C4

(以上各欄由本局填註)

454330

發明專利說明書

一、發明 名稱	中 文	半導體裝置及其製造方法
	英 文	半導體裝置およびその製造方法
二、發明 創作人	姓 名	1.長野 能久 2.上本 康裕
	國 籍	均日本
三、申請人	住、居所	1.日本國大阪府吹田市原町3-26-1-203 2.日本國滋賀縣大津市中庄2-2-31
	姓 名 (名稱)	日商松下電子工業股份有限公司
代 表 人 名 姓	國 籍	日本
	住、居所 (事務所)	日本國大阪府高槻市幸町1番1號
	代 表 人 名 姓	大鶴 英嗣

經濟部智慧財產局員工消費合作社印製

裝

訂

線

454330

(由本局填寫)

承辦人代碼：
大類：
IPC分類：

A6
B6

本案已向：

國(地區) 申請專利，申請日期： 案號： ， 有 無主張優先權

日本

1999年5月26日 特願11-146103 有 無主張優先權

有關微生物已寄存於：

，寄存日期：

，寄存號碼：

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

經濟部智慧財產局員工消費合作社印製

五、發明說明(1)

【發明所屬之技術領域】

本發明係關於一種包含具有由強介電質膜或高介電質膜等絕緣性金屬氧化物所構成之電容絕緣膜的電容元件之半導體裝置及其製造方法。

【習知之技術】

近年來隨著數位技術之進展，在處理或保存大容量資料方面電子機器就可更加地高度化，且依此也正急速發展用於電子機器中之半導體積體電路裝置之高集成化及半導體元件之細微化。

因此，爲了要實現用以構成半導體積體電路裝置之動態RAM之高集成化，而使用強介電質膜或高介電質膜作爲電容絕緣膜，以取代習知以來所使用之矽氧化物或矽氮化物的技術則廣受到研究及開發。

又，以可低電壓動作及高速寫入或讀出之非揮發性RAM之實用化爲目標，而盛行著關於具有自發分極特性之強介質電膜的研究及開發。

然而，要實現包含具有由強介電質膜或高介電質膜等絕緣性金屬氧化物所構成之電容絕緣膜的電容元件之半導體裝置，其最重要課題係在於開發一種不會使電容元件之特性劣化而可在CMOS積體電路中集成化的製程，其中，最爲重要的課題，乃在於防止用以構成電容絕緣膜之絕緣性金屬氧化物因氫而還原且電容元件之特性劣化的事態。

以下，有關包含具有由絕緣性金屬氧化物所構成之電容絕緣膜的電容元件之習知半導體裝置及其製造方法，係邊

(請先閱讀背面之注意事項再填寫本頁)

訂 線

五、發明說明(2)

參照圖8而邊加以說明。

如圖8所示，在半導體基板10之表面部上形成元件隔離區域11之後，在半導體基板10上介以閘極絕緣膜12形成閘極13。其次，將閘極13當作光罩(mask)而於離子植入低濃度雜質之後，形成用以覆蓋閘極13上面及側面的閘極保護絕緣膜14，之後，將閘極13及閘極保護絕緣膜14當作光罩而離子植入高濃度雜質，以形成具有作為場效電晶體之源極區域或汲極區域之LDD構造的雜質擴散層15。

其次，在半導體基板10上全面堆積第一保護絕緣膜16之後，在該第一保護絕緣膜16上形成第一接觸孔，之後，藉由在第一接觸孔內埋設導電膜，以形成與作為用以構成記憶體單元的第一場效型電晶體之源極區域或汲極區域的雜質擴散層15之中的一方相連接的第一接觸栓塞17。

其次，在第一保護絕緣膜16上，形成由鈦膜、氮化鈦膜、氧化鈷膜及鉑膜之層合膜所構成且與第一接觸栓塞17相連接的電容下部電極18、及由絕緣性金屬氧化物所構成的電容絕緣膜19之後，在第一保護絕緣膜16上之電容下部電極18及電容絕緣膜19彼此之間形成絕緣膜20。

其次，在電容絕緣膜19及絕緣膜20上，形成由鉑膜與鈦膜之層合膜所構成並橫跨在複數個電容絕緣膜19上且其周緣部延伸於第一保護絕緣膜16上的電容上部電極21。依以上所說明之電容下部電極18、電容絕緣膜19及電容上部電極21即可構成資料記憶用的電容元件，藉由該電容元件與前述第一場效型電晶體即可構成記憶體單元，同時依複

(請先閱讀背面之注意事項再填寫本頁)

訂
線

五、發明說明(3)

數個記憶體單元即可構成記憶體單元陣列。

其次，在形成由氮化矽膜或氮化硼膜所構成的氫阻障膜22以覆蓋電容上部電極21之後，在氫阻障膜22及第一保護絕緣膜16上全面堆積第二保護絕緣膜23。另外，氫阻障層22，係具有防止氫原子擴散於電容上部電極21之內部而到達電容絕緣膜19上，而使用以構成該電容絕緣膜19之絕緣性金屬氧化物還原之事態的功能。

其次，在第二保護絕緣膜23上形成第二接觸孔27(參照圖9(a))之後，在第一保護絕緣膜16及第二保護絕緣膜23上形成第三接觸孔28(參照圖9(b))。其次，在第二保護絕緣膜23上以填充至第二接觸孔27及第三接觸孔28之方式堆積導電膜之後，藉由形成該導電膜之圖案，以形成與電容上部電極21相連接的第二接觸栓塞24、與作為感測放大器之第二場效型電晶體之雜質擴散層15相連接的第三接觸栓塞25、及用以連接第二接觸栓塞24與第三接觸栓塞25的配線層26。

另外，在包含具有由絕緣性金屬氧化物所構成之電容絕緣膜19的資料記憶用電容元件之半導體記憶體裝置中，由於在電容下部電極18上以每1位元施加電壓，所以各電容下部電極18可介以第一接觸栓塞17分別連接在第一場效型電晶體之雜質擴散層15上，同時由於在電容上部電極21上以每複數個位元施加電壓，所以電容上部電極21可介以第二接觸栓塞24、配線層26及第三接觸栓塞25，連接在作為感測放大器之第二場效型電晶體的雜質擴散層15上。

(請先閱讀背面之注意事項再填寫本頁)

訂 線

五、發明說明(4)

【發明所欲解決之問題】

然而，吾人在檢查依前述方法所得的半導體裝置之電容元件的特性過程中，注意到無論是否在電容上部電極21上設置氫阻障膜22，以防止用以構成電容絕緣膜19的絕緣性金屬氧化物之還原，絕緣性金屬氧化物仍會還原，依此電容元件之特性就會劣化。

因此，就絕緣性金屬氧化物被還原之理由，給予各種檢討的結果，發現係因以下之機制而使絕緣性金屬氧化物會被還原。以下，係就無論是否在電容上部電極21上設置氫阻障膜22，絕緣性金屬氧化物仍會還原的機制加以說明。

如圖9(a)所示，在使用第一光阻圖案29而於第二保護絕緣膜23上形成第二接觸孔27之後，使用氧電漿去除第一光阻圖案29的步驟、及如圖9(b)所示，在使用第二光阻圖案30而於第二保護絕緣膜23及第一保護絕緣膜16上形成第三接觸孔28之後，使用氧電漿去除第二光阻圖案30的步驟中，如圖10(a)所示，電容上部電極21，會介以形成於氫阻障膜22上的開口部而露出於第二接觸孔27上。另外，圖10(a)，雖係顯示在第二保護絕緣膜23上形成有第二光阻圖案30的狀態，但是在使用第一光阻圖案29而於第二保護絕緣膜23上形成第二接觸孔27時，電容上部電極21亦會介以形成於氫阻障膜22上的開口部而與第一光阻圖案29相對。

因此，雖然利用氧電漿去除第一光阻圖案29或第二光阻圖案30時所發生的大量OH基會以原狀揮散，但是由於所發生的OH基之一部分會因存在於電容上部電極21之表面

(請先閱讀背面之注意事項再填寫本頁)

訂
線

五、發明說明⁽⁵⁾

的鉑之觸媒反應而分解，所以如圖10(b)所示，會在電容上部電極21之表面上生成活性的氫。另外，因OH基分解所生成的氧會與光阻圖案中之碳結合組成CO而揮散。在電容上部電極21之表面上所生成的活性之氫，如圖10(c)所示，由於會從電容上部電極22中之氫阻障膜22的開口部擴散至電容上部電極21之內部而到達電容絕緣膜19上，並使用以構成該電容絕緣膜19之絕緣性金屬氧化物還原，所以電容元件之特性會劣化。

又，使堆積於第二保護絕緣膜23上的導電膜圖案化而形成配線層26之後，當對配線層26在氫環境下進行回火處理(燒結：sinter)時，如圖11所示，由於氫原子會擴散至第二接觸栓塞24及電容上部電極21之內部而到達電容絕緣膜19上，並使用以構成該電容絕緣膜19之絕緣性金屬氧化物還原，所以電容元件之特性仍會劣化。

有鑒於前述，本發明之目的在於防止用以構成電容絕緣膜之絕緣性金屬氧化物被還原，而電容元件之特性劣化的事態。

【解決問題之手段】

爲了達成上述目的，本發明之半導體裝置，其係包含有，保護絕緣膜，堆積在形成有第一場效電晶體及第二場效電晶體之半導體基板上；電容元件，由從下面依序形成於前述保護絕緣膜上，且由電容下部電極、由絕緣性金屬氧化物所構成的電容絕緣膜及電容上部電極所構成；第一接觸栓塞，形成於前述保護絕緣膜上，用以直接連接作爲前

(請先閱讀背面之注意事項再填寫本頁)

訂
線

五、發明說明(6)

述第一場效型電晶體之源極區域或汲極區域的雜質擴散層與前述電容下部電極；以及第二接觸栓塞，形成於前述保護絕緣膜上，用以直接連接作為前述第二場效型電晶體之源極區域或汲極區域的雜質擴散層與前述電容上部電極。

若依據本發明之半導體裝置，則電容元件之電容上部電極與第二場效型電晶體之雜質擴散層，係利用形成於保護絕緣膜上的第二接觸栓塞而直接連接，而不如習知般介以堆積在電容元件上之保護絕緣膜上所形成的配線層連接。因而，由於沒有必要將用以連接形成電容元件上之保護絕緣膜上的配線層、及電容上部電極的接觸孔形成於電容元件上之保護絕緣膜上，且不需要用以形成該接觸孔的光阻圖案，所以可迴避利用氧電漿去除該光阻圖案時所發生之氫到達電容絕緣膜的事態。又，在形成用以連接電容元件上之保護絕緣膜上所形成的配線層與第二場效型電晶體之雜質擴散層的接觸孔時，由於電容上部電極被覆蓋於電容元件上之保護絕緣膜上，所以可迴避利用氧電漿去除用以形成該接觸孔之光阻圖案時所發生之氫到達電容絕緣膜的事態。更且，即使在氫環境下熱處理電容元件上之保護絕緣膜上所形成的配線層，由於該配線層與電容上部電極未被連接，所以可迴避氫環境中之氫到達電容絕緣膜的事態。

本發明之半導體裝置中，較佳者為，其中電容絕緣膜係形成與電容下部電極同形狀，更具備有形成於電容下部電極及電容絕緣膜之側面的絕緣性側壁，而電容上部電極，係形成於電容絕緣膜及側壁上。

(請先閱讀背面之注意事項再填寫本頁)

訂 線

五、發明說明(7)

如此，作為電容絕緣膜之絕緣性金屬氧化物膜，由於在具有平坦形狀之電容下部電極的上側部分可良好地成膜，所以絕緣性金屬氧化物膜之成膜就變得很容易。

此情況，較佳者係側壁由氧化矽所構成。

本發明之半導體裝置中，較佳者為，電容下部電極係在保護絕緣膜上形成有複數個，更具備有形成於複數個電容下部電極彼此之間的絕緣膜，而電容絕緣膜係形成橫跨在複數個電容下部電極及絕緣膜上。

如此，作為電容絕緣膜之絕緣性金屬氧化物膜，由於係形成於具有平坦形狀之複數個電容下部電極及絕緣膜上，所以絕緣性金屬氧化物膜之成膜就變得很容易。

此情況，較佳者係絕緣膜由氧化矽所構成。

本發明之半導體裝置，較佳者為具備有用以完全覆蓋電容上部電極的氫阻障膜。

如此，因氫原子會擴散至電容上部電極之內部而到達電容絕緣膜，故可確實防止使構成該電容絕緣膜之絕緣性金屬氧化物還原的事態。

本發明之半導體裝置中，較佳者為，第一接觸栓塞及第二接觸栓塞，係由多晶矽或鎢所構成。

本發明之半導體裝置中，較佳者為，電容絕緣膜，係由具有鈹層狀鈣鈦礦構造之強介電質、鈦酸鋯鉛、鈦酸鋇鋇或5氧化鈦所構成。

本發明之半導體裝置之製造方法，其係包含有，在形成有第一場效電晶體及第二場效電晶體之半導體基板上堆積

(請先閱讀背面之注意事項再填寫本頁)

訂
線

五、發明說明⁽⁸⁾

保護絕緣膜的步驟；在保護絕緣膜上，形成用以與作為第一場效型電晶體之源極區域或汲極區域的雜質擴散層相連接之第一接觸栓塞、及用以與作為第二場效型電晶體之源極區域或汲極區域的雜質擴散層相連接之第二接觸栓塞的步驟；在保護絕緣膜上，形成與第一接觸栓塞直接連接之電容下部電極的步驟；在電容下部電極上，形成由絕緣性金屬氧化膜所構成之電容絕緣膜的步驟；以及在電容絕緣膜上，形成周緣部位於保護絕緣膜上且在周緣部中與第二接觸栓塞直接連接之電容上部電極的步驟。

若依據本發明之半導體裝置之製造方法，則電容元件之電容上部電極與第二場效型電晶體之雜質擴散層，係利用形成於保護絕緣膜上的第二接觸栓塞而直接連接，而不如習知般介以堆積在電容元件上之保護絕緣膜上所形成的配線層連接。因而，由於沒有必要將用以連接形成電容元件上之保護絕緣膜上的配線層、及電容上部電極的接觸孔形成於電容元件上之保護絕緣膜上，且不需要用以形成該接觸孔的光阻圖案，所以可迴避利用氧電漿去除該光阻圖案時所發生之氫到達電容絕緣膜的事態。又，在形成用以連接電容元件上之保護絕緣膜上所形成的配線層與第二場效型電晶體之雜質擴散層的接觸孔時，由於電容上部電極被覆蓋於電容元件上之保護絕緣膜上，所以可迴避利用氧電漿去除用以形成該接觸孔之光阻圖案時所發生之氫到達電容絕緣膜的事態。更且，即使在氫環境下熱處理電容元件上之保護絕緣膜上所形成的配線層，由於該配線層與電容

(請先閱讀背面之注意事項再填寫本頁)

訂
線

五、發明說明(9)

上部電極未被連接，所以可迴避氫環境中之氫到達電容絕緣膜的事態。

本發明之半導體裝置之製造方法，較佳者為更具備有形成用以完全覆蓋電容上部電極之氫阻障膜的步驟。

如此，因氫原子會擴散至電容上部電極之內部而到達電容絕緣膜，故可確實防止使構成該電容絕緣膜之絕緣性金屬氧化物還原的事態。

本發明之半導體裝置之製造方法中，較佳者為，用以形成電容絕緣膜的步驟，係包含將電容絕緣膜形成與電容下部電極同形狀的步驟，在用以形成電容絕緣膜的步驟與用以形成電容上部電極的步驟之間，更具備有在電容下部電極及電容絕緣膜之側面形成絕緣性側壁的步驟，而用以形成電容上部電極的步驟，係包含將電容上部電極形成於電容絕緣膜及側壁上的步驟。

如此，作為電容絕緣膜之絕緣性金屬氧化物膜，由於在具有平坦形狀之電容下部電極的上側部分可良好地成膜，所以絕緣性金屬氧化物膜之成膜就變得很容易。

本發明之半導體裝置中，較佳者為，用以形成下部電極的步驟，係包含在保護絕緣膜上形成複數個電容下部電極的步驟，在用以形成電容下部電極的步驟與用以形成電容絕緣膜的步驟之間，更具備有在電容下部電極彼此之間形成絕緣膜的步驟，用以形成電容絕緣膜的步驟，係包含將電容絕緣膜形成橫跨在複數個電容下部電極及絕緣膜上的步驟。

(請先閱讀背面之注意事項再填寫本頁)

訂 線

五、發明說明(10)

如此，作為電容絕緣膜之絕緣性金屬氧化物膜，由於係形成於具有平坦形狀之複數個電容下部電極及絕緣膜上，所以絕緣性金屬氧化物膜之成膜就變得很容易。

【發明之實施形態】

(第一實施形態)

以下，係邊參照圖1而邊說明本發明之第一實施形態之半導體裝置。

如圖1所示，在半導體基板100之表面部上，形成有元件隔離區域101、及作為第一及第二場效型電晶體之源極區域或汲極區域的雜質擴散層105，同時在半導體基板100上之一對雜質擴散層105彼此之間介以閘極絕緣膜102形成有閘極103，而該閘極103上面及側面係由閘極保護絕緣膜104所覆蓋。

在包含閘極保護絕緣膜104上的半導體基板100上全面堆積有第一保護絕緣膜106，在該第一保護絕緣膜106上，分別形成有由鎢或多晶矽膜所構成，且與作為用以構成記憶體單元之第一場效型電晶體之源極區域或汲極區域的雜質擴散層105之中的一方相連接的第一接觸栓塞107、及與作為感測放大器之第二場效型電晶體之源極區域或汲極區域的雜質擴散層105之中的一方相連接的第二接觸栓塞108。

在第一保護絕緣膜106上，形成有由鈦膜、氮化鈦膜、氧化鈹膜及鉑膜之層合膜所構成，且與第一接觸栓塞107相連接的複數個電容下部電極109，在該電容下部電極109上，形成有由具有鈹層狀鈣鈦礦構造之 $\text{SrBi}_2(\text{Ta}_{1-x}\text{Nb}_x)\text{O}_9$ 所構成

(請先閱讀背面之注意事項再填寫本頁)

訂
線

五、發明說明(11)

，並橫跨在複數個電容下部電極109上且延伸於複數個電容下部電極109之外側的電容絕緣膜110A。

在電容絕緣膜110A上，形成有由鉑膜與鈦膜或鉑膜與氮化鈦膜之層合膜所構成，且與第二接觸栓塞108相連接的電容上部電極111，該電容上部電極111係由氮化矽膜或氮化硼膜構成的氮阻障膜112所覆蓋。

依以上所說明之電容下部電極109、電容絕緣膜110A及電容上部電極111即可構成資料記憶用之電容元件，依該電容元件與前述第一場效型電晶體即可構成記憶體單元，同時依複數個記憶體單元即可構成記憶體單元陣列。

在第一保護絕緣膜106上堆積有第二保護絕緣膜113，在該等第一保護絕緣膜106及第二保護絕緣膜113上，形成有與作為前述第二場效型電晶體之源極區域及汲極區域之雜質擴散層105之中的另一方相連接的第三接觸栓塞114，同時在第二保護絕緣膜113形成有與第三接觸栓塞114相連接的配線層115。另外，第三接觸栓塞114及配線層115，係由從下面依序堆積的鈦膜、氮化鈦膜、鋁膜、氮化鈦膜之層合膜或鈦膜、氮化鈦膜、鎢膜、鈦膜、氮化鈦膜、鋁膜、氮化鈦膜之層合膜所構成。

以下，係邊參照圖2(a)、(b)及圖3(a)、(b)說明第一實施形態之半導體裝置之製造方法。

首先，如圖2(a)所示，在半導體基板100之表面部上形成元件隔離區域101之後，在半導體基板100上，介以閘極絕緣膜102形成閘極103。其次，將閘極103當作光罩並離子植

(請先閱讀背面之注意事項再填寫本頁)

訂
線

五、發明說明(12)

入低濃度雜質之後，在閘極103上面及側面形成閘極保護絕緣膜104，之後，將閘極103及閘極保護絕緣膜104當作光罩並離子植入高濃度雜質，以形成具有作為第一及第二場效型電晶體之源極區域或汲極區域之LDD構造的雜質擴散層105。

其次，在半導體基板100上全面堆積第一保護絕緣膜106之後，在該第一保護絕緣膜106上利用乾式蝕刻術形成接觸孔。其次，利用CVD法在第一保護絕緣膜106上全面堆積由鎢或多晶矽膜所構成的導電膜之後，利用回蝕刻法或CMP法去除存在於該導電膜之第一保護絕緣膜106上的部分，藉以形成與作為用以構成記憶體單元之第一場效型電晶體之源極區域或汲極區域的雜質擴散層105之中的一方相連接的第一接觸栓塞107，同時形成設於記憶體單元陣列之周緣部上且作為第二場效型電晶體之源極區域或汲極區域的雜質擴散層105之中的一方相連接的第二接觸栓塞108。

其次，利用濺鍍法，在第一保護絕緣膜106上全面形成由從下面依序堆積之鈦膜、氮化鈦膜、氧化鉍膜及鉑膜所構成的層合膜之後，利用乾式蝕刻法形成該層合膜之圖案，如圖2(b)所示，介以形成與第一接觸栓塞107相連接的電容下部電極109。

其次，利用有機金屬分解法(MOD法)、有機金屬化學氣相成膜法(MOCVD法)或濺鍍法，在電容下部電極109及第一保護絕緣膜106上全面堆積由具有鉍層狀鈣鈦礦構造的 $\text{SrBi}_2(\text{Ta}_{1-x}\text{Nb}_x)\text{O}_9$ 所構成且具有100 nm~200 nm膜厚的強介

(請先閱讀背面之注意事項再填寫本頁)

訂
線

五、發明說明(13)

電質膜之後，形成該強介電質膜之圖案，藉以形成橫跨在複數個電容下部電極109上且延伸於複數個電容下部電極109之外側的電容絕緣膜110A。

其次，在電容絕緣膜110A及第一保護絕緣膜106上全面形成由從下面依序堆積之鉑膜及鈦膜所構成的層合膜或由鉑膜及氮化鈦膜所構成的層合膜之後，利用乾式蝕刻法形成該層合膜之圖案，如圖3(a)所示，藉以形成與第二接觸栓塞108相連接的電容上部電極111。

其次，利用CVD法或濺鍍法，在電容上部電極111及第一保護絕緣膜106上全面堆積氮化矽膜或氮化硼膜之後利用乾式蝕刻法形成該氮化矽膜或氮化硼膜之圖案，藉以形成用以覆蓋電容元件的氮阻障膜112。

其次，如圖3(b)所示，在氮阻障膜112及第一保護絕緣膜106上全面堆積第二保護絕緣膜113。其次，在第二保護絕緣膜113及第一保護絕緣膜106上形成接觸孔之後，在第二保護絕緣膜113上全面形成由從下面依序堆積之鈦膜、氮化鈦膜、鋁膜、氮化鈦膜所構成之層合膜或鈦膜、氮化鈦膜、鎢膜、鈦膜、氮化鈦膜、鋁膜、氮化鈦膜所構成之層合膜之後，形成該層合膜之圖案，藉以形成與作為前述第二場效型電晶體之源極區域或汲極區域之雜質擴散層105之中的另一方相連接的第三接觸栓塞114及與該第三接觸栓塞114相連接的配線層115。

若依據第一實施形態之半導體裝置及其製造方法時，則用以構成記憶體單元之資料記憶用之電容元件的電容上部

(請先閱讀背面之注意事項再填寫本頁)

訂
線

五、發明說明(14)

電極111、及第二場效型電晶體之雜質擴散層105，可利用形成於第一保護絕緣膜106上之第二接觸栓塞108直接連接，而不如圖8之習知例所示介以第二接觸栓塞24、配線層26及第三接觸栓塞25而連接。因此，由於在用以覆蓋電容下部電極111之氫阻障膜112上沒有形成開口部，所以可防止在利用氧電漿去除用以形成第二或第三接觸栓塞24、25之光阻圖案之步驟中，因鉑膜之觸媒反應而發生的活性氫擴散至電容上部電極111到達電容絕緣膜110A的事態，及在氫環境下對形成於第二保護絕緣膜113上的配線層115進行回火處理之步驟中，氫原子擴散至電容上部電極而到達電容絕緣膜110A的事態。因而，用以構成電容絕緣膜110A之絕緣性金屬氧化物由於會因氫而被還原，所以可提高電容元件之特性。

(第二實施形態)

以下，係邊參照圖4而邊說明本發明之第二實施形態之半導體裝置。

如圖4所示，與第一實施形態同樣，在半導體基板100之表面部上，形成有元件隔離區域101、及作為第一及第二場效型電晶體之源極區域或汲極區域的雜質擴散層105，同時在半導體基板100上之一對雜質擴散層105彼此之間介以閘極絕緣膜102形成有閘極103，而該閘極103上面及側面係由閘極保護絕緣膜104所覆蓋。

又，與第一實施形態同樣，在包含閘極保護絕緣膜104上的半導體基板100上堆積有第一保護絕緣膜106，在該第一

(請先閱讀背面之注意事項再填寫本頁)

訂
線

五、發明說明 (15)

保護絕緣膜106上，分別形成有由鎢或多晶矽膜所構成，且與作為用以構成記憶體單元之第一場效型電晶體之源極區域或汲極區域的雜質擴散層105之中的一方相連接的第一接觸栓塞107、及設於記憶體單元陣列之周緣部上且與作為感測放大器之第二場效型電晶體之源極區域或汲極區域的雜質擴散層105之中的一方相連接的第二接觸栓塞108。

在第一保護絕緣膜106上，形成有由鈦膜、氮化鈦膜、氧化鉍膜及鉑膜之層合膜所構成，且與第一接觸栓塞107相連接的複數個電容下部電極109，在該電容下部電極109上，形成有由具有鈹層狀鈣鈦礦構造之 $\text{SrBi}_2(\text{Ta}_{1-x}\text{Nb}_x)\text{O}_9$ 所構成，且與電容下部電極109同形狀的電容絕緣膜110B。又，電容下部電極109及電容絕緣膜110B之側面係由氧化矽膜所構成的側壁116所覆蓋。

在電容絕緣膜110B上，形成有由鉑膜與鈦膜或鉑膜與氮化鈦膜之層合膜所構成，且橫跨在複數個電容下部電極109及電容絕緣膜110B上並延伸於複數個電容下部電極109及電容絕緣膜110B之外側，同時與第二接觸栓塞108相連接的電容上部電極111，該電容上部電極111係由氮化矽膜或氮化硼膜構成的氫阻障膜112所覆蓋。

依以上所說明之電容下部電極109、電容絕緣膜110B及電容上部電極111即可構成資料記憶用之電容元件，依該電容元件與前述第一場效型電晶體即可構成記憶體單元，同時依複數個記憶體單元即可構成記憶體單元陣列。

與第一實施形態同樣，在第一保護絕緣膜106上堆積有第

(請先閱讀背面之注意事項再填寫本頁)

訂 線

五、發明說明(16)

二保護絕緣膜113，在該等第一保護絕緣膜106及第二保護絕緣膜113上，形成有與作為前述第二場效型電晶體之源極區域及汲極區域之雜質擴散層105之中的另一方相連接的第三接觸栓塞114，同時在第二保護絕緣膜113形成有與第三接觸栓塞114相連接的配線層115。另外，第三接觸栓塞114及配線層115，係由從下面依序堆積的鈦膜、氮化鈦膜、鋁膜、氮化鈦膜之層合膜或鈦膜、氮化鈦膜、鎢膜、鈦膜、氮化鈦膜、鋁膜、氮化鈦膜之層合膜所構成。

以下，係邊參照圖5(a)、(b)而邊說明第二實施形態之半導體裝置之製造方法。

首先，如圖5(a)所示，與第一實施形態同樣，在半導體基板100之表面部上形成元件隔離區域101之後，在半導體基板100上，介以閘極絕緣膜102形成閘極103及閘極保護絕緣膜104，之後，形成具有作為第一及第二場效型電晶體之源極區域或汲極區域之LDD構造的雜質擴散層105。其次，在半導體基板100上全面堆積第一保護絕緣膜106之後，在該第一保護絕緣膜106上，形成與作為用以構成記憶體單元之第一場效型電晶體之源極區域或汲極區域的雜質擴散層105之中的一方相連接的第一接觸栓塞107，同時形成與作為感測放大器之第二場效型電晶體之源極區域或汲極區域的雜質擴散層105之中的一方相連接的第二接觸栓塞108。

其次，利用濺鍍法，在第一保護絕緣膜106上全面形成由從下面依序堆積之鈦膜、氮化鈦膜、氧化鋁膜及鉑膜所構成的層合膜之後，在該層合膜上，利用有機金屬分解法、

五、發明說明(17)

有機金屬化學氣相成膜法或濺鍍法，堆積由具有鈹層狀鈣鈦礦構造的 $\text{SrBi}_2(\text{Ta}_{1-x}\text{Nb}_x)\text{O}_9$ 所構成且具有100 nm~200 nm膜厚的強介電質膜，之後，利用乾式蝕刻法形成層合膜及強介電質膜之圖案，藉以形成由層合膜所構成的電容下部電極109及由強介電質膜所構成的電容絕緣膜110B。

其次，在電容下部電極109及電容絕緣膜110B上全面堆積具有300 nm膜厚的氧化矽膜108之後，對該氧化矽膜108進行非等向性乾式蝕刻法，如圖5(b)所示，在電容下部電極109及電容絕緣膜110B之側面上形成側壁116。

其次，與第一實施形態同樣，在電容絕緣膜110B及第一保護絕緣膜106上，形成由從下面依序堆積之鉑膜及鈦膜所構成的層合膜或由鉑膜及氮化鈦膜所構成的層合膜之後，利用乾式蝕刻法形成該層合膜之圖案，藉以形成與第二接觸栓塞108相連接的電容上部電極111(參照圖4)，之後，形成用以覆蓋電容上部電極111的氫阻障膜112(參照圖4)。

其次，在氫阻障膜112及第一保護絕緣膜106上堆積第二保護絕緣膜113之後，在該第二保護絕緣膜113及第一保護絕緣膜106上，形成與作為前述第二場效型電晶體之源極區域或汲極區域之雜質擴散層105之中的另一方相連接的第三接觸栓塞114(參照圖4)，同時在第二保護絕緣膜113上，形成與該第三接觸栓塞114相連接的配線層115(參照圖4)。

若依據第二實施形態之半導體裝置及其製造方法時，則用以構成記憶體單元之資料記憶用之電容元件的電容上部電極111、及第二場效型電晶體之雜質擴散層105，可利用

(請先閱讀背面之注意事項再填寫本頁)

訂 線

五、發明說明⁽¹⁸⁾

形成於第一保護絕緣膜106上之第二接觸栓塞108直接連接，而不在用以覆蓋電容下部電極111的氫阻障膜112上形成開口部，所以可迴避因鉑膜之觸媒反應而發生的活性氫擴散至將配線層115予以回火的氫環境中之氫原子擴散至電容上部電極而到達電容絕緣膜110A的事態。因而，由於電容絕緣膜110A不會因氫而使之還原，所以可提高電容元件之特性。

尤其是，若依據第二實施形態，則由於將作為電容絕緣膜110B之強介電質膜堆積在作為電容下部電極109之層合膜上，即將強介電質膜堆積在平坦的層合膜上，所以容易進行強介電質膜之成膜作業。

又，在電容下部電極109及電容絕緣膜110B之側面形成側壁116之後，由於堆積作為電容上部電極111之層合膜，所以電容下部電極109彼此之間不會導通。

（第三實施形態）

以下，係邊參照圖6而邊說明本發明之第三實施形態。

如圖6所示，與第一實施形態同樣，在半導體基板100之表面部上，形成有元件隔離區域101、及作為第一及第二場效型電晶體之源極區域或汲極區域的雜質擴散層105，同時在半導體基板100上之一對雜質擴散層105彼此之間介以閘極絕緣膜102形成有閘極103，而該閘極103上面及側面係由閘極保護絕緣膜104所覆蓋。

又，與第一實施形態同樣，在包含閘極保護絕緣膜104上的半導體基板100上堆積有第一保護絕緣膜106，在該第一

五、發明說明(19)

保護絕緣膜106上，分別形成有由鎢或多晶矽膜所構成，且與作為用以構成記憶體單元之第一場效型電晶體之源極區域或汲極區域的雜質擴散層105之中的一方相連接的第一接觸栓塞107、及設於記憶體單元陣列之周緣部上且與作為感測放大器之第二場效型電晶體之源極區域或汲極區域的雜質擴散層105之中的一方相連接的第二接觸栓塞108。

在第一保護絕緣膜106上，形成有由鈦膜、氮化鈦膜、氧化鉍膜及鉑膜之層合膜所構成，且與第一接觸栓塞107相連接的複數個電容下部電極109，在第一保護絕緣膜106上之電容下部電極109彼此之間，形成有由氧化矽膜所構成的絕緣膜117。

在複數個電容下部電極109及絕緣膜117上，形成有由具有鉍層狀鈣鈦礦構造之 $\text{SrBi}_2(\text{Ta}_{1-x}\text{Nb}_x)\text{O}_9$ 所構成，並橫跨在複數個電容下部電極109上且延伸於複數個電容下部電極109之外側的電容絕緣膜110C。

在電容絕緣膜110C上，形成有由鉑膜與鈦膜或鉑膜與氮化鈦膜之層合膜所構成，且延伸於電容絕緣膜110C之外側同時與第二接觸栓塞108相連接的電容上部電極111，該電容上部電極111係由氮化矽膜或氮化硼膜構成的氮阻障膜112所覆蓋。

依以上所說明之電容下部電極109、電容絕緣膜110C及電容上部電極111即可構成資料記憶用之電容元件，依該電容元件與前述第一場效型電晶體即可構成記憶體單元，同時依複數個記憶體單元即可構成記憶體單元陣列。

(請先閱讀背面之注意事項再填寫本頁)

訂
線

五、發明說明(20)

與第一實施形態同樣，在第一保護絕緣膜106上堆積有第二保護絕緣膜113，在該等第一保護絕緣膜106及第二保護絕緣膜113上，形成有與作為前述第二場效型電晶體之源極區域及汲極區域之雜質擴散層105之中的另一方相連接的第三接觸栓塞114，同時在第二保護絕緣膜113形成有與第三接觸栓塞114相連接的配線層115。另外，第三接觸栓塞114及配線層115，係由從下面依序堆積的鈦膜、氮化鈦膜、鋁膜、氮化鈦膜之層合膜或鈦膜、氮化鈦膜、鎢膜、鈦膜、氮化鈦膜、鋁膜、氮化鈦膜之層合膜所構成。

以下，係邊參照圖7(a)、(b)而邊說明第三實施形態之半導體裝置之製造方法。

首先，如圖7(a)所示，與第一實施形態同樣，在半導體基板100之表面部上形成元件隔離區域101之後，在半導體基板100上，介以閘極絕緣膜102形成閘極103及閘極保護絕緣膜104，之後，形成具有作為第一及第二場效型電晶體之源極區域或汲極區域之LDD構造的雜質擴散層105。其次，在半導體基板100上全面堆積第一保護絕緣膜106之後，在該第一保護絕緣膜106上，形成與作為用以構成記憶體單元之第一場效型電晶體之源極區域或汲極區域的雜質擴散層105之中的一方相連接的第一接觸栓塞107，同時形成作為感測放大器之第二場效型電晶體之源極區域或汲極區域的雜質擴散層105之中的一方相連接的第二接觸栓塞108。

其次，利用濺鍍法，在第一保護絕緣膜106上全面形成由從下面依序堆積之鈦膜、氮化鈦膜、氧化鉍膜及鉑膜所構

(請先閱讀背面之注意事項再填寫本頁)

訂
線

五、發明說明 (21)

成的層合膜之後，利用乾式蝕刻法形成該層合膜之圖案，藉以形成電容下部電極109。

其次，在電容下部電極109上全面堆積具有300 nm膜厚之氧化矽膜117A之後，對氧化矽膜117A進行CMP法，去除存在於氧化矽膜117A之電容下部電極109上的部分，如圖7(b)所示，藉以在第一保護絕緣膜106上之電容下部電極109彼此之間，形成由氧化矽膜117A所構成的絕緣膜117。

其次，利用有機金屬分解法、有機金屬化學氣相成膜法或濺鍍法，在複數個電容下部電極109及絕緣膜117上，堆積由具有鈹層狀鈣鈦礦構造的 $\text{SrBi}_2(\text{Ta}_{1-x}\text{Nb}_x)\text{O}_9$ 所構成且具有100 nm~200 nm膜厚的強介電質膜之後，利用乾式蝕刻法形成該強介電質膜之圖案，藉以形成橫跨在複數個電容下部電極109上且延伸於複數個電容下部電極109之外側的電容絕緣膜110C。

其次，與第一實施形態同樣，在電容絕緣膜110C及第一保護絕緣膜106上形成由從下面依序堆積之鉑膜及鈦膜所構成的層合膜或由鉑膜及氮化鈦膜所構成的層合膜之後，利用乾式蝕刻法形成該層合膜之圖案，藉以形成與第二接觸栓塞108相連接的電容上部電極111(參照圖6)，之後，形成用以覆蓋電容上部電極111的氫阻障膜112(參照圖6)。

其次，在氫阻障膜112及第一保護絕緣膜106上堆積第二保護絕緣膜113。其次，在該第二保護絕緣膜113及第一保護絕緣膜106上形成與作為前述第二場效型電晶體之源極區域或汲極區域之雜質擴散層105之中的另一方相連接的第三

(請先閱讀背面之注意事項再填寫本頁)

訂
線

五、發明說明(22)

接觸栓塞114(參照圖6)，同時在第二保護絕緣膜113上，形成與第三接觸栓塞114相連接的配線層115(參照圖6)。

若依據第三實施形態之半導體裝置及其製造方法時，則用以構成記憶體單元之資料記憶用之電容元件的電容上部電極111、及第二場效型電晶體之雜質擴散層105，可利用形成於第一保護絕緣膜106上之第二接觸栓塞108直接連接，而不在用以覆蓋電容下部電極111之氫阻障膜112上形成開口部，所以可防止因鉑膜之觸媒反應而發生的活性氫及將配線層115予以回火的氫環境中之氫原子擴散至電容上部電極111而到達電容絕緣膜110A的事態。因而，電容絕緣膜110A不會因氫而使之還原，所以可提高電容元件之特性。

尤其是，若依據第三實施形態，則由於將作為電容絕緣膜110C之強介電質膜堆積在表面被平坦化的複數個電容下部電極109及絕緣膜117上，所以容易進行強介電質膜之成膜作業。

另外，在第一至第三實施形態中，雖係利用鈹層狀鈣鈦礦構造之 $\text{SrBi}_2(\text{Ta}_{1-x}\text{Nb}_x)\text{O}_9$ 形成電容絕緣膜110A、110B、110C，但是取而代之，亦可利用具有其他組成之鈹層狀鈣鈦礦構造的強介電質膜來形成，或利用鈦酸鋯鉛、鈦酸鋇鎢或5氧化鈮等的高介電係數膜來形成。

又，在第一至第三實施形態中，電容上部電極111，雖係利用由從下面依序堆積之鉑膜及鈦膜所構成的層合膜，或由鉑膜及氮化鈦膜所構成的層合膜來形成，但是並不限於此，只要包含鉑膜、鈹膜、鈱膜、鈳膜或該等的層合膜即

(請先閱讀背面之注意事項再填寫本頁)

訂
線

五、發明說明(23)

可。

又，在第一至第三實施形態中，電容下部電極109，雖係利用由從下面依序堆積之鈦膜、氮化鈦膜、氧化鋁膜、鉑膜所構成的層合膜來形成，但是並不限於此，只要包含鉑膜、鋁膜、鈣膜、銻膜或該等的層合膜即可。

【發明之效果】

若依據本發明之半導體裝置及其製造方法，則可迴避利用氧電漿去除光阻圖案時所發生之氫到達電容絕緣膜上的事態，同時即使在氫環境下熱處理形成於電容元件上之保護絕緣膜上的配線層，由於亦可迴避氫環境中之氫到達電容絕緣膜上的事態，而可防止用以構成電容絕緣膜之絕緣性金屬氧化物之還原，所以可提高電容元件之特性。

【圖式之簡單說明】

圖1係本發明之第一實施形態之半導體裝置的剖面圖。

圖2(a)及(b)係顯示本發明之第一實施形態之半導體裝置之製造方法的剖面圖。

圖3(a)及(b)係顯示本發明之第一實施形態之半導體裝置之製造方法的剖面圖。

圖4係本發明之第二實施形態之半導體裝置的剖面圖。

圖5(a)及(b)係顯示本發明之第二實施形態之半導體裝置之製造方法的剖面圖。

圖6係本發明之第三實施形態之半導體裝置的剖面圖。

圖7(a)及(b)係顯示本發明之第三實施形態之半導體裝置之製造方法的剖面圖。

(請先閱讀背面之注意事項再填寫本頁)

訂
線

五、發明說明 (24)

圖8係習知之半導體裝置的剖面圖。

圖9(a)及(b)係顯示習知之半導體裝置之製造方法之一步驟的剖面圖。

圖10(a)~(c)係說明習知之半導體裝置及其製造方法之問題的剖面圖。

圖11係說明習知之半導體裝置及其製造方法之問題的剖面圖。

【元件編號之說明】

100 半導體基板	101 元件隔離區域
102 閘極絕緣膜	103 閘極
104 閘極保護絕緣膜	105 雜質擴散層
106 第一保護絕緣膜	107 第一接觸栓塞
108 第二接觸栓塞	109 電容下部電極
110A、110B、110C 電容絕緣膜	
111 電容上部電極	112 氫阻障膜
113 第二保護絕緣膜	114 第三接觸栓塞
115 配線層	116 側壁
117 絕緣膜	117A 氧化矽膜

(請先閱讀背面之注意事項再填寫本頁)

訂 線

四、中文發明摘要(發明之名稱： 半導體裝置及其製造方法)

本發明之目的在於：防止用以構成電容絕緣膜之強介電質膜或高介電質膜被還原，且電容元件之特性劣化的情形。

其解決手段在於：在形成於半導體基板100上的第一及第二場效電晶體上堆積有第一保護絕緣膜106，而該第一保護絕緣膜106上，形成有電容下部電極109、由絕緣性金屬氧化膜所構成的電容絕緣膜110A及由電容上部電極111所構成的電容元件。電容下部電極109與第一場效電晶體之雜質擴散層105係利用形成於第一保護絕緣膜106上的第一接觸栓塞107而直接連接，而電容上部電極111與第二場效電晶體之雜質擴散層105係利用形成於第一保護絕緣膜106上的第二接觸栓塞108而直接連接。

英文發明摘要(發明之名稱： 半導體裝置およびその製造方法)

【課題】 容量絶縁膜を構成する強誘電体膜又は高誘電体膜が還元されて、容量素子の特性が劣化することを防止する。

【解決手段】 半導体基板100上に形成された第1及び第2の電界効果型トランジスタの上には第1の保護絶縁膜106が堆積されており、該第1の保護絶縁膜106の上には、容量下部電極109、絶縁性金属酸化膜からなる容量絶縁膜110A及び容量上部電極111からなる容量素子が形成されている。容量下部電極109と第1の電界効果型トランジスタの不純物拡散層105とは第1の保護絶縁膜106に形成された第1のコンタクトプラグ107により直接に接続され、容量上部電極111と第2の電界効果型トランジスタの不純物拡散層105とは第1の保護絶縁膜106に形成された第2のコンタクトプラグ108により直接に接続されている。

【選択図】 図1

六、申請專利範圍

1. 一種半導體裝置，其特徵在於：包含有，
保護絕緣膜，堆積在形成有第一場效電晶體及第二場效電晶體之半導體基板上；
電容元件，由從下面依序形成於前述保護絕緣膜上，且由電容下部電極、由絕緣性金屬氧化物所構成的電容絕緣膜及電容上部電極所構成；
第一接觸栓塞，形成於前述保護絕緣膜上，用以直接連接作為前述第一場效型電晶體之源極區域或汲極區域的雜質擴散層與前述電容下部電極；以及
第二接觸栓塞，形成於前述保護絕緣膜上，用以直接連接作為前述第二場效型電晶體之源極區域或汲極區域的雜質擴散層與前述電容上部電極。
2. 如申請專利範圍第1項之半導體裝置，其中前述電容絕緣膜係形成與前述電容下部電極同形狀，
更具備有形成於前述電容下部電極及電容絕緣膜之側面的絕緣性側壁，
前述電容上部電極，係形成於前述電容絕緣膜及側壁上。
3. 如申請專利範圍第2項之半導體裝置，其中前述側壁係由氧化矽所構成。
4. 如申請專利範圍第1項之半導體裝置，其中前述電容下部電極係在前述保護絕緣膜上形成有複數個，
更具備有形成於前述複數個電容下部電極彼此之間的絕緣膜，

(請先閱讀背面之注意事項再填寫本頁)

訂 線

六、申請專利範圍

前述電容絕緣膜係形成橫跨在前述複數個電容下部電極及前述絕緣膜上。

5. 如申請專利範圍第4項之半導體裝置，其中前述絕緣膜係由氧化矽所構成。
6. 如申請專利範圍第1項之半導體裝置，其更具備有用以完全覆蓋前述電容上部電極的氮阻障膜。
7. 如申請專利範圍第1項之半導體裝置，其中前述第一接觸栓塞及第二接觸栓塞，係由多晶矽或鎢所構成。
8. 如申請專利範圍第1項之半導體裝置，其中前述電容絕緣膜，係由具有鈹層狀鈣鈦礦構造之強介電質、鈦酸鉛、鈦酸鋇或5氧化鈦所構成。

9. 一種半導體裝置之製造方法，其特徵在於：包含有，
在形成有第一場效電晶體及第二場效電晶體之半導體基板上堆積保護絕緣膜的步驟；

在前述保護絕緣膜上，形成用以與作為前述第一場效型電晶體之源極區域或汲極區域的雜質擴散層相連接之第一接觸栓塞、及用以與作為前述第二場效型電晶體之源極區域或汲極區域的雜質擴散層相連接之第二接觸栓塞的步驟；

在前述保護絕緣膜上，形成與前述第一接觸栓塞直接連接之電容下部電極的步驟；

在前述電容下部電極上，形成由絕緣性金屬氧化膜所構成之電容絕緣膜的步驟；以及

在前述電容絕緣膜上，形成周緣部位於前述保護絕緣

(請先閱讀背面之注意事項再填寫本頁)

世

訂

線

六、申請專利範圍

膜上且在前述周緣部中與前述第二接觸栓塞直接連接之電容上部電極的步驟。

10. 如申請專利範圍第9項半導體裝置之製造方法，其更具備有形成用以覆蓋前述電容上部電極之氫阻障膜的步驟。

11. 如申請專利範圍第9項半導體裝置之製造方法，其中用以形成前述電容絕緣膜的步驟，係包含將前述電容絕緣膜形成與前述電容下部電極同形狀的步驟，

在用以形成前述電容絕緣膜的步驟與用以形成前述電容上部電極的步驟之間，更具備有在前述電容下部電極及電容絕緣膜之側面形成絕緣性側壁的步驟，

用以形成前述電容上部電極的步驟，係包含將前述電容上部電極形成於前述電容絕緣膜及側壁上的步驟。

12. 如申請專利範圍第9項半導體裝置之製造方法，其中用以形成前述下部電極的步驟，係包含在前述保護絕緣膜上形成複數個電容下部電極的步驟，

在用以形成前述電容下部電極的步驟與用以形成前述電容絕緣膜的步驟之間，更具備有在前述電容下部電極彼此之間形成絕緣膜的步驟，

用以形成前述電容絕緣膜的步驟，係包含將前述電容絕緣膜形成橫跨在前述複數個電容下部電極及絕緣膜上的步驟。

(請先閱讀背面之注意事項再填寫本頁)

訂 線

454330

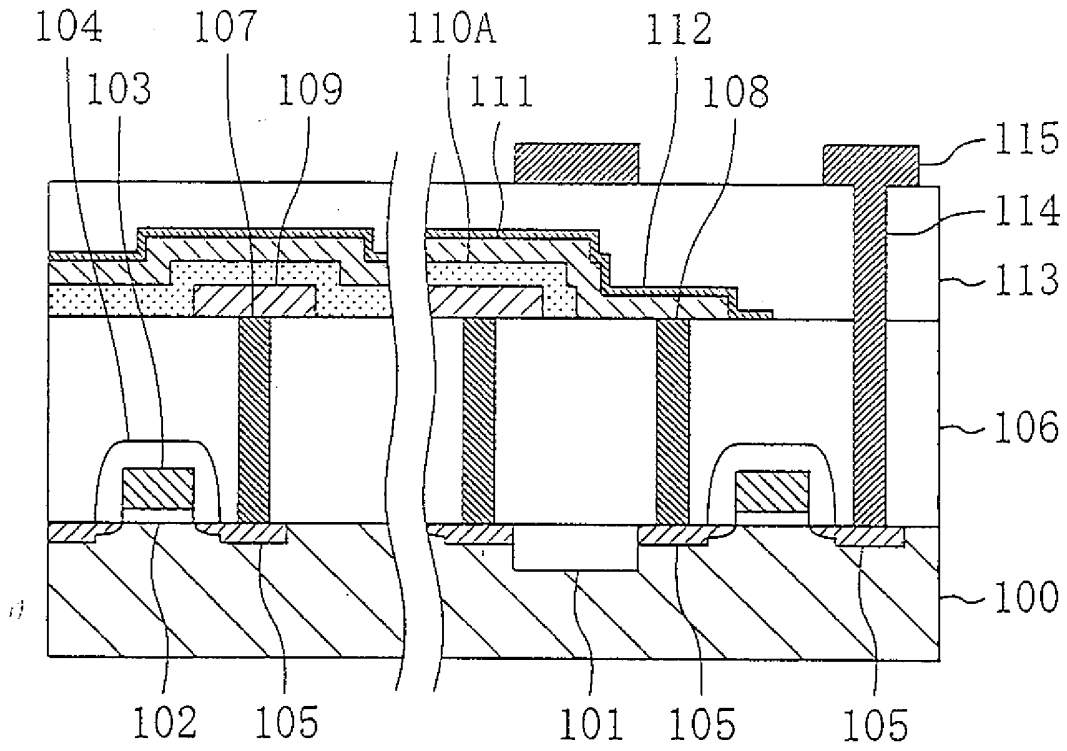


圖 1

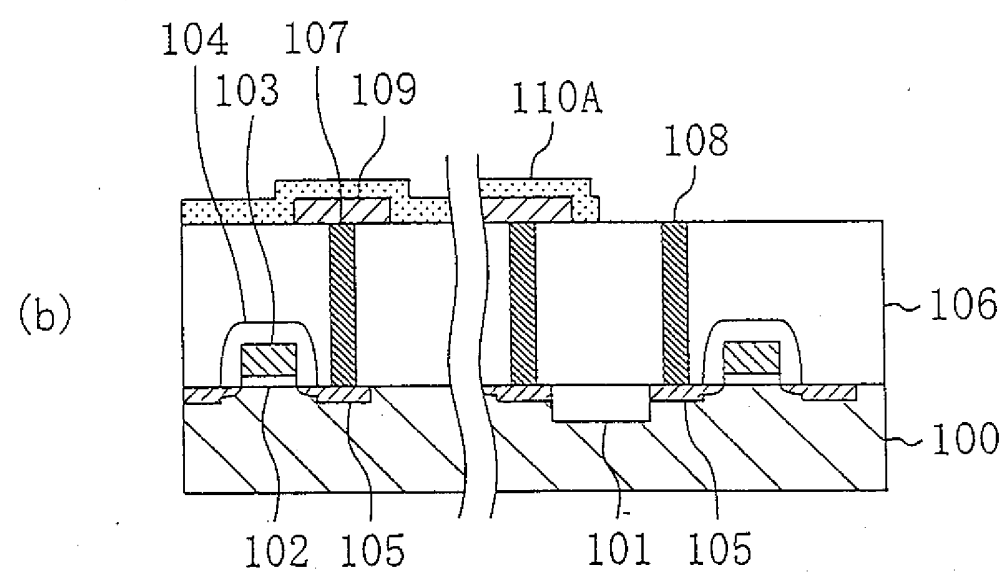
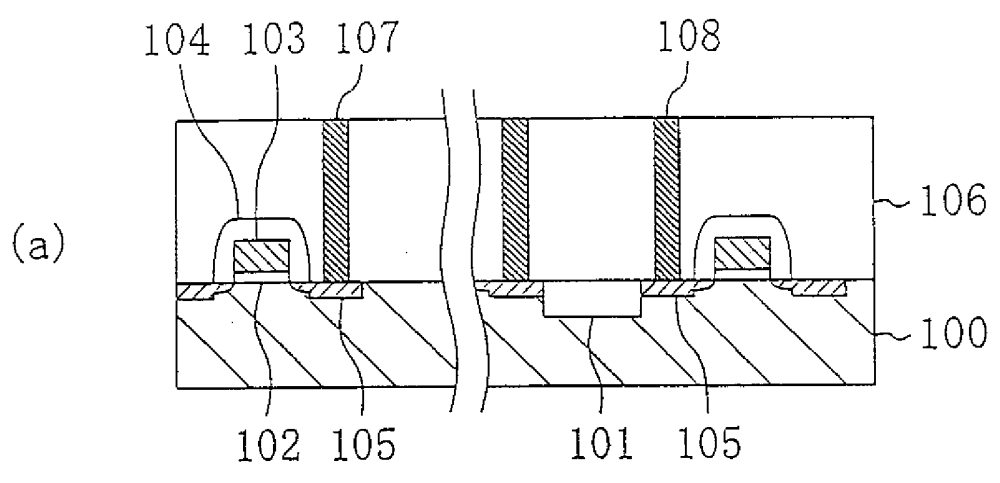
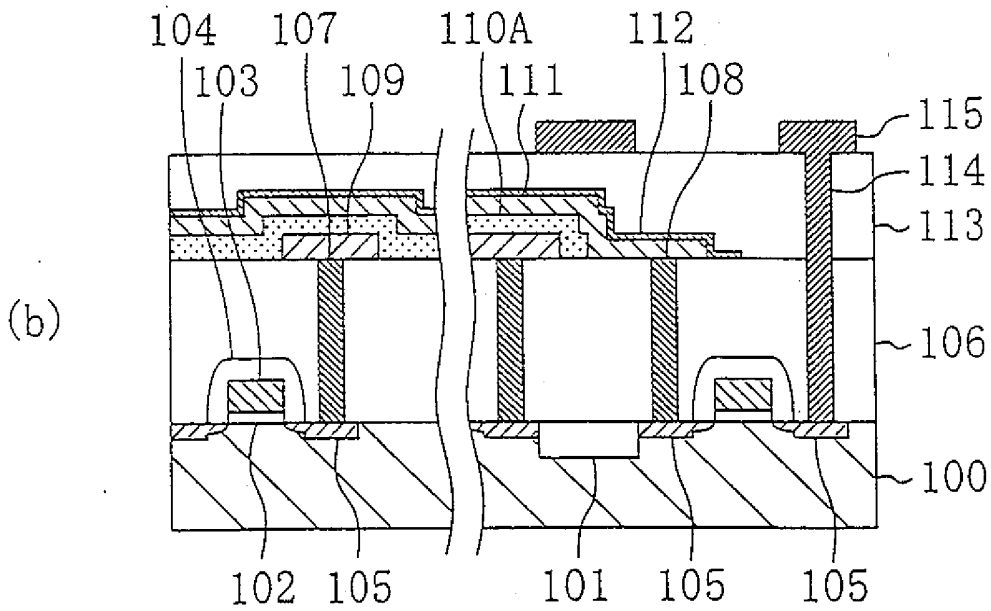
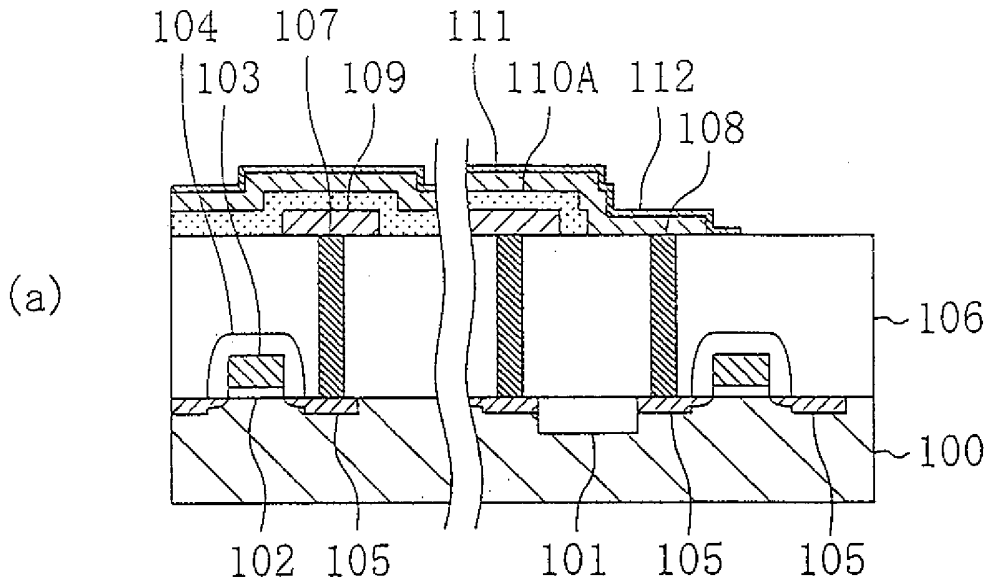


圖 2



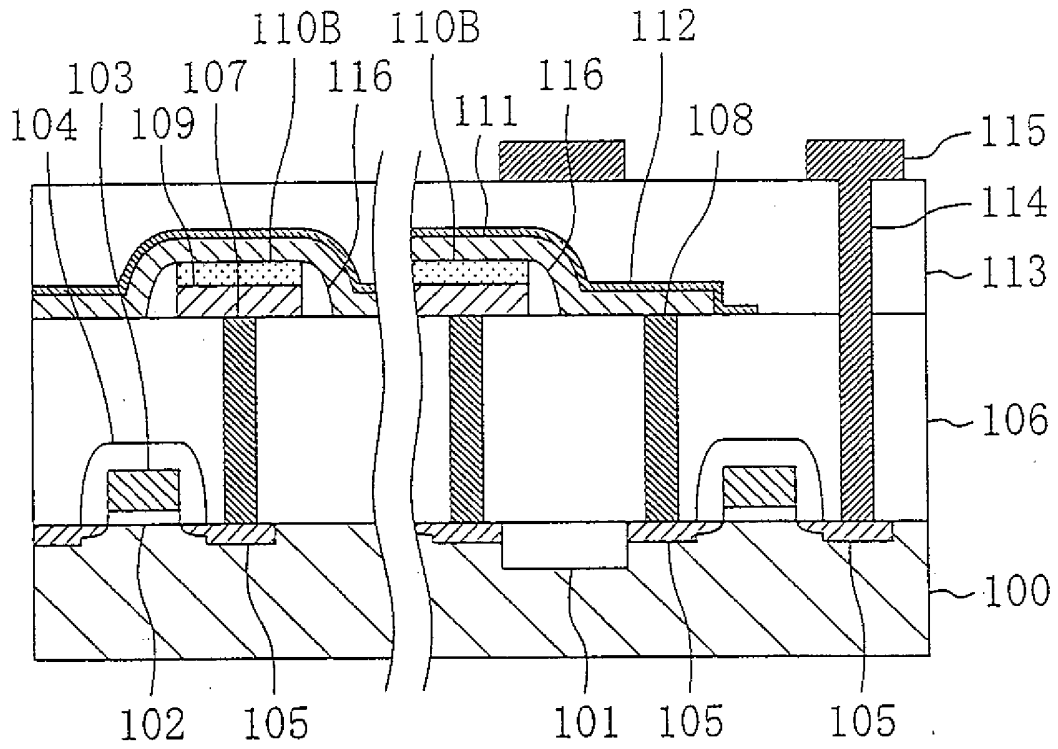


圖 4

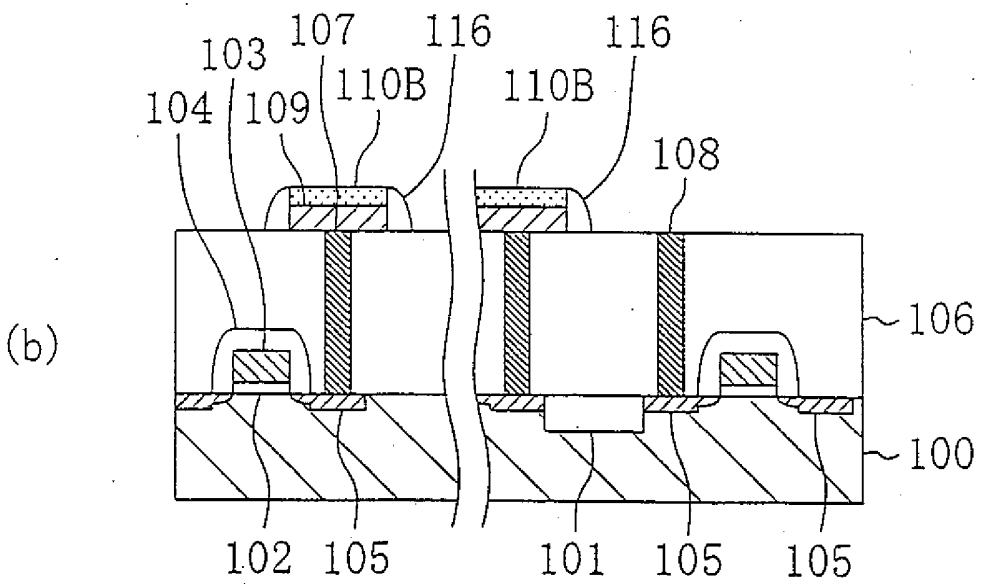
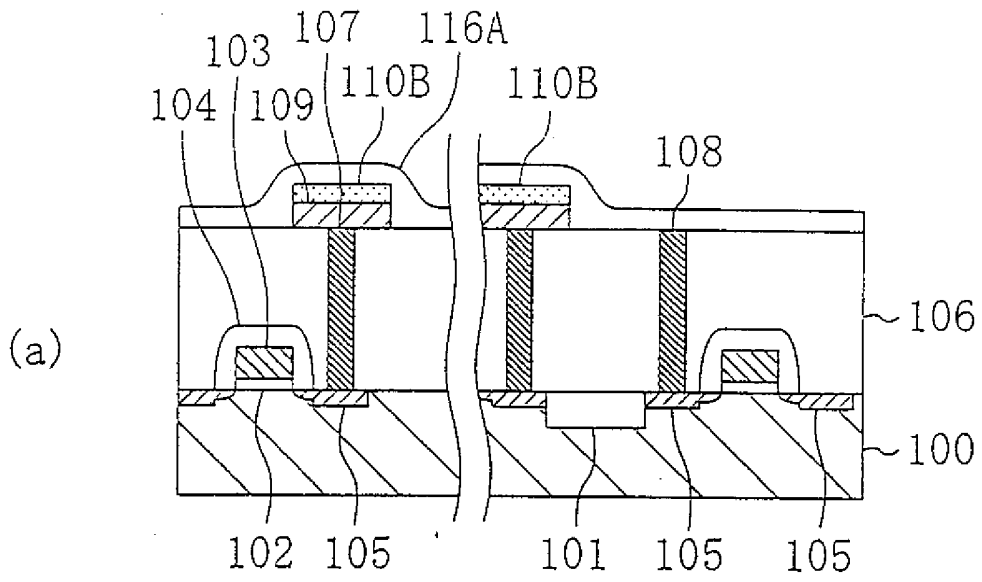


圖 5

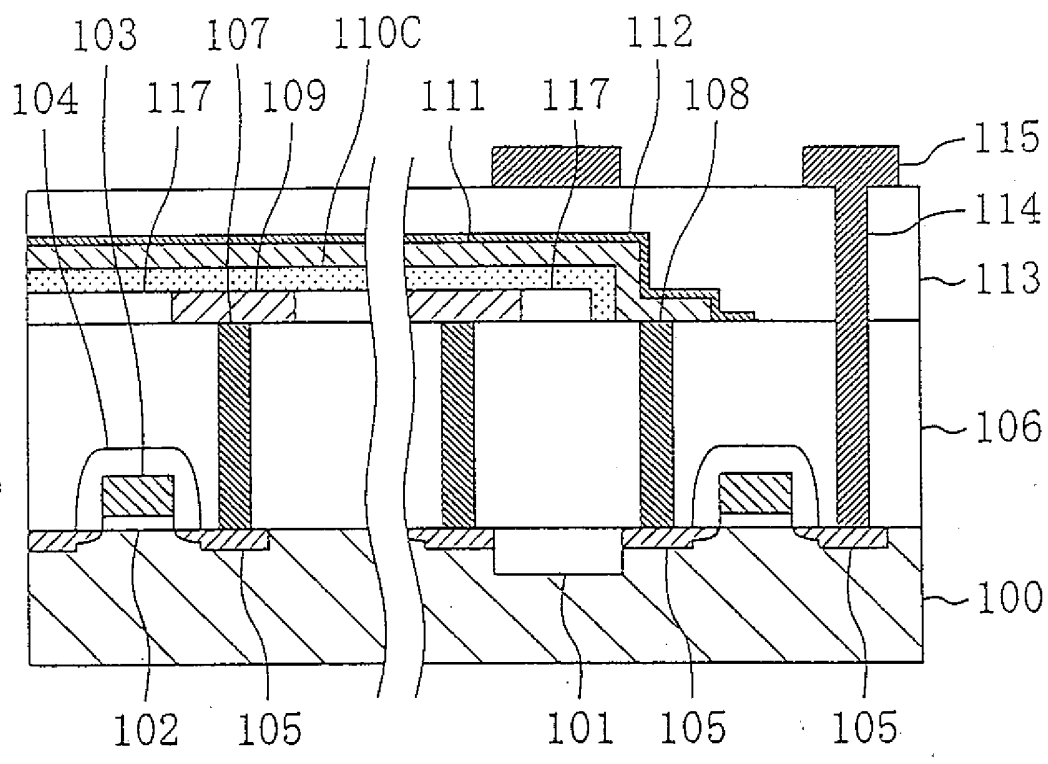
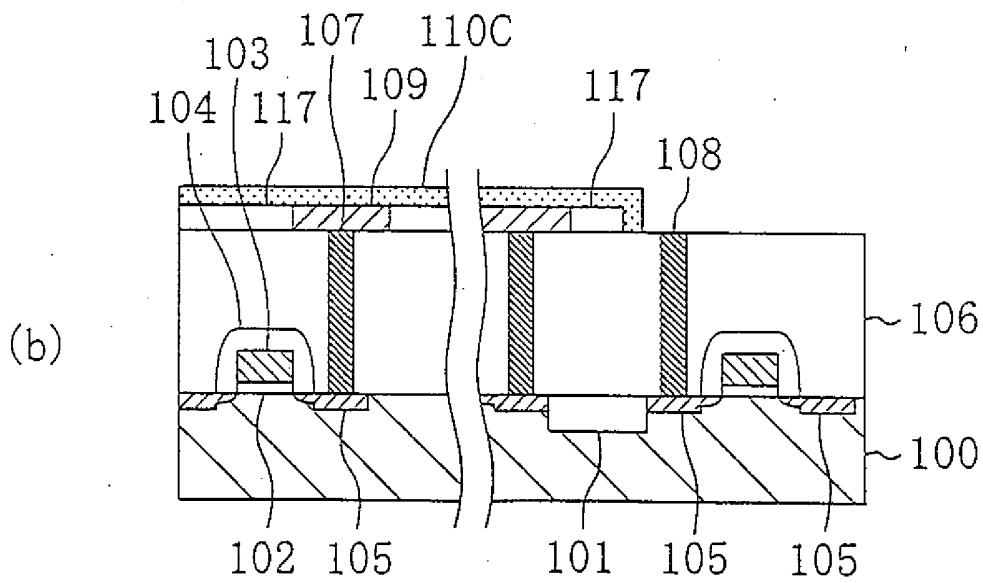
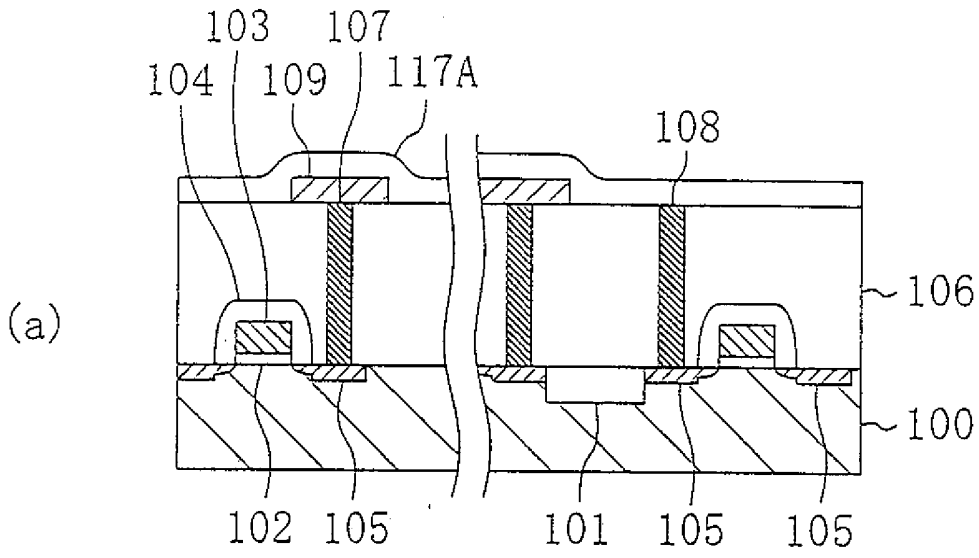


圖 6



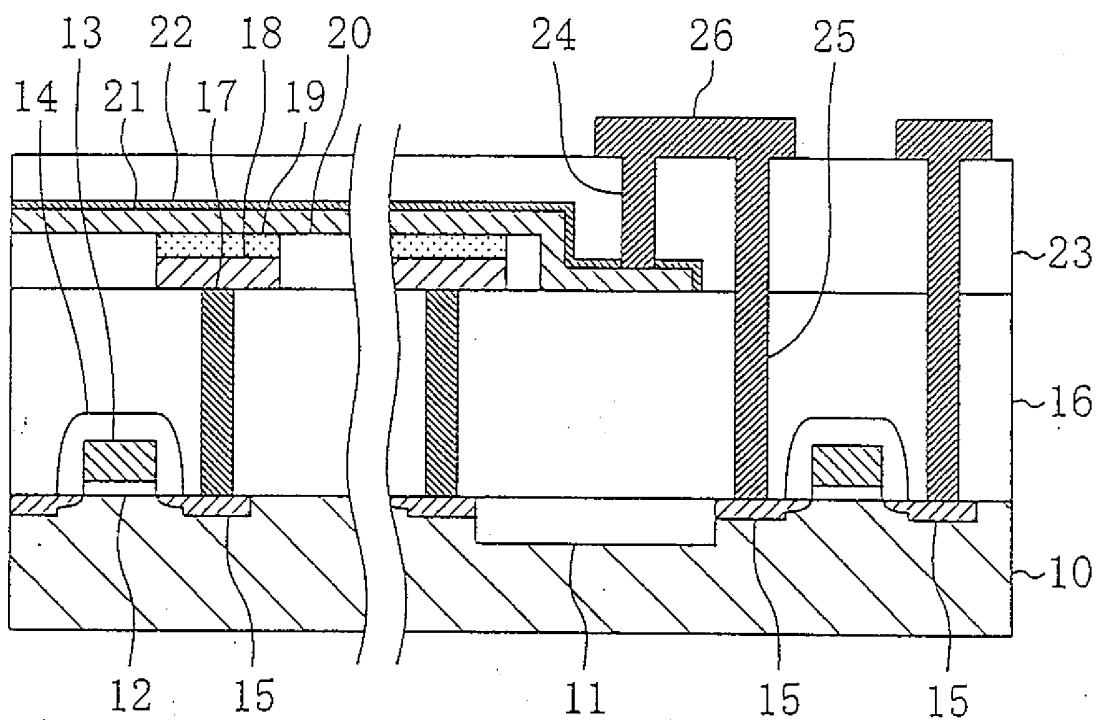


圖 8

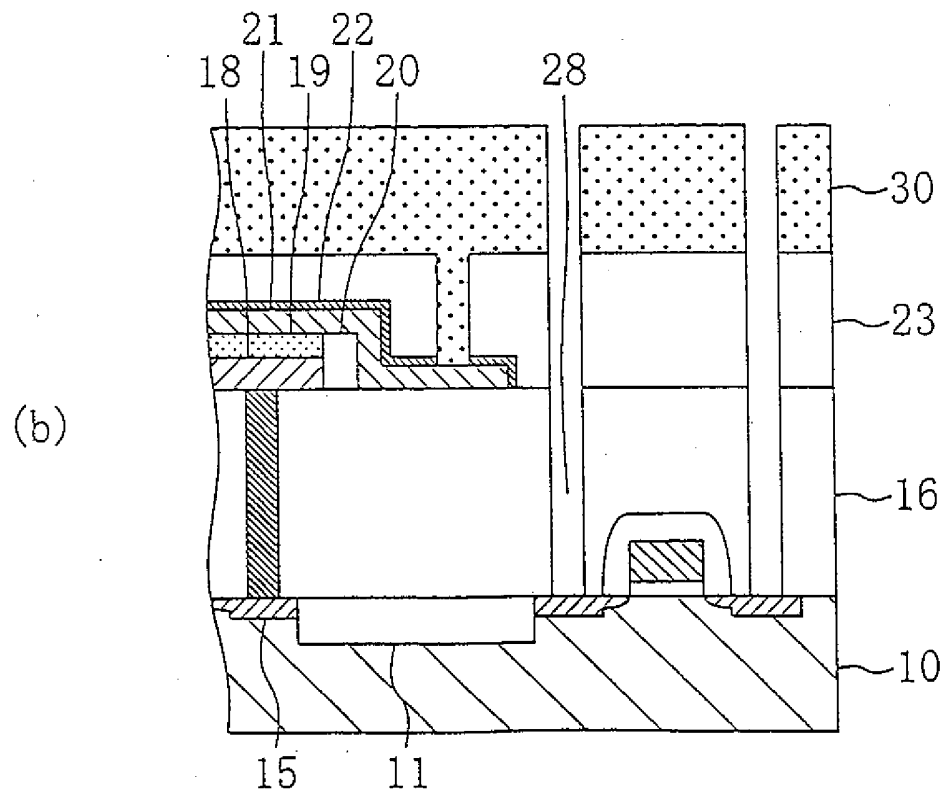
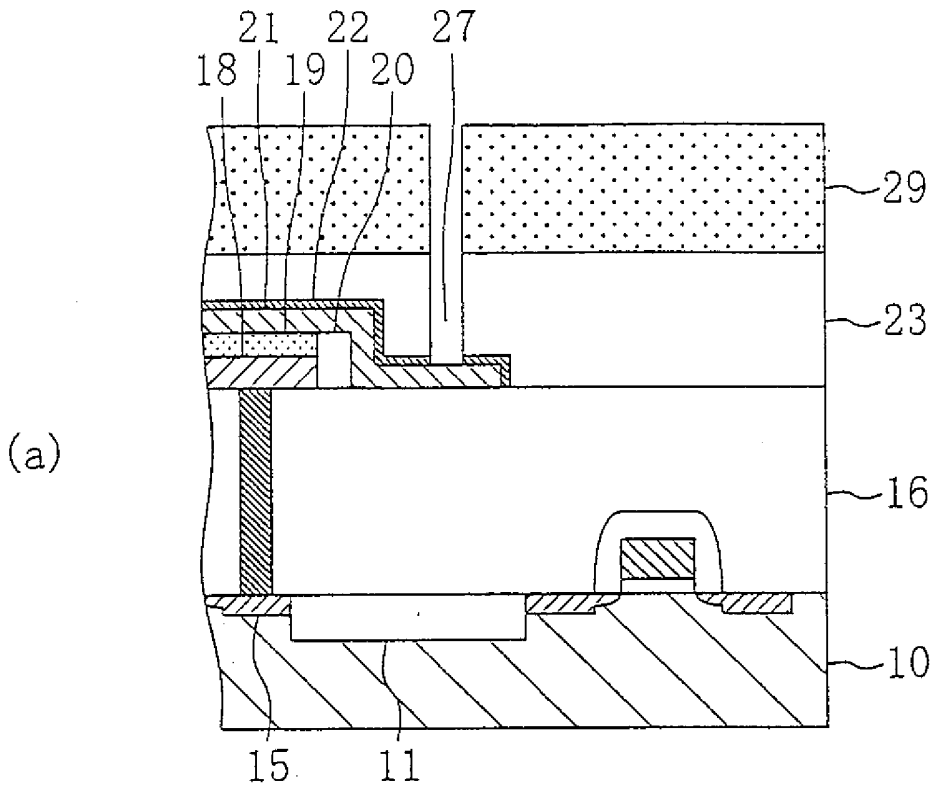


圖 9

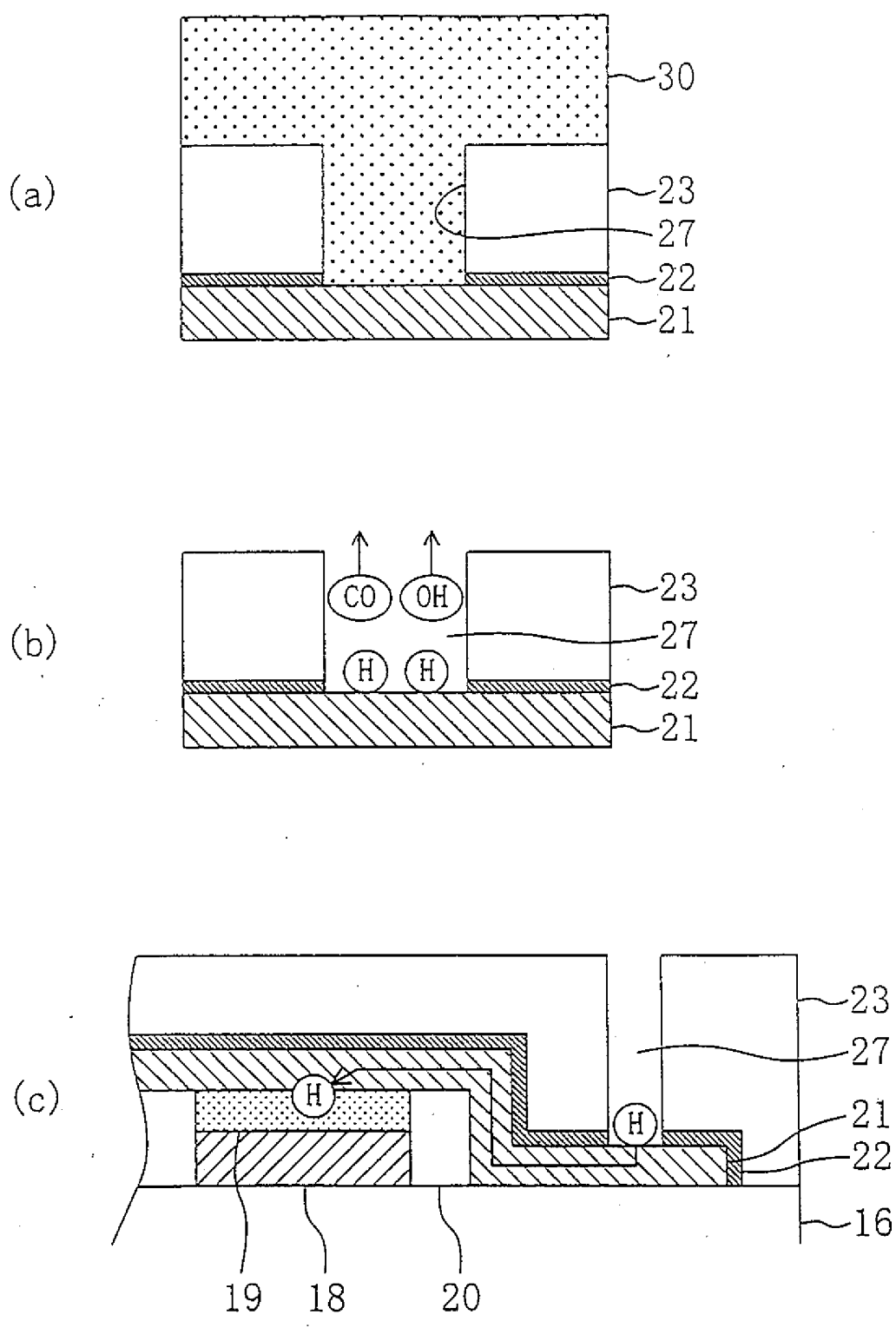


圖 10

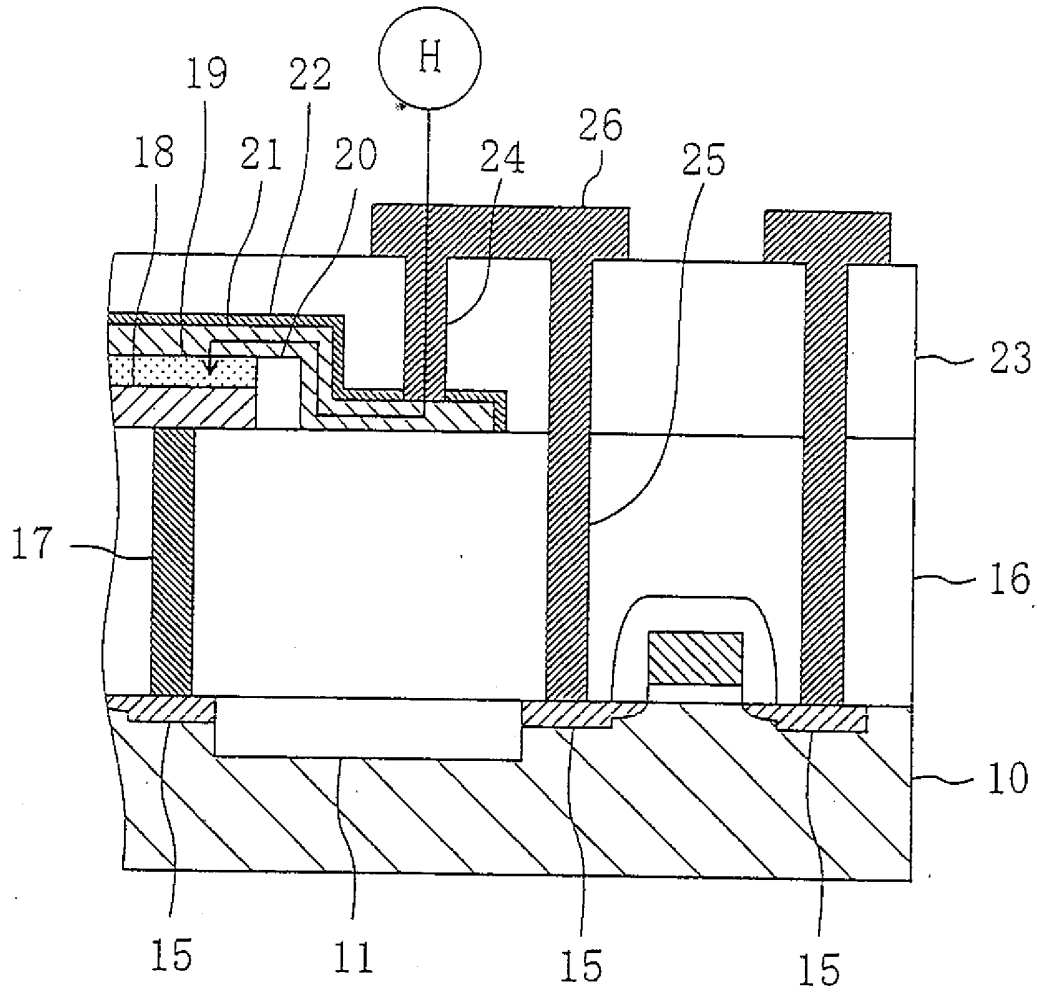


圖 11