

【特許請求の範囲】

【請求項 1】

第 1 導電型の半導体層と、
前記半導体層の主面上に設けられた第 2 導電型の第 1 の半導体領域と、
前記第 1 の半導体領域の表層部に設けられた第 1 導電型の第 2 の半導体領域と、
前記第 1 の半導体領域を貫通して前記半導体層に至るトレンチと、
前記トレンチの内壁面に設けられた第 1 の絶縁膜と、
前記半導体層と前記第 1 の半導体領域との界面よりも下方で前記トレンチ内を充填する
第 2 導電型の半導体ピラー領域と、
前記半導体ピラー領域の上に設けられた第 2 の絶縁膜と、
前記第 2 の絶縁膜よりも上方で前記トレンチ内を充填するゲート電極と、
前記第 2 の半導体領域に接続された第 1 の主電極と、
前記半導体層の前記主面の反対側に設けられた第 2 の主電極と、
を備え、
前記半導体層に接する前記第 1 の絶縁膜の一部が開口され、この開口された部分を介し
て前記半導体層と前記半導体ピラー領域とが接していることを特徴とする半導体装置。

10

【請求項 2】

前記半導体ピラー領域は、前記第 1 の主電極に接続されていることを特徴とする請求項
1 記載の半導体装置。

【請求項 3】

前記半導体ピラー領域の一部は、前記トレンチの底部から前記第 2 の半導体領域に至る
高さまで前記トレンチ内を充填され、その半導体ピラー領域の表層部が前記第 1 の主電極
に接していることを特徴とする請求項 2 記載の半導体装置。

20

【請求項 4】

第 1 導電型の半導体層と、
前記半導体層の主面上に設けられた第 2 導電型の第 1 の半導体領域と、
前記第 1 の半導体領域の表層部に設けられた第 1 導電型の第 2 の半導体領域と、
前記第 1 の半導体領域を貫通して前記半導体層に至るトレンチと、
前記トレンチの内壁面に設けられると共に、前記半導体層に接する一部が開口された第
1 の絶縁膜と、
前記半導体層と前記第 1 の半導体領域との界面よりも下方で前記トレンチ内を充填する
と共に、前記第 1 の絶縁膜の一部に形成された開口を介して前記半導体層に接する第 2 導
電型の半導体ピラー領域と、
前記半導体ピラー領域の上に設けられた第 2 の絶縁膜と、
前記第 2 の絶縁膜よりも上方で前記トレンチ内を充填するゲート電極と、
前記第 2 の半導体領域に接続された第 1 の主電極と、
前記半導体層の前記主面の反対側に設けられた第 2 の主電極と、
前記ゲート電極、前記第 1 の半導体領域及び前記第 2 の半導体領域が形成された素子部
よりも外側の終端部における前記半導体層に形成された終端トレンチ内を充填し、間に前
記半導体層を介在させて並設された複数の第 2 導電型の終端ピラー領域と、
前記複数の終端ピラー領域のうちの最外ピラー領域に隣接して、前記半導体層の主面側
に埋め込まれた層間絶縁膜と、
を備えたことを特徴とする半導体装置。

30

40

【請求項 5】

第 1 導電型の半導体層と、
前記半導体層の主面上に設けられた第 2 導電型の第 1 の半導体領域と、
前記第 1 の半導体領域の表層部に設けられた第 1 導電型の第 2 の半導体領域と、
前記第 1 の半導体領域を貫通して前記半導体層に至るトレンチと、
前記トレンチの内壁面に設けられたゲート絶縁膜と、
前記ゲート絶縁膜を介して前記トレンチ内を充填するゲート電極と、

50

前記第 2 の半導体領域に接続された第 1 の主電極と、
 前記半導体層の前記主面の反対側に設けられた第 2 の主電極と、
 前記ゲート電極、前記第 1 の半導体領域及び前記第 2 の半導体領域が形成された素子部よりも外側の終端部における前記半導体層に形成された終端トレンチ内を充填し、間に前記半導体層を介在させて並設された複数の第 2 導電型の終端ピラー領域と、
 前記複数の終端ピラー領域のうちの最外ピラー領域に隣接して、前記半導体層の主面側に埋め込まれた層間絶縁膜と、
 を備えたことを特徴とする半導体装置。

【発明の詳細な説明】

【技術分野】

10

【0001】

本発明は、半導体装置に関し、特にトレンチゲート構造を有する半導体装置に関する。

【背景技術】

【0002】

高耐圧かつ低オン抵抗が要求される例えばパワーエレクトロニクス用途に適した半導体装置として、トレンチゲート型の MOSFET (Metal-Oxide-Semiconductor Field Effect Transistor) が知られている。例えば、特許文献 1 参照。

【0003】

特許文献 1 によれば、表面に n 型のソース層が形成された p 型のウェル層及び n 型のドリフト層を貫いて n 型の基板に至るまでトレンチが形成され、そのトレンチ内においてドリフト層から基板に至る部分には絶縁膜を介してポリシリコンからなる埋め込み電極が設けられ、トレンチ内においてソース層からウェル層を通りドリフト層に至る部分には絶縁膜を介してポリシリコンからなるゲート電極が設けられた MOSFET が開示されている。埋め込み電極とゲート電極とは、電氣的に絶縁されている。

20

【0004】

特許文献 1 に開示された構造では、埋め込み電極は完全に絶縁膜に覆われ、ドリフト層との間で PN 接合を形成する構成とはなっていないため、オン抵抗の低減を図るべくドリフト層の不純物濃度を高くした場合に、ドリフト層を完全空乏化しにくく、高耐圧が得にくい。

【特許文献 1】特開 2002 - 83963 号公報

30

【発明の開示】

【発明が解決しようとする課題】

【0005】

本発明は、高耐圧かつ低オン抵抗な半導体装置を提供する。

【課題を解決するための手段】

【0006】

本発明の一態様によれば、第 1 導電型の半導体層と、前記半導体層の主面上に設けられた第 2 導電型の第 1 の半導体領域と、前記第 1 の半導体領域の表層部に設けられた第 1 導電型の第 2 の半導体領域と、前記第 1 の半導体領域を貫通して前記半導体層に至るトレンチと、前記トレンチの内壁面に設けられた第 1 の絶縁膜と、前記半導体層と前記第 1 の半導体領域との界面よりも下方で前記トレンチ内を充填する第 2 導電型の半導体ピラー領域と、前記半導体ピラー領域の上に設けられた第 2 の絶縁膜と、前記第 2 の絶縁膜よりも上方で前記トレンチ内を充填するゲート電極と、前記第 2 の半導体領域に接続された第 1 の主電極と、前記半導体層の前記主面の反対側に設けられた第 2 の主電極と、を備え、前記半導体層に接する前記第 1 の絶縁膜の一部が開口され、この開口された部分を介して前記半導体層と前記半導体ピラー領域とが接していることを特徴とする半導体装置が提供される。

40

【0007】

また、本発明の他の一態様によれば、第 1 導電型の半導体層と、前記半導体層の主面上に設けられた第 2 導電型の第 1 の半導体領域と、前記第 1 の半導体領域の表層部に設けら

50

れた第1導電型の第2の半導体領域と、前記第1の半導体領域を貫通して前記半導体層に至るトレンチと、前記トレンチの内壁面に設けられると共に、前記半導体層に接する一部が開口された第1の絶縁膜と、前記半導体層と前記第1の半導体領域との界面よりも下方で前記トレンチ内を充填すると共に、前記第1の絶縁膜の一部に形成された開口を介して前記半導体層に接する第2導電型の半導体ピラー領域と、前記半導体ピラー領域の上に設けられた第2の絶縁膜と、前記第2の絶縁膜よりも上方で前記トレンチ内を充填するゲート電極と、前記第2の半導体領域に接続された第1の主電極と、前記半導体層の前記主面の反対側に設けられた第2の主電極と、前記ゲート電極、前記第1の半導体領域及び前記第2の半導体領域が形成された素子部よりも外側の終端部における前記半導体層に形成された終端トレンチ内を充填し、間に前記半導体層を介在させて並設された複数の第2導電型の終端ピラー領域と、前記複数の終端ピラー領域のうちの最外ピラー領域に隣接して、前記半導体層の主面側に埋め込まれた層間絶縁膜と、を備えたことを特徴とする半導体装置が提供される。

10

【0008】

また、本発明のさらに他の一態様によれば、第1導電型の半導体層と、前記半導体層の主面上に設けられた第2導電型の第1の半導体領域と、前記第1の半導体領域の表層部に設けられた第1導電型の第2の半導体領域と、前記第1の半導体領域を貫通して前記半導体層に至るトレンチと、前記トレンチの内壁面に設けられたゲート絶縁膜と、前記ゲート絶縁膜を介して前記トレンチ内を充填するゲート電極と、前記第2の半導体領域に接続された第1の主電極と、前記半導体層の前記主面の反対側に設けられた第2の主電極と、前記ゲート電極、前記第1の半導体領域及び前記第2の半導体領域が形成された素子部よりも外側の終端部における前記半導体層に形成された終端トレンチ内を充填し、間に前記半導体層を介在させて並設された複数の第2導電型の終端ピラー領域と、前記複数の終端ピラー領域のうちの最外ピラー領域に隣接して、前記半導体層の主面側に埋め込まれた層間絶縁膜と、を備えたことを特徴とする半導体装置が提供される。

20

【発明の効果】

【0009】

本発明によれば、高耐圧かつ低オン抵抗な半導体装置が提供される。

【発明を実施するための最良の形態】

【0010】

以下に、図面を参照しつつ、本発明の実施形態について説明する。

30

【0011】

[第1の具体例]

図1は、本発明の第1の具体例に係る半導体装置1の要部断面構造を例示する模式図である。

図2は、同半導体装置1の要部平面構造を例示する模式図である。

図3は、図2におけるA1-A1線断面図である。

なお、図1は、図3におけるB-B線断面を表す。

図4は、図2におけるA2-A2線断面図である。

【0012】

本具体例では、第1導電型をP型、第2導電型をN型として説明する。

40

P⁺型のシリコン基板2の主面上には、P型シリコンの半導体層(ドリフト層またはドレイン層)4と、N⁻型シリコンの第1の半導体領域(ベース領域)6と、が順に設けられている。半導体層4と第1の半導体領域6との間には、PN接合が形成されている。

【0013】

第1の半導体領域6を貫通して半導体層4に至るトレンチTが設けられている。トレンチTは、図1において紙面を貫く方向に延在すると共に、基板2の主面に対して略垂直に設けられている。トレンチTの底部は基板2には達していない。トレンチTの側壁面には、絶縁膜8、16が形成されている。

【0014】

50

半導体層 4 と第 1 の半導体領域 6 との界面よりも下のトレンチ T 内には、N 型単結晶シリコンまたは N 型ポリシリコン（多結晶シリコン）のピラー領域 1 3 が充填されている。ピラー領域 1 3 の不純物濃度は、例えば $10^{18} / \text{cm}^3$ 以下である。半導体層 4 に接する絶縁膜 8 の一部は開口され、この開口された部分を介して半導体層 4 とピラー領域 1 3 とが接している。ここで、ピラー領域 1 3 の不純物濃度を $10^{18} / \text{cm}^3$ 以下にすることは、ピラー領域 1 3 を完全空乏化する上で望ましい。

【0015】

本具体例では、トレンチ T の底部には絶縁膜 8 が設けられておらず開口されている。したがって、トレンチ T の底部で、N 型のピラー領域 1 3 と、P 型の半導体層 4 とが PN 接合している。トレンチ T の底部は平面状に形成され、よって、ピラー領域 1 3 と半導体層 4 との PN 接合面も平面状となっている。ピラー領域 1 3 の側面と、半導体層 4 との間には、絶縁膜 8 が介在されている。ピラー領域 1 3 が半導体層 4 に接している面積よりも、ピラー領域 1 3 が絶縁膜 8 で覆われている面積の方が大きい。なお、トレンチ T の底部において絶縁膜 8 に開口を設ける場合、図 1 に表したように、トレンチ T の底部の全体を開口してもよいが、底部の一部のみを開口してもよい。例えば、絶縁膜 8 をトレンチ T の底部にまで延在させ、底部の中央付近のみを開口してもよい。

10

【0016】

ピラー領域 1 3 の上には絶縁膜 1 5 が設けられ、この絶縁膜 1 5 より上のトレンチ T には、ゲート電極 1 8 が充填されている。ここで絶縁膜 1 5 の上端は、半導体層 4 と第 1 の半導体領域 6 との界面よりも少し下に位置している。ゲート電極 1 8 と、ピラー領域 1 3 とは、絶縁膜 1 5 によって電氣的に絶縁されている。ゲート電極 1 8 と、第 1 の半導体領域 6 との間には、絶縁膜 1 6 が介在されている。ゲート電極 1 8 は、例えば P⁺ 型ポリシリコンからなるが、これに限らず、その他半導体、金属などを用いてもよい。

20

【0017】

第 1 の半導体領域 6 の表層部には、P⁺ 型シリコンの第 2 の半導体領域 7 が設けられている。第 1 の半導体領域 6 と第 2 の半導体領域 7 との界面は、ゲート電極 1 8 の上端よりも少し下に位置している。ゲート電極 1 8 と、第 2 の半導体領域 7 との間には、絶縁膜 1 6 が介在されている。

【0018】

第 2 の半導体領域 7 は、第 1 の主電極（ソース電極）2 1 と接続されている。第 1 の主電極 2 1 とゲート電極 1 8 は、層間絶縁膜 2 5 によって電氣的に絶縁されている。基板 2 の主面の反対側の面には、第 2 の主電極（ドレイン電極）2 2 が設けられている。

30

【0019】

図 3 に表されるように、ゲート電極 1 8 とピラー領域 1 3 は、それぞれ同じ方向に引き出された引出し部 1 8 b、1 3 b を有する。ゲート電極 1 8 の引出し部 1 8 b と、ピラー領域 1 3 の引出し部 1 3 b との間には絶縁膜 3 3 が介在されている。ピラー領域 1 3 の引出し部 1 3 b と、第 1 の半導体領域 6 との間には絶縁膜 3 4 が介在されている。

【0020】

ゲート電極 1 8 の引出し部 1 8 b は、層間絶縁膜 2 5 に形成された接続孔 h 1 を介して、ゲート引出し配線 2 7 と接続されている。ピラー領域 1 3 の引出し部 1 3 b は、ゲート電極 1 8 の引出し部 1 8 b 及び層間絶縁膜 2 5 を貫通する接続孔 h 2 を介して、第 1 の主電極 2 1 に接続されている。接続孔 h 2 を充填する第 1 の主電極 2 1 と、ゲート電極 1 8 の引出し部 1 8 b との間には層間絶縁膜 2 5 が介在され、第 1 の主電極 2 1 とゲート電極 1 8 は電氣的に絶縁されている。

40

【0021】

以上のように構成される半導体装置 1 において、ゲート電極 1 8 に所定のバイアス電圧が印加されると、絶縁膜 1 6 を介してゲート電極 1 8 に対向する第 1 の半導体領域 6 にチャネルが形成され、第 1 の主電極 2 1 と第 2 の主電極 2 2 との間がオン状態とされる。

【0022】

そして、本具体例の半導体装置 1 は、トレンチ T の底部側の部分で、P 型の領域と N 型

50

の領域とが繰り返して並列され、かつトレンチTの底部を介してそれらがPN接合している、いわゆるスーパー Junction構造を有する。PN接合部であるトレンチTの底部を介して半導体層4とピラー領域13の空乏化を促進することができる。したがって、オン抵抗を低減すべく、電流の経路となるドリフト層として機能する半導体層4の不純物濃度を高くしても、半導体層4とピラー領域13を完全に空乏化させることができ、ドレイン-ソース間電圧印加時の耐圧低下を抑えることができる。すなわち、高耐圧かつ低オン抵抗の半導体装置1が提供される。

【0023】

また、ピラー領域13の側面と、半導体層4との間には絶縁膜8が介在しているため、ピラー領域13と半導体層4それぞれの不純物が互いに他方へ拡散して、電流経路の不純物濃度が変動してオン抵抗が上昇してしまうのを防ぐことができる。

10

【0024】

また、トレンチT底部のPN接合部は、同じシリコン材料どうしの接合となるためリーク電流が生じにくい。

【0025】

例えば、半導体層4の不純物濃度を $2.8 \times 10^{17} / \text{cm}^3$ 、トレンチTのピッチを0.5マイクロメートル、トレンチTの並列方向に沿った幅を0.3マイクロメートル、トレンチTにおけるピラー領域13充填部分の深さ方向寸法を1マイクロメートル、ピラー領域13の上端から第2の半導体領域7の上端にかけての長さを1.2マイクロメートルとした本具体例の半導体装置では、36[V]の耐圧が得られた。この本具体例の構造に対して

20

【0026】

また、本具体例では、図2及び図2におけるA2-A2断面を表す図4に表されるように、ソース領域7を分断するようにしてN⁺型のバックゲート領域65が設けられ、このバックゲート領域65がソース電極21に接続されることで、バックゲート領域65を介してのソース電極21へのキャリア抜けを促進でき、素子破壊を防ぐことができる。

なお、バックゲート領域65はソース領域7を分断するように設けることに限らず、ベース領域6からソース電極21へのキャリア抜き経路が確保できればよいため、ベース領域6をバックゲート領域65を通じてソース電極21に電氣的に接続させるようにバックゲート領域65が設けられればよい。

30

【0027】

次に、半導体装置1の製造方法の一例について説明する。

図5～図12は、半導体装置1の製造工程の要部を例示する工程断面図である。

【0028】

まず、図5に表されるように、高不純物濃度のP⁺⁺型シリコン基板2の上に、P型シリコンの半導体層4と、N⁻型シリコンの第1の半導体領域6と、を順に形成する。

【0029】

次に、図6に表されるように、第1の半導体領域6表面上に選択的に形成した酸化膜141をマスクとして、例えば、RIE(Reactive Ion Etching)などの異方性エッチングにより、第1の半導体領域6を貫通して半導体層4に至るトレンチTを形成する。トレンチTの底部11は、基板2にまでは至らない。

40

【0030】

次に、図7に表されるように、トレンチTの内壁面(側壁面及び底面)に絶縁膜8を形成する。絶縁膜8は、例えば熱酸化法により形成されるシリコン酸化膜である。

【0031】

次に、図8に表されるように、例えばRIEなどの異方性エッチングにより、トレンチTの底部11の絶縁膜8のみを除去する。これにより、絶縁膜8が除去されたトレンチTの底部11からは、半導体層4がトレンチT内に露出する。

【0032】

50

このとき、トレンチTの底部11が平面になるようにエッチングすれば、トレンチTの底部側に充填されるピラー領域13と、半導体層4とのPN接合面が平面になり、完全空乏化がしやすくなる。

【0033】

次に、例えば、シリコンの原料ガスとN型不純物の原料ガスとを用いたCVD (Chemical Vapor Deposition) 法により、トレンチT内をN型のポリシリコンで完全に埋め込む。この後、そのポリシリコンを、半導体層4と第1の半導体領域6との界面よりも下までエッチバックする。

【0034】

これにより、図9に表されるように、半導体層4と第1の半導体領域6との界面よりも下方で、トレンチT内を充填するN型ポリシリコンの半導体ピラー領域13が形成される。

10

【0035】

なお、トレンチT内にポリシリコンを埋め込んだ後、そのポリシリコンにN型不純物の注入を行い、この後、熱処理により、注入されたN型不純物を拡散させてN型ポリシリコンとし、さらにこの後、半導体層4と第1の半導体領域6との界面よりも下までエッチバックさせる、という方法によって半導体ピラー領域13の形成を行ってもよい。トレンチTが微細であっても(アスペクト比が大きくても)、ポリシリコンはトレンチT内に容易に埋め込むことができる。

【0036】

ピラー領域13の形成に際して、ピラー領域13の側面と半導体層4との間には、すでに絶縁膜8が設けられているため、ピラー領域13と半導体層4間の不純物の拡散が抑制される。このため、電流経路の不純物濃度が変動してオン抵抗が上昇してしまうのを防ぐことができ、また、トレンチTのピッチが微細化しても、ピラー領域13の不純物濃度を所望に制御しやすい。

20

【0037】

次に、図10に表されるように、半導体ピラー領域13よりも上であって半導体ピラー領域13が充填されていない部分のトレンチTの側壁面に形成された絶縁膜8を、エッチングにより除去する。

【0038】

次に、図11に表されるように、半導体ピラー領域13の上に絶縁膜15を形成すると共に、半導体ピラー領域13よりも上のトレンチTの側壁面に絶縁膜16を形成する。絶縁膜15、16は、例えば熱酸化法により形成されるシリコン酸化膜である。

30

【0039】

次に、絶縁膜15よりも上のトレンチT内にポリシリコンを埋め込んだ後、そのポリシリコンにP型不純物の注入を行い、この後、熱処理により、注入されたP型不純物を拡散させてP⁺型ポリシリコンとし、さらにこの後、そのP⁺型ポリシリコンをトレンチTの上端開口よりも下までエッチバックする。

【0040】

これにより、図12に表されるように、絶縁膜16を介して第1の半導体領域6に向き合うP⁺型ポリシリコンのゲート電極18が形成される。なお、ゲート電極18は、N型でもよく、またシリコン以外の半導体でもよく、さらには半導体に限らず金属でもよい。

40

【0041】

次に、図1に表されるようにゲート電極18の上のトレンチT内を充填し、かつ図3に表されるようにゲート電極18の引出し部18bの上を覆う層間絶縁膜25を形成する。層間絶縁膜25は、例えばシリコン酸化膜である。

【0042】

次に、トレンチT周囲の第1の半導体領域6の表面に、P型不純物のイオン注入および熱拡散処理を行い、トレンチT周囲の第1の半導体領域6の表層部にP⁺型シリコンの第2の半導体領域7を形成する。

50

【 0 0 4 3 】

次に、第2の半導体領域7及び層間絶縁膜25の上に、例えば、スパッタ法により、アルミニウムからなる第1の主電極21を形成する。これにより、第1の主電極21と第2の半導体領域7とが電氣的に接続される。また、図3に表されるように、第1の主電極21は、層間絶縁膜25に形成された接続孔を介して半導体ピラー領域13と電氣的に接続される。

【 0 0 4 4 】

ゲート電極18は、図3に表されるように、層間絶縁膜25に形成された接続孔を介して、ゲート引出し配線27と電氣的に接続される。基板2の裏面側には、第2の主電極22が形成される。以上のようにして、図1～4に表される半導体装置1が得られる。

10

【 0 0 4 5 】

以下、本発明の他の具体例について説明する。なお、前述したものと同様の要素については、同一の符号を付して詳細な説明は省略する。

【 0 0 4 6 】

[第2の具体例]

第2の具体例では、ピラー領域13の形成方法が、第1の具体例と異なる。

本具体例でも、第1の具体例と同様、トレンチTの底部には絶縁膜を形成しない。そして、そのトレンチT底部からトレンチT内に露出している半導体層4を下地結晶として、N型シリコンをエピタキシャル成長させ、半導体層4と第1の半導体領域6との界面に到達する前に成長をとめる。これにより、半導体層4と第1の半導体領域6との界面よりも下でトレンチT内を充填し、トレンチTの底部で半導体層4に接合するピラー領域13が形成される。

20

【 0 0 4 7 】

ピラー領域13のエピタキシャル成長は、トレンチT底部から露出している半導体層4上のみへの選択的なエピタキシャル成長となるため、結晶面(結晶方位)が揃い、ピラー領域13の結晶性を良くすることができ、リーク電流を抑えることができる。特に、ピラー領域13を大結晶化する場合に有効である。

【 0 0 4 8 】

[第3の具体例]

図13は、本発明の第3の具体例に係る半導体装置31の要部断面構造を例示する模式図である。

30

【 0 0 4 9 】

本具体例では、各要素の導電型を第1の具体例と逆にしている。すなわち、第1導電型をN型、第2導電型をP型とし、基板102をN⁺⁺型シリコン、半導体層(ドリフト層)104をN型シリコン、第1の半導体領域(ベース領域)106をP⁻型シリコン、第2の半導体領域(ソース領域)107をN⁺型シリコン、ピラー領域113をP型のシリコンまたはポリシリコン、ゲート電極18をN⁺型ポリシリコンから構成している。

【 0 0 5 0 】

本具体例においても、PN接合部であるトレンチTの底部を介して半導体層104とピラー領域113の空乏化を促進することができる。したがって、オン抵抗を低減すべく、半導体層104の不純物濃度を高くしても、半導体層104とピラー領域113を完全に空乏化させることができ、ドレイン-ソース間電圧印加時の耐圧低下を抑えることができる。

40

【 0 0 5 1 】

[第4の具体例]

図14は、本発明の第4の具体例に係る半導体装置41の要部断面構造を例示する模式図である。

【 0 0 5 2 】

本具体例においても、第1の具体例と同様、半導体層4と第1の半導体領域6との界面よりも下のトレンチT内には、N型シリコンまたはN型ポリシリコンのピラー領域13が

50

充填され、半導体層 4 に接する絶縁膜の一部は開口され、この開口された部分を介して半導体層 4 とピラー領域 1 3 とが接している。

【 0 0 5 3 】

本具体例では、トレンチ T の側面の絶縁膜が開口され、トレンチ T の側面で、N 型のピラー領域 1 3 と、P 型の半導体層 4 とが P N 接合している。ピラー領域 1 3 と半導体層 4 との P N 接合部の面積は、それら両者間相互の不純物拡散を抑制する観点から、ピラー領域 1 3 が絶縁膜 8 a、8 b で覆われている部分の面積より小さいことが望ましい。

【 0 0 5 4 】

そして、本具体例においても、トレンチ T の側面の P N 接合部を介して半導体層 4 とピラー領域 1 3 の空乏化を促進することができる。したがって、オン抵抗を低減すべく、半導体層 4 の不純物濃度を高くしても、半導体層 4 とピラー領域 1 3 を完全に空乏化させることができ、ドレイン - ソース間電圧印加時の耐圧低下を抑えることができる。

10

【 0 0 5 5 】

次に、半導体装置 4 1 の製造方法の一例について説明する。

図 1 5 ~ 図 1 8 は、半導体装置 4 1 の製造工程の要部を例示する工程断面図である。

【 0 0 5 6 】

第 1 の半導体領域 6 を貫通して半導体層 4 に至るトレンチ T を形成し、そのトレンチ T の内壁面（側壁面及び底面）に絶縁膜 8 a を形成するまでは、第 1 の具体例と同様に行われる。

【 0 0 5 7 】

20

この後、図 1 5 に表されるように、絶縁膜 8 a を、トレンチ T の底部およびその底部より少し上の部分のみが残るようにエッチングする。

【 0 0 5 8 】

次に、絶縁膜 8 a で覆われていないトレンチ T の側面側から、N 型シリコンをラテラル成長させ、図 1 5 に表されるように、絶縁膜 8 a を完全に覆うようにトレンチ T の底部側を充填するピラー領域 1 3 を形成する。

【 0 0 5 9 】

次に、図 1 7 に表されるように、ピラー領域 1 3 の上に絶縁膜 5 を形成すると共に、ピラー領域 1 3 よりも上のトレンチ T の側壁面に絶縁膜 8 b を形成する。

【 0 0 6 0 】

30

次に、図 1 8 に表されるように、ピラー領域 1 3 の上の絶縁膜 5 を異方性エッチングにより除去し、この後、ピラー領域 1 3 を、図 1 4 に表されるように、半導体層 4 と第 1 の半導体領域 6 との界面より少し下の位置までエピタキシャル成長させる。後は、第 1 の具体例と同様に、前述した図 1 1 以降の工程が続けられる。

【 0 0 6 1 】

[第 5 の具体例]

図 1 9 は、本発明の第 5 の具体例に係る半導体装置 5 1 の要部断面構造を例示する模式図である。

【 0 0 6 2 】

本具体例では、第 1 の半導体領域 6 の表面に、トレンチ T の周囲を囲むように第 2 の半導体領域 5 7 を選択的に設けている。トレンチ T 間の第 1 の半導体領域 6 表面で、第 2 の半導体領域 5 7 は横方向につながっていない。

40

【 0 0 6 3 】

[第 6 の具体例]

図 2 0 は、本発明の第 6 の具体例に係る半導体装置における要部構成の平面パターンを例示する模式図である。

図 2 1 は、図 2 0 における D - D 線断面図である。

図 2 2 は、図 2 0 における E - E 線断面図である。

図 2 3 は、図 2 0 における F - F 線断面図である。

なお、図 2 0 における C - C 線断面は、前述した図 1 に表される断面構造と同じである

50

。

【 0 0 6 4 】

本具体例では、トレンチTの延在方向（図20、22におけるX方向）の途中で、ピラー領域13をソース電極（第1の主電極）21に接続させるためのコンタクト部を設けている。例えば、前述した図8に表す工程の後、トレンチT内をポリシリコンで埋め込み、さらにそのポリシリコンをドリフト層4とベース領域6との界面よりも下までエッチバックする際に、一部のポリシリコンは、ドリフト層4とベース領域6との界面より下までエッチバックせずにトレンチT内に残す。

【 0 0 6 5 】

すなわち、ピラー領域13の一部は、トレンチTの底部からソース領域7に至る高さまでトレンチT内を充填しており、そのトレンチT内を充填するピラー領域13の表層部13aは、ピラー領域13における他の部分より高不純物濃度（ N^+ 型）にされ、この表層部13aは、ソース領域7上に設けられたソース電極21に接している。高不純物濃度（ N^+ 型）の表層部13aを介して、ピラー領域13とソース電極21とを接続させることで、ピラー領域13とソース電極21との接触抵抗を低減できる。

【 0 0 6 6 】

ピラー領域13がソース電極21に接続されることで、さらに、そのピラー領域13の表層部13aに対して酸化膜8を介して隣接する部分に、ソース領域7を分断して N^+ 型のバックゲート領域66を設け、このバックゲート領域66もソース電極21に接続されることで、アバランシェブレークダウン時に、ソース電極21へのキャリア抜けを促進でき、素子破壊を防ぐことができる。

なお、バックゲート領域66はソース領域7を分断するように設けることに限らず、ベース領域6からソース電極21へのキャリア抜き経路が確保できればよいため、ベース領域6をバックゲート領域66を通じてソース電極21に電氣的に接続させるようにバックゲート領域66が設けられればよい。

【 0 0 6 7 】

また、本具体例では、主電流経路が形成される素子部におけるトレンチTの真上で、ピラー領域13とソース電極21とを接触させており、この構造は、前述した図3に表すように素子部の外側にピラー領域13を引き出してソース電極21と接続させる場合に比べて、キャリアの排出経路を短くでき、その分、アバランシェブレークダウン時にキャリアの排出効率を高めることができ、素子破壊の防止に有効である。

【 0 0 6 8 】

トレンチTの延在方向（X方向）の途中で、トレンチ底部から上部までピラー領域13が充填された部分が設けられることで、図20、22に表すように、ゲート電極18が、X方向に分断される。そこで、本具体例では、ピラー領域13によって分断されたゲート電極18のグループごとにゲート配線30a、30bを設けている。各ゲート電極18において、ピラー領域13によって分断された一方は、これに接して交差するゲート配線30aに接続され、他方は、これに接して交差するゲート配線30bに接続され、これらゲート配線30a及びゲート配線30bが、図示しないゲートパッドに接続されることで、各ゲート電極18は互いに電氣的に接続される。

【 0 0 6 9 】

なお、ピラー領域13がトレンチTの底部から上部まで充填されてソース電極21に接続される部分は、複数箇所設けてもよく、この場合も、ピラー領域13によって分断されたゲート電極のグループごとに、ゲート配線を設ければよい。

【 0 0 7 0 】

〔 第7の具体例 〕

図24は、本発明の第7の具体例に係る半導体装置における要部構成の平面パターンを例示する模式図である。

図25は、図24におけるG-G線断面図である。

【 0 0 7 1 】

10

20

30

40

50

本具体例に係る半導体装置において、ゲート電極 18、ベース領域 6、ソース領域 7、ピラー領域 13 などが形成された素子部の構造は、前述した具体例と同じである。この素子部の構造によれば、前述したように、トレンチ T の底部に、ドリフト層 4 とピラー領域 13 との PN 接合部が形成され、この PN 接合部を介して空乏化を促進させることができるため、オン抵抗を低減すべくドリフト層 4 の不純物濃度を高くしても（例えば $10^{17} / \text{cm}^3$ 程の不純物濃度）、所望の耐圧を確保することができる。しかし、素子部よりも耐圧が維持しにくい終端部に、そのような高不純物濃度層が存在すると、終端部の耐圧が維持し難くなる。

【0072】

そこで、本具体例では、素子部よりも外側の終端部におけるドリフト層 4 に、複数本（例えば本具体例では 2 本）の終端トレンチ T1、T2 を形成し、その終端トレンチ T1、T2 内に、ドリフト層 4 と逆導電型の半導体を充填して終端ピラー領域 13b、13c を設けると共に、これら終端ピラー領域 13b、13c のうちの最外ピラー領域 13c に隣接してドリフト層 4 の主面側に埋め込まれた層間絶縁膜 40 を設けている。 10

【0073】

終端トレンチ T1、T2 及びその側壁内面に形成された絶縁膜 8 は、素子部のトレンチ T 及び絶縁膜 8 と同工程にて同時に形成されて図 8 に表す状態とされ、この後、トレンチ T、T1、T2 内を例えば N 型ポリシリコンで埋め込む。そして、素子部のトレンチ T については、埋め込まれたポリシリコンをドリフト層 4 とベース領域 6 との界面よりも下までエッチバックするが、このとき、終端トレンチ T1、T2 内のポリシリコンについては、ドリフト層 4 とベース領域 6 との界面より下までエッチバックせずにトレンチ T1、T2 内に残す。 20

【0074】

終端ピラー領域 13b、13c の表層部 13a は、終端ピラー領域 13b、13c における他の部分より高不純物濃度（ N^+ 型）にされ、この表層部 13a は、ソース領域 7 上に設けられるソース電極に接する。また、終端トレンチ T1、T2 間に介在されたドリフト層 4 の表層部にも、高不純物濃度（ N^+ 型）のコンタクト領域 35 が設けられ、このコンタクト領域 35 もソース電極に接する。

【0075】

素子部と同様に、終端トレンチ T1、T2 の底部には絶縁膜は形成されず、ドリフト層 4 と終端ピラー領域 13b、13c とが PN 接合している。また、終端トレンチ T1、T2（終端ピラー領域 13b、13c）の間には、ベース領域 6 は形成されずにドリフト層 4 が介在され、すなわち、N 型の終端ピラー領域 13b、13c と、P 型のドリフト層 4 とが、絶縁膜 8 を介在させて、交互に並設されている。したがって、ドレイン・ソース間に電圧が印加されたとき、それら終端ピラー領域 13b、13c とドリフト層 4 との並設部分で空乏層を伸ばすことができ、終端における耐圧を確保できる。 30

【0076】

図 26 は、最外ピラー領域 13c に隣接してドリフト層 4 の主面側に埋め込まれた層間絶縁膜 40 の形成方法を例示する模式図である。

【0077】

終端トレンチ T1、T2 及びこの内部を充填する終端ピラー領域 13b、13c を形成した後、図 26 (a) に表すように、終端トレンチ T1、T2（終端ピラー領域 13b、13c）上にエッチングマスク 80 を形成し、これをマスクとして、最外ピラー領域 13c より外側のドリフト層 4 を、CDE（Chemical Dry Etching）法によりエッチングする。このエッチングにより、図 26 (b) に表すように、ドリフト層 4 の表面側にトレンチ t が形成され、この後、そのトレンチ t を層間絶縁膜（例えばシリコン酸化膜）40 で埋め込む。この層間絶縁膜 40 の深さ分、ドレイン電位部分・ソース電位部分間の距離を大きくでき、終端部表層における電界集中を緩和して、高耐圧が得られる。 40

【0078】

また、本具体例では、層間絶縁膜 40 を埋め込むトレンチ t を形成するにあたって、C 50

DE法を用いているので、ドリフト層4を等方的にエッチングでき、エッチングマスク80のエッジを、最外ピラー領域13cの終端側の側面に設けられた絶縁膜8と、ドリフト層4との境界に精度良く位置合わせしなくても、その絶縁膜8より外側のドリフト層4を残さず除去することができる。

【0079】

なお、終端トレンチT1、T2及びこの内部を充填する終端ピラー領域13b、13cの数は、2つに限らず、3つ以上であってもよい。

【0080】

[第8の具体例]

図27は、本発明の第8の具体例に係る半導体装置の要部断面構造を例示する模式図である。 10

【0081】

本具体例では、先に、最外の終端トレンチT2の横に、トレンチt及びこれを埋め込む層間絶縁膜40を形成してから、終端トレンチT1、T2の内部を例えばN型のポリシリコンで埋め込んで、間にP型のドリフト層4を介在させたN型の終端ピラー領域13b、13cを形成する。終端トレンチT1、T2内のポリシリコンは終端部の表面上に引き出され、図示しないソース電極と接続される。

【0082】

本具体例においても、ドレイン・ソース間に電圧が印加されたとき、終端ピラー領域13b、13cとドリフト層4との並設部分で空乏層を伸ばすことができ、また、層間絶縁膜40の深さ分、ドレイン電位部分・ソース電位部分間の距離を大きくでき、終端部表層における電界集中を緩和して、高耐圧が得られる。 20

【0083】

[第9の具体例]

図28は、本発明の第9の具体例に係る半導体装置における要部構成の平面パターンを例示する模式図である。

【0084】

前述した第7、第8の具体例において、本発明者らは、終端部における特に最外ピラー領域13c近傍に電界が集中しやすい傾向があるとの知見を得た。したがって、最外ピラー領域13c近傍の電界集中を緩和する観点から、最外ピラー領域13cの不純物濃度よりも素子部側の終端ピラー領域13bの不純物濃度を高くすることが望ましい。最外ピラー領域13cの不純物濃度よりも素子部側の終端ピラー領域13bの不純物濃度を高くすることで、電界集中ポイントを最外ピラー領域13c側から素子部側の終端ピラー領域13b側にシフトさせることができ、最外ピラー領域13c近傍の電界集中を緩和できる。 30

【0085】

ただし、ピラー領域13b、13cの不純物量の制御性は優れない。そこで、図28に表す本具体例では、最外ピラー領域13cよりも素子部側の終端ピラー領域13eのパターン幅を大きくすることで、素子部側の終端ピラー領域13bの不純物濃度を、最外ピラー領域13cの不純物濃度よりも高くしている。

【0086】

[第10の具体例]

図29は、本発明の第10の具体例に係る半導体装置の要部断面構造を例示する模式図である。

【0087】

本具体例では、前述した第7～第9の具体例に対して、終端部の構造は同じであり、素子部の構造が異なる。すなわち、素子部におけるトレンチTは、終端トレンチT1、T2よりも浅く形成され、ゲート電極18の下に、ドリフト層4とPN接合を形成するピラー領域13を設けていない。

【0088】

本具体例においても、ドレイン・ソース間に電圧が印加されたとき、終端ピラー領域1 50

3 b、13 c とドリフト層 4 との並設部分で空乏層を伸ばすことができ、また、層間絶縁膜 40 の深さ分、ドレイン電位部分・ソース電位部分間の距離を大きくでき、終端部表層における電界集中を緩和して、高耐圧が得られる。

【0089】

以上、具体例を参照しつつ本発明の実施形態について説明した。しかし、本発明は、それらに限定されるものではなく、本発明の技術的思想に基づいて種々の変形が可能である。

【0090】

半導体ピラー領域を第1の主電極（ソース電極）に接続せずに、フローティング構造としてもよい。ただし、半導体ピラー領域を第1の主電極に接続した方が、半導体ピラー領域と半導体層（ドリフト層）との完全空乏化をより促進しやすい。

10

【0091】

また、半導体ピラー領域とゲート電極とを、図3に表されるように同じ方向に引き出すことに限らず、それぞれ反対方向に引き出すようにしてもよい。

【0092】

絶縁膜や層間絶縁膜は、シリコン酸化膜以外にもシリコン窒化膜などを用いてもよい。また、各要素の半導体はシリコン以外の半導体（例えば、SiGe、SiC、GaAs、GaN等）を用いてもよい。

【図面の簡単な説明】

【0093】

20

【図1】本発明の第1の具体例に係る半導体装置の要部断面構造を例示する模式図である。

【図2】同第1の具体例に係る半導体装置の要部平面構造を例示する模式図である。

【図3】図2におけるA1 - A1線断面図である。

【図4】図2におけるA2 - A2線断面図である。

【図5】同第1の具体例に係る半導体装置の製造工程の要部を例示する工程断面図である。

【図6】図5に続く工程断面図である。

【図7】図6に続く工程断面図である。

【図8】図7に続く工程断面図である。

30

【図9】図8に続く工程断面図である。

【図10】図9に続く工程断面図である。

【図11】図10に続く工程断面図である。

【図12】図11に続く工程断面図である。

【図13】本発明の第3の具体例に係る半導体装置の要部断面構造を例示する模式図である。

【図14】本発明の第4の具体例に係る半導体装置の要部断面構造を例示する模式図である。

【図15】同第4の具体例に係る半導体装置の製造工程の要部を例示する工程断面図である。

40

【図16】図15に続く工程断面図である。

【図17】図16に続く工程断面図である。

【図18】図17に続く工程断面図である。

【図19】本発明の第5の具体例に係る半導体装置の要部断面構造を例示する模式図である。

【図20】本発明の第6の具体例に係る半導体装置における要部構成の平面パターンを例示する模式図である。

【図21】図20におけるD - D線断面図である。

【図22】図20におけるE - E線断面図である。

【図23】図20におけるF - F線断面図である。

50

【図24】本発明の第7の具体例に係る半導体装置における要部構成の平面パターンを例示する模式図である。

【図25】図24におけるG-G線断面図である。

【図26】同第7の具体例に係る半導体装置の製造工程の要部を例示する工程断面図である。

【図27】本発明の第8の具体例に係る半導体装置の要部断面構造を例示する模式図である。

【図28】本発明の第9の具体例に係る半導体装置における要部構成の平面パターンを例示する模式図である。

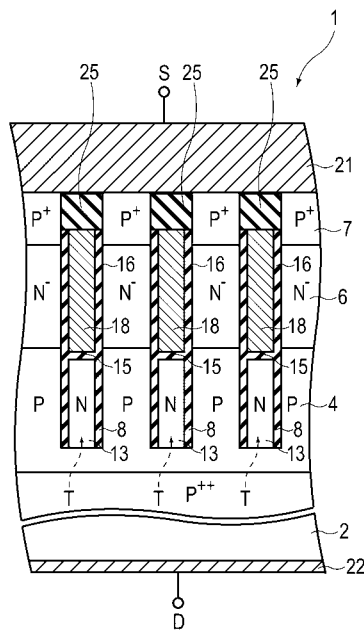
【図29】本発明の第10の具体例に係る半導体装置の要部断面構造を例示する模式図である。

【符号の説明】

【0094】

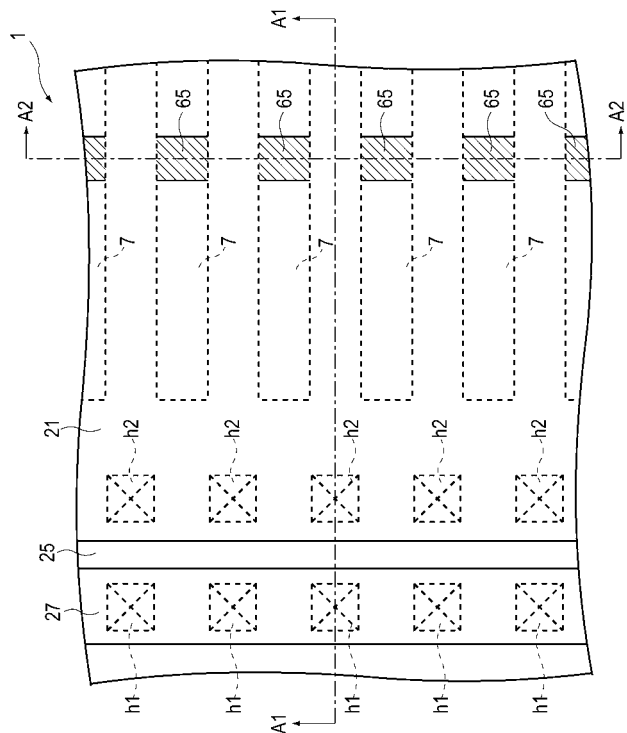
1...半導体装置、2...基板、4...半導体層（ドリフト層またはドレイン層）、6...第1の半導体領域（ベース領域）、7...第2の半導体領域（ソース領域）、8, 8a, 8b...絶縁膜、13...半導体ピラー領域、15...絶縁膜、16...絶縁膜、18...ゲート電極、21...第1の主電極（ソース電極）、22...第2の主電極（ドレイン電極）、25...層間絶縁膜、30a, 30b...ゲート配線、31...半導体装置、40...層間絶縁膜、41...半導体装置、51...半導体装置、57...第2の半導体領域（ソース領域）、102...基板、104...半導体層、106...第1の半導体領域（ベース領域）、107...第2の半導体領域（ソース領域）、113...半導体ピラー領域、T...トレンチ、T1, T2...終端トレンチ

【図1】



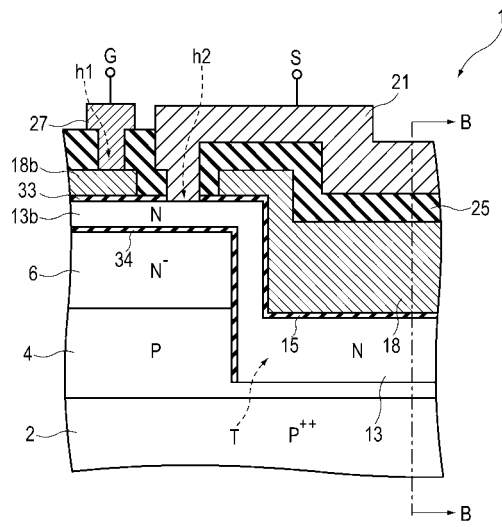
1: 半導体装置 2: 基板 4: 半導体層 6: 第1の半導体領域
 7: 第2の半導体領域 8: 第1の絶縁膜 13: 半導体ピラー領域
 15: 第2の絶縁膜 16: 第1の絶縁膜 18: ゲート電極
 21: 第1の主電極 25: 層間絶縁膜 T: トレンチ

【図2】



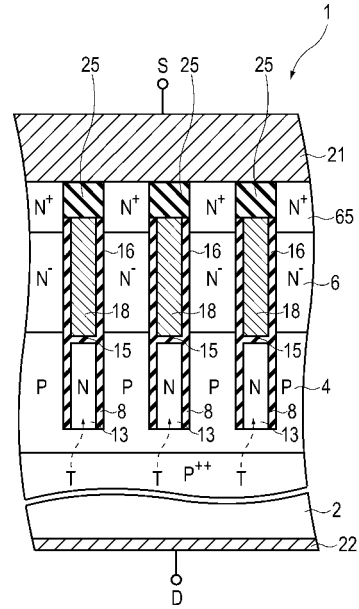
1: 半導体装置 7: 第2の半導体領域 21: 第1の主電極
 25: 層間絶縁膜 27: ゲート引出し配線

【 図 3 】



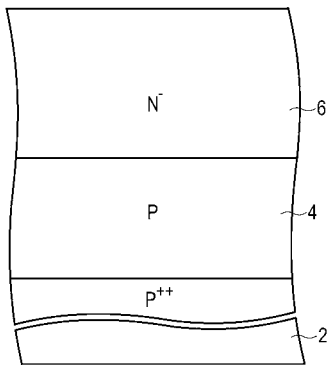
1: 半導体装置 2: 基板 4: 半導体層 6: 第1の半導体領域 8: 第1の絶縁膜
 13: 半導体ピラー領域 15: 第2の絶縁膜 16: 第1の絶縁膜 18: ゲート電極
 21: 第1の主電極 25: 層間絶縁膜 27: ゲート引出し配線 34: 絶縁膜
 T: トレンチ

【 図 4 】



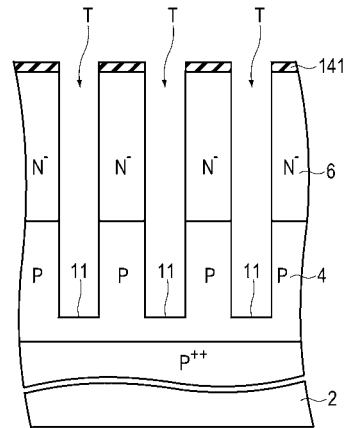
1: 半導体装置 2: 基板 4: 半導体層 6: 第1の半導体領域
 7: 第2の半導体領域 8: 第1の絶縁膜 13: 半導体ピラー領域
 15: 第2の絶縁膜 16: 第1の絶縁膜 18: ゲート電極
 21: 第1の主電極 25: 層間絶縁膜 T: トレンチ

【 図 5 】



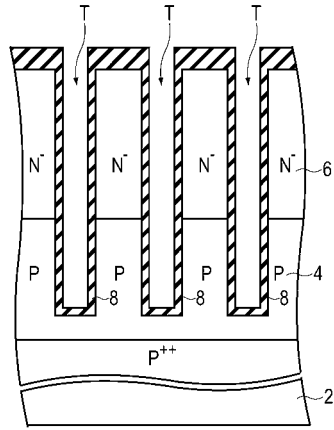
2: 基板 4: 半導体層 6: 第1の半導体領域

【 図 6 】



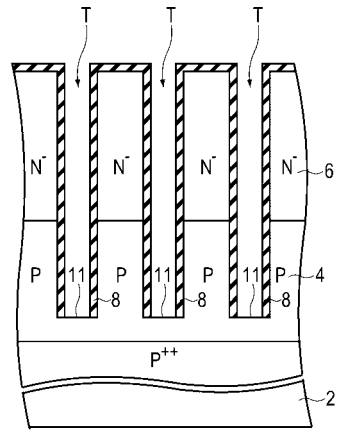
2: 基板 4: 半導体層 6: 第1の半導体領域
 11: 底部 T: トレンチ

【 図 7 】



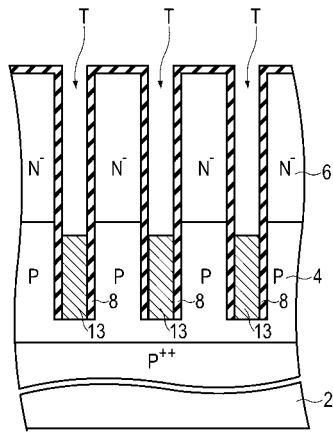
2: 基板 4: 半導体層 6: 第1の半導体領域
8: 第1の絶縁膜 T: トレンチ

【 図 8 】



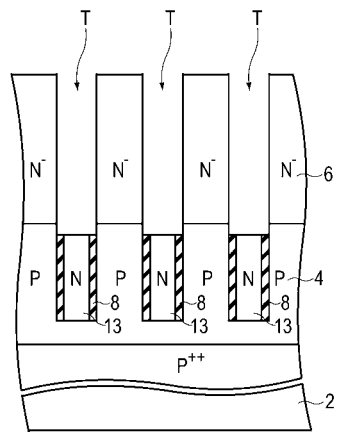
2: 基板 4: 半導体層 6: 第1の半導体領域
8: 第1の絶縁膜 11: 底部 T: トレンチ

【 図 9 】



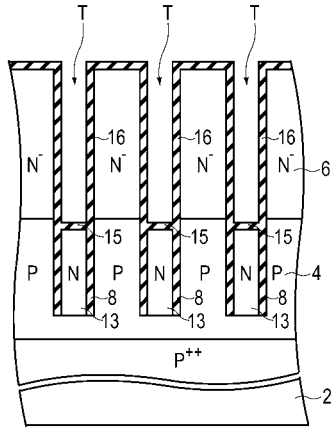
2: 基板 4: 半導体層 6: 第1の半導体領域 8: 第1の絶縁膜
13: 半導体ピラー領域

【 図 10 】



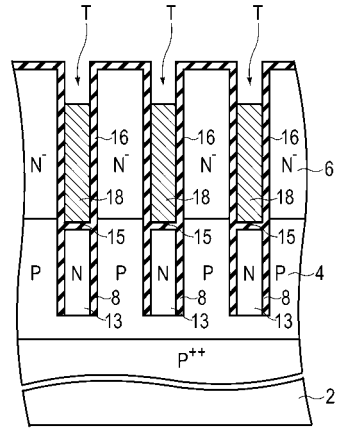
2: 基板 4: 半導体層 6: 第1の半導体領域 8: 第1の絶縁膜
13: 半導体ピラー領域

【 図 1 1 】



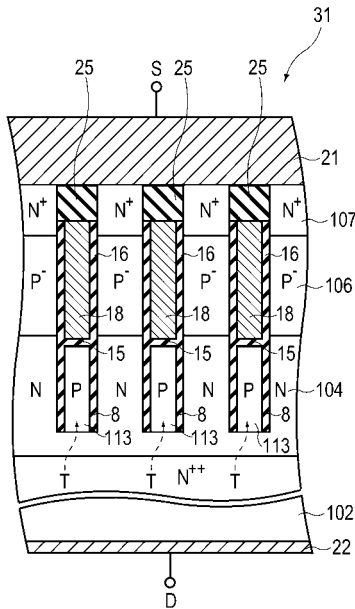
2: 基板 4: 半導体層 6: 第1の半導体領域 8: 第1の絶縁膜
13: 半導体ピラー領域 15: 第2の絶縁膜 16: 第1の絶縁膜

【 図 1 2 】



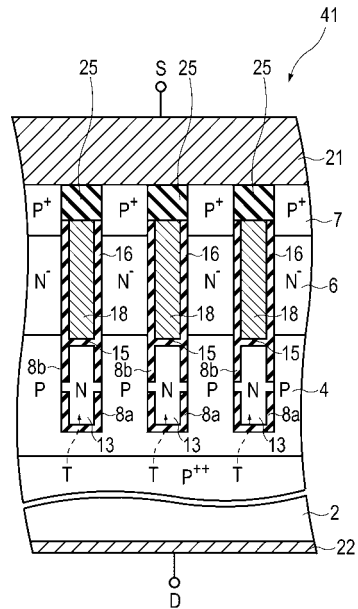
2: 基板 4: 半導体層 6: 第1の半導体領域 8: 第1の絶縁膜
13: 半導体ピラー領域 15: 第2の絶縁膜 16: 第1の絶縁膜
18: ゲート電極

【 図 1 3 】



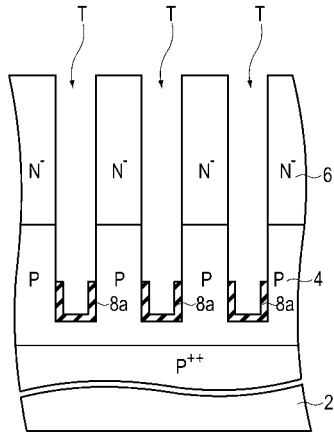
31: 半導体装置 102: 基板 104: 半導体層 106: 第1の半導体領域
107: 第2の半導体領域 113: 半導体ピラー領域

【 図 1 4 】



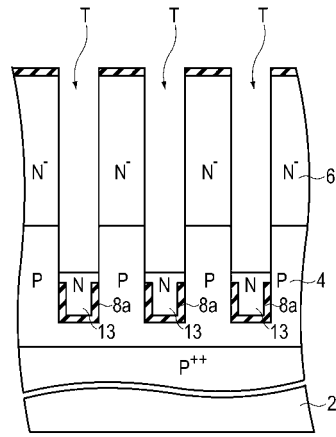
41: 半導体装置 2: 基板 4: 半導体層 6: 第1の半導体領域
7: 第2の半導体領域 8a, 8b: 第1の絶縁膜 13: 半導体ピラー領域
15: 第2の絶縁膜 16: 第1の絶縁膜 18: ゲート電極
21: 第1の主電極 25: 層間絶縁膜 T: トレンチ

【 図 1 5 】



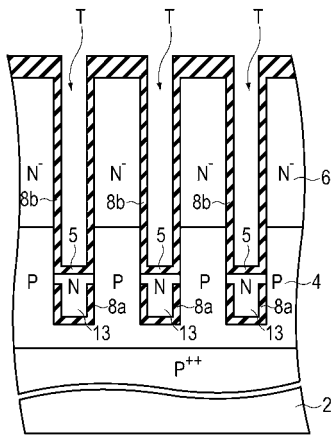
2: 基板 4: 半導体層 6: 第1の半導体領域 8a: 第1の絶縁膜

【 図 1 6 】



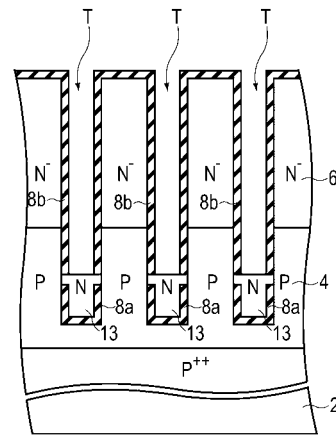
2: 基板 4: 半導体層 6: 第1の半導体領域 8a: 第1の絶縁膜
13: 半導体ピラー領域

【 図 1 7 】



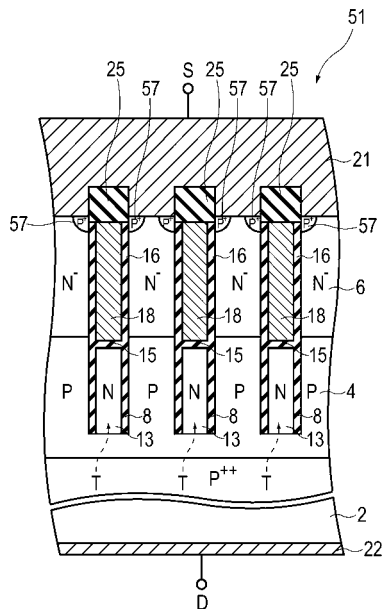
2: 基板 4: 半導体層 5: 絶縁膜 6: 第1の半導体領域
8a, 8b: 第1の絶縁膜 13: 半導体ピラー領域

【 図 1 8 】



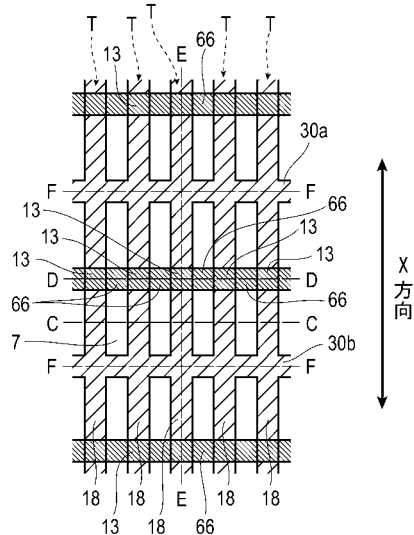
2: 基板 4: 半導体層 6: 第1の半導体領域 8a, 8b: 第1の絶縁膜
13: 半導体ピラー領域

【 図 1 9 】



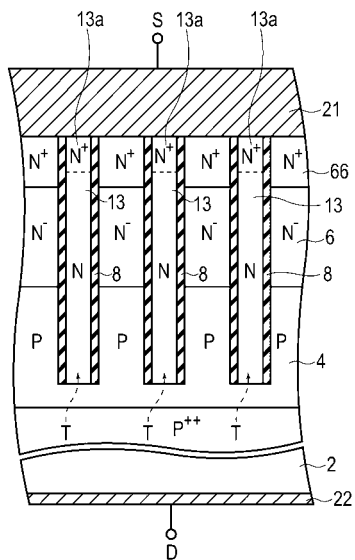
51: 半導体装置 2: 基板 4: 半導体層 6: 第1の半導体領域
 8: 第1の絶縁膜 13: 半導体ピラー領域 15: 第2の絶縁膜
 16: 第1の絶縁膜 18: ゲート電極 21: 第1の主電極
 25: 層間絶縁膜 57: 第2の半導体領域 T: トレンチ

【 図 2 0 】



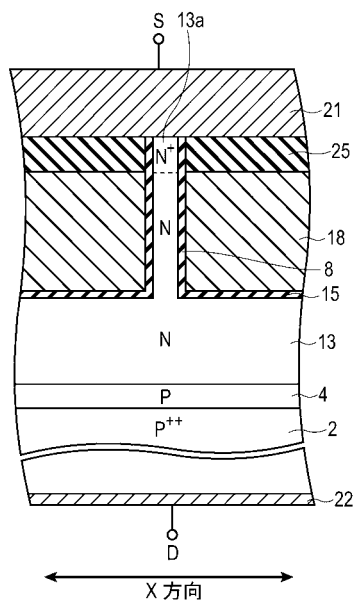
13: 半導体ピラー領域 18: ゲート電極 30a, 30b: ゲート配線
 T: トレンチ

【 図 2 1 】



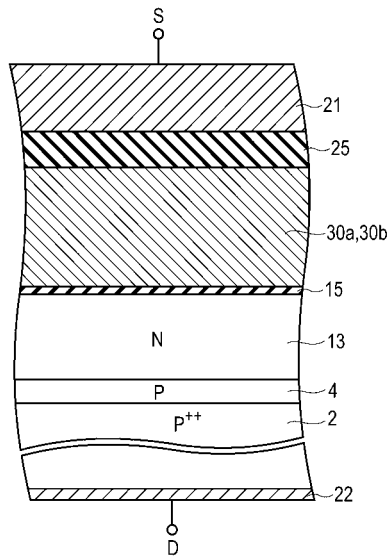
2: 基板 4: 半導体層 6: 第1の半導体領域 (ベース領域)
 7: 第2の半導体領域 (ソース領域) 8: 絶縁膜 13: 半導体ピラー領域
 21: 第1の主電極 (ソース電極) 22: 第2の主電極 (ドレイン電極)

【 図 2 2 】

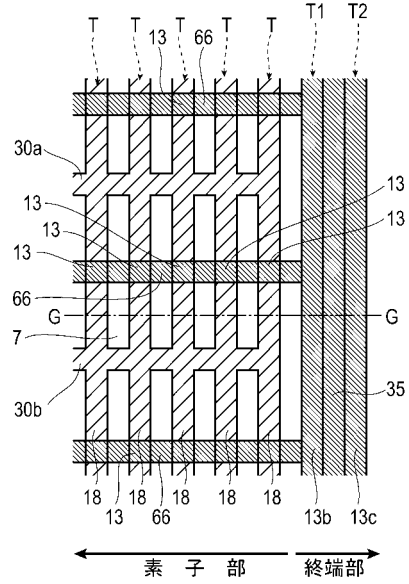


2: 基板 4: 半導体層 8: 絶縁膜 13: 半導体ピラー領域
 15: 絶縁膜 18: ゲート電極 22: 第2の主電極 (ドレイン電極)
 25: 層間絶縁膜

【 図 2 3 】

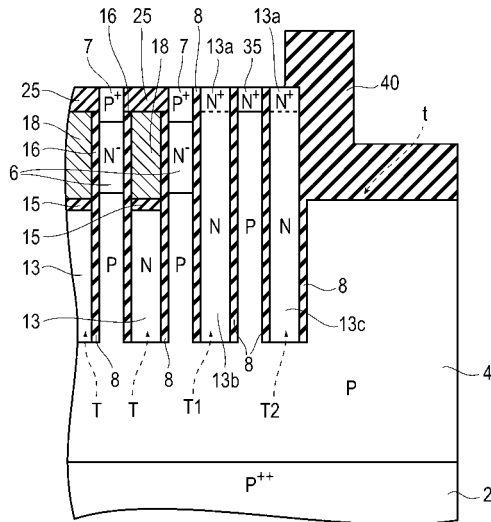


【 図 2 4 】



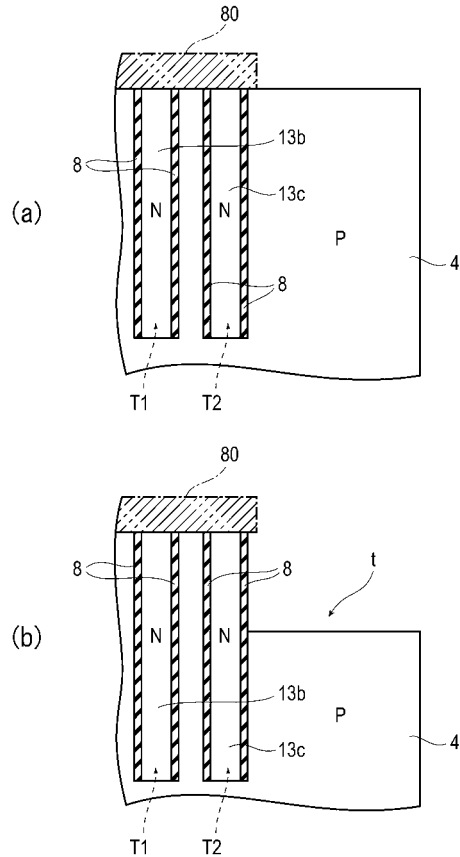
13: 半導体ピラー領域 18: ゲート電極 30a, 30b: ゲート配線
 T: トレンチ T1, T2: 終端トレンチ

【 図 2 5 】



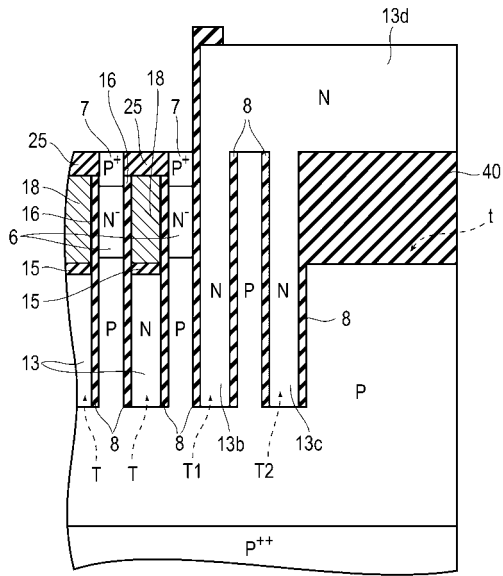
2: 基板 4: 半導体層 6: 第1の半導体領域 (ベース領域)
 7: 第2の半導体領域 (ソース領域) 8: 絶縁膜 13: 半導体ピラー領域
 15: 絶縁膜 16: 絶縁膜 18: ゲート電極 25: 層間絶縁膜
 40: 層間絶縁膜 T: トレンチ

【 図 2 6 】



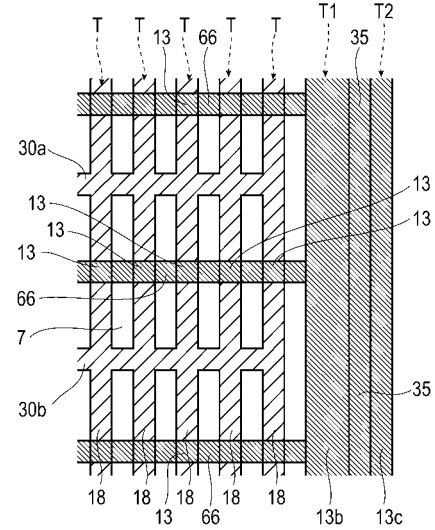
4: 半導体層 6: 第1の半導体領域 (ベース領域) 8: 絶縁膜
 13: 半導体ピラー領域 T: トレンチ T1, T2: 終端トレンチ

【 図 2 7 】



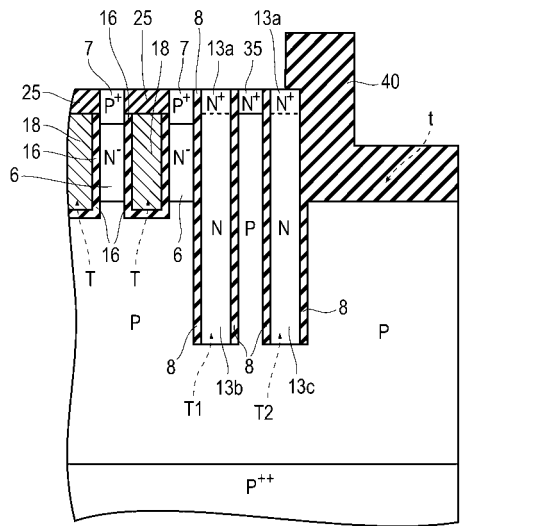
- 2: 基板 4: 半導体層 6: 第1の半導体領域 (ベース領域)
- 7: 第2の半導体領域 (ソース領域) 8: 絶縁膜 13: 半導体ピラー領域
- 15: 絶縁膜 16: 絶縁膜 18: ゲート電極 25: 層間絶縁膜
- 40: 層間絶縁膜 T: トレンチ T1, T2: 終端トレンチ

【 図 2 8 】



- 13: 半導体ピラー領域 18: ゲート電極 30a, 30b: ゲート配線
- T: トレンチ T1, T2: 終端トレンチ

【 図 2 9 】



- 2: 基板 4: 半導体層 6: 第1の半導体領域 (ベース領域)
- 7: 第2の半導体領域 (ソース領域) 8: 絶縁膜 13: 半導体ピラー領域
- 16: 絶縁膜 18: ゲート電極 25: 層間絶縁膜 40: 層間絶縁膜
- T: トレンチ T1, T2: 終端トレンチ