

①⑨ RÉPUBLIQUE FRANÇAISE
—
**INSTITUT NATIONAL
DE LA PROPRIÉTÉ INDUSTRIELLE**
—
COURBEVOIE
—

①① N° de publication : **3 114 188**

(à n'utiliser que pour les
commandes de reproduction)

②① N° d'enregistrement national : **20 09234**

⑤① Int Cl⁸ : **H 01 L 27/02** (2019.12), H 03 K 17/00, H 03 K 19/00,
H 03 K 5/00

①②

BREVET D'INVENTION

B1

⑤④ Polarisation adaptative de substrat utilisant des détecteurs de marge.

②② Date de dépôt : 11.09.20.

③③ Priorité :

④③ Date de mise à la disposition du public
de la demande : 18.03.22 Bulletin 22/11.

④⑤ Date de la mise à disposition du public du
brevet d'invention : 12.01.24 Bulletin 24/02.

⑤⑥ Liste des documents cités dans le rapport de
recherche :

Se reporter à la fin du présent fascicule

⑥⑥ Références à d'autres documents nationaux
apparentés :

○ Demande(s) d'extension :

⑦① Demandeur(s) : *DOLPHIN DESIGN Société par
actions simplifiée* — FR.

⑦② Inventeur(s) : GENEVEY Sebastien, LOUVAT
Mathieu et JURE Lionel.

⑦③ Titulaire(s) : DOLPHIN DESIGN Société par actions
simplifiée.

⑦④ Mandataire(s) : CABINET BEAUMONT.

FR 3 114 188 - B1



Description

Titre de l'invention : *Polarisation adaptative de substrat utilisant des détecteurs de marge*

Domaine technique

[0001] La présente description concerne de façon générale le domaine des circuits intégrés, et en particulier une polarisation adaptative de substrat (ABB) basée sur une mesure de marge.

Technique antérieure

[0002] On a déjà proposé de modifier les tensions de polarisation du substrat de transistors de circuits intégrés afin d'augmenter les performances et/ou de réduire la consommation d'énergie. Le passage à une technologie de transistors basée sur SOI (de l'anglais silicon on insulator - silicium sur isolant) fait de la polarisation du substrat une proposition particulièrement intéressante puisque cette technologie permet d'appliquer une plage relativement grande de tensions de polarisation, par exemple descendant jusqu'à -3 V et montant jusqu'à +3 V, au substrat des dispositifs. Cela est à comparer à une plage de polarisation de substrat plus limitée de -300 mV à +300 mV dans le cas de transistors à substrat massif. La tension de polarisation est appliquée au puits de type P ou de type N sous-jacent dans chaque dispositif de transistor SOI, parfois appelé grille arrière.

[0003] La polarisation de substrat directe (FBB) implique l'application d'une tension de polarisation de substrat pour diminuer la tension de seuil du transistor et augmenter ainsi les performances en augmentant la vitesse des transistors.

[0004] La polarisation de substrat inverse (RBB) implique l'application d'une tension de polarisation qui augmente la tension de seuil du transistor et réduit ainsi le courant de fuite et ainsi la consommation d'énergie.

[0005] On a aussi proposé d'améliorer les performances des circuits et/ou de réduire la consommation d'énergie en modifiant des fréquences d'horloge et/ou des tensions d'alimentation fournies à des régions de circuits intégrés. Par exemple, cela permet une réduction ou une annulation des variations de performances/consommation associées à la température, à la tension d'alimentation ou à des variations dans le procédé technologique.

[0006] Il serait souhaitable de prévoir un système de contrôle adaptatif des tensions de polarisation de substrat de certains transistors d'un circuit intégré pour un meilleur contrôle des performances et de la consommation d'énergie. Toutefois, il y a des difficultés dans la mise en œuvre d'un tel système dans des cas où la fréquence d'horloge et/ou la tension d'alimentation peuvent aussi être modifiées de manière dynamique.

Résumé de l'invention

- [0007] Selon un aspect, on prévoit un circuit de polarisation adaptative de substrat pour une région de circuit, comprenant : un premier module de retard comportant une pluralité de circuits de retard agencés pour retarder au moins un front d'un signal d'horloge locale de la région de circuit, un premier des circuits de retard fournissant un premier signal de sortie retardé d'un premier retard par rapport au signal d'horloge locale, et un deuxième des circuits de retard fournissant un deuxième signal de sortie retardé d'un deuxième retard par rapport au signal d'horloge locale ; un multiplexeur agencé pour sélectionner l'un des premier et deuxième signaux de sortie ; un premier circuit de surveillance de marge agencé pour générer un premier signal de détection indiquant quand un temps de marge du signal sélectionné parmi les premier et deuxième signaux de sortie est inférieur à un premier seuil ; et un circuit de polarisation agencé pour générer au moins une tension de polarisation pour polariser des puits de transistors dans la région de circuit sur la base du premier signal de détection.
- [0008] Selon un mode de réalisation, le premier dispositif de surveillance de marge, ou un deuxième dispositif de surveillance de marge, est agencé pour générer un deuxième signal de détection indiquant quand un temps de marge du signal sélectionné parmi les premier et deuxième signaux de sortie est supérieur à un autre seuil, le circuit de polarisation étant agencé pour générer ladite au moins une tension de polarisation sur la base des premier et deuxième signaux de détection.
- [0009] Selon un mode de réalisation, les circuits de la pluralité de circuits de retard sont couplés en série entre eux pour retarder la propagation d'au moins un front du signal d'horloge locale.
- [0010] Selon un mode de réalisation, chaque circuit de retard comprend un ou plusieurs éléments logiques constitués de transistors ayant des puits polarisés par au moins une tension de polarisation.
- [0011] Selon un mode de réalisation, le circuit de polarisation est agencé pour générer une première tension de polarisation pour polariser des puits de type N de transistors d'un premier type de conductivité dans la région de circuit, et une deuxième tension de polarisation pour polariser des puits de type P de transistors d'un deuxième type de conductivité dans la région de circuit.
- [0012] Selon un mode de réalisation, le circuit comprend en outre un premier générateur de tension agencé pour générer la première tension de polarisation et un deuxième générateur de tension agencé pour générer la deuxième tension de polarisation.
- [0013] Selon un mode de réalisation, les premier et/ou deuxième générateurs de tension sont des pompes de charge.
- [0014] Selon un mode de réalisation, le circuit comprend en outre un détecteur d'asymétrie

agencé pour détecter si les première et deuxième tensions de polarisation provoquent une asymétrie entre les polarisations de puits N et de puits P, le circuit de polarisation étant agencé pour générer ladite au moins une tension de polarisation sur la base de la détection d'asymétrie.

- [0015] Selon un mode de réalisation, les circuits de retard du premier module de retard comprennent chacun un ou plusieurs éléments logiques constitués de transistors d'un premier type structurel ayant des tensions de seuil tombant dans une première plage, le circuit de polarisation adaptative de substrat comprenant en outre : un deuxième module de retard comportant une pluralité de circuits de retard agencés pour retarder ledit au moins un front du signal d'horloge locale de la région de circuit, dans lequel les circuits de retard du deuxième module de retard comprennent chacun un ou plusieurs éléments logiques d'un type différent de ceux constituant le premier module de retard, lesdits un ou plusieurs éléments logiques du deuxième module de retard étant constitués de transistors du premier type structurel.
- [0016] Selon un mode de réalisation, le circuit comprend en outre : un troisième module de retard comportant une pluralité de circuits de retard agencés pour retarder ledit au moins un front du signal d'horloge locale de la région du circuit, dans lequel les circuits de retard du troisième module de retard comprennent chacun un ou plusieurs éléments logiques constitués de transistors d'un deuxième type structurel ayant des tensions de seuil tombant dans une deuxième plage.
- [0017] Selon un mode de réalisation, le premier dispositif de surveillance de marge est mis en œuvre par des transistors du premier type structurel, et le circuit comprend en outre un deuxième circuit de surveillance de marge mis en œuvre par des transistors du deuxième type structurel.
- [0018] Selon un mode de réalisation, le circuit comprend en outre un circuit de commande de système agencé pour générer un signal de sélection pour réaliser la sélection de l'un des premier et deuxième signaux de détection.
- [0019] Selon un mode de réalisation, le circuit comprend en outre une autre boucle de commande comprenant un capteur d'informations temporelles, de procédé, de tension et/ou de température, le circuit de polarisation étant agencé pour générer ladite au moins une tension de polarisation sur la base en outre de l'autre boucle de commande.
- [0020] Selon un autre aspect, on prévoit un circuit intégré comprenant : une première région de circuit recevant un premier signal d'horloge locale ; une deuxième région de circuit recevant un deuxième signal d'horloge locale ; et le circuit de polarisation adaptative de substrat susmentionné, dans lequel les circuits de la pluralité de circuits de retard du premier module de retard sont agencés pour retarder au moins un front du premier signal d'horloge locale, ou d'un signal d'horloge généré sur la base du premier signal d'horloge locale, le circuit de polarisation adaptative de substrat comprenant en outre

un autre module de retard comprenant une autre pluralité de circuits de retard agencés pour retarder au moins un front du deuxième signal d'horloge locale, ou d'un signal d'horloge généré sur la base du deuxième signal d'horloge locale, pour générer un ou plusieurs autres signaux de sortie, et un autre circuit de surveillance de marge agencé pour générer un autre signal de détection indiquant quand un temps de marge d'un signal sélectionné parmi les autres signaux de sortie est inférieur à un premier seuil.

[0021] Selon un autre aspect, on prévoit un procédé de polarisation adaptative de substrat de transistors dans une région de circuit d'un circuit intégré, le procédé comprenant : retarder, par un premier module de retard comportant une pluralité de circuits de retard, au moins un front d'un signal d'horloge locale de la région de circuit, dans lequel un premier des circuits de retard fournit un premier signal de sortie retardé d'un premier retard par rapport au signal d'horloge locale, et un deuxième des circuits de retard fournit un deuxième signal de sortie retardé d'un deuxième retard par rapport au signal d'horloge locale ; sélectionner l'un des premier et deuxième signaux de sortie ; générer, par un premier dispositif de surveillance de marge, un premier signal de détection indiquant quand un temps de marge du signal sélectionné parmi les premier et deuxième signaux d'horloge de sortie est inférieur à un premier seuil ; et générer, par un circuit de polarisation, au moins une tension de polarisation pour polariser des puits de transistors dans la région de circuit sur la base du premier signal de détection.

Brève description des dessins

- [0022] Ces caractéristiques et avantages, ainsi que d'autres, seront exposés en détail dans la description suivante de modes de réalisation particuliers faite à titre non limitatif en relation avec les figures jointes parmi lesquelles :
- [0023] la [Fig.1] représente schématiquement un transistor MOS à canal P (PMOS) et un transistor MOS à canal N (NMOS) recevant des tensions de polarisation de substrat ;
- [0024] la [Fig.2] est un graphique représentant un exemple de plages de tension de polarisation de substrat pour des transistors PMOS et NMOS dans des puits conventionnels (transistor à canal N dans un puits du type P et transistor à canal P dans un puits du type N) ;
- [0025] la [Fig.3] représente schématiquement un circuit intégré comprenant des îlots selon un exemple de réalisation de la présente description ;
- [0026] la [Fig.4] représente schématiquement un circuit de polarisation adaptative de substrat selon un exemple de réalisation de la présente description ;
- [0027] la [Fig.5] représente schématiquement un générateur d'horloge variable du circuit de la [Fig.4] plus en détail selon un exemple de réalisation ;
- [0028] la [Fig.6] représente schématiquement des détecteurs de marge et un circuit de pré-traitement du circuit de la [Fig.4] plus en détail selon un exemple de réalisation ;

- [0029] la [Fig.7A] représente schématiquement des chemins de marge des détecteurs de marge de la [Fig.6] plus en détail selon un exemple de réalisation ;
- [0030] la [Fig.7B] représente schématiquement un circuit de surveillance de marge de la [Fig.7A] plus en détail selon un exemple de réalisation ;
- [0031] la [Fig.8] représente schématiquement une pompe de charge de puits N du circuit de la [Fig.4] plus en détail selon un exemple de réalisation ;
- [0032] la [Fig.9] représente schématiquement une pompe de charge de puits P du circuit de la [Fig.4] plus en détail selon un exemple de réalisation ;
- [0033] la [Fig.10] est un chronogramme représentant le fonctionnement du circuit de polarisation adaptative de substrat de la [Fig.4] selon un exemple de réalisation ; et
- [0034] la [Fig.11] représente schématiquement un circuit de polarisation adaptative de substrat selon un autre exemple de réalisation de la présente description.

Description des modes de réalisation

- [0035] De mêmes éléments ont été désignés par de mêmes références dans les différentes figures. En particulier, les éléments structurels et/ou fonctionnels communs aux différents modes de réalisation peuvent présenter les mêmes références et peuvent disposer de propriétés structurelles, dimensionnelles et matérielles identiques.
- [0036] Sauf précision contraire, lorsque l'on fait référence à deux éléments connectés entre eux, cela signifie directement connectés sans éléments intermédiaires autres que des conducteurs, et lorsque l'on fait référence à deux éléments couplés entre eux, cela signifie que ces deux éléments peuvent être connectés ou être reliés par l'intermédiaire d'un ou plusieurs autres éléments.
- [0037] Dans la description qui suit, lorsque l'on fait référence à des qualificatifs de position absolue, tels que les termes "avant", "arrière", "haut", "bas", "gauche", "droite", etc., ou relative, tels que les termes "dessus", "dessous", "supérieur", "inférieur", etc., ou à des qualificatifs d'orientation, tels que les termes "horizontal", "vertical", etc., il est fait référence sauf précision contraire à l'orientation des figures.
- [0038] Sauf précision contraire, les expressions "environ", "approximativement", "sensiblement", et "de l'ordre de" signifient à 10 % près, de préférence à 5 % près.
- [0039] En outre, on donnera aux termes suivants les définitions suivantes :
- [0040] tension de polarisation de substrat - tension appliquée à des puits N ou des puits P de transistors CMOS à substrat massif ou SOI (silicium sur isolant) (aussi connus sous le nom de transistors SOI complètement appauvris (FDSOI)) provoquant ainsi une modification de la tension de seuil de grille V_{th} des transistors ;
- [0041] polarisation de substrat directe (FBB) - application de tensions de polarisation de substrat à des transistors PMOS et/ou NMOS afin d'abaisser leur tension de seuil V_{th} et d'augmenter les performances en augmentant leur vitesse ; et

- [0042] polarisation de substrat inverse (RBB) - application de tensions de polarisation de substrat à des transistors PMOS et/ou NMOS afin d'augmenter leur tension de seuil V_{th} et de réduire la consommation d'énergie en réduisant la fuite de courant.
- [0043] La [Fig.1] représente schématiquement un transistor PMOS et un transistor NMOS, qui sont par exemple formés dans des puits classiques, le transistor PMOS étant par exemple formé dans un puits du type N (NWELL), qui est couplé à une tension de polarisation de substrat V_{NW} , et le transistor NMOS par exemple étant formé dans un puits du type P (PWELL), qui est couplé à une tension de polarisation de substrat V_{PW} .
- [0044] Dans le cas d'une configuration à puits retourné (non illustrée en [Fig.1]), le transistor NMOS est formé dans un NWELL couplé à la tension de polarisation de substrat V_{NW} , et le transistor PMOS est formé dans un PWELL couplé à la tension de polarisation de substrat V_{PW} .
- [0045] La [Fig.2] est un graphique représentant des exemples de plages des tensions de polarisation de substrat V_{PW} et V_{NW} appliquées respectivement à des PWELL et des NWELL de transistors PMOS et NMOS classiques, comme ceux de la [Fig.1]. Les tensions de polarisation de substrat V_{PW} et V_{NW} sont toutes deux par exemple à 0 V dans le cas où aucune tension de polarisation de substrat n'est appliquée. La tension de polarisation de substrat V_{PW} est par exemple une tension négative comprise entre 0 V et -3 V dans le cas d'une tension de polarisation de substrat inverse RBB. La tension de polarisation de substrat V_{NW} est par exemple une tension positive comprise entre 0 V et +3 V dans le cas d'une tension de polarisation de substrat inverse RBB.
- [0046] Dans le cas d'une configuration à puits retourné (non illustrée en [Fig.2]), la tension de polarisation de substrat V_{PW} est par exemple une tension négative comprise entre 0 V et -3 V dans le cas d'une tension de polarisation de substrat directe FBB, et la tension de polarisation de substrat V_{NW} est par exemple une tension positive comprise entre 0 V et +3 V dans le cas d'une tension de polarisation de substrat directe FBB.
- [0047] Ainsi, dans le cas d'un circuit comprenant des configurations classiques et/ou à puits retourné, la tension de polarisation de substrat V_{PW} devrait toujours être négative, et la tension de polarisation de substrat V_{NW} devrait toujours être positive.
- [0048] La [Fig.3] représente schématiquement un circuit 300 d'un circuit intégré comprenant des îlots selon un exemple de réalisation de la présente description. Par exemple, un circuit comprenant des îlots est aussi décrit plus en détail dans la demande de brevet US US2007/0132021.
- [0049] L'exemple de la [Fig.3] comprend deux îlots (ISLAND1, ISLAND2) 302, 304. Dans certains modes de réalisation, chacun des îlots 302, 304 est couplé à un bus 306 permettant des communications entre les îlots et/ou avec d'autres circuits non illustrés en [Fig.3].

- [0050] Chaque îlot 302, 304 correspond à un ou plusieurs circuits partageant un signal d'horloge commun et une tension d'alimentation commune. Par exemple, le circuit 300 comprend deux générateurs d'horloge (CLK GEN) 308, 310 chacun étant capable de générer indépendamment un signal d'horloge d'une fréquence souhaitée. L'îlot 302 reçoit, du générateur d'horloge 308, un signal d'horloge CK1, qui est par exemple fourni à l'îlot 302 par l'intermédiaire d'un module de commande d'îlot (ICU) 312 associé à l'îlot 302. De façon similaire, l'îlot 304 reçoit, du générateur d'horloge 310, un signal d'horloge CK2, qui est par exemple fourni à l'îlot 304 l'intermédiaire d'un module de commande d'îlot (ICU) 314 associé à l'îlot 304. L'îlot 302 est par exemple alimenté par une tension d'alimentation VDD1 fournie par un régulateur de tension (REG) 316, et l'îlot 304 est par exemple alimenté par une tension d'alimentation VDD2 fournie par un régulateur de tension (REG) 318.
- [0051] Chaque îlot 302, 304 comprend par exemple un circuit de polarisation adaptative de substrat (ABB) 320, qui reçoit par exemple le signal d'horloge fourni à l'îlot, et génère de façon adaptative des tensions de polarisation de substrat à appliquer à des puits N et des puits P de transistors de l'îlot. Par exemple, le circuit 320 de l'îlot 302 génère des signaux VNW1, VPW1 à appliquer aux transistors de l'îlot 302 utilisant la tension d'alimentation VDD1, et le circuit 320 de l'îlot 304 génère des signaux VNW2, VPW2 à appliquer aux transistors de l'îlot 304 utilisant la tension d'alimentation VDD2. Les tensions de polarisation de substrat peuvent correspondre à des tensions pour une polarisation de substrat directe (FBB) et/ou une polarisation de substrat inverse (RBB).
- [0052] La [Fig.4] représente schématiquement un circuit 400 de polarisation adaptative de substrat selon un exemple de réalisation de la présente description. Par exemple, le circuit 400 est utilisé pour mettre en œuvre chacun des circuits de polarisation adaptative de substrat 320 des îlots 302, 304 de la [Fig.3].
- [0053] Le circuit 400 comprend par exemple des détecteurs de marge (SLACK SENSORS) 404 recevant un signal d'horloge locale CK, qui est par exemple le signal d'horloge CK1 dans le cas de l'îlot 302 de la [Fig.3], ou le signal d'horloge CK2 dans le cas de l'îlot 304 de la [Fig.3]. Le circuit 400 comprend en outre par exemple un circuit de pré-traitement (PRE-PROC) 406, une boucle de commande (CTRL LOOP) 408, un circuit de commande de pompe de charge (CP-CTRL) 410, une pompe de charge de puits N (CPNW) 412, une pompe de charge de puits P (CPPW) 414, un détecteur d'asymétrie (ASYMMETRY SENSOR) 416 et un générateur d'horloge variable (VARIABLE CLOCK GENERATOR) 418.
- [0054] Les détecteurs de marge 404 sont par exemple agencés pour détecter si un temps de marge descend en dessous d'un ou plusieurs seuils, tout en considérant une pluralité de retards de propagation différents du signal d'horloge CK, comme on va le décrire plus en détail ci-après.

- [0055] Le circuit de prétraitement 406 permet par exemple de combiner des signaux de détection provenant des détecteurs de marge 404.
- [0056] La boucle de commande 408 reçoit un ou plusieurs signaux provenant des détecteurs de marge. Dans certains modes de réalisation, la boucle de commande 408 reçoit un signal de détection combiné provenant des détecteurs de marge, et met en œuvre une boucle de commande en générant et en fournissant un ou plusieurs signaux de commande CP_CTRL au circuit de commande de pompe de charge 410 sur la base du signal de détection combiné. La boucle de commande 408 génère aussi par exemple un signal LOCK indiquant qu'un état stable a été atteint.
- [0057] Le circuit de commande de pompe de charge 410 commande par exemple la pompe de charge de puits N 412 et la pompe de charge de puits P 414 en fonction des signaux de commande (CP_CTRL) fournis par la boucle de commande 408 et aussi en fonction de signaux de commande fournis par le détecteur d'asymétrie 416.
- [0058] La pompe de charge de puits N 412 est couplée à un rail de polarisation de puits N 420 et génère une tension de polarisation VNW, pour polariser, par l'intermédiaire du rail 420, des puits du type N de transistors dans l'îlot. Dans certains modes de réalisation, un commutateur 422 est prévu entre la sortie VNW' de la pompe de charge de puits N 412 et le rail de polarisation de puits N 420 permettant d'appliquer la polarisation de puits N par une tension externe par l'intermédiaire d'une entrée VNWOFF du commutateur 422. Cela permet en particulier d'appliquer une tension de polarisation par défaut quand le circuit 400 ne fonctionne plus.
- [0059] De façon similaire, la pompe de charge de puits P 414 est couplée à un rail de polarisation de puits P 424 et génère une tension de polarisation VPW pour polariser, par l'intermédiaire du rail 424, des puits du type P de transistors dans l'îlot. Dans certains modes de réalisation, un commutateur 426 est prévu entre la sortie VPW' de la pompe de charge de puits P 414 et le rail de polarisation de puits P 424 permettant d'appliquer la polarisation de puits P par une tension externe par l'intermédiaire d'une entrée VPWOFF du commutateur 426. Cela permet en particulier d'appliquer une tension de polarisation par défaut quand le circuit 400 ne fonctionne plus.
- [0060] Les tensions de polarisation VNW, VPW à la sortie du circuit de polarisation adaptative 400, ou les tensions VNW', VPW' au niveau des sorties des pompes de charge 412, 414 respectivement, sont par exemple fournies aux détecteurs de marge 404, et sont par exemple utilisées pour polariser des transistors formant des éléments logiques de circuits de retard des détecteurs de marge 404, comme on va le décrire plus en détail ci-après.
- [0061] Le détecteur d'asymétrie 416 mesure par exemple s'il y a une asymétrie entre les niveaux de tension VNW et VPW et compare cette asymétrie à une condition d'asymétrie cible. Par exemple, bien que cela ne soit pas illustré dans les figures, le

détecteur d'asymétrie 416 comprend un oscillateur en anneau constitué de transistors PMOS, et un autre oscillateur en anneau constitué de transistors NMOS, et un détecteur phase fréquence pour détecter lequel des signaux générés par ces deux oscillateurs en anneau a la fréquence la plus élevée. Toutefois, d'autres mises en œuvre du détecteur d'asymétrie seraient possibles pour détecter l'asymétrie entre les vitesses de fonctionnement des dispositifs à canal P et à canal N, ou entre des caractéristiques des transistors, impactant leurs vitesses de fonctionnement respectives. Sur la base de la différence entre l'asymétrie mesurée et l'asymétrie cible, des signaux de commande sont par exemple fournis au circuit de commande de pompe de charge 410 pour adapter la tension VPW. Dans certains modes de réalisation, l'asymétrie cible peut être aussi faible que 0 pour assurer une forte symétrie entre les tensions VPW et VNW. Dans d'autres modes de réalisation, une certaine asymétrie entre les tensions VPW et VNW peut être souhaitable.

- [0062] Le générateur d'horloge variable 418 reçoit par exemple un signal d'activation (ENABLE) et un signal de sélection d'horloge interne CK_I_SEL, et génère un signal d'horloge interne CK_I pour contrôler le fonctionnement temporel du circuit de pré-traitement 406, de la boucle de commande 408, du circuit de commande de pompe de charge 410 et du détecteur d'asymétrie 416.
- [0063] Un circuit de commande de système (SYSTEM CONTROL) 428 génère par exemple un signal de commande SLACK_SEL[] fourni aux détecteurs de marge 404 et à la boucle de commande 408. Le circuit de commande de système 428 reçoit par exemple le signal de verrouillage LOCK généré par la boucle de commande 408, et peut additionnellement recevoir d'autres entrées (non représentées), et aussi génère par exemple le signal d'activation ENABLE et le signal de sélection d'horloge interne CK_I_SEL.
- [0064] La [Fig.5] représente schématiquement le générateur d'horloge variable 418 de la [Fig.4] plus en détail selon un exemple de réalisation.
- [0065] Le générateur 418 est par exemple activé par le signal ENABLE. Par exemple, le générateur 418 comprend une porte NON ET 502 recevant sur une de ses entrées le signal ENABLE, et sur l'autre entrée le signal d'horloge interne CK_I généré par le générateur 418. La sortie de la porte NON ET 502 est par exemple couplée à une chaîne d'inverseurs 504, six inverseurs 504 se trouvant dans la chaîne dans l'exemple de la [Fig.5]. Une sortie de l'inverseur final de la chaîne est couplée à une entrée d'un multiplexeur 506. Une autre entrée du multiplexeur 506 est couplée à un nœud intermédiaire dans la chaîne d'inverseurs, qui dans l'exemple de la [Fig.5] est le nœud au niveau de la sortie du deuxième inverseur 504 de la chaîne. Une sortie du multiplexeur 506 fournit le signal d'horloge interne CK_I. Dans certains modes de réalisation, une autre version CK_I' du signal d'horloge interne est fournie par un dispositif de décalage de niveau (LS) 508 couplé à la sortie du multiplexeur 506. Par exemple, bien

que cela ne soit pas illustré en [Fig.4], le circuit de commande de pompe de charge 410 reçoit le signal d'horloge CK_I' comportant des impulsions à niveau haut à une tension supérieure à celle du signal CK_I.

[0066] Bien que la [Fig.5] illustre un exemple dans lequel le générateur d'horloge variable 418 peut générer une horloge ayant l'une de deux fréquences différentes, il sera clair pour la personne du métier qu'on pourrait prévoir plus de deux fréquences en ajoutant des inverseurs et des prises additionnelles couplées à d'autres entrées du multiplexeur 506. En outre, on pourrait utiliser un autre type d'oscillateur en anneau, comme un oscillateur basé sur des inverseurs appauvris.

[0067] La [Fig.6] représente schématiquement les détecteurs de marge 404 et le circuit de prétraitement 406 du circuit 400 de la [Fig.4] plus en détail selon un exemple de réalisation.

[0068] Les détecteurs de marge 404 comprennent par exemple un ou plusieurs modules de retard 602. Dans l'exemple de la [Fig.6], il y a P+1 modules de retard (DELAY MODULE VT_0 à DELAY MODULE VT_P), chaque module étant adapté à un type structurel de transistor différent, et par exemple à des transistors ayant différentes variantes de tension de seuil VT_0 à VT_P. Comme on va le décrire plus en détail ci-après, chaque module de retard 602 comprend des éléments logiques mis en œuvre par des transistors du type structurel correspondant, et comportant un puits N piloté par la tension de polarisation VNW', ou un puits P piloté par la tension de polarisation VPW'.

[0069] Chaque module de retard 602 reçoit par exemple un signal d'horloge correspondant CK_0 à CK_P, correspondant au signal d'horloge locale CK de l'îlot, propagé par un contrôleur d'horloge sur la puce (OCC0, OCCP) 604 correspondant. Les contrôleurs d'horloge sur la puce 604 sont par exemple activés par un signal START, et par exemple propagent seulement un certain nombre de fronts du signal d'horloge locale CK vers les modules de retard 602 afin d'éviter une consommation non nécessaire. Par exemple, les contrôleurs d'horloge sur la puce sont agencés pour propager deux fronts d'horloge. Une fois que le nombre approprié de fronts a été propagé par chaque OCC, celui-ci active par exemple un signal OCC_END.

[0070] Chaque module de retard 602 comprend par exemple une pluralité de cellules de retard en série, ces cellules de retard fournissant des sorties avec des retards différents par rapport au signal d'horloge d'entrée CK_0 à CK_P, et ces sorties provenant de chaque module de retard 602 sont couplées à un ensemble correspondant de dispositifs de surveillance de marge (SMs) 606. Les ensembles de dispositifs de surveillance de marge 606 génèrent des signaux de sortie OP_0 à OP_P respectivement, qui sont par exemple fournis au circuit de prétraitement 406, et en particulier à des entrées correspondantes d'un multiplexeur/sélecteur (MUX) 608. Des sorties du multiplexeur/

sélecteur 608 sont couplées à un circuit de détection (DETECTION CIRCUIT) 610, qui par exemple réalise un moyennage et/ou une détection de minimum et de maximum et/ou d'autres traitements pour indiquer par exemple à la boucle de commande 408 de la [Fig.4] quelles actions doivent être effectuées pour ajuster le fonctionnement. Cela permet une mesure plus fine en utilisant des données provenant de multiples instances de paires module de retard/dispositif de surveillance de marge 602, 606, qui sont par exemple placées à différents emplacements dans les îlots 302, 304. Par exemple, ces paires module de retard/dispositif de surveillance de marge 602, 606 sont agencées pour capturer des gradients de procédé, c'est-à-dire des variations locales, et des variations dépendant de l'emplacement des conditions de fonctionnement, à savoir des conditions de température et de tension.

[0071] Le signal SLACK_SEL[] est par exemple fourni aux modules à retard 602, aux dispositifs de surveillance de marge 606 et au multiplexeur 608 dans un but de configuration des détecteurs de marge 404. Ce signal de sélection active par exemple une sélection de l'une des valeurs de retard dans les modules de retard 602, une sélection d'un ou plusieurs signaux de sortie des dispositifs de surveillance 606 et une sélection d'une ou plusieurs des entrées du multiplexeur 608.

[0072] Bien que dans le mode de réalisation de la [Fig.6] toutes les chaînes de blocs 604, 602 et 606 soient pilotées par un même signal d'horloge CK, correspondant par exemple au signal d'horloge d'un îlot, dans des variantes de réalisation on pourrait utiliser des signaux d'horloge différents pour piloter des chaînes de blocs 604, 602 et 606 différentes. Par exemple, ces différents signaux d'horloge pourraient correspondre à des signaux d'horloge d'îlots différents, ou des signaux d'horloge de domaines d'horloge différents dans un même îlot. À titre d'exemple, le contrôleur d'horloge OCC0 et le module de retard 602 et les dispositifs de surveillance de marge 606 associés, pourraient être pilotés par un premier signal d'horloge CK1 à une première fréquence, et le contrôleur d'horloge OCCP et le module de retard 602 et les dispositifs de surveillance de marge 606 associés pourraient être pilotés par un deuxième signal d'horloge CK2 à une deuxième fréquence différente de la première fréquence. Il n'y a pas de limitation sur le nombre de signaux d'horloge différents et de fréquences différentes qui pourraient être utilisés simultanément parmi les détecteurs de marge 404.

[0073] La [Fig.7A] représente schématiquement le module de retard 602 recevant l'horloge CK_0, et l'ensemble correspondant de dispositifs de surveillance de marge 606 de la [Fig.6] plus en détail selon un exemple de réalisation. Les autres modules de retard 602 sont par exemple mis en œuvre par des circuits similaires.

[0074] Le module de retard 602 comprend par exemple une bascule 702 ayant son entrée de donnée reliée à la tension d'alimentation VDDC de l'îlot, et son entrée d'horloge recevant le signal d'horloge CK_0. Cela permet par exemple de lancer une opération

de mesure sur un premier front montant du signal d'horloge CK_0. La bascule 702 reçoit aussi par exemple un signal de réinitialisation RESET sur son entrée de réinitialisation, ce signal de réinitialisation étant par exemple activé afin de placer la bascule 702 dans un état donné au début du processus de mesure.

- [0075] Le module de retard 602 comprend aussi par exemple des circuits de retard 703_0 à 703_n, qui dans l'exemple de la [Fig.7A] sont couplés en série afin de propager un front montant généré par la bascule 702 en réponse à un front montant du signal d'horloge CK_0. La sortie Co de la bascule 702 correspond par exemple à un premier front montant du signal d'horloge CK_0, pendant que le signal de réinitialisation n'est pas activé, retardé par le retard de la bascule 702. Les circuits de retard 703_0 à 703_n ensemble assurent un retard par rapport au signal d'horloge locale CK_0 supérieur ou égal à celui du chemin de transmission le plus long de l'îlot. Le chemin de transmission à surveiller est sélectionné par un sélecteur 709 en fonction du signal de sélection SLACK_SEL[].
- [0076] Les circuits de retard 703_0 à 703_n sont par exemple des cellules de référence qui sont représentatives du comportement d'autres circuits de l'îlot, et fournissent ainsi une indication des délais de propagation qui seront subis par les chemins de données effectifs dans le circuit.
- [0077] Par exemple, chacun des circuits de retard 703_0 à 703_n d'un module de retard 602 donné est mis en œuvre par le même circuit, en utilisant le même type structural de transistor comme décrit précédemment.
- [0078] La [Fig.7A] illustre aussi un exemple du circuit de retard 703_0, les autres circuits de retard ayant par exemple la même structure. Dans l'exemple de la [Fig.7A], le circuit de retard 703_0 comprend la connexion en série d'une porte NON OU 704, d'un inverseur (INV) 705, d'une porte NON ET 706 ayant l'une de ses entrées (i1) reliée au rail d'alimentation VDDC et son autre entrée (i2) couplée à la sortie de l'inverseur 705, et d'un autre inverseur (INV) 707 fournissant un signal de sortie OUT1 du circuit de retard 703_0. La porte NON OU 704 reçoit par exemple sur l'une de ses entrées (i1) le signal SLACK_SEL[0] destiné au circuit de retard 703_0, et sur l'autre de ses entrées (i2) le signal d'entrée IN du circuit de retard 703_0. Pour le circuit 703_0, le signal d'entrée IN est la sortie de la bascule 702, mais pour les autres circuits de retard, c'est la sortie du circuit de retard précédent. Pour le circuit de retard 703_0 et les autres circuits de retard excepté le dernier circuit 703_n, la sortie OUT1 de l'inverseur 707 est par exemple couplée à l'entrée du circuit de retard suivant dans la série.
- [0079] Le circuit de retard 703_0 comprend aussi par exemple une porte NON ET 708 recevant sur l'une de ses entrées (i1) le signal SLACK_SEL[0] et sur l'autre de ses entrées (i2) le signal d'entrée IN du circuit de retard 703_0. Une sortie OUT2 de la porte NON ET 708 est par exemple couplée, par l'intermédiaire d'un sélecteur (MUX)

709 du module de retard 602, aux dispositifs de surveillance de marge 606. Dans un mode de réalisation, le sélecteur 709 est mis en œuvre par un multiplexeur. En outre, on pourrait utiliser une combinaison quelconque de portes logiques dans chaque circuit de retard 703_0 à 703_n, en fonction du retard souhaité de chaque circuit de retard, et des types de cellules logiques qui peuvent représenter les éléments de circuits typiques dans le reste de l'îlot.

- [0080] Les puits des transistors (non illustrés en [Fig.7A]) formant les portes logiques de chaque circuit de retard 703_0 à 703_n sont par exemple polarisées par les tensions VNW' et VPW', comme cela a été indiqué précédemment.
- [0081] Le sélecteur 709 utilise par exemple un signal dédié parmi les signaux de commande SLACK_SEL[] pour sélectionner une ou plusieurs des sorties fournies par les circuits de retard 703_0 à 703_n.
- [0082] Dans l'exemple de la [Fig.7A], l'ensemble de dispositifs de surveillance de marge 606 est constitué d'une pluralité de circuits de surveillance de marge (SMs) 710_0 à 710_m, chacun recevant un signal DIN sélectionné par le multiplexeur 709, et chacun générant une valeur de drapeau correspondante. Dans certains modes de réalisation, un multiplexeur 720 est par exemple utilisé pour sélectionner une ou plusieurs des sorties des circuits de surveillance de marge 710_0 à 710_m pour fournir des signaux de drapeaux de sortie de l'ensemble de dispositifs de surveillance de marge 606. Par exemple, le multiplexeur 720 est commandé par un signal dédié parmi les signaux de commande SLACK_SEL[]. Dans l'exemple de la [Fig.7A], le multiplexeur 720 sélectionne deux signaux de sortie d'un ou plusieurs des circuits de surveillance de marge, les sorties étant représentées notées FLAG1 et FLAG2. Toutefois, de manière plus générale, le multiplexeur 720 est commandé de manière à sélectionner un ou plusieurs des signaux de sortie.
- [0083] Par exemple, dans certains modes de réalisation, le circuit sélecteur 709 est commandé de manière à sélectionner le signal de sortie provenant de l'un des circuits de retard 703_0 à 703_n, et à fournir ce signal comme signal d'entrée DIN à un ou plusieurs des circuits de surveillance de marge. Chaque circuit de surveillance de marge 710_0 à 710_m reçoit aussi par exemple le signal d'horloge CK_0, et est agencé pour détecter une fourchette de marge donnée.
- [0084] Chaque signal de drapeau indique par exemple si le temps de marge du circuit de retard donné est au-dessus ou est descendu en dessous d'un certain seuil. Dans un mode de réalisation, le signal de drapeau FLAG1 est activé lorsque le temps de marge est en dessous d'un seuil bas, impliquant qu'il est proche du temps d'établissement de dispositifs synchrones dans le circuit. Le signal de drapeau FLAG2 est par exemple activé lorsque le temps de marge est supérieur à une marge maximum souhaitée.
- [0085] Ainsi :

- lorsque le drapeau FLAG1 est activé, les tensions de polarisation de transistors doivent être modifiées pour fournir une polarisation directe plus grande ;
- lorsque le drapeau FLAG2 est activé, les tensions de polarisation de transistors doivent être modifiées pour fournir moins de polarisation directe ; et
- lorsque ni l'un ni l'autre des drapeaux FLAG1, FLAG2 n'est activé, les tensions de polarisation de transistors sont par exemple maintenues à un niveau courant.

- [0086] Bien sûr, on pourrait utiliser d'autres règles de codage pour la génération des drapeaux, et on pourrait appliquer d'autres procédés de commande de polarisation en tension.
- [0087] Chaque circuit de surveillance de marge 710_0 à 710_m fournit aussi par exemple le signal Q correspondant au signal de sortie du circuit de retard correspondant couplé à partir des circuits 703_0 à 703_n, recevant comme horloge le signal d'horloge CK_0. Dans un mode de réalisation, chaque circuit de surveillance de marge est mis en œuvre par le circuit SlackGuard décrit dans la demande de brevet français déposée le 24 décembre 2018 et portant le numéro FR 1874138. En variante, on va maintenant décrire un autre exemple de mise en œuvre en faisant référence à la [Fig.7B].
- [0088] La [Fig.7B] représente schématiquement le circuit de surveillance de marge 710_0 plus en détail selon un exemple de réalisation. Les autres circuits de surveillance de marge 710_1 à 710_m, s'il y en a, ont par exemple une structure similaire.
- [0089] Le circuit de surveillance de marge 710_0 reçoit par exemple le signal DIN, et fournit le signal DIN à une ligne à retard constituée de la connexion en série de circuits de retard 731 à 735. Dans l'exemple de la [Fig.7B], les circuits de retard 731 à 735 n'introduisent pas des retards égaux. Par exemple, les circuits 731 à 733 comprennent chacun un seul élément de retard et les éléments 734 et 735 comprennent par exemple chacun la connexion en série de quatre éléments de retard. Les éléments de retard des circuits de retard 731 à 735 sont par exemple des tampons, bien qu'on puisse aussi utiliser d'autres types d'éléments de retard.
- [0090] Le signal d'entrée DIN et les sorties des circuits de retard 731 à 735 sont couplés respectivement à une entrée de bascules 740 à 745 correspondantes. Les bascules 740 à 745 sont par exemple des bascules de type D (DFF), et reçoivent par exemple comme horloge le signal d'horloge CK_0, et sont réinitialisées par le signal de réinitialisation RESET. Les bascules 740 à 745 fournissent respectivement des signaux de sortie qref et q[0] à q[r], où r est par exemple égal à 4 dans le cas où il y a cinq circuits de retard, mais pourrait plus généralement être égal à 2 ou plus.
- [0091] Les sorties des bascules 740 à 745 sont par exemple fournies au multiplexeur 720, qui par exemple sélectionne sur la base du signal SLACK_SEL[] une ou plusieurs de ces sorties pour fournir les signaux de sortie de drapeau.
- [0092] Dans certains modes de réalisation, les bascules qui ne sont pas sélectionnées par le

multiplexeur 720 pourraient être désactivées. Par exemple, cela est mis en œuvre en plaçant une cellule de contrôle de passage (non illustrée) au niveau de l'entrée d'horloge CK_0 de chaque bascule, chaque cellule de contrôle de passage étant commandée par le signal de sélection SLACK_SEL[] par l'intermédiaire d'une fonction de décodage de couplage appropriée.

[0093] En faisant de nouveau référence à la [Fig.4], dans un mode de réalisation, la boucle de commande 408 de la [Fig.4] met en œuvre l'algorithme de commande défini par le tableau suivant :

[0094] [Tableaux1]

Q	FLAG1	FLAG2	REACTION
Q-1	0	0	La marge est négative (chemin trop lent impliquant que Q ne change pas) et le signal de commande CP_CTRL est généré de telle sorte que la tension de polarisation de transistors augmente avec une première pente, relativement forte. Le signal LOCK n'est pas activé.
Bascule	0	1	La marge est trop longue (supérieure à la fenêtre prédéfinie) et le signal de commande CP_CTRL est généré de telle sorte que la tension de polarisation de transistors diminue. Le signal LOCK reste activé.
Bascule	0	0	La marge est dans la fenêtre définie, le signal CP_CTRL est généré de telle sorte que la tension de polarisation de transistors ne soit pas modifiée, et le signal LOCK est activé.
Bascule	1	0	La marge est trop courte (inférieure à la fenêtre définie), et le signal de commande CP_CTRL est généré de telle sorte que la tension de polarisation de transistors soit augmentée, par exemple avec une deuxième pente moins forte que la première pente. Le signal LOCK n'est pas activé.

[0095] Les figures 8 et 9 représentent schématiquement des exemples de pompes de charge de puits N et de puits P 412, 414 respectivement du circuit de la [Fig.4] plus en détail selon un exemple de réalisation.

[0096] Dans l'exemple de la [Fig.8], la pompe de charge de puits N 412 comprend un condensateur 802 couplé entre un rail VSSIO et un nœud 804, un commutateur 806

couplant le nœud 804 au rail VSSIO, un commutateur 808 couplant le nœud 804 au rail VDDIO, et un commutateur 810 couplant le nœud 804 à la sortie 812 de la pompe de charge 412. Le condensateur 802 et les commutateurs sont par exemple dimensionnés en fonction de la capacité et de la fuite du NWELL, cette capacité et cette fuite étant représentées en [Fig.8] par une diode 814. Les rails VDDIO et VSSIO pourraient être remplacés par des rails VDDC et VSSC.

[0097] Les commutateurs 806, 808 et 810 sont par exemple contrôlés respectivement par des signaux de commande SW1DN, SW1UP et SW2.

[0098] Dans l'exemple de la [Fig.9], la pompe de charge de puits P 414 comprend par exemple un condensateur 902 couplé entre des nœuds 903 et 904, le nœud 903 étant couplé au rail VSSIO par l'intermédiaire d'un commutateur 906 et au rail VDDIO par l'intermédiaire d'un commutateur 908, et le nœud 904 étant couplé au rail VSSIO par l'intermédiaire d'un commutateur 909, et à la sortie 912 de la pompe de charge 414 par l'intermédiaire d'un commutateur 910. Le condensateur 902 et les commutateurs sont par exemple dimensionnés en fonction de la capacité et de la fuite du PWELL, cette capacité et cette fuite étant représentées par une diode 914.

[0099] Les commutateurs 906, 908, 909 et 910 sont par exemple commandés respectivement par des signaux de commande SW1DN, SW1UP, SW1 et SW2.

[0100] Dans un mode de réalisation, les condensateurs 802 et 902 des figures 8 et 9 ont des capacités égales à environ 1/300 de la capacité du puits correspondant. Ce rapport est par exemple choisi en fonction de la fuite du puits, de la température de fonctionnement maximum (plus la température est élevée, plus la fuite est élevée, et plus la valeur de capacité doit être élevée), de la fréquence de commutation (plus la fréquence de commutation est élevée, plus la valeur de capacité doit être faible), et aussi en fonction de la tension maximum à fournir (plus la valeur absolue de la tension de puits maximum est proche de la tension VDDIO, plus la valeur de la capacité doit être élevée). Le rapport peut aussi être décidé en fonction d'un temps d'établissement ciblé de la tension de puits, et de la surface disponible. Par exemple, en supposant une capacité de puits d'environ 0,3 nF, les condensateurs 802, 902 ont par exemple des capacités d'environ 1 pF.

[0101] En fonctionnement, le circuit de commande de pompe de charge 410 commande par exemple les commutateurs des pompes de charge 412, 414 en utilisant des cycles à trois phases, la première phase PHASE1 étant destinée à charger le condensateur 802/902, la deuxième phase PHASE2 étant destinée à transférer la charge du condensateur 802/902 vers le puits correspondant, et la troisième phase PHASE3 étant une phase de repos entre les commutations. Par exemple, la fréquence de commutation est dans une plage de 1 à 50 MHz. Dans un mode de réalisation, les commutateurs sont commandés de façon à augmenter la valeur absolue de la tension de polarisation cor-

respondante (CP-NW UP, CP-PW UP), diminuer la valeur absolue de la tension de polarisation correspondante (CP-NW DN, CP-PW DN), ou maintenir le niveau courant (SKIP), en activant (ON) et en désactivant (OFF) les signaux pendant les trois phases comme défini dans le tableau suivant :

[0102] [Tableaux2]

Opération	Signal	PHASE1	PHASE2	PHASE3
CP-NW UP	SW1UP	ON	OFF	OFF
	SW1DN	OFF	OFF	ON
	SW2	OFF	ON	OFF
CP-NW DN	SW1UP	OFF	OFF	OFF
	SW1DN	ON	OFF	ON
	SW2	OFF	ON	OFF
CP-NW SKIP	SW1UP	OFF	OFF	OFF
	SW1DN	ON	ON	ON
	SW2	OFF	OFF	OFF
CP-PW UP	SW1UP	ON	OFF	OFF
	SW1DN	OFF	ON	ON
	SW1	ON	OFF	ON
	SW2	OFF	ON	OFF
CP-PW DN	SW1UP	OFF	OFF	OFF
	SW1DN	ON	ON	ON
	SW1	ON	OFF	ON
	SW2	OFF	ON	OFF
CP-PW SKIP	SW1UP	OFF	OFF	OFF
	SW1DN	ON	ON	ON
	SW1	ON	ON	ON
	SW2	OFF	OFF	OFF

[0103] Dans un mode de réalisation, le détecteur d'asymétrie 416 de la [Fig.4], lorsqu'il est activé, est aussi agencé pour modifier la commande des commutateurs dans les pompes de charge 412, 414. Par exemple, les opérations UP, DN et SKIP pour chacune des pompes de charge sont contrôlées comme cela est défini dans le tableau suivant, dans lequel NW LOW implique que la tension de polarisation de puits N est faible par rapport à la tension de polarisation de puits P et doit être augmentée, et PW LOW implique que la tension de polarisation de puits P est faible par rapport à la tension de polarisation de puits N et doit être augmentée :

[0104] [Tableaux3]

BOUCLE PRINCIPALE		BOUCLE D'ASYMETRIE		CP-NW	CP-PW
UP	DN	NW LOW	PW LOW	OPERATION	
0	0	0	0	SKIP	SKIP
0	0	0	1	SKIP	UP
0	0	1	0	UP	SKIP
0	1	0	0	DN	DN
0	1	0	1	DN	SKIP
0	1	1	0	SKIP	DN
1	0	0	0	UP	UP
1	0	0	1	SKIP	UP
1	0	1	0	UP	SKIP
1	1	X	X	SKIP	SKIP
X	X	1	1	SKIP	SKIP

[0105] Les deux dernières rangées du tableau correspondent à des commandes illégales, qui provoquent par exemple des opérations de saut.

[0106] La [Fig.10] est un chronogramme représentant le fonctionnement du circuit de polarisation adaptative de substrat de la [Fig.4] selon un exemple de réalisation. En particulier, la [Fig.10] représente un exemple de périodes dans lesquelles la détection de marge (SLACK DETECT.) est activée, de périodes dans lesquelles la détection d'asymétrie (ASYMM DETECT.) est activée, de périodes dans lesquelles la fréquence de l'horloge interne CK_I est modifiée (CK_I ACT.), et le signal de verrouillage LOCK. La modification de la fréquence de CK_I est optionnelle, mais permet par exemple une économie dans la consommation d'énergie.

[0107] La détection de marge est par exemple réalisée soit avec un temps d'attente régulier soit avec un temps d'attente variable, et, pendant chaque période de détection de marge, la fréquence de l'horloge interne CK_I est aussi augmentée. La détection d'asymétrie est par exemple effectuée une fois toutes les M activations de la détection de marge, où M est par exemple égal à au moins un, et égal à trois dans l'exemple de la [Fig.10].

[0108] La [Fig.11] représente schématiquement un circuit 1100 de polarisation adaptative de substrat selon une variante de réalisation par rapport à la [Fig.4]. Le circuit 1100 de la

[Fig.11] a de nombreux éléments en commun avec le circuit 400 de la [Fig.4], et ces éléments portent les mêmes références numériques en [Fig.11], et ne seront pas décrits de nouveau en détail.

- [0109] Par rapport au circuit 400, le circuit 1100 comprend en plus un autre capteur d'informations temporelles ou de PVT (OTHER TIMING OR PVT SENSOR) 1102, qui par exemple est un type connu du capteur d'informations temporelles ou PVT comme un capteur basé sur un oscillateur en anneau ou similaire. Le capteur 1102 reçoit par exemple les tensions VNW' et VPW', et est couplé à la boucle de commande 408. Dans certains modes de réalisation, le capteur 1102 peut aussi recevoir un ou plusieurs des signaux de commande SLACK_SEL[].
- [0110] Le capteur 1102 est par exemple agencé pour interagir avec la boucle de commande 408 pour ajuster les tensions VNW et VPW. Dans ce mode de réalisation, les détecteurs de marge 404 fournissent des informations additionnelles complémentaires à la boucle de commande 408 pour contrôler le fonctionnement de la boucle, de manière à ajuster son fonctionnement, par exemple en ajustant des coefficients internes utilisés pour contrôler la boucle de rétroaction, pour fournir une détection plus précise de la plage de tension de polarisation de substrat appropriée de l'îlot 302, 304.
- [0111] Un avantage des modes de réalisation décrits ici est que, en prévoyant des détecteurs de marge comprenant des circuits de retard et des moyens pour sélectionner le délai de propagation utilisé pendant la détection de marge, un même circuit de polarisation adaptative de substrat peut être ajusté pour une région de circuit donnée, sur la base par exemple de la longueur d'un ou plusieurs chemins temporels critiques de la région de circuit. D'autres modes de réalisation décrits ici permettent aussi par exemple qu'un même circuit de polarisation adaptative de substrat, ayant une plage de paramétrage, et en particulier une gamme de détecteurs de marge différents, assure une polarisation adaptative de substrat pour une pluralité d'îlots de circuit d'une même puce et/ou de puces différentes.
- [0112] Divers modes de réalisation et variantes ont été décrits. La personne du métier comprendra que certaines caractéristiques de ces divers modes de réalisation et variantes pourraient être combinées, et d'autres variantes apparaîtront à la personne du métier. Par exemple, bien qu'on ait décrit des modes de réalisation basés sur certains types structurels de transistors, il sera clair pour la personne du métier que les principes décrits ici pourraient être appliqués à des transistors ayant un type quelconque de structure permettant d'appliquer des tensions de polarisation de substrat.

Revendications

[Revendication 1]

Circuit de polarisation adaptative de substrat pour une région d'un circuit (302, 304), comprenant :

- un premier module de retard (602) comportant une pluralité de circuits de retard (703_0, 703_n) agencés pour retarder au moins un front d'un signal d'horloge locale (Co) de la région de circuit, un premier des circuits de retard (703_0, 703_n) fournissant un premier signal de sortie retardé d'un premier retard par rapport au signal d'horloge locale, et un deuxième des circuits de retard (703_0, 703_n) fournissant un deuxième signal de sortie retardé d'un deuxième retard par rapport au signal d'horloge locale (CK) ;
- un multiplexeur (709) agencé pour sélectionner l'un des premier et deuxième signaux de sortie ;
- un premier circuit de surveillance de marge (710_0, 710_m) agencé pour générer un premier signal de détection (FLAG1, FLAG2) indiquant quand un temps de marge du signal sélectionné parmi les premier et deuxième signaux de sortie est inférieur à un premier seuil ;
- une boucle de commande (408) configurée pour fournir un ou plusieurs signaux de commande sur la base du premier signal de détection (FLAG1, FLAG2) ;
- un circuit de polarisation (410, 412, 414) agencé pour générer au moins une tension de polarisation (VNW, VPW) pour polariser des puits de transistors dans la région de circuit sur la base de l'un ou plusieurs signaux de commande ; et
- une autre boucle de commande comprenant un capteur d'informations temporelles, de procédé, de tension et/ou de température (1102), le circuit de polarisation (410, 412, 414) étant agencé pour générer ladite au moins une tension de polarisation (VNW, VPW) sur la base en outre de l'autre boucle de commande en ajustant des coefficients internes utilisés pour contrôler la boucle de commande.

[Revendication 2]

Circuit de polarisation adaptative de substrat selon la revendication 1, dans lequel le premier dispositif de surveillance de marge (710_0, 710_m), ou un deuxième dispositif de surveillance de marge (710_0, 710_m), est agencé pour générer un deuxième signal de détection (FLAG1, FLAG2) indiquant quand un temps de marge du signal sélectionné parmi les premier et deuxième signaux de sortie est supérieur à un autre seuil, dans lequel le circuit de polarisation (410, 412, 414) est

- agencé pour générer ladite au moins une tension de polarisation (VNW, VPW) sur la base des premier et deuxième signaux de détection.
- [Revendication 3] Circuit selon la revendication 1 ou 2, dans lequel les circuits de la pluralité de circuits de retard (703_0, 703_n) sont couplés en série entre eux pour retarder la propagation d'au moins un front du signal d'horloge locale (Co).
- [Revendication 4] Circuit selon l'une quelconque des revendications 1 à 3, dans lequel chaque circuit de retard (703_0, 703_n) comprend un ou plusieurs éléments logiques constitués de transistors ayant des puits polarisés par au moins une tension de polarisation (VNW, VPW).
- [Revendication 5] Circuit selon l'une quelconque des revendications 1 à 4, dans lequel le circuit de polarisation (410, 412, 414) est agencé pour générer une première tension de polarisation (VNW) pour polariser des puits de type N de transistors d'un premier type de conductivité dans la région de circuit, et une deuxième tension de polarisation (VPW) pour polariser des puits de type P de transistors d'un deuxième type de conductivité dans la région de circuit.
- [Revendication 6] Circuit selon la revendication 5, comprenant en outre un premier générateur de tension (412) agencé pour générer la première tension de polarisation et un deuxième générateur de tension (414) agencé pour générer la deuxième tension de polarisation.
- [Revendication 7] Circuit selon la revendication 6, dans lequel les premier et/ou deuxième générateurs de tension sont des pompes de charge.
- [Revendication 8] Circuit selon l'une quelconque des revendications 5 à 7, comprenant en outre un détecteur d'asymétrie (416) agencé pour détecter si les première et deuxième tensions de polarisation (VNW, VPW) provoquent une asymétrie entre les polarisations de puits N et de puits P, dans lequel le circuit de polarisation (410, 412, 414) est agencé pour générer ladite au moins une tension de polarisation (VNW, VPW) sur la base de la détection d'asymétrie.
- [Revendication 9] Circuit selon l'une quelconque des revendications 1 à 8, dans lequel les circuits de retard (703_0, 703_n) du premier module de retard (602) comprennent chacun un ou plusieurs éléments logiques constitués de transistors d'un premier type structurel ayant des tensions de seuil (VT1) tombant dans une première plage, le circuit de polarisation adaptative de substrat comprenant en outre :
- un deuxième module de retard (602) comportant une pluralité de circuits de retard (703_0, 703_n) agencés pour retarder ledit au moins

un front du signal d'horloge locale (Co) de la région de circuit, dans lequel les circuits de retard (703_0, 703_n) du deuxième module de retard comprennent chacun un ou plusieurs éléments logiques d'un type différent de ceux constituant le premier module de retard, lesdits un ou plusieurs éléments logiques du deuxième module de retard étant constitués de transistors du premier type structurel.

[Revendication 10]

Circuit selon la revendication 9, comprenant en outre :

- un troisième module de retard (602) comportant une pluralité de circuits de retard (703_0, 703_n) agencés pour retarder ledit au moins un front du signal d'horloge locale (Co) de la région du circuit, dans lequel les circuits de retard (703_0, 703_n) du troisième module de retard comprennent chacun un ou plusieurs éléments logiques constitués de transistors d'un deuxième type structurel ayant des tensions de seuil (VT2) tombant dans une deuxième plage.

[Revendication 11]

Circuit selon la revendication 10, dans lequel le premier dispositif de surveillance de marge est mis en œuvre par des transistors du premier type structurel, et le circuit comprend en outre un deuxième circuit de surveillance de marge (710_0, 710_m) mis en œuvre par des transistors du deuxième type structurel.

[Revendication 12]

Circuit selon l'une quelconque des revendications 1 à 11, comprenant en outre un circuit de commande de système (428) agencé pour générer un signal de sélection (SLACK_SEL[]) pour réaliser la sélection de l'un des premier et deuxième signaux de détection.

[Revendication 13]

Circuit intégré comprenant :

- une première région de circuit (302) recevant un premier signal d'horloge locale (CK1) ;
- une deuxième région de circuit (304) recevant un deuxième signal d'horloge locale (CK2) ; et
- le circuit de polarisation adaptative de substrat (320) selon l'une quelconque des revendications 1 à 12, dans lequel les circuits de la pluralité de circuits de retard du premier module de retard sont agencés pour retarder au moins un front du premier signal d'horloge locale (CK1), ou d'un signal d'horloge (Co) généré sur la base du premier signal d'horloge locale (CK1), le circuit de polarisation adaptative de substrat (320) comprenant en outre un autre module de retard comprenant une autre pluralité de circuits de retard agencés pour retarder au moins un front du deuxième signal d'horloge locale (CK2), ou d'un signal d'horloge (Co) généré sur la base du deuxième signal

d'horloge locale (CK2), pour générer un ou plusieurs autres signaux de sortie, et un autre circuit de surveillance de marge (710_0, 710_m) agencé pour générer un autre signal de détection (FLAG1, FLAG2) indiquant quand un temps de marge d'un signal sélectionné parmi les autres signaux de sortie est inférieur à un premier seuil.

[Revendication 14]

Procédé de polarisation adaptative de substrat de transistors dans une région de circuit (302, 304) d'un circuit intégré, le procédé comprenant :

- retarder, par un premier module de retard comportant une pluralité de circuits de retard (703_0, 703_n), au moins un front d'un signal d'horloge locale (Co) de la région de circuit, dans lequel un premier des circuits de retard (703_0, 703_n) fournit un premier signal de sortie retardé d'un premier retard par rapport au signal d'horloge locale, et un deuxième des circuits de retard fournit un deuxième signal de sortie retardé d'un deuxième retard par rapport au signal d'horloge locale ;
- sélectionner l'un des premier et deuxième signaux de sortie ;
- générer, par un premier dispositif de surveillance de marge (710_0, 710_m), un premier signal de détection (FLAG1, FLAG2) indiquant quand un temps de marge du signal sélectionné parmi les premier et deuxième signaux d'horloge de sortie est inférieur à un premier seuil ;
- fournir, par une boucle de commande (408), un ou plusieurs signaux de commande sur la base du premier signal de détection (FLAG1, FLAG2) ; et
- générer, par un circuit de polarisation (410, 412, 414), au moins une tension de polarisation (VNW, VPW) pour polariser des puits de transistors dans la région de circuit sur la base de l'un ou plusieurs signaux de commande, et sur la base en outre d'une autre boucle de commande en ajustant des coefficients internes utilisés pour contrôler la boucle de commande, l'autre boucle de commande comprenant un capteur d'informations temporelles, de procédé, de tension et/ou de température (1102).

[Fig. 1]

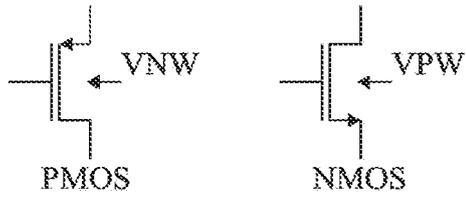


Fig 1

[Fig. 2]

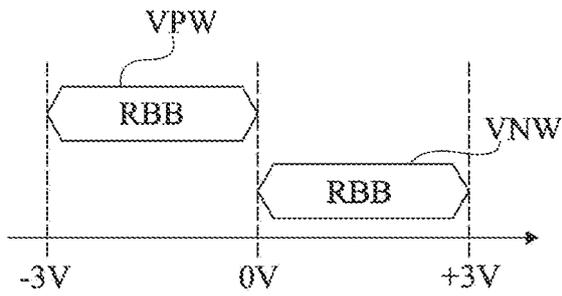


Fig 2

[Fig. 3]

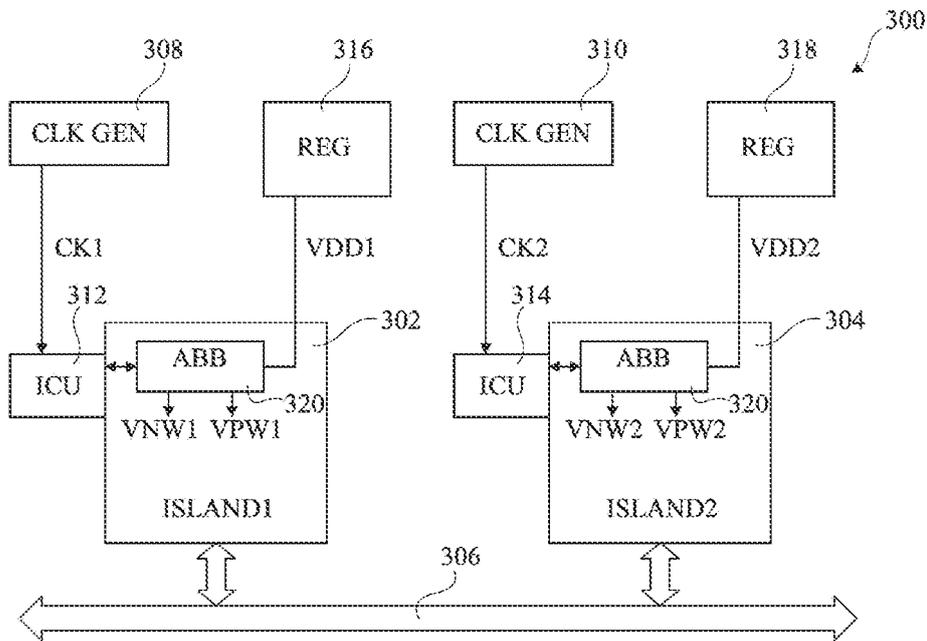


Fig 3

[Fig. 4]

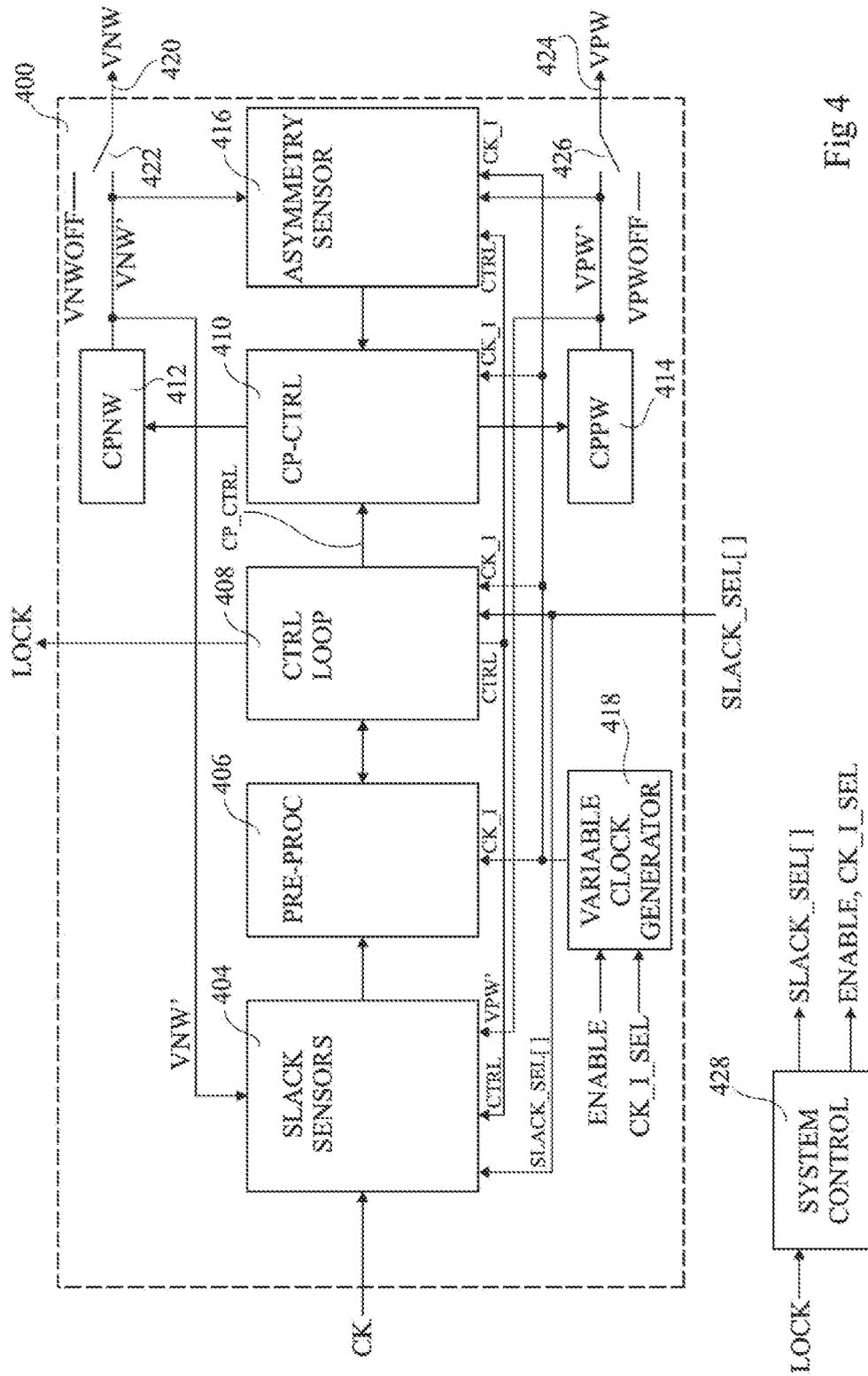


Fig 4

[Fig. 5]

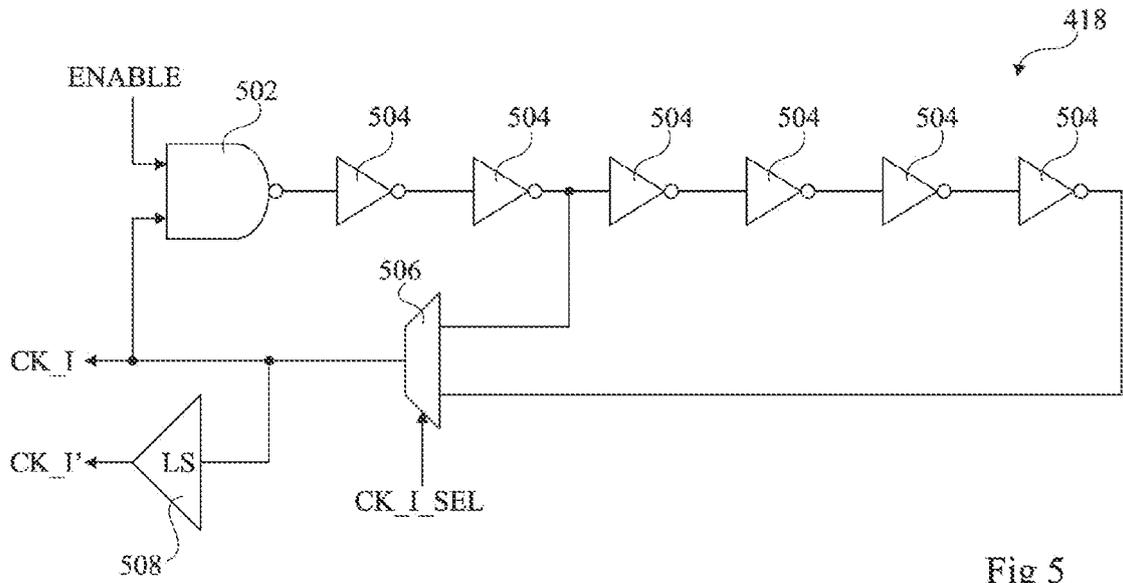


Fig 5

[Fig. 6]

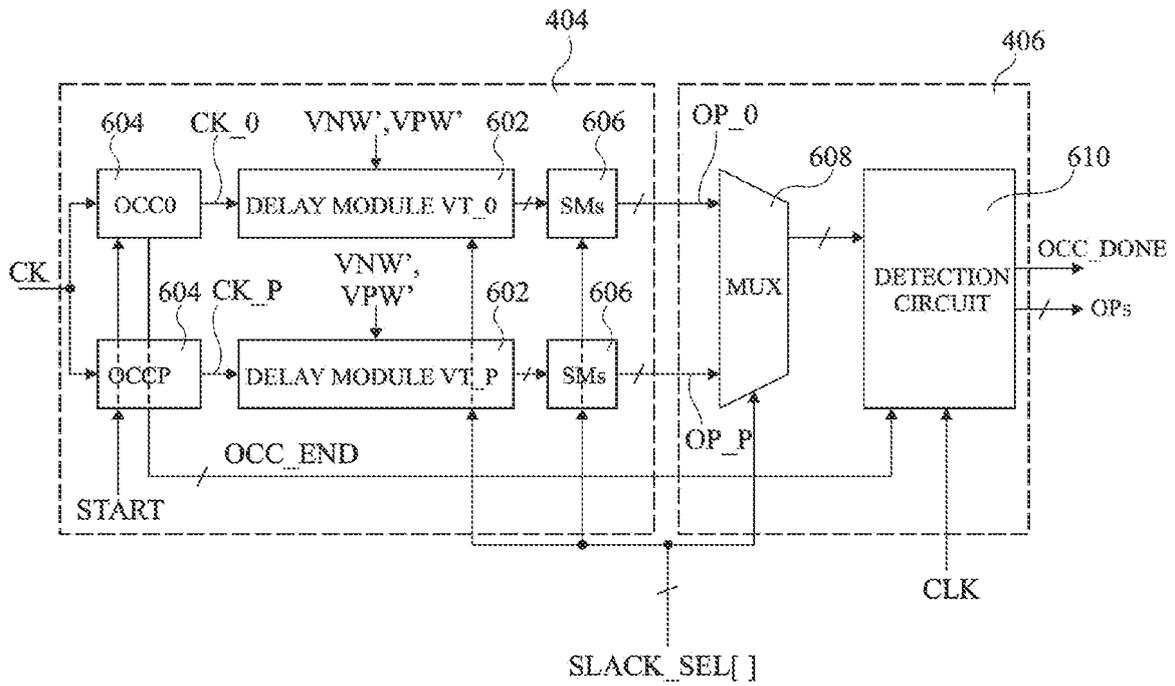


Fig 6

[Fig. 7A]

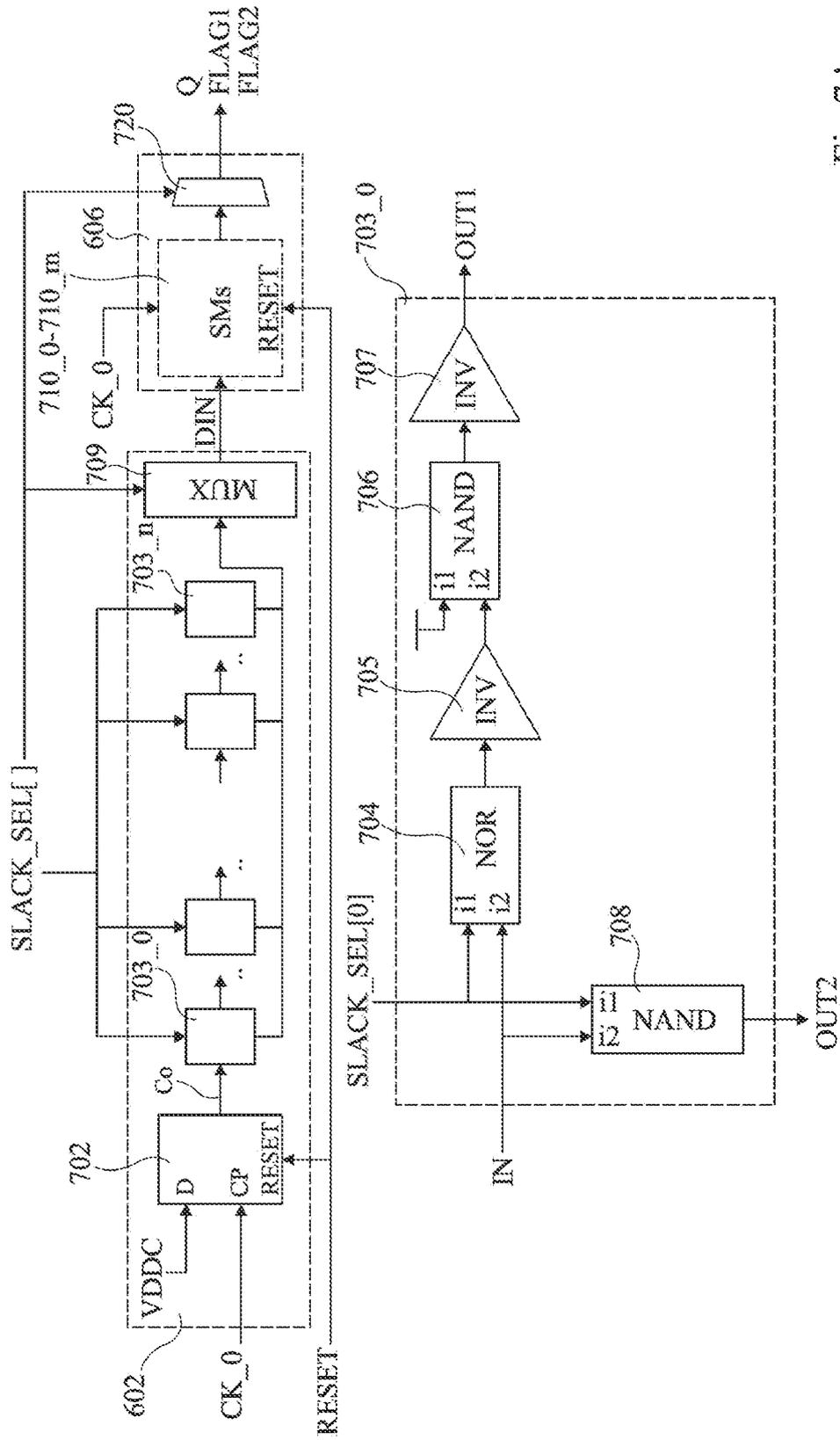


Fig 7A

[Fig. 7B]

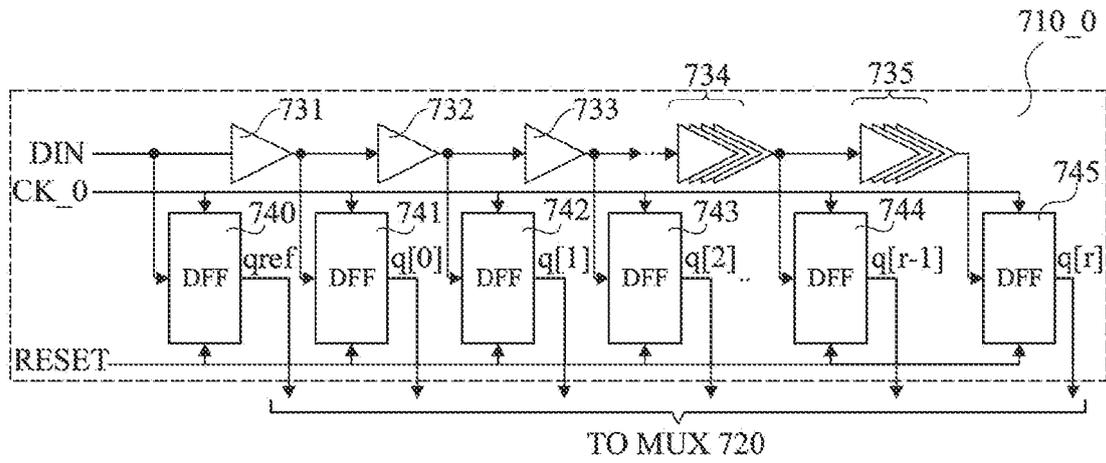


Fig 7B

[Fig. 8]

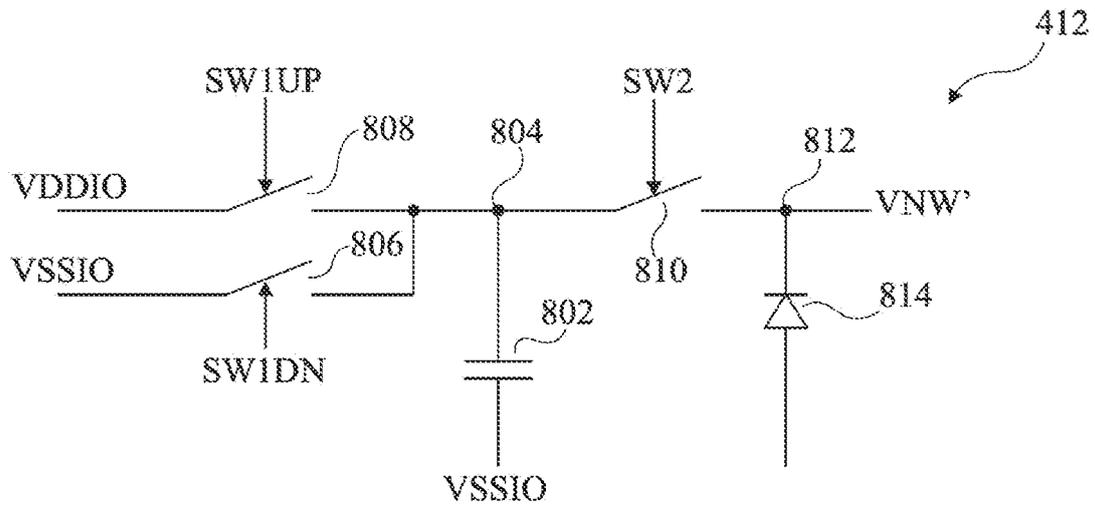


Fig 8

[Fig. 9]

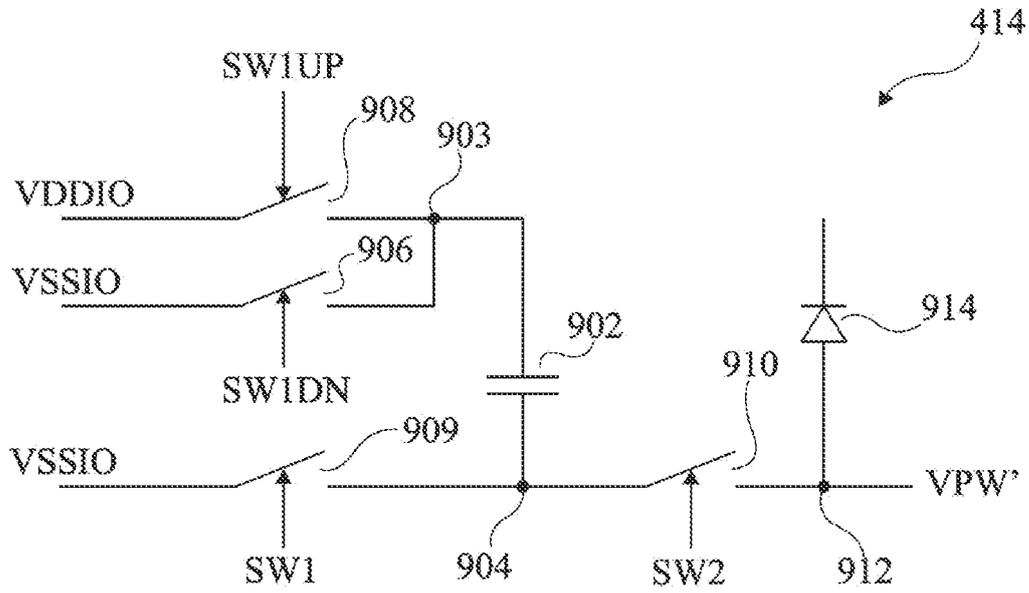


Fig 9

[Fig. 10]

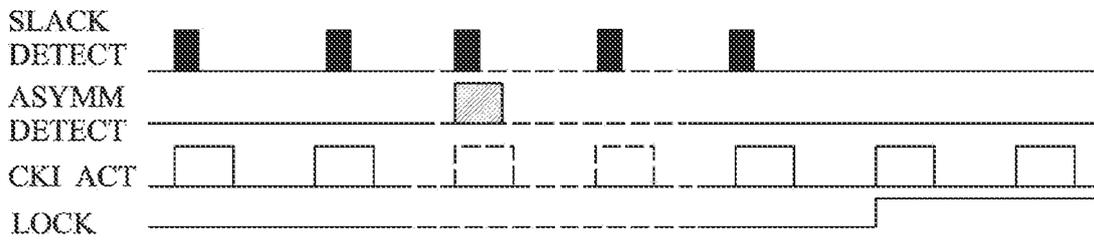


Fig 10

[Fig. 11]

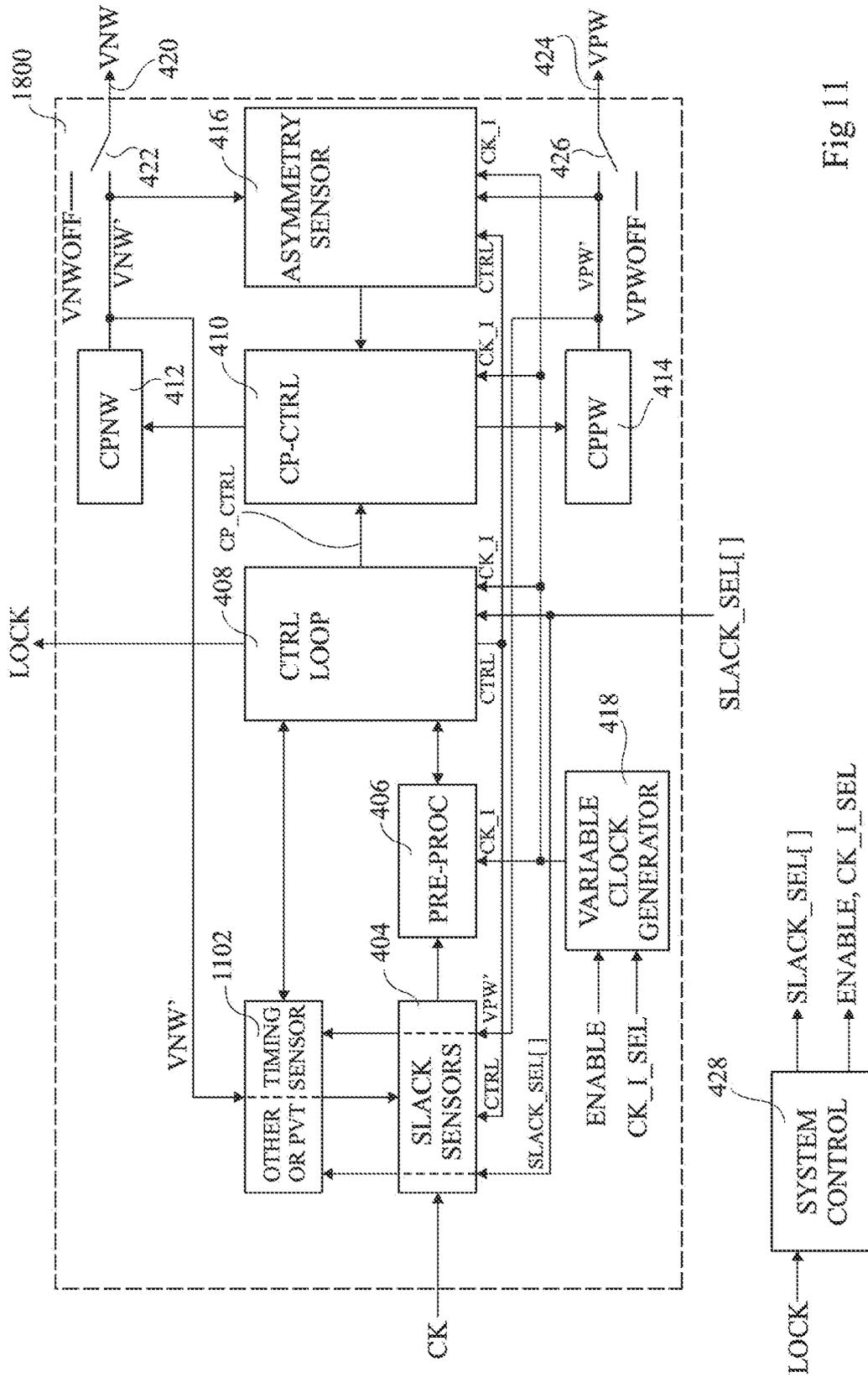


Fig 11

RAPPORT DE RECHERCHE

articles L.612-14, L.612-53 à 69 du code de la propriété intellectuelle

OBJET DU RAPPORT DE RECHERCHE

L'I.N.P.I. annexe à chaque brevet un "RAPPORT DE RECHERCHE" citant les éléments de l'état de la technique qui peuvent être pris en considération pour apprécier la brevetabilité de l'invention, au sens des articles L. 611-11 (nouveau) et L. 611-14 (activité inventive) du code de la propriété intellectuelle. Ce rapport porte sur les revendications du brevet qui définissent l'objet de l'invention et délimitent l'étendue de la protection.

Après délivrance, l'I.N.P.I. peut, à la requête de toute personne intéressée, formuler un "AVIS DOCUMENTAIRE" sur la base des documents cités dans ce rapport de recherche et de tout autre document que le requérant souhaite voir prendre en considération.

CONDITIONS D'ETABLISSEMENT DU PRESENT RAPPORT DE RECHERCHE

Le demandeur a présenté des observations en réponse au rapport de recherche préliminaire.

Le demandeur a maintenu les revendications.

Le demandeur a modifié les revendications.

Le demandeur a modifié la description pour en éliminer les éléments qui n'étaient plus en concordance avec les nouvelles revendications.

Les tiers ont présenté des observations après publication du rapport de recherche préliminaire.

Un rapport de recherche préliminaire complémentaire a été établi.

DOCUMENTS CITES DANS LE PRESENT RAPPORT DE RECHERCHE

La répartition des documents entre les rubriques 1, 2 et 3 tient compte, le cas échéant, des revendications déposées en dernier lieu et/ou des observations présentées.

Les documents énumérés à la rubrique 1 ci-après sont susceptibles d'être pris en considération pour apprécier la brevetabilité de l'invention.

Les documents énumérés à la rubrique 2 ci-après illustrent l'arrière-plan technologique général.

Les documents énumérés à la rubrique 3 ci-après ont été cités en cours de procédure, mais leur pertinence dépend de la validité des priorités revendiquées.

Aucun document n'a été cité en cours de procédure.

**1. ELEMENTS DE L'ETAT DE LA TECHNIQUE SUSCEPTIBLES D'ETRE PRIS EN
CONSIDERATION POUR APPRECIER LA BREVETABILITE DE L'INVENTION**

US 2012/216067 A1 (WHATMOUGH PAUL NICHOLAS
[GB] ET AL) 23 août 2012 (2012-08-23)

US 2017/299651 A1 (CLERC SYLVAIN [FR])
19 octobre 2017 (2017-10-19)

US 2005/251700 A1 (HENDERSON ERIC L [US]
ET AL) 10 novembre 2005 (2005-11-10)

US 6 377 103 B1 (MOONEY STEPHEN R [US] ET
AL) 23 avril 2002 (2002-04-23)

EP 3 179 260 A1 (STICHTING IMEC NEDERLAND
[NL]) 14 juin 2017 (2017-06-14)

US 2007/096775 A1 (ELGEBALY MOHAMED [US]
ET AL) 3 mai 2007 (2007-05-03)

US 2010/182055 A1 (ROZEN ANTON [IL] ET AL)
22 juillet 2010 (2010-07-22)

**2. ELEMENTS DE L'ETAT DE LA TECHNIQUE ILLUSTRANT L'ARRIERE-PLAN
TECHNOLOGIQUE GENERAL**

NEANT

**3. ELEMENTS DE L'ETAT DE LA TECHNIQUE DONT LA PERTINENCE DEPEND
DE LA VALIDITE DES PRIORITES**

NEANT