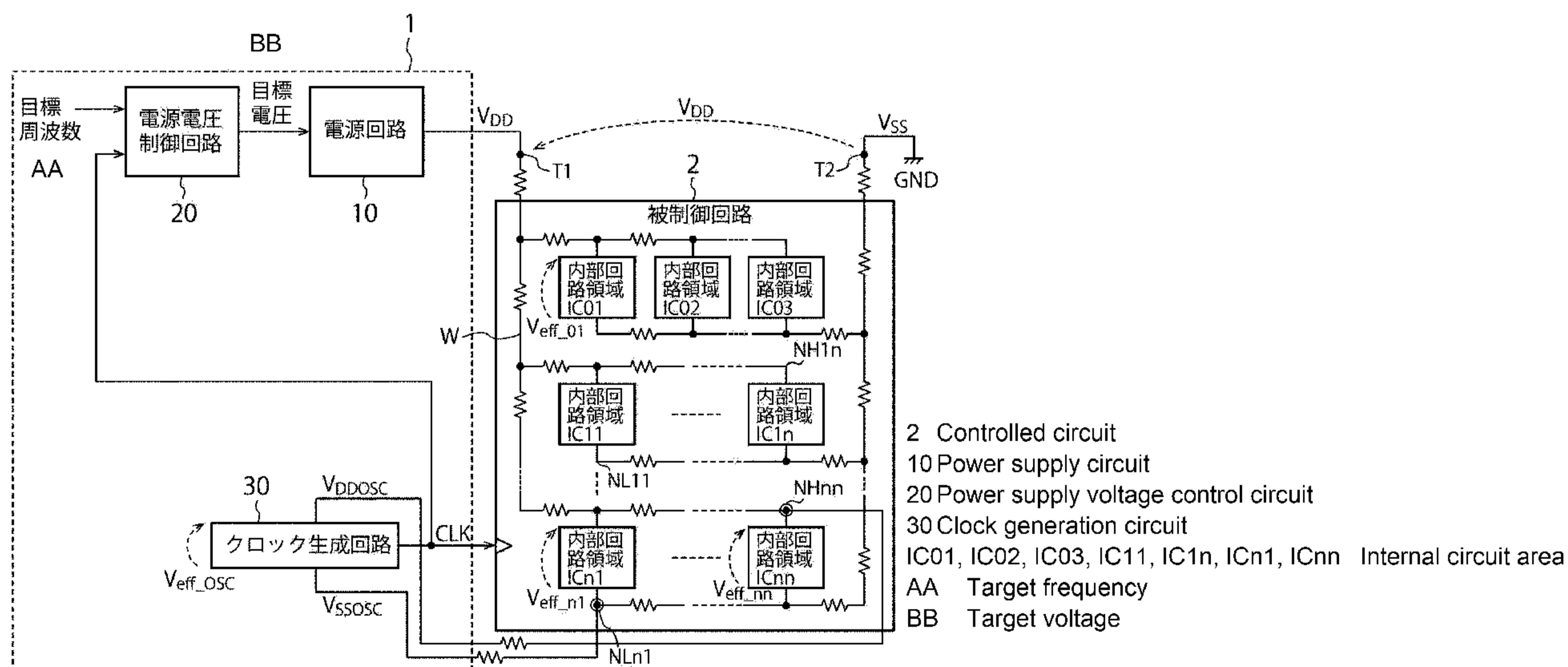




- (51) 国際特許分類:
H03K 3/03 (2006.01) *G06F 1/06* (2006.01)
H01L 21/822 (2006.01) *G06F 1/3206* (2019.01)
H01L 27/04 (2006.01) *G06F 1/3296* (2019.01)
- (21) 国際出願番号: PCT/JP2020/037169
- (22) 国際出願日: 2020年9月30日(30.09.2020)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
 特願 2019-208780 2019年11月19日(19.11.2019) JP
- (71) 出願人: ソニーセミコンダクタソリューションズ株式会社(SONY SEMICONDUCTOR SOLUTIONS CORPORATION) [JP/JP]; 〒2430014 神奈川県厚木市旭町四丁目14番1号 Kanagawa (JP).
- (72) 発明者: 内藤 誉博(NAITO Takahiro); 〒2430014 神奈川県厚木市旭町4丁目14-1 ソニーセミコンダクタソリューションズ株式会社内 Kanagawa (JP).
- (74) 代理人: 中村 行孝, 外(NAKAMURA Yukitaka et al.); 〒1000005 東京都千代田区丸の内1丁目6番6号 日本生命丸の内ビル 協和特許法律事務所 Tokyo (JP).
- (81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN,

(54) Title: VOLTAGE CONTROL DEVICE

(54) 発明の名称: 電圧制御装置



(57) Abstract: [Problem] To provide a voltage control device that makes it possible to maintain the power supply voltage of a controlled circuit at a voltage equal to or greater than a minimum operating voltage while remaining as close as possible to the minimum operating voltage and reducing power consumption. [Solution] A voltage control device according to the present invention is provided with: a power supply circuit that supplies power to an input terminal of a controlled circuit; a power supply voltage control circuit that controls the power supply voltage supplied from the power supply circuit to the controlled circuit on the basis of a clock signal supplied to the controlled circuit; and a clock generation circuit that receives, as a power supply, internal voltage applied to a second internal circuit area having a second wiring distance which is longer than a first wiring distance of a first internal circuit within the controlled circuit among the wiring distances within the controlled circuit from an input unit and generates a clock signal on the basis of the internal voltage.

WO 2021/100329 A1

HR, HU, ID, IL, IN, IR, IS, IT, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類 :

- 一 国際調査報告 (条約第21条(3))

(57) 要約 : [課題] 被制御回路の電源電圧を最低動作電圧以上に維持しつつ、できるだけ該最低動作電圧に近付けて、消費電力を低減することができる電圧制御装置を提供する。 [解決手段] 本開示による電圧制御装置は、被制御回路の入力端子に電力を供給する電源回路と、被制御回路に供給されるクロック信号に基づいて、電源回路から被制御回路へ供給される電源電圧を制御する電源電圧制御回路と、入力部から被制御回路内の配線距離において被制御回路内の第1内部回路領域の第1配線距離よりも長い第2配線距離を有する第2内部回路領域に印加される内部電圧を電源として受け取り、該内部電圧に基づいてクロック信号を生成するクロック生成回路と、を備えている。

明 細 書

発明の名称： 電圧制御装置

技術分野

[0001] 本開示は、電圧制御装置に関する。

背景技術

[0002] 携帯型電子機器または I o T (Internet of Things) 等の小型電子機器は、小型でありながらできる限り長時間駆動することが望まれている。このため、機器内のシステムの低消費電力化が強く要求されている。機器内の被制御回路は、電源電圧を低くすることで、消費電力を低減することができる。一方、被制御回路の動作を保証するためには、被制御回路に印加される電源電圧は、最低動作電圧以上でなくてはならない。従って、電源電圧を最低動作電圧以上に維持しつつ、できるだけ該最低動作電圧に近付けて、消費電力を低減することが求められている。

先行技術文献

非特許文献

[0003] 非特許文献1 : David Bol et al. , ” A 25MHz 7 μ W/MHz Ultra-Low-Voltage Microcontroller SoC in 65nm LP/GP CMOS for Low-Carbon Wireless Sensor Nodes” , ISSCC 2012.

発明の概要

発明が解決しようとする課題

[0004] このような要求に応えるために、A V S (Adaptive Voltage Scaling) 制御装置が用いられることがある。A V S 制御装置は、被制御回路の電源電圧を製造バラツキ、温度、動作周波数等の動作環境に適応させつつ、消費電力を低減させるように被制御回路を制御する電圧制御装置である。A V S 制御装置は、製造バラツキ等による電圧降下の最大予測値を余裕電圧として最低動作電圧に加算してA V S 制御を行う必要がある。しかし、従来のA V S 制御装置では、被制御回路とA V S 制御装置自体との相関誤差も考慮して大き

な余裕電圧を設定する必要があり、余計な電力損失が発生するという問題があった。

[0005] そこで、本開示は、被制御回路の電源電圧を最低動作電圧以上に維持しつつ、できるだけ該最低動作電圧に近付けて、消費電力を低減することができる電圧制御装置を提供する。

課題を解決するための手段

[0006] 本開示の一側面による電圧制御装置は、被制御回路の入力端子に電力を供給する電源回路と、被制御回路に供給されるクロック信号に基づいて、電源回路から被制御回路へ供給される電源電圧を制御する電源電圧制御回路と、入力部から被制御回路内の配線距離において被制御回路内の第1内部回路領域の第1配線距離よりも長い第2配線距離を有する第2内部回路領域に印加される内部電圧を電源として受け取り、該内部電圧に基づいてクロック信号を生成するクロック生成回路と、を備えている。

[0007] 第2配線距離は、入力部から被制御回路内の複数の内部回路領域までの複数の配線距離のうち最大距離の半分よりも長い。

[0008] 第2配線距離は、入力部から被制御回路内の複数の内部回路領域までの複数の配線距離のうちほぼ最大である。

[0009] 内部電圧は、第1内部回路領域に印加される電圧より低い。

[0010] 内部電圧は、被制御回路において電源電圧からの最大電圧降下の半分より大きく電圧降下している。

[0011] 内部電圧は、被制御回路内の複数の内部回路領域に供給される電圧のうちほぼ最小の電圧である。

[0012] 入力部から第2内部回路領域までの直線距離は、入力部から第1内部回路領域までの直線距離よりも長い。

[0013] 入力部から第2内部回路領域までの直線距離は、入力部から被制御回路内の複数の内部回路領域までの複数の直線距離のうち最大距離の半分よりも長い。

[0014] 入力部から第2内部回路領域までの直線距離は、入力部から被制御回路内

の複数の内部回路領域までの複数の直線距離のうちほぼ最大である。

[0015] クロック生成回路は、第2内部回路領域と同一の回路構成を有する。

[0016] クロック生成回路は、入力信号を反転して出力信号として出力し、該出力信号を入力信号として入力する遅延回路である。

[0017] 被制御回路内の複数の内部回路領域に印加される複数の内部電圧を入力し、該複数の内部電圧から最小の内部電圧を選択する選択回路をさらに備え、
クロック生成回路は、最小の内部電圧を電源として受け取り、該最小の内部電圧に基づいてクロック信号を生成する。

[0018] 最小の内部電圧を受ける第2内部回路領域の情報を格納する記憶部をさらに備え、
選択回路は、記憶部から得られた情報に基づいて第2内部回路領域を選択する。

[0019] 被制御回路内の複数の内部回路領域に印加される複数の内部電圧をそれぞれ電源として受け取り、それぞれ該複数の内部電圧に基づいて複数のクロック信号を生成する複数のクロック生成回路と、
複数のクロック生成回路からの複数のクロック信号を入力し、該複数のクロック信号から最小周波数のクロック信号を選択する選択回路とをさらに備える。

[0020] 最小周波数のクロック信号を出力するクロック生成回路の情報を格納する記憶部をさらに備え、
選択回路は、記憶部から得られた情報に基づいてクロック信号を選択する。

図面の簡単な説明

[0021] [図1]第1実施形態に従った電圧制御装置の構成例を示すブロック図。

[図2]電圧制御装置と被制御回路との接続関係の一例を示すブロック図。

[図3]クロック生成回路の内部構成の一例を示す回路図。

[図4]内部回路領域のレプリカ回路に遅延回路を付加したクロック生成回路を示す回路図。

[図5]一般的な回路の $f - V$ 特性を示すグラフ。

[図6]被制御回路 2 およびクロック生成回路 3 2 のそれぞれの $f - V$ 特性を示すグラフ。

[図7]第 1 実施形態による被制御回路およびクロック生成回路の $f - V$ 特性の一例を示すグラフ。

[図8]第 2 実施形態による電圧制御装置と被制御回路との接続関係を示すブロック図。

[図9]第 3 実施形態による電圧制御装置と被制御回路との接続関係を示すブロック図。

[図10]第 4 実施形態による電圧制御装置および被制御回路の構成例を示すブロック図。

[図11]第 5 実施形態による電圧制御装置および被制御回路の構成例を示すブロック図。

[図12]遅延モニタ回路の構成例を示す回路図。

[図13]遅延モニタ回路の他の構成例を示す回路図。

[図14]遅延モニタ回路のさらに他の構成例を示す回路図。

[図15]クロック生成回路の構成例を示す回路図。

[図16]クロック生成回路の他の構成例を示す回路図。

発明を実施するための形態

[0022] 以下、本技術を適用した具体的な実施の形態について、図面を参照しながら詳細に説明する。図面は模式的または概念的なものであり、各部分の比率などは、必ずしも現実のものと同じとは限らない。明細書と図面において、既出の図面に関して前述したものと同様の要素には同一の符号を付して詳細な説明は適宜省略する。

[0023] (第 1 実施形態)

図 1 は、第 1 実施形態に従った電圧制御装置の構成例を示すブロック図である。本開示による電圧制御装置 1 は、電源回路 10 と、電源電圧制御回路 20 と、クロック生成回路 30 とを備えている。電圧制御装置 1 は、例えば

、被制御回路2に印加する電源電圧 V_{DD} を、被制御回路2の製造ばらつき、温度、動作周波数等の動作環境に適応させるように制御するAVS制御装置である。

[0024] 電源回路10は、電源電圧制御回路20から目標電圧を受け、被制御回路2の入力部へ目標電圧に従った電力を供給する。被制御回路2は、例えば、CPU (Central Processing Unit) のようなクロック信号CLKに基づいて動作するデジタルロジック回路である。被制御回路2は、1つまたは複数の半導体チップでもよく、あるいは、1つの半導体チップ内の一部分の半導体集積回路であってもよい。

[0025] 電源電圧制御回路20は、クロック生成回路30から出力されるクロック信号CLKと外部からの目標周波数とを受け取り、クロック信号CLKに基づいて電源回路10から被制御回路2へ供給される電源電圧 V_{DD} を制御する。例えば、電源電圧制御回路20は、クロック信号CLKが目標周波数に等しくなるように、目標電圧を調節する。目標電圧は、電源回路10から被制御回路2へ実際に供給される電力の電圧値を示す情報である。

[0026] クロック生成回路30は、被制御回路2の内部電圧を受け取り、内部電圧を電源電圧 V_{DDOSC} としてクロック信号CLKを出力する。電源電圧 V_{DDOSC} は、電源電圧 V_{DD} から被制御回路2内の内部回路領域において電圧降下された内部電圧である。クロック信号CLKは、被制御回路2および電源電圧制御回路20へ供給される。クロック信号CLKは、被制御回路2に供給されて、被制御回路2の動作速度を制御する。クロック信号CLKの周波数によって被制御回路2の動作速度が変わり、それに伴い被制御回路2に必要な目標電圧も変わる。従って、クロック信号CLKは、電源電圧制御回路20にフィードバックされ、目標電圧の調節に用いられる。電源電圧制御回路20は、クロック信号CLKが予め設定された目標周波数に等しくなるように目標電圧を制御する。

[0027] 電圧制御装置1は、電源回路10、電源電圧制御回路20およびクロック生成回路30を含む1つのあるいは複数の半導体チップで構成されてもよい

。また、電圧制御装置1は、被制御回路2の外部に設けられていてもよく、その内部に組み込まれていてもよい。尚、本開示では、電圧制御装置1は、被制御回路2に対して外付けされているものとして説明する。

[0028] 図2は、電圧制御装置1と被制御回路2との接続関係の一例を示すブロック図である。被制御回路2は、任意のデジタルロジック回路であり、複数の内部回路領域IC01～ICnnで構成されている。nは任意の正整数である。内部回路領域IC01～ICnnは、それぞれ同じ回路構成を有してもよく、互いに異なる回路構成を有していてもよい。さらに、内部回路領域IC01～ICnnの区分けも任意であり、デジタルロジック回路を任意の単位で分割してよい。

[0029] 被制御回路2は、電源回路10とグランドGNDとの間に接続されている。入力端子としての高電圧側の第1端子T1には電源電圧 V_{DD} が印加され、他の入力端子としての低電圧側の第2端子には接地電圧 V_{SS} が印加される。内部回路領域IC01～ICnnは、それぞれ内部配線Wを介して第1端子T1と第2端子T2との間に電氣的に接続されている。第1端子T1または第2端子T2から内部回路領域IC01～ICnnまでの配線距離は、内部回路領域IC01～ICnnのそれぞれについて互いに異なってもよい。例えば、本開示では、第1端子T1から内部回路領域IC01～ICij ($0 \leq i \leq n$, $0 \leq j \leq n$) までの配線距離は、i、jが大きくなるにつれて長くなっている。第2端子T2から内部回路領域IC01～ICijまでの配線距離は、iが大きくなるにつれて長くなっており、jが小さくなるにつれて長くなっている。

[0030] 内部配線Wは抵抗を有するので、第1端子T1から内部回路領域IC01～ICnnまでのそれぞれの配線距離に依って、内部回路領域IC01～ICnnにおける電源電圧 V_{DD} からの降下電圧が異なる。また、第2端子T2から内部回路領域IC01～ICnnまでのそれぞれの配線距離に依って、接地電圧 V_{SS} から内部回路領域IC01～ICnnまでの電圧上昇も異なる。従って、内部回路領域IC01～ICnnの電源回路10側の高電圧端子

とグラウンドGND側の低電圧端子との間に印加される内部電圧（実効電源電圧）は、内部回路領域IC01～ICnnのそれぞれにおいて異なる。以下、回路の両端に印加される電源電圧を、実効電源電圧ともいう。内部回路領域IC01～ICnnの実効電源電圧が異なると、内部回路領域IC01～ICnnの動作周波数が変わる。このため、電源電圧制御回路20は、内部回路領域IC01～ICnnの全ての動作周波数が目標周波数以上となるように、電源電圧V_{DD}の目標電圧を設定することが求められる。

[0031] 全内部回路領域IC01～ICnnの動作周波数を目標周波数以上とするためには、被制御回路2の電源電圧V_{DD}からの電圧降下の最も大きな内部回路領域の動作周波数を、目標周波数以上とするようにする必要がある。このような電圧降下の最も大きな内部回路領域（第2内部回路領域）を通る経路を、以下、“クリティカルパス”と呼ぶ。例えば、内部回路領域IC01～ICnnが同じ回路構成を有すものとする、クリティカルパスは、ノードNHnnとノードNLn1との間の内部回路領域ICn1～ICnnを通過する経路である。ノードNHnnは、内部回路領域ICnnの高電圧端子のノードである。ノードNLn1は、内部回路領域ICn1の低電圧端子のノードである。

[0032] 尚、実際には、実効電源電圧の最も低い内部回路領域を電圧測定によって特定することは困難な場合がある。即ち、クリティカルパスを特定することが困難な場合がある。このような場合には、第1端子T1または第2端子T2から複数の内部回路領域IC01～ICnnまでの配線距離のうち、ほぼ最大の配線距離を有する内部回路領域をクリティカルパスと判断してもよい。また、被制御回路2の平面レイアウトにおいて、第1端子T1または第2端子T2から複数の内部回路領域IC01～ICnnまでの直線距離のうち、ほぼ最大の直線距離を有する内部回路領域をクリティカルパスと判断してもよい。さらに、第2または第3実施形態のように、複数の内部回路領域からクリティカルパスを選択してもよい。

[0033] 例えば、図2において、第1端子T1からノードNHnn（内部回路領域

$I C n n$) までの第2配線距離は、第1端子T1から他の内部回路領域(第1内部回路領域)までの第1配線距離よりも長い。即ち、第1端子T1からノードNHnnまでの第2配線距離は、第1端子T1から被制御回路2内の複数の内部回路領域 $I C 0 1 \sim I C n n$ までの配線距離のうち最大距離となる。従って、内部回路領域 $I C 0 1 \sim I C n n$ のうち、内部回路領域 $I C n n$ のノードNHnnが電源電圧 V_{DD} からの電圧降下において最も大きい。

[0034] また、第2端子T2からノードNLn1(内部回路領域 $I C n 1$)までの第4配線距離は、第2端子T2から他の内部回路領域までの第3配線距離よりも長い。即ち、第2端子T2からノードNLn1までの第4配線距離は、第2端子T2から被制御回路2内の複数の内部回路領域 $I C 0 1 \sim I C n n$ までの配線距離のうち最大距離となる。従って、内部回路領域 $I C 0 1 \sim I C n n$ のうち、内部回路領域 $I C n 1$ のノードNHn1が接地電圧 V_{SS} からの電圧上昇において最も大きい。よって、ノードNHnnとノードNLn1との間に印加される実効電源電圧が被制御回路2内の実効電源電圧となり、ノードNHnnとノードNLn1との間の内部回路領域 $I C n 1 \sim I C n n$ を通る経路がクリティカルパスとなる。

[0035] 電源電圧制御回路20は、クリティカルパスの動作周波数が目標周波数以上となるように目標電圧を設定すれば、内部回路領域 $I C 0 1 \sim I C n n$ の全ての動作周波数を目標周波数以上とすることができる。そこで、クロック生成回路30は、第2内部回路領域としてのクリティカルパスと同一の回路構成を有するレプリカ回路で構成される。

[0036] 図3は、クロック生成回路30の内部構成の一例を示す回路図である。クロック生成回路30は、クリティカルパスのレプリカ回路である。即ち、クロック生成回路30は、所謂、クリティカルパス・レプリカ・リングオシレータ(CPRRO)の一例である。クリティカルパスは、例えば、図2のノードNHnnからノードNLn1までの内部回路領域 $I C n 1 \sim I C n n$ となる。このような構成を有するクロック生成回路30は、入力信号を遅延させかつ論理反転させた出力信号を、クロック信号CLKとして出力するとと

もに、この出力信号を入力信号としてフィードバック入力する遅延回路である。クロック生成回路30は、自身の出力信号を遅延時間ごとに反転させて出力するので、パルス状のクロック信号CLKを出力することができる。尚、クロック生成回路30は、クリティカルパスと同一構成の回路であってもよいが、クリティカルパスとほぼ等しい $f-V$ 特性を有する他の回路であってもよい。

[0037] ここで、図3に示すように、クロック生成回路30は、高電圧側電源として電圧 V_{DDOSC} を受け取り、低電圧側電源として電圧 V_{SSOSC} を受け取る。ノード NH_{nn} 、 NL_{n1} からクロック生成回路30までの配線抵抗が十分に小さいとすると、電圧 V_{DDOSC} はノード NH_{nn} の内部電圧にほぼ等しく、電圧 V_{SSOSC} はノード NL_{n1} の内部電圧にほぼ等しい。これにより、クロック生成回路30は、第2内部回路領域としての内部回路領域 $IC_{n1} \sim IC_{nn}$ と同一構成を有し、かつ、内部回路領域 $IC_{n1} \sim IC_{nn}$ に印加される内部電圧とほぼ等しい実効電源電圧 V_{eff_OSC} で動作する。即ち、クロック生成回路30は、ノード NH_{nn} の内部電圧およびノード NL_{n1} の電圧差（実効電源電圧） V_{eff_OSC} に基づいてクロック信号CLKを生成する。

[0038] クロック生成回路30および内部回路領域 $IC_{n1} \sim IC_{nn}$ が同一構成を有することにより、クロック生成回路30は、内部回路領域 $IC_{n1} \sim IC_{nn}$ （即ち、クリティカルパス）と同じ特性（例えば、 $f-V$ 特性）を有することができる。さらに、クロック生成回路30および内部回路領域 $IC_{n1} \sim IC_{nn}$ がほぼ同じ電源電圧で動作する。よって、クロック生成回路30は、内部回路領域 $IC_{n1} \sim IC_{nn}$ に対する実効電源電圧の電圧降下を考慮した遅延回路（例えば、図4の31）を付加する必要がない。従って、付加的な遅延回路による特性の相関誤差を考慮する必要がなく、クロック生成回路30の特性に余計なオフセット成分を付加する必要がなくなる。これにより、後述するように、目標電圧に余計な余裕電圧を含める必要がなくなり、目標電圧を最低動作電圧に接近させることができる。その結果、本開示による電圧制御装置1は、消費電力を低減しつつAVS制御を行うことが

できる。

[0039] 例えば、もし、クロック生成回路が電源電圧 V_{DD} および接地電圧 V_{SS} で動作する場合、クロック生成回路は、クリティカルパスに印加される実効電源電圧の電圧降下を考慮して、遅延回路を追加で有する必要がある。

[0040] 図4は、内部回路領域 $IC_{n1} \sim IC_{nn}$ のレプリカ回路30に遅延回路31を付加したクロック生成回路32を示す回路図である。クロック生成回路32の電源電圧 V_{DDOSC} 、 V_{SSOSC} には、それぞれ外部の電源電圧 V_{DD} および接地電圧 V_{SS} が用いられる。このクロック生成回路32の $f-V$ 特性について以下説明する。

[0041] まず、一般的な $f-V$ 特性について説明する。

[0042] 図5は、一般的な回路の $f-V$ 特性を示すグラフである。縦軸は、周波数 f を示し、横軸は、電源電圧 V を示す。 $f-V$ 特性は、回路の動作周波数 f と電源電圧 V との関係を示す特性である。通常、図5に示すように、電源電圧 V を上昇させると、動作周波数 f は上昇し、逆に、電源電圧 V を低下させると、動作周波数 f は低下する。

[0043] 目標周波数を f_t とすると、回路の製造ばらつきや温度によってクリティカルパスの $f-V$ 特性が変化しても、目標周波数 f_t 以上で動作するために電源電圧 V は AVS 制御される。例えば、ライン L_1 で示す回路は、実効電源電圧が比較的低い V_{L1} でも、目標周波数 f_t で動作する。ライン L_3 で示す回路は、実効電源電圧が比較的高い V_{L3} ないと、目標周波数 f_t で動作しない。ライン L_2 で示す回路は、実効電源電圧が V_{L1} と V_{L3} との間の中間程度の電圧 V_{L2} において、目標周波数 f_t で動作する。このように、回路は、の製造ばらつきや温度によって、目標周波数 f_t で動作するために必要な最低動作電圧($V_{L1} \sim V_{L3}$)が異なる。さらに、回路およびその制御による誤差も考慮して動作を保証するために、 $L_1 \sim L_3$ のそれぞれの最低動作電圧($V_{L1} \sim V_{L3}$)に対して余裕電圧 dV_m を付加する必要がある。従って、ライン $L_1 \sim L_3$ で示す各回路の目標電圧は、それぞれ $V_{L1} + dV_m$ 、 $V_{L2} + dV_m$ 、 $V_{L3} + dV_m$ となる。ライン $L_1 \sim L_3$ の回路を全て正常に動作させるため

には、最低動作電圧の範囲は dV となり、余裕電圧 dV_m を考慮すると、 AVS 制御における実効電源電圧の範囲は dV_{AVS} となる。

[0044] AVS 制御において、回路の動作周波数を目標周波数 f_t 以上で保証するためには、実効電源電圧は、最低動作電圧および余裕電圧の和 ($V_{L1} + dV_m$ 、 $V_{L2} + dV_m$ 、 $V_{L3} + dV_m$ 、 $V_{L1} \sim V_{L3}$) 以上でなくてはならない。一方、最低動作電圧に付加される余裕電圧 dV_m は、回路の消費電力を低減させるために、できるだけ小さいことが好ましい。過剰な余裕電圧 dV_m は、余計な電力損失になるからである。

[0045] 次に、図4の遅延回路31を有するクロック生成回路32の $f-V$ 特性について説明する。

[0046] 図6は、被制御回路2およびクロック生成回路32のそれぞれの $f-V$ 特性を示すグラフである。ライン L_{IC} は、被制御回路2の内部回路領域 $IC01 \sim ICnn$ の $f-V$ 特性を示す。ライン L_{CLK} は、クロック生成回路32の $f-V$ 特性を示す。尚、図6では、理解し易いように、被制御回路2およびクロック生成回路32の $f-V$ 特性を直線で示しているが、 $f-V$ 特性は、図5に示すような曲線であっても構わない。また、便宜的に接地電圧 V_{SS} をゼロとし、端子 $T1$ と端子 $T2$ との間に印加される被制御回路2の実効電源電圧は電源電圧 V_{DD} であるとして説明する。

[0047] 被制御回路2では、目標周波数 f_t 以上の動作周波数を得るために、実効電源電圧の推定最小値 $V_{eff_min_est}$ 以上の電源電圧が必要とされる。推定最小値 $V_{eff_min_est}$ は、被制御回路2のクリティカルパスが目標周波数 f_t で動作するために必要な実効電源電圧の推定値である。一方、被制御回路2の内部回路領域 $IC01 \sim ICnn$ に実際に印加される電源電圧の範囲は、 $V_{eff_n1} \sim V_{eff_01}$ となっている。 V_{eff_n1} は、図2に示すように内部回路領域 $ICn1$ に印加される実効電源電圧であり、内部回路領域 $ICn1$ の電源回路10側の端子とグランド GND 側の端子との間の電圧差である。 V_{eff_01} は、内部回路領域 $IC01$ に印加される実効電源電圧であり、内部回路領域 $IC01$ の電源回路10側の端子とグランド GND 側の端子との間

の電圧差である。本開示では、内部回路領域 $IC01 \sim ICnn$ の中で、内部回路領域 $ICn1$ に印加される電圧 V_{eff_n1} が最小であり、内部回路領域 $IC01$ に印加される電圧 V_{eff_01} が最大であるものとしている。この場合、被制御回路 2 の内部回路領域 $IC01 \sim ICnn$ の実効電源電圧の範囲 dV_{eff} は、 $V_{eff_n1} \sim V_{eff_01}$ となる。

[0048] 実効電源電圧の範囲 dV_{eff} に対する被制御回路 2 の実効動作周波数の範囲 df_{eff} は、 $f_{eff_n1} \sim f_{eff_01}$ となる。被制御回路 2 は、実効電源電圧の範囲 dV_{eff} の電源電圧によって、実効動作周波数の範囲 df_{eff} で動作する。

[0049] 一方、クロック生成回路 32 は、電源電圧 V_{DD} および接地電圧 V_{SS} を電源電圧として入力している。従って、内部回路領域 $IC01 \sim ICnn$ のうち電圧降下の最も大きな内部回路領域 $ICn1 \sim ICnn$ (即ち、クリティカルパス) の実効電源電圧を考慮して、クロック生成回路 32 は、レプリカ回路 30 に遅延回路 31 を付加している。遅延回路 31 は、クロック信号 CLK の周波数を低下させるように機能するので、クロック信号 CLK を目標周波数 f_t に等しくするために、電源電圧制御回路 20 は、目標電圧を上昇させる。これにより、電源回路 10 は、クリティカルパスまでの実効電源電圧の電圧降下を考慮した高い電源電圧 V_{DD} を被制御回路 2 へ印加することができる。その結果、クリティカルパスも含めた被制御回路 2 の全ての内部回路領域が正常に動作することができる。

[0050] 遅延回路 31 を付加することによって、ライン L_{CLK} で示すクロック生成回路 32 の $f-V$ 特性は、ライン L_{IC} で示す被制御回路 2 の $f-V$ 特性に対してオフセット電圧 dV_{OS} を有することになる。例えば、クロック生成回路 32 に印加される実効電源電圧 V_{eff_osc} は、遅延回路 31 の付加によって、実効電源電圧の推定最小値 $V_{eff_min_est}$ よりもオフセット電圧 dV_{OS} だけ高い電圧に設定される。

[0051] 電源電圧 V_{DD} からクロック生成回路 32 までの電圧降下を考慮して、電源電圧 V_{DD} の目標電圧は、クロック生成回路 32 の実効電源電圧 V_{eff_osc} よ

りも該電圧降下分だけ少し高い電圧に設定されている。

[0052] ここで、実際の電圧降下の最大値 dV_{eff_max} は、電源電圧 V_{DD} と内部回路領域 IC_{n1} の実効電源電圧 V_{eff_n1} との電圧差となる。従って、電源電圧 V_{DD} は、実効電源電圧の推定最小値 $V_{eff_min_est}$ よりも実際の電圧降下の最大値 dV_{eff_max} だけ高い電圧 ($V_{eff_min_est} + dV_{eff_max}$) であれば足りるはずである。

[0053] しかし、遅延回路 31 を有するクロック生成回路 32 を用いた場合、電源電圧 V_{DD} は、電圧 ($V_{eff_min_est} + dV_{eff_max}$) よりも過剰な余裕電圧 dV_{loss} だけ高い電圧に設定されている。このように過剰な余裕電圧 dV_{loss} を必要とする理由は以下の通りである。

[0054] まず、電源電圧 V_{DD} からクリティカルパスまでの電圧降下を推定し、電源電圧 V_{DD} が設定される。そのため、電圧降下の推定最大値 $dV_{eff_max_est}$ が実際の電圧降下最大値 dV_{eff_max} よりも大きくなるように遅延回路 31 は設計される。電圧降下の推定最大値 $dV_{eff_max_est}$ は、被制御回路 2 およびクロック生成回路 32 の製造バラツキ、温度による特性変化、過渡的な変化等を考慮して設定される。

[0055] また、レプリカ回路 30 に遅延回路 31 を付加することによって、クリティカルパスとクロック生成回路 32 との間に構造上の差が生じる。この構造差は、クリティカルパスとクロック生成回路 32 との相関精度を悪化させる要因になる。例えば、遅延回路 31 を付加することによって、クロック生成回路 32 の $f-V$ 特性は、図 6 のライン L_{CLK} のうち破線で示すように相関誤差を生じる。相関誤差による電源電圧のばらつきの推定電圧は、 V_{err_est} で示されている。このような誤差推定電圧 V_{err_est} も電圧降下の推定最大値 $dV_{eff_max_est}$ に付加されて、電源電圧 V_{DD} の目標電圧が設定される。このような理由により、クロック生成回路 32 は、過剰な余裕電圧 dV_{loss} を必要とする。

[0056] 次に、本開示によるクロック生成回路 30 の $f-V$ 特性について説明する。

図 7 は、第 1 実施形態による被制御回路 2 およびクロック生成回路 30 の

$f - V$ 特性の一例を示すグラフである。クロック生成回路30は、クリティカルパス（内部回路領域 $IC_{n1} \sim IC_{nn}$ ）と同一構成を有するレプリカ回路であり、遅延回路31を有していない。また、クロック生成回路30は、クリティカルパスとしての内部回路領域 $IC_{n1} \sim IC_{nn}$ に印加される実効電源電圧を受けて動作する。従って、被制御回路2およびクロック生成回路30の $f - V$ 特性は、ライン L_{IC} 、 L_{CLK} で示すように、オフセットを有さずほぼ重複している。

[0057] このように、本開示によるクロック生成回路30は、クリティカルパスに印加される内部電圧（電源電圧 V_{DD} よりも低電圧）を実効電源電圧 V_{eff_OSC} として受けることにより、電源電圧 V_{DD} からクリティカルパスまでの電圧降下を考慮する必要がない。従って、電圧降下の推定最大値 $dV_{eff_max_est}$ の設定が不要であり、付加的な遅延回路31を設ける必要が無い。

[0058] 付加的な遅延回路31が不要なため、クリティカルパスとクロック生成回路30とが構造上、同一構成となり、クリティカルパスとクロック生成回路30との相関誤差がほぼ無くなる。即ち、相関誤差による電源電圧の誤差推定電圧 V_{err_est} も考慮する必要が無い。その結果、過剰な余裕電圧 dV_{lo_s} がほとんど不要となる。

[0059] この場合、内部回路領域 IC_{n1} の実効電源電圧 V_{eff_n1} およびクロック生成回路30の実効電源電圧 V_{eff_OSC} は、ほぼ等しくなる。また、内部回路領域 IC_{n1} の動作周波数 f_{eff_n1} は、目標周波数 f_t にほぼ等しくなる。電源電圧 V_{DD} の目標電圧は、実効電源電圧 V_{eff_n1} および実効電源電圧 V_{eff_OSC} から実際の電圧降下の最大値 dV_{eff_max} を加算した電圧に設定すればよい。

[0060] これにより、電圧制御装置1は、被制御回路2の実効電源電圧 V_{eff_n1} を最低動作電圧以上に維持しつつ、最低動作電圧に近付けて、消費電力を低減することができる。

[0061] 尚、第1実施形態では、クロック生成回路30は、クリティカルパスと同一構成を有するレプリカ回路であり、電源電圧 V_{DD} からの電圧降下の最も大

きな内部電圧から電源電圧を受けている。即ち、クロック生成回路30は、実効電源電圧の最も小さい内部回路領域 $IC_{n1} \sim IC_{nn}$ から電源電圧を受けている。

[0062] しかし、クリティカルパスを特定できない場合には、クロック生成回路30は、実効電源電圧が少しでも小さい内部回路領域から実効電源電圧 V_{eff_osc} を得てもよい。この場合、クリティカルパスの回路規模が大きくなったり、追加の遅延回路が必要になる可能性があるが、クロック生成回路30は、電源電圧 V_{DD} を受けるクロック生成回路32よりも余裕電圧 $dV_{I_{oss}}$ を小さくすることができる。

[0063] あるいは、例えば、クロック生成回路30は、電源電圧 V_{DD} からの電圧降下の最も大きな内部電圧と電源電圧 V_{DD} との電圧差の半分より電圧降下の大きな内部電圧を実効電源電圧 V_{eff_osc} として受けてもよい。即ち、実効電源電圧 V_{eff_osc} は、最大電圧降下の半分より大きく電圧降下している内部電圧でもよい。これにより、クロック生成回路30の実効電源電圧 V_{eff_osc} は、できるだけクリティカルパスに近い内部回路領域の内部電源から得ることができる。

[0064] 代替的に、クロック生成回路30は、端子T1、T2からの配線距離が少しでも長い内部回路領域から実効電源電圧 V_{eff_osc} を受けてもよい。例えば、端子T1から内部回路領域 IC_{1n} までの配線距離が端子T1から内部回路領域 IC_{0n} までの配線距離よりも長い場合、クロック生成回路30は、内部回路領域 IC_{1n} の高電圧側端子（ノード NH_{1n} ）から高電圧電源を受ける。端子T2から内部回路領域 IC_{11} までの配線距離が端子T2から内部回路領域 IC_{01} までの配線距離よりも長い場合、クロック生成回路30は、内部回路領域 IC_{11} の低電圧側端子（ノード NL_{11} ）から低電圧電源を受ける。これにより、クロック生成回路30は、ノード NH_{1n} とノード NL_{11} との電圧差を実効電源電圧 V_{eff_osc} として受ける。これにより、クロック生成回路30の実効電源電圧 V_{eff_osc} は、クリティカルパスに近い内部回路領域の内部電源から得ることができる。

- [0065] あるいは、例えば、クロック生成回路30は、端子T1から複数の内部回路領域IC01～ICnnまでの複数の配線距離のうち最大距離の半分よりも長い内部回路領域から高電圧電源を受けてもよい。かつ、クロック生成回路30は、端子T2から複数の内部回路領域IC01～ICnnまでの複数の配線距離のうち最大距離の半分よりも長い位置にある内部回路領域から低電圧電源を受けてもよい。このようにしても、クロック生成回路30の実効電源電圧 V_{eff_OSC} は、クリティカルパスに近い内部回路領域の内部電源から得ることができる。
- [0066] さらに、クロック生成回路30は、平面レイアウトにおいて、端子T1、T2からの直線距離が少しでも長い内部回路領域から実効電源電圧 V_{eff_OSC} を受けてもよい。例えば、端子T1から内部回路領域IC1nまでの直線距離が端子T1から内部回路領域IC0nまでの直線距離よりも長い場合、クロック生成回路30は、内部回路領域IC1nの高電圧側端子（ノードNH1n）から高電圧電源を受ける。端子T2から内部回路領域IC11までの直線距離が端子T2から内部回路領域IC01までの直線距離よりも長い場合、クロック生成回路30は、内部回路領域IC11の低電圧側端子（ノードNL11）から低電圧電源を受ける。これにより、クロック生成回路30は、ノードNH1nとノードNL11との電圧差を実効電源電圧 V_{eff_OSC} として受ける。これにより、クロック生成回路30の実効電源電圧 V_{eff_OSC} は、クリティカルパスに近い内部回路領域の内部電源から得ることができる。
- [0067] あるいは、例えば、クロック生成回路30は、端子T1から複数の内部回路領域IC01～ICnnまでの直線距離のうち最大距離の半分よりも遠い位置にある内部回路領域から高電圧電源を受けてもよい。かつ、クロック生成回路30は、端子T2から複数の内部回路領域IC01～ICnnまでの直線距離のうち最大距離の半分よりも長い位置にある内部回路領域から低電圧電源を受けてもよい。このようにしても、クロック生成回路30の実効電源電圧 V_{eff_OSC} は、クリティカルパスに近い内部回路領域の内部電源から

得ることができる。

また、第1実施形態によれば、クロック生成回路30は、被制御回路2の内部電圧を実効電源電圧として用いている。これにより、クロック生成回路30は、電源電圧 V_{DD} の過渡的な電圧変動に対してクロック信号CLKの周波数を変更し、被制御回路2におけるタイミングエラーの発生を抑制することができる(Adaptive Clocking技術)。

[0068] (第2実施形態)

図8は、第2実施形態による電圧制御装置1と被制御回路2との接続関係を示すブロック図である。第2実施形態による電圧制御装置1は、複数の内部回路領域IC01~ICnnから選択された最小内部電圧を、クロック生成回路30に実効電源電圧 V_{eff_osc} として供給する。第2実施形態による電圧制御装置1は、マルチプレクサMUX_{H1}と、マルチプレクサMUX_{L1}と、レジスタ40とをさらに備えている。第2実施形態のその他の構成は、第1実施形態の対応する構成と同様でよい。

[0069] 選択回路としてのマルチプレクサMUX_{H1}は、被制御回路2内の複数の内部回路領域IC01~ICnnの高電圧端子に接続されており、内部回路領域に印加される複数の高電圧電源を入力する。そして、マルチプレクサMUX_{H1}は、該複数の高電圧電源から最小電圧の電源を選択する。選択された高電圧電源は、クロック生成回路30の高電圧電源 V_{DDosc} に入力される。

[0070] 他の選択回路としてのマルチプレクサMUX_{L1}は、被制御回路2内の複数の内部回路領域IC01~ICnnの低電圧端子に接続されており、内部回路領域IC01~ICnnに印加される複数の低電圧電源を入力する。そして、マルチプレクサMUX_{L1}は、該複数の低電圧電源から最大電圧の電源を選択する。選択された低電圧電源は、クロック生成回路30の低電圧電源 V_{ssosc} に入力される。

[0071] これにより、クロック生成回路30は、内部回路領域IC01~ICnnの実効電源電圧のうち最小の実効電源電圧に基づいてクロック信号を生成することができる。

- [0072] 記憶部としてのレジスタ40は、マルチプレクサ MUX_{H1} 、 MUX_{L1} に入力された複数の高電圧電源および複数の低電圧電源のうち、どの高電圧電源およびどの低電圧電源を選択するかを決定する情報を格納する。例えば、内部回路領域 $IC01 \sim ICnn$ の実効電源電圧または動作周波数を予め測定し、レジスタ40は、最も低い実効電源電圧または最も低い動作周波数を有する内部回路領域の情報を格納する。
- [0073] マルチプレクサ MUX_{H1} 、 MUX_{L1} は、全ての内部回路領域 $IC01 \sim ICnn$ あるいはその一部から高電圧電源および低電圧電源を入力して、レジスタ40から得られた情報に基づいて、最も低い高電圧電源と最も高い低電圧電源を選択してクロック生成回路30へ出力する。代替的に、マルチプレクサ MUX_{H1} 、 MUX_{L1} は、端子T1（または端子T2）から配線距離または直線距離において比較的遠い複数の内部回路領域から高電圧電源および低電圧電源を入力して、その中から、最も低い高電圧電源と最も高い低電圧電源を選択してクロック生成回路30へ出力してもよい。この場合、レジスタ40は、内部回路領域 $IC01 \sim ICnn$ のうち端子T、T2から最も配線距離または直線距離の長い内部回路領域の情報を格納すればよい。
- [0074] 内部回路領域 $IC01 \sim ICnn$ の一部の内部電圧をマルチプレクサ MUX_{H1} 、 MUX_{L1} へ供給する場合、電源電圧 V_{DD} からの電圧降下が或る閾値以上の複数の内部回路領域の内部電圧をマルチプレクサ MUX_{H1} 、 MUX_{L1} へ供給すればよい。代替的に、端子T1（または端子T2）からの配線距離または直線距離が或る閾値以上の内部回路領域の内部電圧をマルチプレクサ MUX_{H1} 、 MUX_{L1} へ供給してもよい。これにより、内部回路領域からマルチプレクサ MUX_{H1} 、 MUX_{L1} までの配線数を少なくし、電圧制御装置1または被制御回路2のサイズを小さくすることができる。
- [0075] また、動作状態によって被制御回路2の消費電流の分布が変わると、クリティカルパスが変化する場合がある。この場合、レジスタ40は、各動作状態の情報と該動作状態におけるクリティカルパスに該当する内部回路領域の情報とを関連付けてルックアップテーブルとして格納すればよい。マルチプ

レクサMUX_{H1}、MUX_{L1}は、レジスタ40のルックアップテーブルを参照して、被制御回路2の動作状態に応じたクリティカルパスの実効電源電圧を動的に選択すればよい。これにより、電圧制御装置1は、被制御回路2の複数の動作状態において、適切な電源電圧V_{DD}を用いて被制御回路2をAVS制御することができる。

[0076] マルチプレクサMUX_{H1}、MUX_{L1}は、差動増幅回路等の比較器を用いて、全ての内部回路領域IC01～ICnnからあるいはその一部からの高電圧電源および低電圧電源を比較して、最も低い高電圧電源と最も高い低電圧電源を選択してもよい。この場合であっても、電圧制御装置1は、被制御回路2の複数の動作状態において、適切な電源電圧V_{DD}を設定することができる。また、この場合、レジスタ40を省略することができる。

[0077] このように、第2実施形態による電圧制御装置1は、複数の内部回路領域の実効電源電圧から高電圧電源および低電圧電源を選択して、クロック生成回路30の実効電源電圧V_{eff_OSC}として用いることができる。これにより、電圧制御装置1は、動的に適切なクロック生成回路30の実効電源電圧V_{eff_OSC}を選択することができる。また、第2実施形態は、第1実施形態の効果も得ることができる。

[0078] (第3実施形態)

図9は、第3実施形態による電圧制御装置1と被制御回路2との接続関係を示すブロック図である。第3実施形態による電圧制御装置1は、複数のクロック生成回路30__1～30__yからの複数のクロック信号から最小周波数のクロック信号を選択して、被制御回路2へ供給する。尚、yは正整数である。

[0079] 第3実施形態による電圧制御装置1は、複数のクロック生成回路30__1～30__yと、マルチプレクサMUX2と、レジスタ40とをさらに備えている。第3実施形態のその他の構成は、第1実施形態の対応する構成と同様でよい。

[0080] 複数のクロック生成回路30__1～30__yは、複数の内部回路領域IC

01 ~ ICnn に印加される複数の内部電圧の全部または一部を、それぞれ実効電源電圧 $V_{eff_OSC1} \sim V_{eff_OSCy}$ として受け取る。そして、クロック生成回路 30__1 ~ 30__y は、それぞれ実効電源電圧 $V_{eff_OSC1} \sim V_{eff_OSCy}$ に基づいて、複数のクロック信号を生成する。このとき生成される複数のクロック信号の周波数は、クロック生成回路 30__1 ~ 30__y の f-V 特性に基づき、実効電源電圧 $V_{eff_OSC1} \sim V_{eff_OSCy}$ に応じた周波数となる。

[0081] 選択回路としてのマルチプレクサ MUX 2 は、複数のクロック生成回路 30__1 ~ 30__y からの複数のクロック信号を入力し、該複数のクロック信号から最小周波数のクロック信号を選択する。上述のように、実効電源電圧が小さいほど、クロック信号の周波数は低下する。従って、最小周波数のクロック信号は、最小実効電源電圧に対応する。即ち、最小周波数のクロック信号は、クリティカルパスの内部電圧を受けたクロック生成回路 (30__1 ~ 30__y のいずれか) から出力されるクロック信号であると言える。電源電圧制御回路 20 はこのような最小周波数のクロック信号を目標周波数 f_t に等しくするように、電源電圧 V_{DD} を制御する。これにより、被制御回路 2 のクリティカルパスを含む内部回路領域 IC01 ~ ICnn の全体が正常に動作することができる。

[0082] 記憶部としてのレジスタ 40 は、最小周波数のクロック信号を出力するクロック生成回路の情報を格納する。例えば、内部回路領域 IC01 ~ ICnn の実効電源電圧または動作周波数を予め測定し、レジスタ 40 は、最も低い実効電源電圧または最も低い動作周波数を有する内部回路領域の情報を格納する。

[0083] マルチプレクサ MUX 2 は、クロック生成回路 30__1 ~ 30__y からクロック信号を入力して、レジスタ 40 から得られた情報に基づいて、最小周波数のクロック信号を選択して被制御回路 2 へ出力する。

[0084] クロック生成回路 30__1 ~ 30__y は、全ての内部回路領域 IC01 ~ ICnn に対応して設けられてもよく、一部の内部回路領域に対応して設け

られていてもよい。クロック生成回路30__1~30__yが一部の内部回路領域に対応して設けられている場合、第2実施形態と同様に、電圧降下、配線距離または直線距離が閾値以上の内部回路領域に対してクロック生成回路を設ければよい。これにより、クロック生成回路30__1~30__yの個数を少なくすることができる。また、内部回路領域からクロック生成回路30__1~30__yまでの配線数を少なくすることができる。その結果、電圧制御装置1または被制御回路2の大きさを小さくすることができる。

[0085] また、被制御回路2の動作状態によってクリティカルパスが変化する場合、レジスタ40は、各動作状態の情報と該動作状態におけるクリティカルパスに該当する内部回路領域の情報とを関連付けてルックアップテーブルとして格納すればよい。マルチプレクサMUX2は、レジスタ40のルックアップテーブルを参照して、被制御回路2の動作状態に応じてクリティカルパスに対応するクロック信号を動的に選択すればよい。これにより、電圧制御装置1は、被制御回路2の複数の動作状態において、適切な電源電圧 V_{DD} を用いて被制御回路2をAVS制御することができる。

[0086] マルチプレクサMUX2は、ローパスフィルタ回路等を用いて、クロック生成回路30__1~30__yからのクロック信号の周波数を比較して、最も低い周波数のクロック信号を選択してもよい。この場合であっても、電圧制御装置1は、被制御回路2の複数の動作状態において、適切な電源電圧 V_{DD} を設定することができる。また、この場合、レジスタ40を省略することができる。この場合、レジスタ40は、複数の動作状態に対応した複数のルックアップテーブルを格納してもよい。

[0087] 非選択のクロック信号に対応するクロック生成回路は、クロック生成動作を停止してもよい。これにより、電圧制御装置1の消費電力をさらに低減させることができる。

[0088] このように、第3実施形態による電圧制御装置1は、複数の内部回路領域の実効電源電圧によって得られるクロック信号から最小周波数のクロック信号を選択し、この最小周波数のクロック信号を被制御回路2に供給する。こ

のようにしても、電圧制御装置 1 は、動的に適切なクロック生成回路 30 の実効電源電圧 V_{eff_osc} を選択することができる。また、第 3 実施形態は、第 1 実施形態の効果も得ることができる。

[0089] (第 4 実施形態)

図 10 は、第 4 実施形態による電圧制御装置 1 および被制御回路 2 の構成例を示すブロック図である。第 4 実施形態による電圧制御装置 1 は、クロック生成回路 30 とは別に、遅延モニタ回路 50 をさらに備えている。遅延モニタ回路 50 は、クロック生成回路 30 と同様に、クリティカルパスと同一構成の回路あるいはほぼ同じ $f-V$ 特性を有する回路を含む。遅延モニタ回路 50 は、被制御回路 2 から電源電圧 V_{DDosc} を受けて、クリティカルパスの遅延時間を測定し、その遅延時間の情報を電源電圧制御回路 20 にフィードバックする。一方、クロック生成回路 30 は、被制御回路 2 から電源電圧 V_{DDosc} を受けて、クロック信号 CLK を被制御回路 2 へ供給するものの、電源電圧制御回路 20 にはフィードバックしていない。即ち、第 4 実施形態では、クロック信号 CLK を生成するクロック生成回路 30 と電源電圧 V_{DD} を設定するための遅延モニタ回路 50 とが別々に設けられた形態である。第 4 実施形態のその他の構成は、第 1 実施形態の対応する構成と同様でよい。

[0090] 遅延モニタ回路 50 の内部構成については、図 12 ~ 図 14 を参照して後で説明する。また、クロック生成回路 30 の内部構成については、図 3 に示す構成の他、図 15、図 16 に示す構成でもよい。

[0091] (第 5 実施形態)

図 11 は、第 5 実施形態による電圧制御装置 1 および被制御回路 2 の構成例を示すブロック図である。第 5 実施形態による電圧制御装置 1 も、第 4 実施形態と同様に、クロック生成回路 30 とは別に、遅延モニタ回路 50 をさらに備えている。しかし、クロック生成回路 30 は、一定の任意周波数のクロック信号 CLK を生成し、被制御回路 2 からの内部電圧を電源電圧 V_{DDosc} としては受けていない。クロック生成回路 30 は、例えば、水晶発振器、LC または RC 発振器、PLL (Phase Locked Loop) 回路、DLL (Digital

Locked Loop) 回路等でよい。

第5実施形態によれば、クロック生成回路30は、被制御回路2の内部電圧を実効電源電圧として用いていないため、上述のAdaptive Clocking技術を用いることはできない。しかし、クロック信号CLKの周波数を一定値に安定して維持することができる。

第5実施形態のその他の構成は、第4実施形態の対応する構成と同様でよい。

[0092] (遅延モニタ回路50の構成)

ここで、第4および第5実施形態における遅延モニタ回路50の内部構成について説明する。

[0093] 図12は、遅延モニタ回路50の構成例を示す回路図である。遅延モニタ回路50は、遅延回路51と、遅延計測器52とを含む。遅延回路51は、クロック生成回路30の構成とほぼ同一回路でもよく、あるいは、クロック生成回路30とほぼ同一の $f-V$ 特性を有する回路である。即ち、遅延回路51は、クリティカルパスとほぼ同一構成あるいはほぼ同一 $f-V$ 特性を有する回路である。遅延計測器52は、遅延回路51の出力と入力との間に接続されており、遅延回路51の出力の立ち上がり時点から立ち下がり時点までの時間(クロック信号CLKのパルス幅)を計測する。あるいは、遅延計測器52は、遅延回路51の出力の立ち下がり時点から立ち上がる時点までの時間を計測してもよい。即ち、遅延計測器52は、遅延回路51の入力から出力までの遅延時間を計測する。遅延時間は、複数のパルス幅の平均値であってもよい。この遅延時間の情報は、電源電圧制御回路20へフィードバックされる。

[0094] 電源電圧制御回路20は、遅延時間の情報を受け取り、遅延時間が目標遅延時間に等しくなるように目標電圧を設定する。遅延時間は、クロック信号CLKの周波数の逆数である(反比例する)ので、周波数に代えて遅延時間を用いて電源電圧 V_{DD} の目標電圧を設定することも可能である。勿論、遅延モニタ回路50は、遅延回路51の周波数を出力してもよい。この場合、電

源電圧制御回路20は、遅延モニタ回路50からの周波数に基づいて目標電圧を設定すればよい。

[0095] (遅延モニタ回路50の変形例1)

図13は、遅延モニタ回路50の他の構成例を示す回路図である。遅延モニタ回路50は、遅延回路51と、カウンタ53と、演算処理器54とを含む。

[0096] カウンタ53は、遅延回路51の出力と演算処理器54の入力との間に接続されており、所定期間内における遅延回路51の出力の反転回数(クロック信号CLKの反転回数)をカウントする。

[0097] 演算処理器54は、カウンタ53の出力に接続されており、遅延回路51の出力の反転回数を受け取る。演算処理器54は、所定時間と遅延回路51の出力の反転回数とに基づいて、遅延時間を計測する。この遅延時間の情報は、電源電圧制御回路20へフィードバックされる。

[0098] 電源電圧制御回路20の動作は、図12を参照して上述したとおりである。

[0099] (遅延モニタ回路50の変形例2)

図14は、遅延モニタ回路50のさらに他の構成例を示す回路図である。遅延モニタ回路50は、遅延回路51と、カウンタ53と、演算処理器54とを含む点で、図13に示す遅延モニタ回路50と同じである。しかし、遅延回路51の構成が図13のそれと異なる。

[0100] 図14の遅延回路51は、遅延計測器52に対して並列に接続された互いに異なる遅延列DL1、DL2、DL3・・・を有する。各遅延列DL1、DL2、DL3・・・は、それぞれ複数の同一遅延要素を直列に接続して構成されている。しかし、各遅延列DL1、DL2、DL3・・・の構成は、これに限定されず、異なるf-V特性を有していればよい。遅延要素は、例えば、インバータ回路、NAND演算回路、NOR演算回路等のロジック回路でよい。遅延計測器52は、例えば、レジスタ40からの情報に基づいて、いずれかの遅延列DL1、DL2、DL3・・・を選択する。遅延計測器5

2は、選択された遅延列からのパルス信号を用いて遅延時間を計測する。これにより、電圧制御装置1は、被制御回路2の動作状態に応じて、適切な $f-V$ 特性を有する遅延列を選択し、適切な電源電圧 V_{DD} を用いて被制御回路2をAVS制御することができる。

[0101] 図14の遅延モニタ回路50のその他の構成および動作は、図13に示す構成および動作と同じでよい。

[0102] 図14の遅延モニタ回路50によれば、被制御回路2の動作状態に応じて、適切な $f-V$ 特性を有する遅延列を選択することができるので、AVS制御の自由度が高くなる。また、演算処理器54が演算によって遅延時間を算出する場合、電源電圧制御回路20にフィードバックされる遅延時間は、実際に計測した遅延要素と異なる $f-V$ 特性に基づいて生成することが可能となる。これにより、さらに、AVS制御の自由度が高くなる。

[0103] 以上のように、第4および第5実施形態によれば、遅延モニタ回路50は、クロック生成回路30とは別に設けられているが、クロック生成回路30と同様にクリティカルパスと同一構成または同一 $f-V$ 特性を有することができる。従って、第4および第5実施形態は、第1実施形態と同様の効果を得ることができる。第4および第5実施形態は、第2または第3実施形態と組み合わせてもよい。例えば、第4または第5実施形態を第2実施形態と組み合わせる場合、クロック生成回路30および/または遅延モニタ回路50に供給される電源電圧 V_{DDOSC} 、マルチプレクサ MUX_{H1} で選択された内部電圧でよい。また、クロック生成回路30および/または遅延モニタ回路50に供給される低電圧電源は、マルチプレクサ MUX_{L1} で選択された内部電圧でよい。例えば、第4または第5実施形態を第3実施形態と組み合わせる場合、複数のクロック生成回路30および/または複数の遅延モニタ回路50を設け、クロック生成回路30および遅延モニタ回路50に対応する2つのマルチプレクサを設ける。一方のマルチプレクサは、複数のクロック生成回路30からのクロック信号のうち最小周波数のクロック信号CLKを被制御回路2へ出力する。他方のマルチプレクサは、複数の遅延モニタ回路50から

の遅延時間のうち最長の遅延時間を電源電圧制御回路20へフィードバックすればよい。

[0104] このように、遅延モニタ回路50をクロック生成回路30とは別に設けることによって、 $f-V$ 特性を等しくしつつ、クロック生成回路30と遅延モニタ回路50との構成を相違させることができる。これは、電圧制御装置1の回路設計において自由度を高めることができる。

[0105] (クロック生成回路30の構成)

第4および第5実施形態における遅延モニタ回路50の内部構成について説明する。

[0106] 図15は、クロック生成回路30の構成例を示す回路図である。クロック生成回路30は、遅延回路DL11~DL13と、マルチプレクサMUX31~MUX33とを備えている。遅延回路DL11~DL13は、それぞれ互いに異なる種類の遅延要素を有する。各遅延回路DL11~DL13は、それぞれ複数の同一遅延要素を直列に接続して構成されている。しかし、各遅延回路DL11~DL13は、の構成は、これに限定されない。

[0107] 遅延回路DL11~DL13は、マルチプレクサMUX31~MUX33を介して直列に接続されている。例えば、遅延回路DL11は、異なる遅延要素から得られる複数の出力信号をマルチプレクサMUX31へ出力する。マルチプレクサMUX31は、遅延回路DL11からの複数の出力信号のうちいずれか1つの出力信号を選択して、後段の遅延回路DL12へ出力する。

[0108] 同様に、遅延回路DL12は、異なる遅延要素から得られる複数の出力信号をマルチプレクサMUX32へ出力する。マルチプレクサMUX32は、遅延回路DL12からの複数の出力信号のうちいずれか1つの出力信号を選択して、後段の遅延回路DL13へ出力する。

[0109] 遅延回路DL13は、遅延要素の複数の異なる箇所から得られる複数の出力信号をマルチプレクサMUX33へ出力する。マルチプレクサMUX33は、遅延回路DL13からの複数の出力信号のうちいずれか1つの出力信号

を選択して、その出力信号をインバータINV1で反転しクロック信号CLKとして出力する。

[0110] クロック生成回路30は、インバータINV1からの出力信号を被制御回路2へ出力するとともに、自己の入力へフィードバックする。

[0111] マルチプレクサMUX31~MUX33は、レジスタ40からの情報に基づいて、いずれかの出力信号を選択する。これにより、クロック生成回路30は、被制御回路2の動作状態に応じて、適切なf-V特性を有する遅延回路を構成し、適切な電源電圧V_{DD}を用いて被制御回路2をAVS制御することができる。

[0112] (クロック生成回路30の変形例)

図16は、クロック生成回路30の他の構成例を示す回路図である。本変形例のクロック生成回路30は、遅延回路DL40と、マルチプレクサMUX40とを備えている。遅延回路DL40は、直列接続された単一種類の遅延要素(例えば、インバータ回路)を有し、マルチプレクサMUX40を介して出力される。例えば、遅延回路DL40は、遅延要素の複数の異なる箇所から得られる複数の出力信号をマルチプレクサMUX40へ出力する。マルチプレクサMUX40は、遅延回路DL40からの複数の出力信号のうちいずれか1つの出力信号を選択して、その出力信号をインバータINV2で反転しクロック信号CLKとして出力する。マルチプレクサMUX40は、レジスタ40からの情報に基づいて、いずれかの出力信号を選択する。

[0113] このように、単一種類の遅延要素のみで構成された遅延回路DL40であっても、直列接続される遅延要素の個数を変更することによって、クロック生成回路30は任意の遅延時間を有することができる。直列接続される遅延要素の個数の情報は、レジスタ40に予め格納しておけばよい。

[0114] これにより、本変形例によるクロック生成回路30も、被制御回路2の動作状態に応じて、適切なf-V特性を有する遅延回路を構成し、適切な電源電圧V_{DD}を用いて被制御回路2をAVS制御することができる。

[0115] 本技術は、以下の構成も取り得る。

(1)

被制御回路の入力端子に電力を供給する電源回路と、

前記被制御回路に供給されるクロック信号に基づいて、前記電源回路から前記被制御回路へ供給される電源電圧を制御する電源電圧制御回路と、

前記入力部から前記被制御回路内の配線距離において前記被制御回路内の第1内部回路領域の第1配線距離よりも長い第2配線距離を有する第2内部回路領域に印加される内部電圧を電源として受け取り、該内部電圧に基づいて前記クロック信号を生成するクロック生成回路と、を備えた電圧制御装置。

(2)

前記第2配線距離は、前記入力部から前記被制御回路内の複数の内部回路領域までの複数の配線距離のうち最大距離の半分よりも長い、請求項1に記載の電圧制御装置。

(3)

前記第2配線距離は、前記入力部から前記被制御回路内の複数の内部回路領域までの複数の配線距離のうちほぼ最大である、請求項1に記載の電圧制御装置。

(4)

前記内部電圧は、前記第1内部回路領域に印加される電圧より低い、請求項1から請求項3のいずれか一項に記載の電圧制御装置。

(5)

前記内部電圧は、前記被制御回路において前記電源電圧からの最大電圧降下の半分より大きく電圧降下している、請求項1から請求項4のいずれか一項に記載の電圧制御装置。

(6)

前記内部電圧は、前記被制御回路内の複数の内部回路領域に供給される電圧のうちほぼ最小の電圧である、請求項1から請求項5のいずれか一項に記載の電圧制御装置。

(7)

前記入力部から前記第2内部回路領域までの直線距離は、前記入力部から前記第1内部回路領域までの直線距離よりも長い、請求項1から請求項6のいずれか一項に記載の電圧制御装置。

(8)

前記入力部から前記第2内部回路領域までの直線距離は、前記入力部から前記被制御回路内の複数の内部回路領域までの複数の直線距離のうち最大距離の半分よりも長い、請求項1から請求項7のいずれか一項に記載の電圧制御装置。

(9)

前記入力部から前記第2内部回路領域までの直線距離は、前記入力部から前記被制御回路内の複数の内部回路領域までの複数の直線距離のうちほぼ最大である、請求項8に記載の電圧制御装置。

(10)

前記クロック生成回路は、前記第2内部回路領域と同一の回路構成を有する、請求項1から請求項9のいずれか一項に記載の電圧制御装置。

(11)

前記クロック生成回路は、入力信号を反転して出力信号として出力し、該出力信号を前記入力信号として入力する遅延回路である、請求項1から請求項10のいずれか一項に記載の電圧制御装置。

(12)

前記被制御回路内の複数の内部回路領域に印加される複数の内部電圧を入力し、該複数の内部電圧から最小の内部電圧を選択する選択回路をさらに備え、

前記クロック生成回路は、前記最小の内部電圧を電源として受け取り、該最小の内部電圧に基づいて前記クロック信号を生成する、請求項1から請求項11のいずれか一項に記載の電圧制御装置。

(13)

前記最小の内部電圧を受ける前記第2内部回路領域の情報を格納する記憶部をさらに備え、

前記選択回路は、前記記憶部から得られた情報に基づいて前記第2内部回路領域を選択する、請求項12に記載の電圧制御装置。

(14)

前記被制御回路内の複数の内部回路領域に印加される複数の内部電圧をそれぞれ電源として受け取り、それぞれ該複数の内部電圧に基づいて複数のクロック信号を生成する複数のクロック生成回路と、

前記複数のクロック生成回路からの複数のクロック信号を入力し、該複数のクロック信号から最小周波数のクロック信号を選択する選択回路とをさらに備えた、請求項1から請求項11のいずれか一項に記載の電圧制御装置。

(15)

前記最小周波数のクロック信号を出力する前記クロック生成回路の情報を格納する記憶部をさらに備え、

前記選択回路は、前記記憶部から得られた情報に基づいて前記クロック信号を選択する、請求項14に記載の電圧制御装置。

[0116] 尚、本開示は、上述した実施形態に限定されるものではなく、本開示の要旨を逸脱しない範囲において種々の変更が可能である。また、本明細書に記載された効果はあくまで例示であって限定されるものではなく、他の効果があってもよい。

符号の説明

[0117] 1 電圧制御装置、10 電源回路、20 電源電圧制御回路、30 クロック生成回路、IC01~ICnn 内部回路領域IC01~ICnn、MUX_{H1}、MUX_{L1}、MUX2 マルチプレクサ

請求の範囲

- [請求項1] 被制御回路の入力端子に電力を供給する電源回路と、
前記被制御回路に供給されるクロック信号に基づいて、前記電源回路から前記被制御回路へ供給される電源電圧を制御する電源電圧制御回路と、
前記入力部から前記被制御回路内の配線距離において前記被制御回路内の第1内部回路領域の第1配線距離よりも長い第2配線距離を有する第2内部回路領域に印加される内部電圧を電源として受け取り、該内部電圧に基づいて前記クロック信号を生成するクロック生成回路と、を備えた電圧制御装置。
- [請求項2] 前記第2配線距離は、前記入力部から前記被制御回路内の複数の内部回路領域までの複数の配線距離のうち最大距離の半分よりも長い、請求項1に記載の電圧制御装置。
- [請求項3] 前記第2配線距離は、前記入力部から前記被制御回路内の複数の内部回路領域までの複数の配線距離のうちほぼ最大である、請求項1に記載の電圧制御装置。
- [請求項4] 前記内部電圧は、前記第1内部回路領域に印加される電圧より低い、請求項1に記載の電圧制御装置。
- [請求項5] 前記内部電圧は、前記被制御回路において前記電源電圧からの最大電圧降下の半分より大きく電圧降下している、請求項1に記載の電圧制御装置。
- [請求項6] 前記内部電圧は、前記被制御回路内の複数の内部回路領域に供給される電圧のうちほぼ最小の電圧である、請求項1に記載の電圧制御装置。
- [請求項7] 前記入力部から前記第2内部回路領域までの直線距離は、前記入力部から前記第1内部回路領域までの直線距離よりも長い、請求項1に記載の電圧制御装置。
- [請求項8] 前記入力部から前記第2内部回路領域までの直線距離は、前記入力

部から前記被制御回路内の複数の内部回路領域までの複数の直線距離のうち最大距離の半分よりも長い、請求項 1 に記載の電圧制御装置。

[請求項9] 前記入力部から前記第 2 内部回路領域までの直線距離は、前記入力部から前記被制御回路内の複数の内部回路領域までの複数の直線距離のうちほぼ最大である、請求項 8 に記載の電圧制御装置。

[請求項10] 前記クロック生成回路は、前記第 2 内部回路領域と同一の回路構成を有する、請求項 1 に記載の電圧制御装置。

[請求項11] 前記クロック生成回路は、入力信号を反転して出力信号として出力し、該出力信号を前記入力信号として入力する遅延回路である、請求項 1 に記載の電圧制御装置。

[請求項12] 前記被制御回路内の複数の内部回路領域に印加される複数の内部電圧を入力し、該複数の内部電圧から最小の内部電圧を選択する選択回路をさらに備え、

前記クロック生成回路は、前記最小の内部電圧を電源として受け取り、該最小の内部電圧に基づいて前記クロック信号を生成する、請求項 1 に記載の電圧制御装置。

[請求項13] 前記最小の内部電圧を受ける前記第 2 内部回路領域の情報を格納する記憶部をさらに備え、

前記選択回路は、前記記憶部から得られた情報に基づいて前記第 2 内部回路領域を選択する、請求項 1 2 に記載の電圧制御装置。

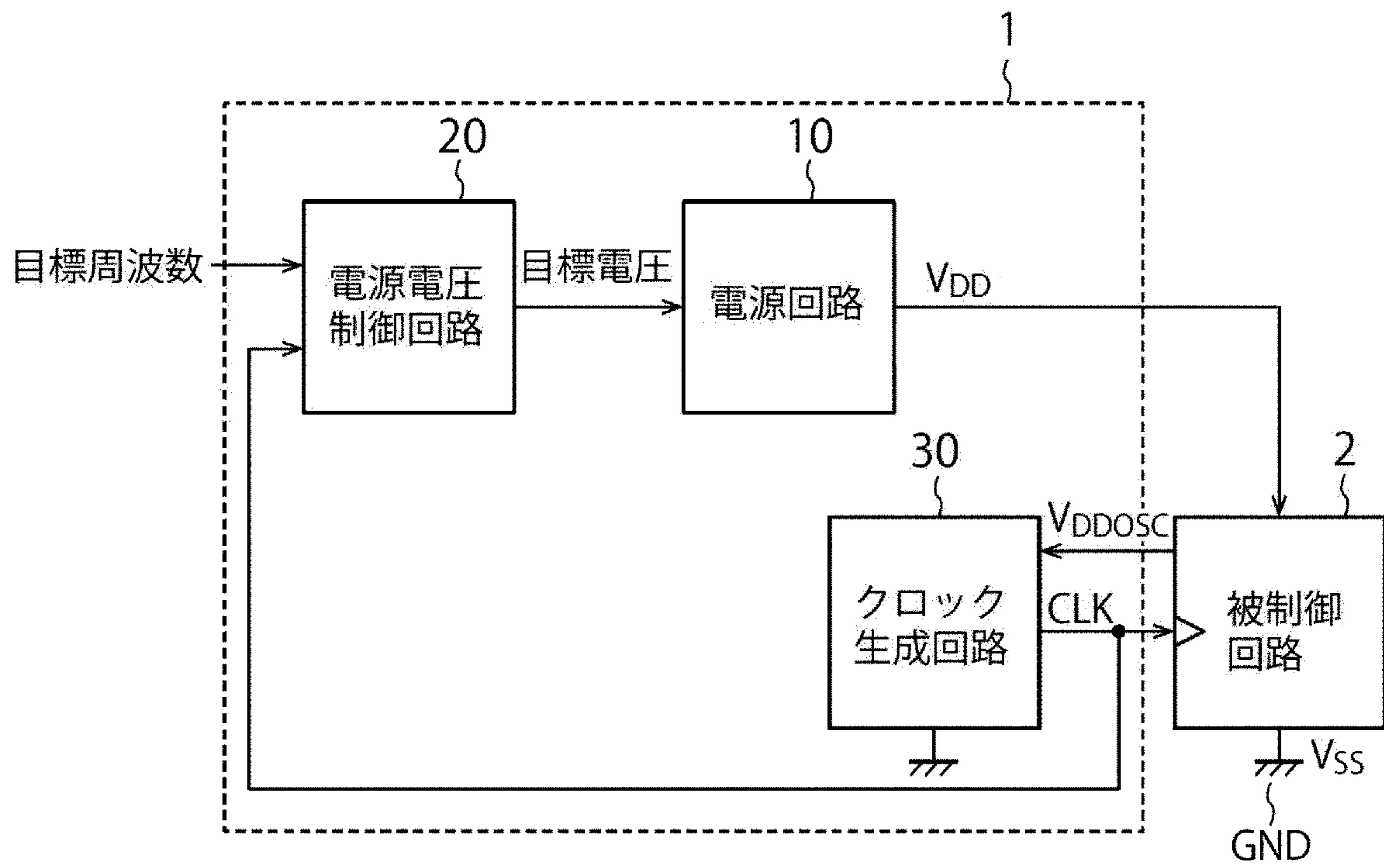
[請求項14] 前記被制御回路内の複数の内部回路領域に印加される複数の内部電圧をそれぞれ電源として受け取り、それぞれ該複数の内部電圧に基づいて複数のクロック信号を生成する複数のクロック生成回路と、

前記複数のクロック生成回路からの複数のクロック信号を入力し、該複数のクロック信号から最小周波数のクロック信号を選択する選択回路とをさらに備えた、請求項 1 に記載の電圧制御装置。

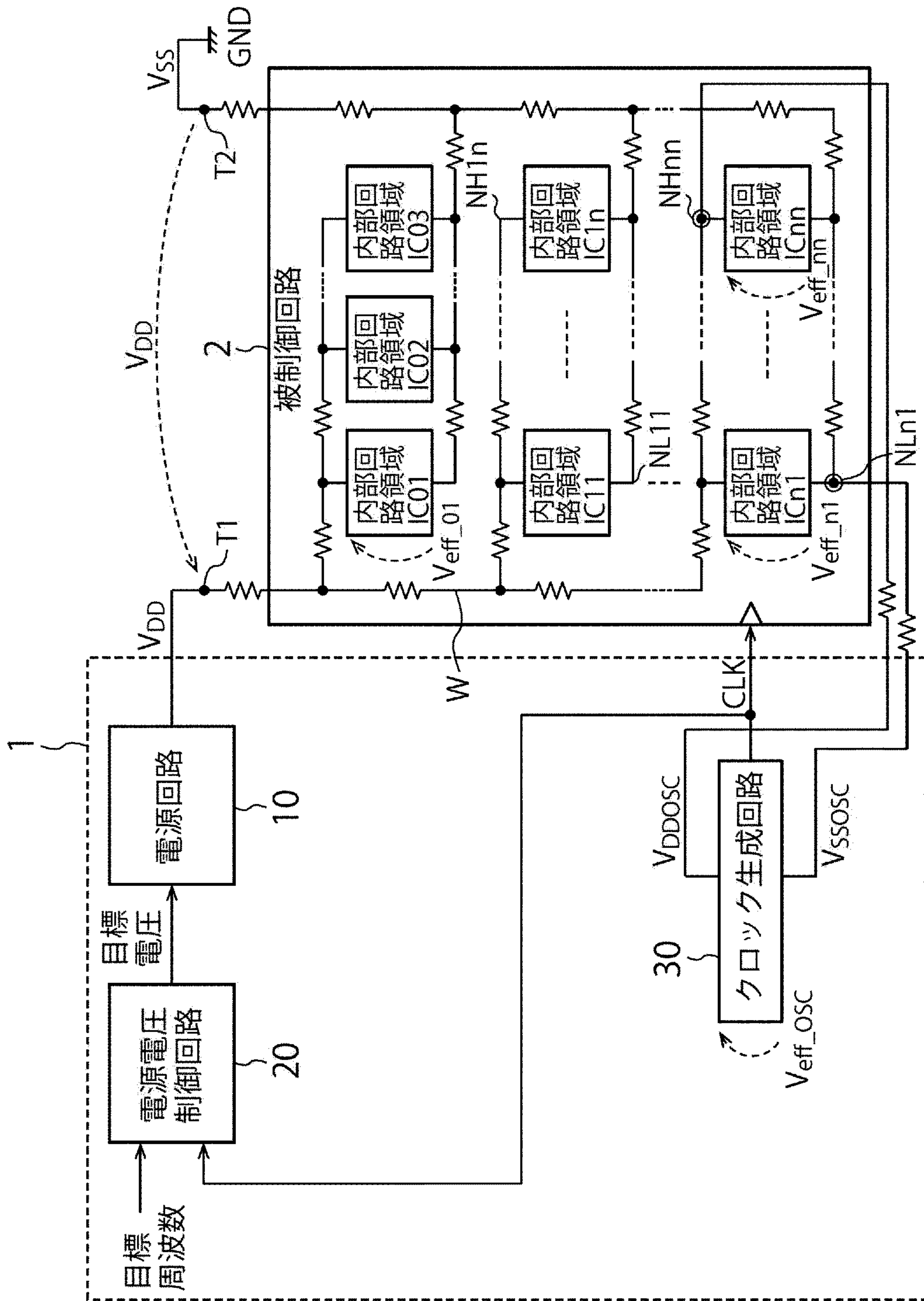
[請求項15] 前記最小周波数のクロック信号を出力する前記クロック生成回路の情報を格納する記憶部をさらに備え、

前記選択回路は、前記記憶部から得られた情報に基づいて前記クロック信号を選択する、請求項 1 4 に記載の電圧制御装置。

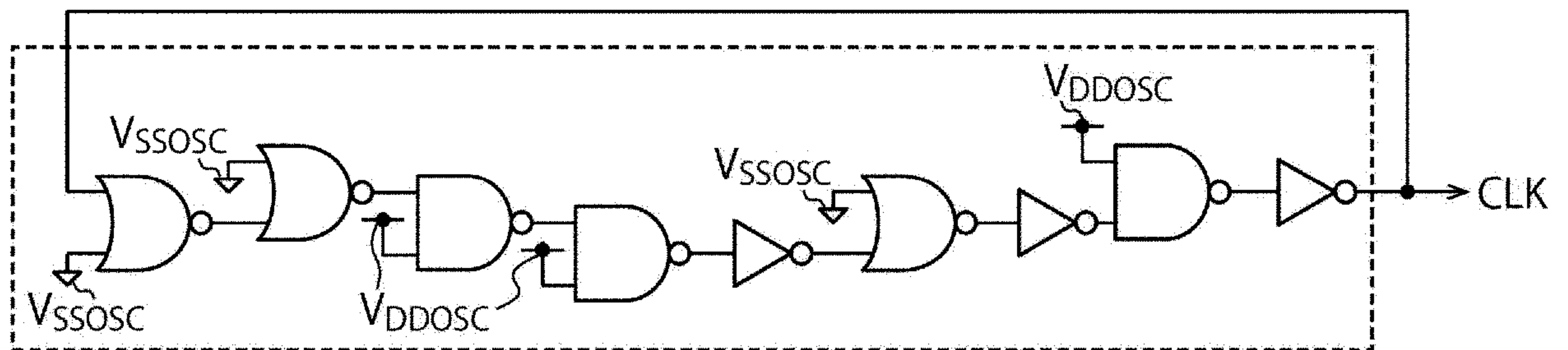
[図1]



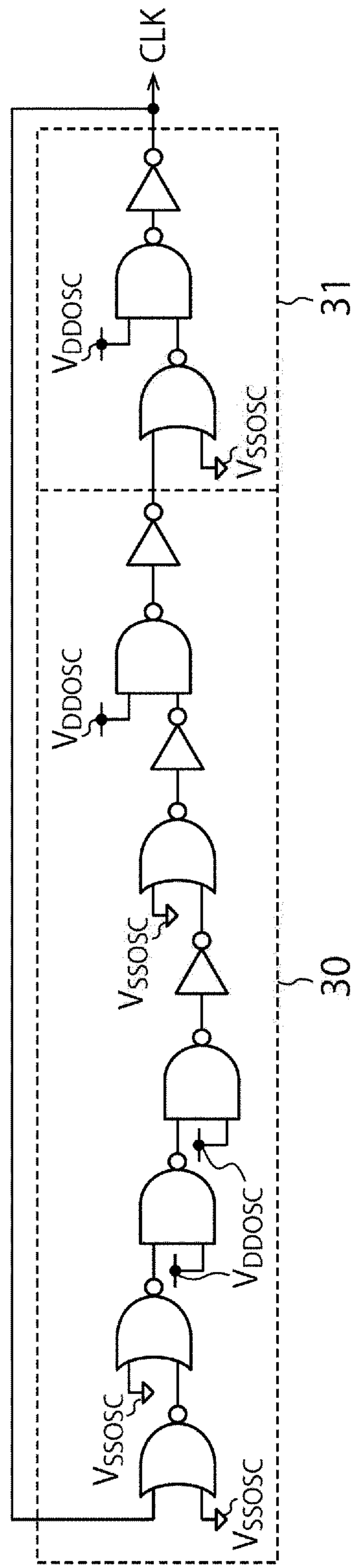
[図2]



[図3]

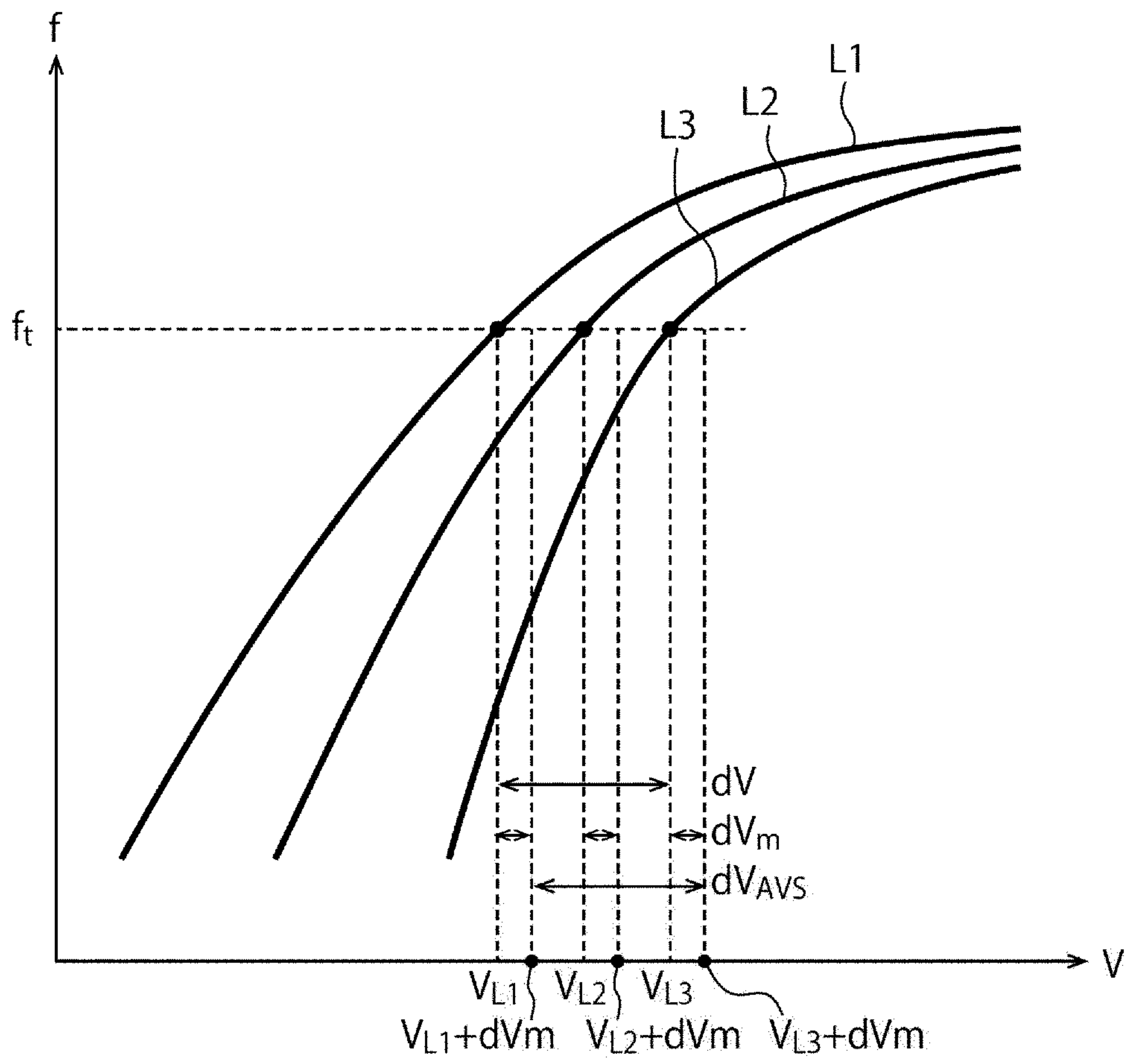
30

[図4]

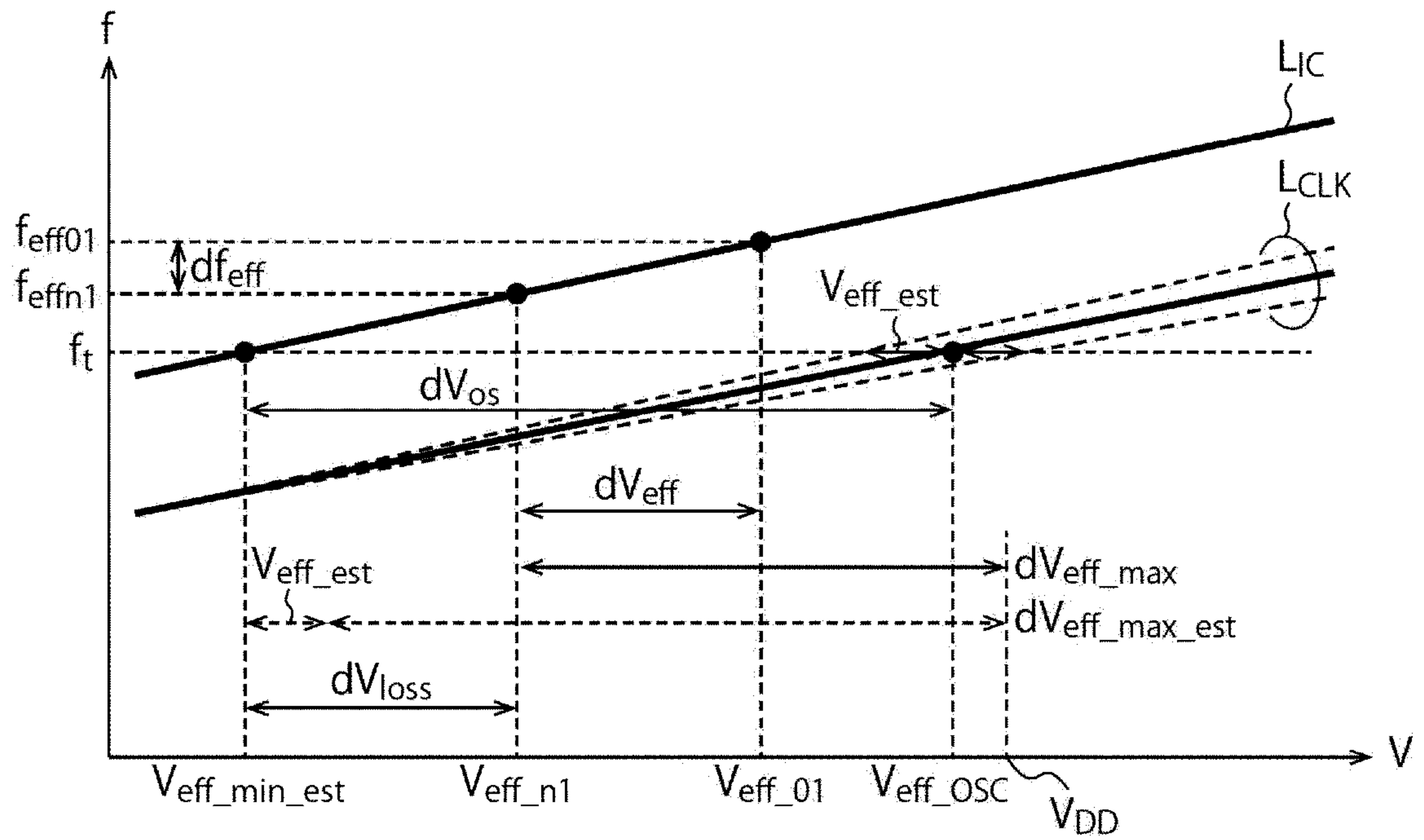


32

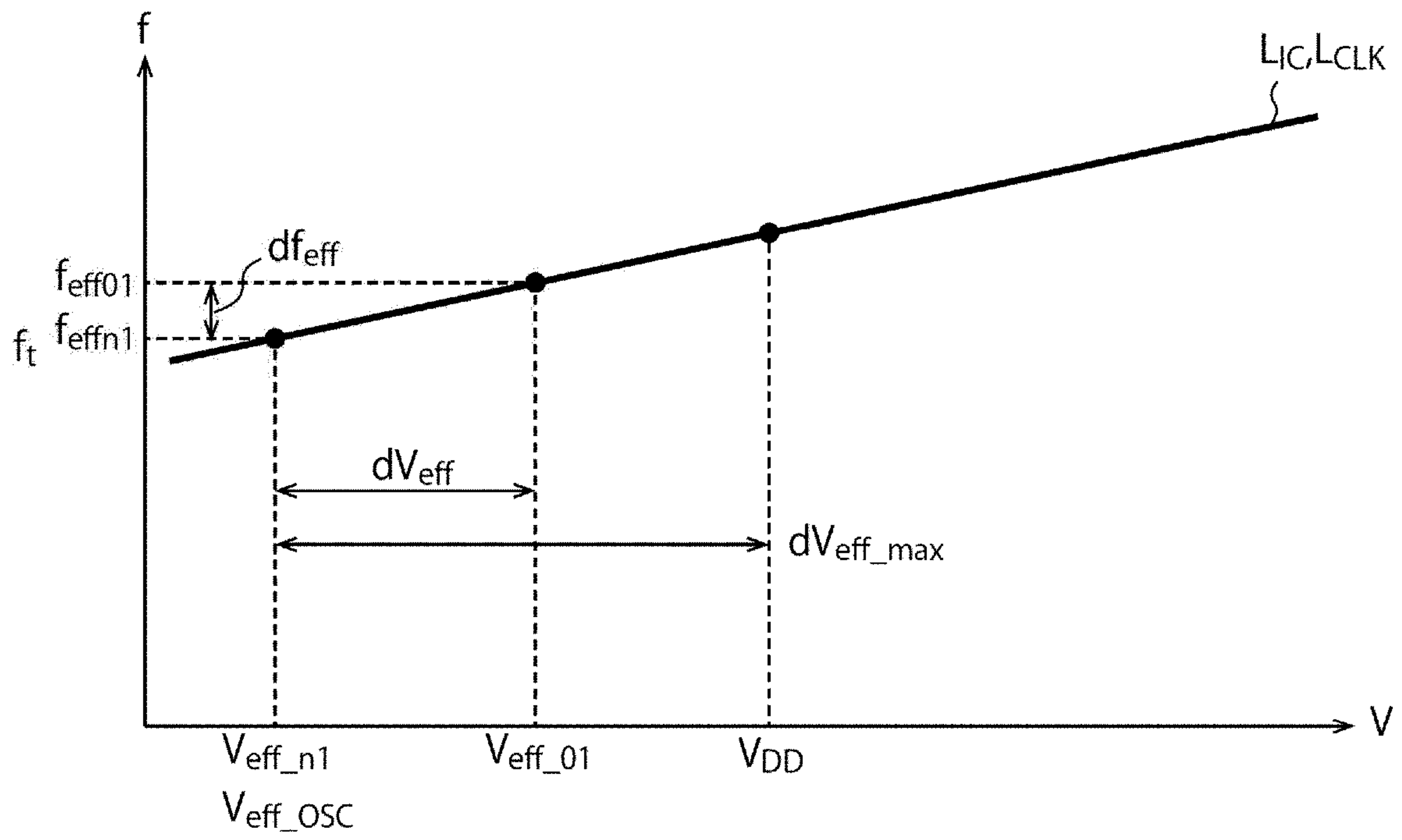
[図5]



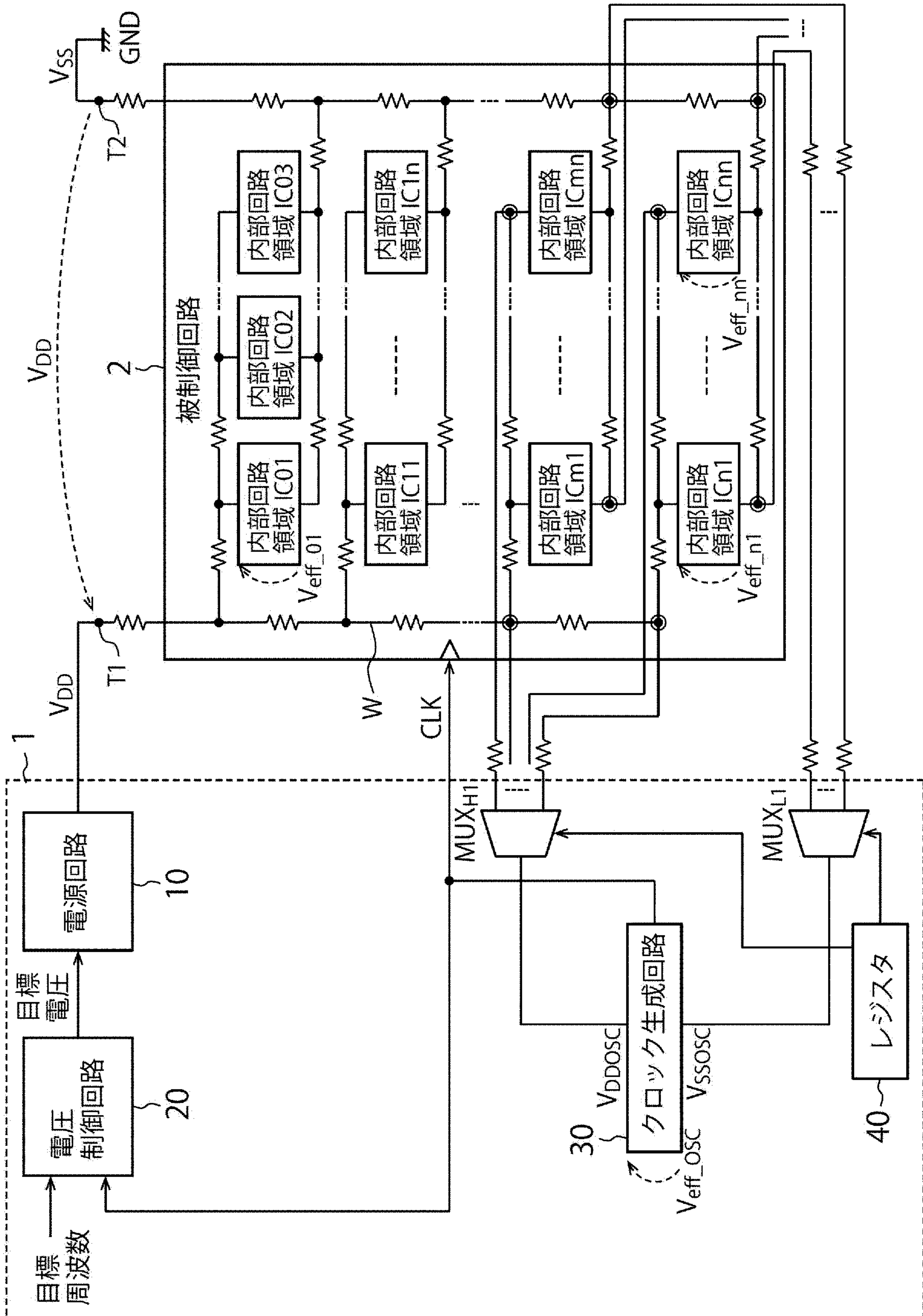
[図6]



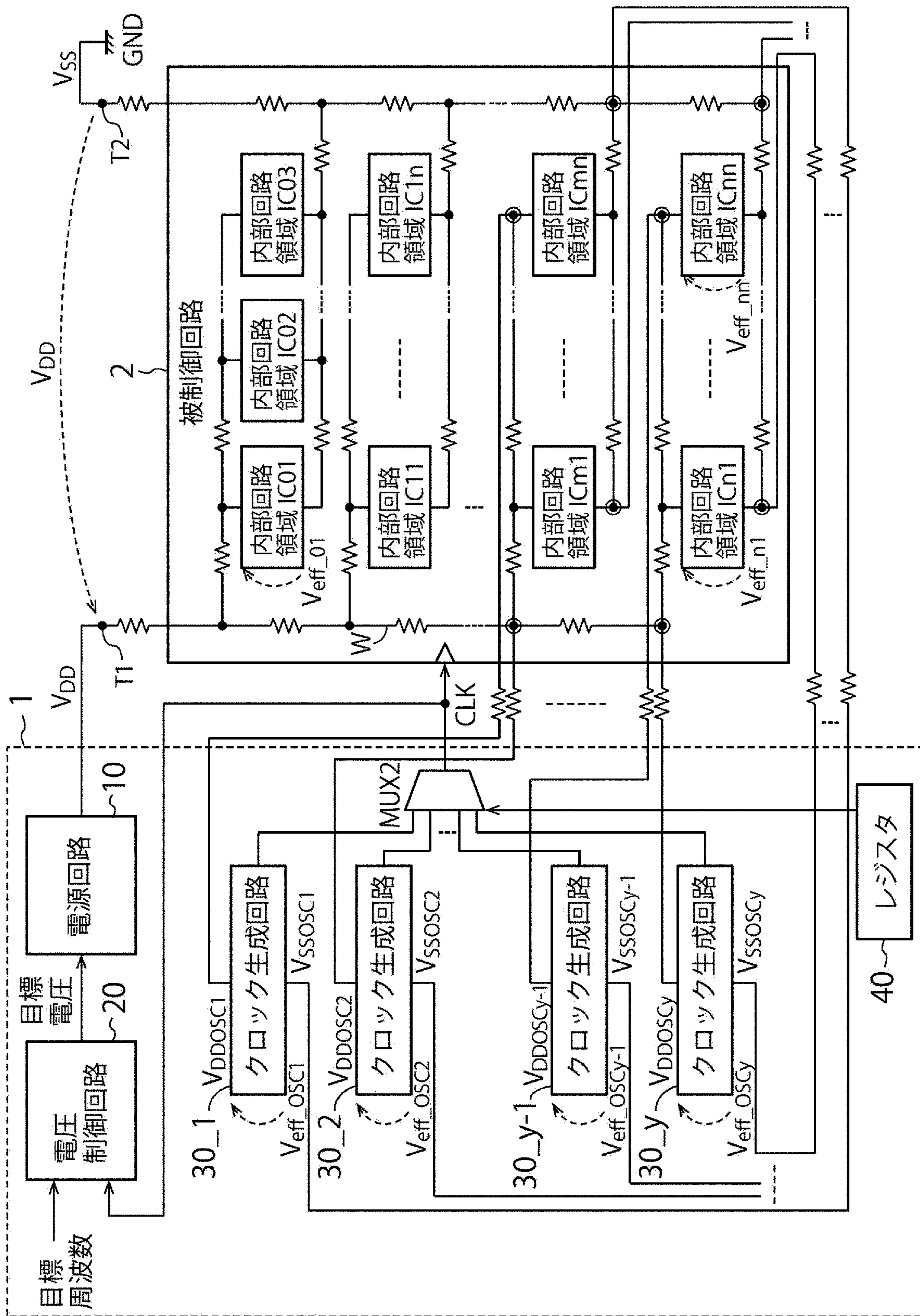
[図7]



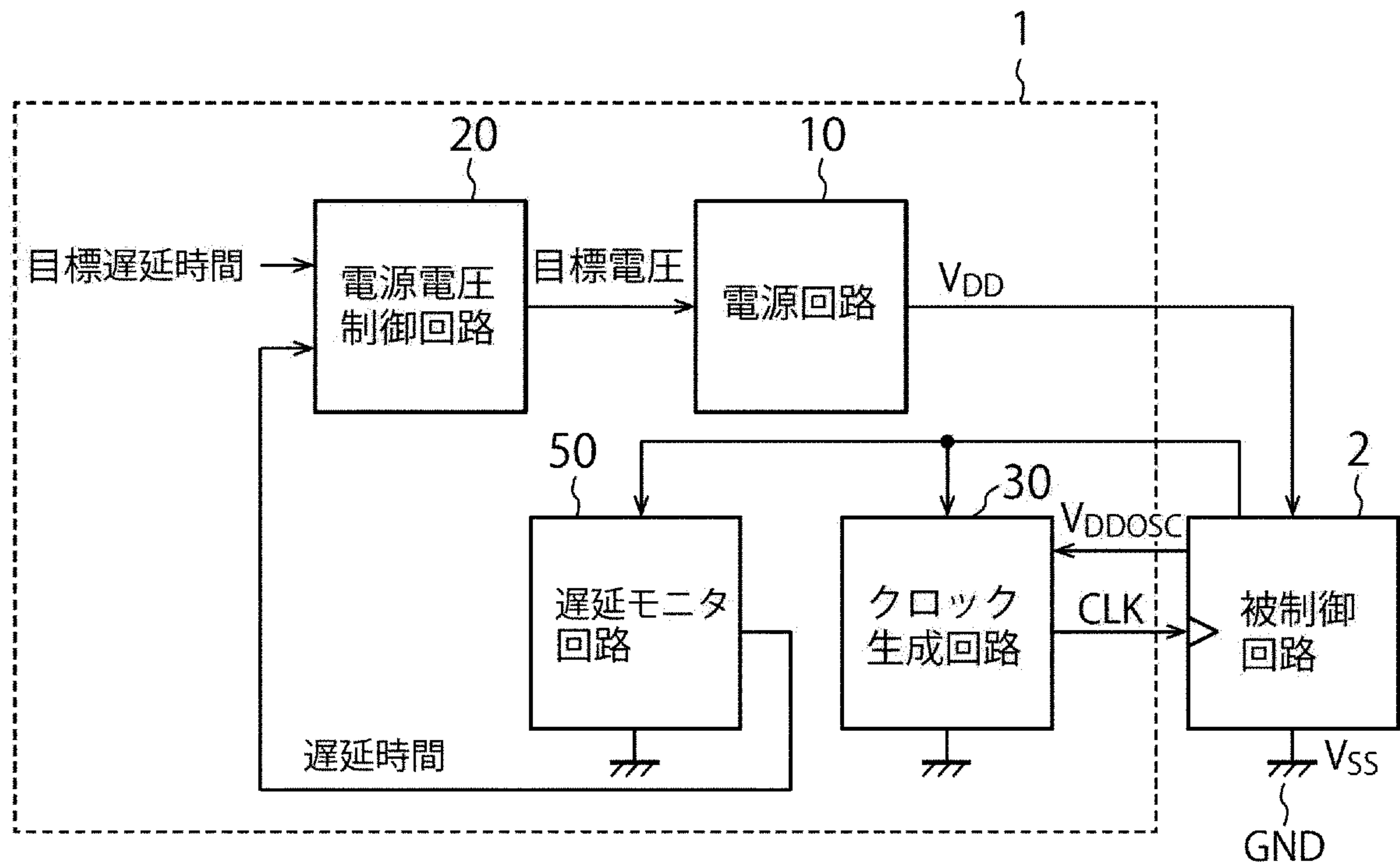
[図8]



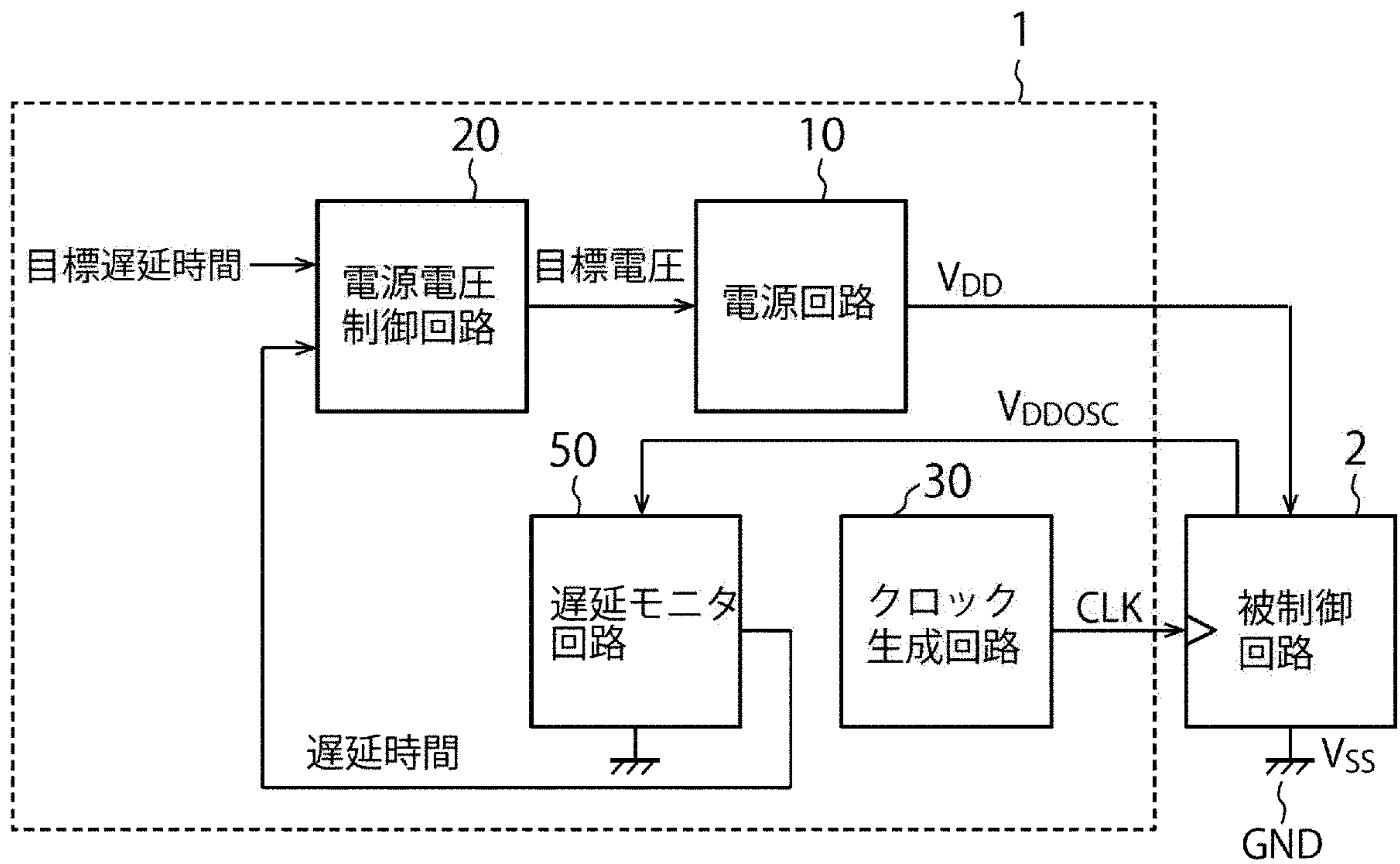
[図9]



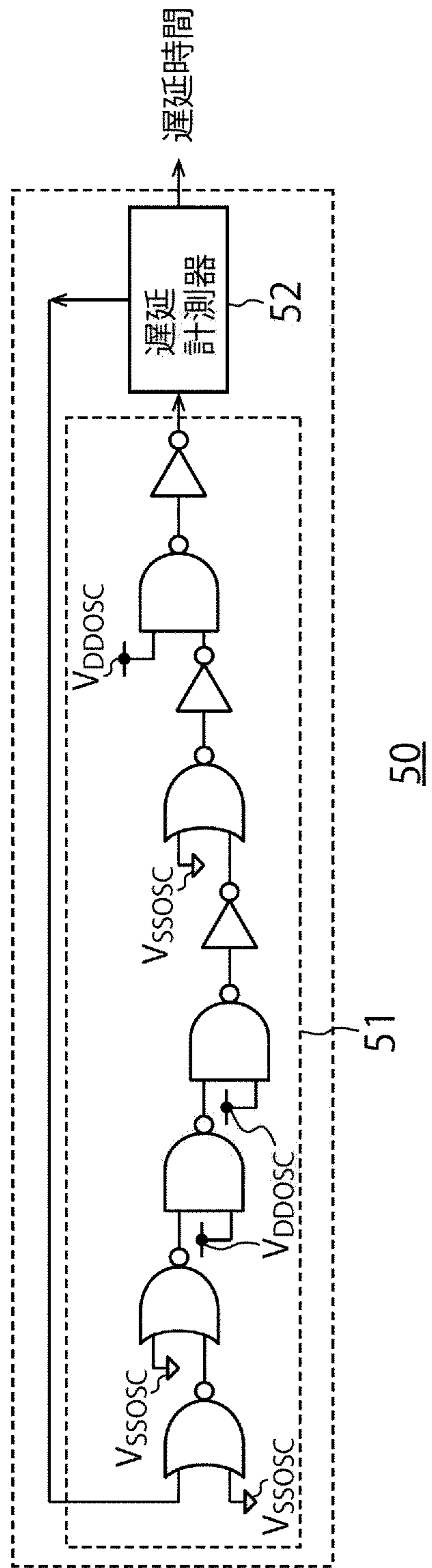
[図10]



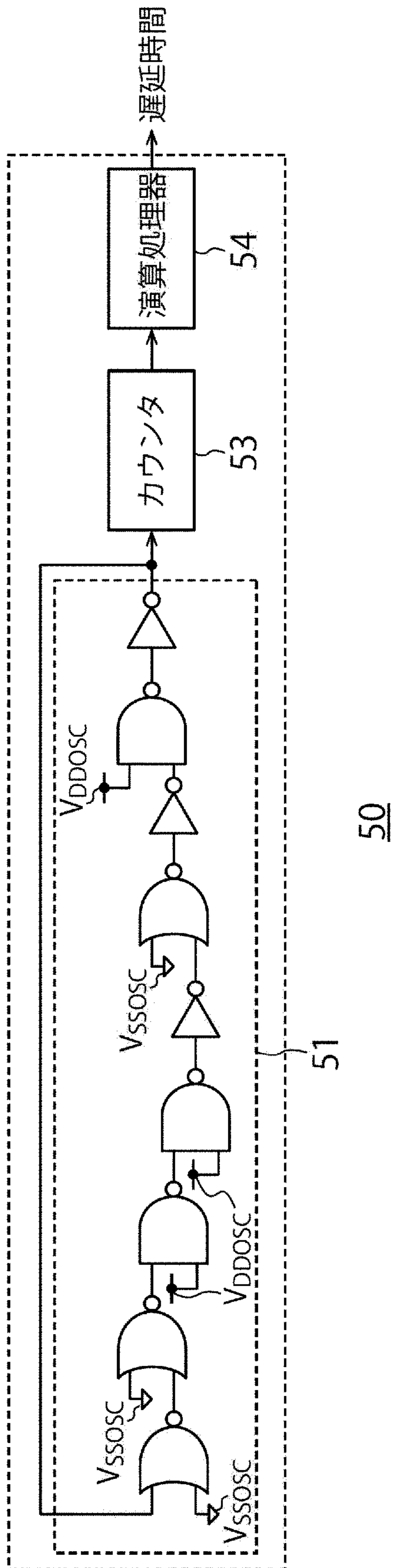
[図11]



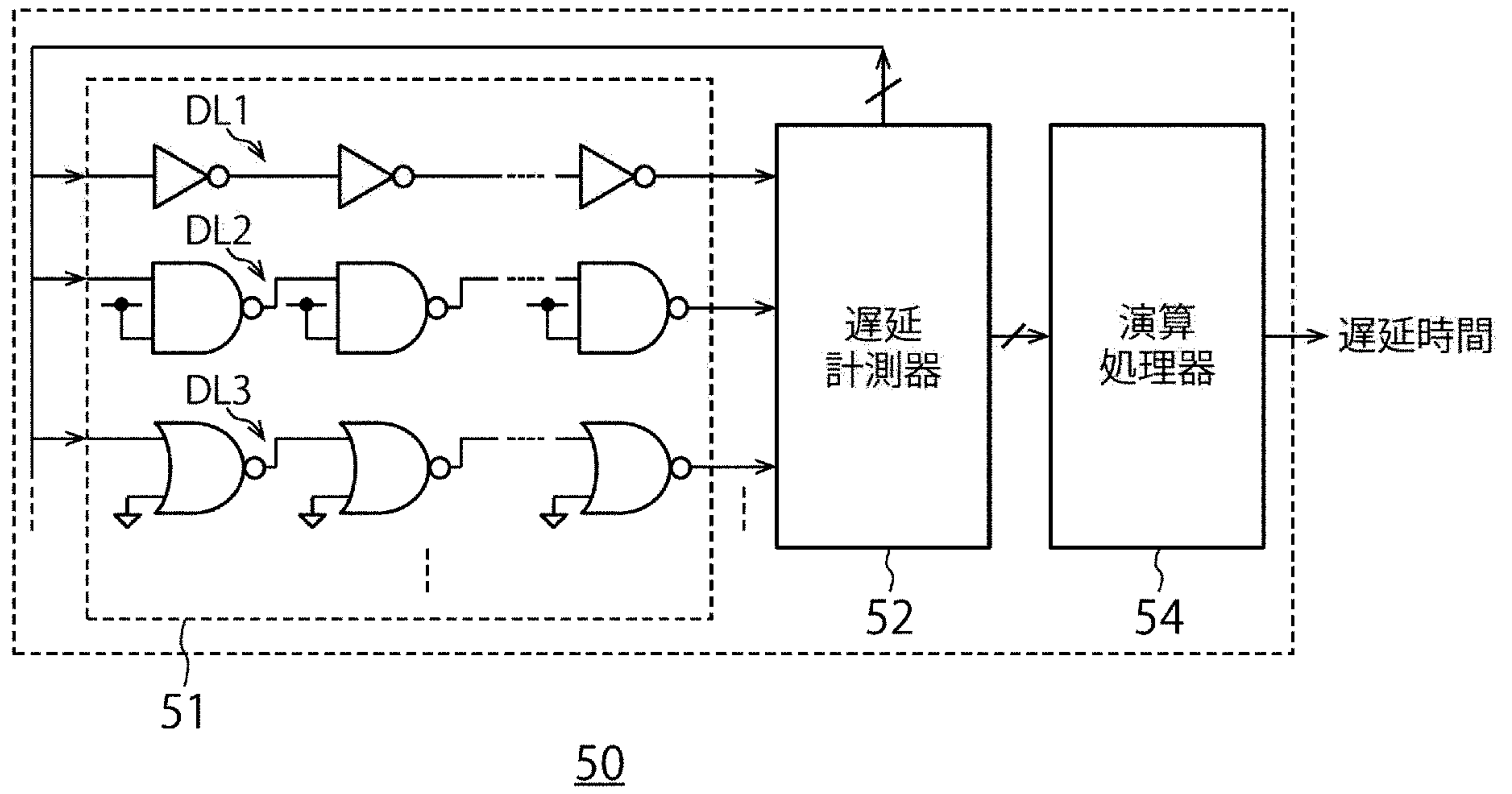
[図12]



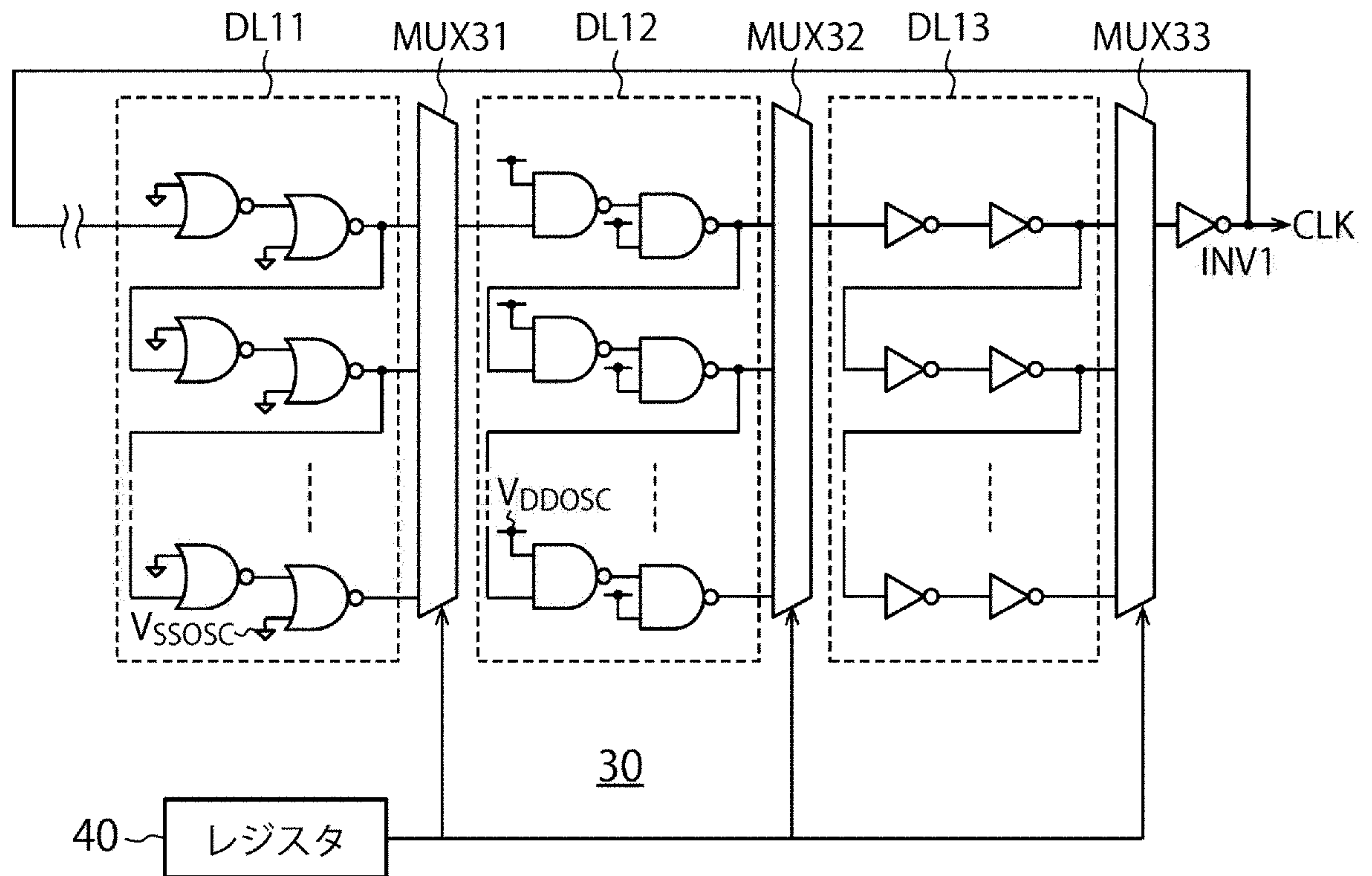
[図13]



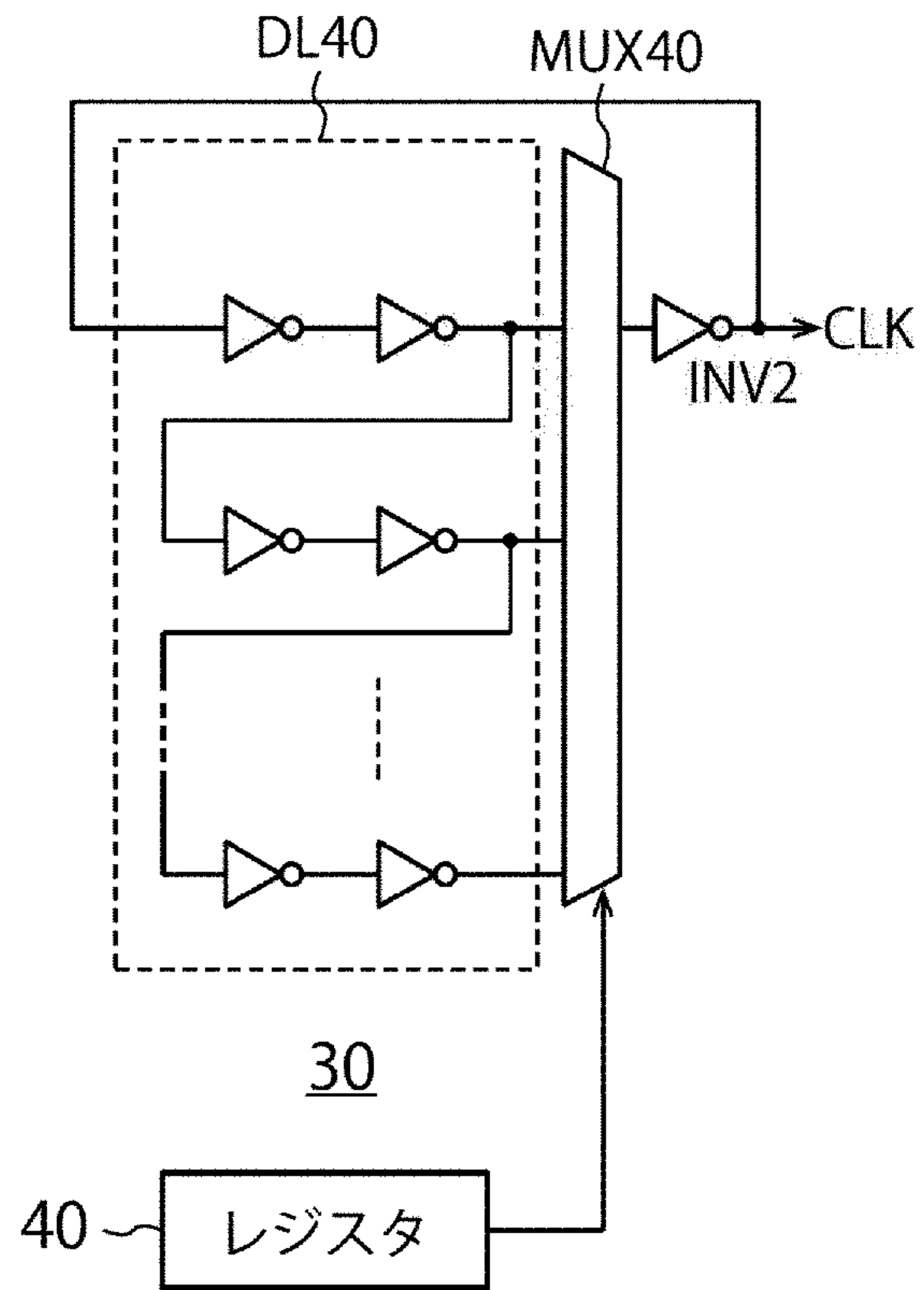
[図14]



[図15]



[図16]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2020/037169

A. CLASSIFICATION OF SUBJECT MATTER

H03K 3/03(2006.01)i; H01L 21/822(2006.01)i; H01L 27/04(2006.01)i; G06F 1/06(2006.01)i; G06F 1/3206(2019.01)i; G06F 1/3296(2019.01)i
 FI: G06F1/3296; H01L27/04 B; H01L27/04 M; H03K3/03; G06F1/3206; G06F1/06
 According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H03K3/03; H01L21/822; H01L27/04; G06F1/06; G06F1/3206; G06F1/3296

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan	1922-1996
Published unexamined utility model applications of Japan	1971-2020
Registered utility model specifications of Japan	1996-2020
Published registered utility model applications of Japan	1994-2020

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2006-502466 A (NATIONAL SEMICONDUCTOR CORPORATION) 19 January 2006 (2006-01-19) paragraphs [0018]-[0055], fig. 1-9	1-15
A	JP 2009-519620 A (QUALCOMM INCORPORATED) 14 May 2009 (2009-05-14) paragraphs [0012]-[0069], fig. 1-12	1-15
A	WO 2012/026024 A1 (RENESAS ELECTRONICS CORP.) 01 March 2012 (2012-03-01) paragraphs [0018]-[0096], fig. 1-7	1-15

Further documents are listed in the continuation of Box C.

See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance
 “E” earlier application or patent but published on or after the international filing date
 “L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
 “O” document referring to an oral disclosure, use, exhibition or other means
 “P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
 “X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
 “Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
 “&” document member of the same patent family

Date of the actual completion of the international search
 25 December 2020 (25.12.2020)

Date of mailing of the international search report
 12 January 2021 (12.01.2021)

Name and mailing address of the ISA/
 Japan Patent Office
 3-4-3, Kasumigaseki, Chiyoda-ku,
 Tokyo 100-8915, Japan

Authorized officer

 Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/JP2020/037169

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
JP 2006-502466 A	19 Jan. 2006	US 6944780 B1 column 5, line 11 to column 12, line 14, fig. 1-9 JP 2010-40053 A WO 2003/062972 A2 CN 1643480 A AU 2003209296 A	
JP 2009-519620 A	14 May 2009	US 2007/0096775 A1 paragraphs [0026]- [0082], fig. 1-12 JP 2013-211022 A WO 2007/053839 A2 EP 1964258 A2 CN 101689071 A KR 10-2008-0091092 A	
WO 2012/026024 A1	01 Mar. 2012	US 2013/0145190 A1 paragraphs [0027]- [0116], fig. 1-7 US 2015/0220130 A1 CN 103069409 A	

<p>A. 発明の属する分野の分類 (国際特許分類 (IPC))</p> <p>H03K 3/03(2006.01)i; H01L 21/822(2006.01)i; H01L 27/04(2006.01)i; G06F 1/06(2006.01)i; G06F 1/3206(2019.01)i; G06F 1/3296(2019.01)i FI: G06F1/3296; H01L27/04 B; H01L27/04 M; H03K3/03; G06F1/3206; G06F1/06</p>														
<p>B. 調査を行った分野</p> <p>調査を行った最小限資料 (国際特許分類 (IPC)) H03K3/03; H01L21/822; H01L27/04; G06F1/06; G06F1/3206; G06F1/3296</p> <p>最小限資料以外の資料で調査を行った分野に含まれるもの</p> <table border="0"> <tr> <td>日本国実用新案公報</td> <td>1922 - 1996年</td> </tr> <tr> <td>日本国公開実用新案公報</td> <td>1971 - 2020年</td> </tr> <tr> <td>日本国実用新案登録公報</td> <td>1996 - 2020年</td> </tr> <tr> <td>日本国登録実用新案公報</td> <td>1994 - 2020年</td> </tr> </table> <p>国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)</p>			日本国実用新案公報	1922 - 1996年	日本国公開実用新案公報	1971 - 2020年	日本国実用新案登録公報	1996 - 2020年	日本国登録実用新案公報	1994 - 2020年				
日本国実用新案公報	1922 - 1996年													
日本国公開実用新案公報	1971 - 2020年													
日本国実用新案登録公報	1996 - 2020年													
日本国登録実用新案公報	1994 - 2020年													
<p>C. 関連すると認められる文献</p> <table border="1"> <thead> <tr> <th>引用文献の カテゴリー*</th> <th>引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示</th> <th>関連する 請求項の番号</th> </tr> </thead> <tbody> <tr> <td>A</td> <td>JP 2006-502466 A (ナショナル セミコンダクタ コーポレイション) 19.01.2006 (2006 - 01 - 19) 段落[0018]-[0055], 図1-9</td> <td>1-15</td> </tr> <tr> <td>A</td> <td>JP 2009-519620 A (クワアルコム・インコーポレイテッド) 14.05.2009 (2009 - 05 - 14) 段落[0012]-[0069], 図1-12</td> <td>1-15</td> </tr> <tr> <td>A</td> <td>WO 2012/026024 A1 (ルネサスエレクトロニクス株式会社) 01.03.2012 (2012 - 03 - 01) 段落[0018]-[0096], 図1-7</td> <td>1-15</td> </tr> </tbody> </table>			引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号	A	JP 2006-502466 A (ナショナル セミコンダクタ コーポレイション) 19.01.2006 (2006 - 01 - 19) 段落[0018]-[0055], 図1-9	1-15	A	JP 2009-519620 A (クワアルコム・インコーポレイテッド) 14.05.2009 (2009 - 05 - 14) 段落[0012]-[0069], 図1-12	1-15	A	WO 2012/026024 A1 (ルネサスエレクトロニクス株式会社) 01.03.2012 (2012 - 03 - 01) 段落[0018]-[0096], 図1-7	1-15
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号												
A	JP 2006-502466 A (ナショナル セミコンダクタ コーポレイション) 19.01.2006 (2006 - 01 - 19) 段落[0018]-[0055], 図1-9	1-15												
A	JP 2009-519620 A (クワアルコム・インコーポレイテッド) 14.05.2009 (2009 - 05 - 14) 段落[0012]-[0069], 図1-12	1-15												
A	WO 2012/026024 A1 (ルネサスエレクトロニクス株式会社) 01.03.2012 (2012 - 03 - 01) 段落[0018]-[0096], 図1-7	1-15												
<p><input type="checkbox"/> C欄の続きにも文献が列挙されている。 <input checked="" type="checkbox"/> パテントファミリーに関する別紙を参照。</p>														
<table border="0"> <tr> <td>* 引用文献のカテゴリー</td> <td>“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの</td> </tr> <tr> <td>“A” 特に関連のある文献ではなく、一般的技術水準を示すもの</td> <td>“X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの</td> </tr> <tr> <td>“E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの</td> <td>“Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの</td> </tr> <tr> <td>“L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)</td> <td>“&” 同一パテントファミリー文献</td> </tr> <tr> <td>“O” 口頭による開示、使用、展示等に言及する文献</td> <td></td> </tr> <tr> <td>“P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献</td> <td></td> </tr> </table>			* 引用文献のカテゴリー	“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの	“A” 特に関連のある文献ではなく、一般的技術水準を示すもの	“X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの	“E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの	“Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの	“L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)	“&” 同一パテントファミリー文献	“O” 口頭による開示、使用、展示等に言及する文献		“P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献	
* 引用文献のカテゴリー	“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの													
“A” 特に関連のある文献ではなく、一般的技術水準を示すもの	“X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの													
“E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの	“Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの													
“L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)	“&” 同一パテントファミリー文献													
“O” 口頭による開示、使用、展示等に言及する文献														
“P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献														
<p>国際調査を完了した日</p> <p>25. 12. 2020</p>	<p>国際調査報告の発送日</p> <p>12. 01. 2021</p>													
<p>名称及びあて先</p> <p>日本国特許庁 (ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号</p>	<p>権限のある職員 (特許庁審査官)</p> <p>佐賀野 秀一 5E 5878</p> <p>電話番号 03-3581-1101 内線 3521</p>													

国際調査報告
 パテントファミリーに関する情報

国際出願番号

PCT/JP2020/037169

引用文献			公表日	パテントファミリー文献			公表日
JP	2006-502466	A	19.01.2006	US	6944780	B1	
				第5欄第11行-第12欄第14行, 図1-9			
				JP	2010-40053	A	
				WO	2003/062972	A2	
				CN	1643480	A	
				AU	2003209296	A	

JP	2009-519620	A	14.05.2009	US	2007/0096775	A1	
				段落[0026]-[0082], 図1-12			
				JP	2013-211022	A	
				WO	2007/053839	A2	
				EP	1964258	A2	
				CN	101689071	A	
				KR	10-2008-0091092	A	

WO	2012/026024	A1	01.03.2012	US	2013/0145190	A1	
				段落[0027]-[0116], 図1-7			
				US	2015/0220130	A1	
				CN	103069409	A	
