

(19) 대한민국특허청(KR)  
(12) 특허공보(B1)

(51) Int. Cl.<sup>6</sup>  
H01L 27/115

(45) 공고일자 1995년 12월 05일  
(11) 공고번호 특 1995-0014540

(21) 출원번호	특 1991-0011836	(65) 공개번호	특 1992-0003531
(22) 출원일자	1991년 07월 12일	(43) 공개일자	1992년 02월 29일
(30) 우선권 주장	90-401157 1990년 12월 10일 일본(JP) 90-184008 1990년 07월 13일 일본(JP)		
(71) 출원인	가부시카가이샤 도시바 아오이 죠이치 1995년 12월 05일		

(72) 발명자

시로타 리이치로  
일본국 가나가와현 가와사키시 사이와이구 고무가이도시바정 1번지 가부시카가이샤 도시바 종합연구소내  
모모도미 마사키  
일본국 가나가와현 가와사키시 사이와이구 고무가이도시바정 1번지 가부시카가이샤 도시바 종합연구소내  
나카야마 료조  
일본국 가나가와현 가와사키시 사이와이구 고무가이도시바정 1번지 가부시카가이샤 도시바 종합연구소내  
아리도미 세이이치  
일본국 가나가와현 가와사키시 사이와이구 고무가이도시바정 1번지 가부시카가이샤 도시바 종합연구소내  
키리사와 료헤이  
일본국 가나가와현 가와사키시 사이와이구 고무가이도시바정 1번지 가부시카가이샤 도시바 종합연구소내  
엔도 테츠로  
일본국 가나가와현 가와사키시 사이와이구 고무가이도시바정 1번지 가부시카가이샤 도시바 종합연구소내  
와타나베 시게요시  
일본국 가나가와현 가와사키시 사이와이구 고무가이도시바정 1번지 가부시카가이샤 도시바 종합연구소내

(74) 대리인 김윤배, 이범일

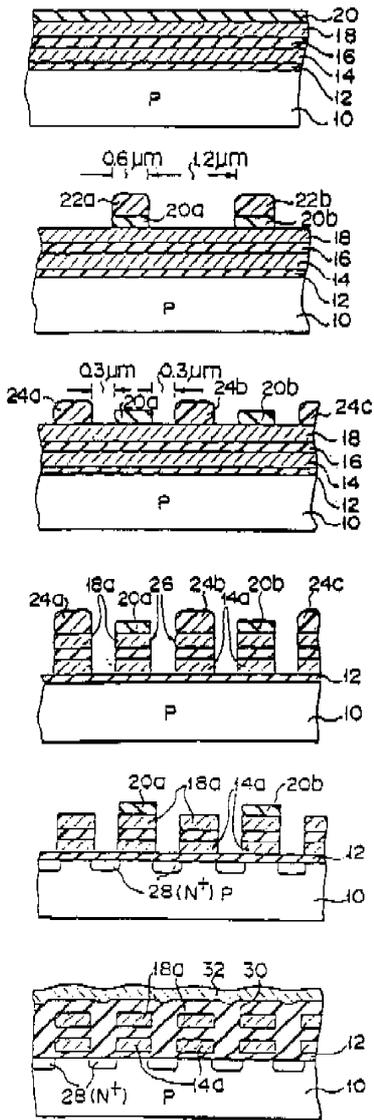
심사관 : 김정옥 (책자공보 제4238호)

(54) 기판상에 고집적으로 배열된 FET를 형성하는 제조방법

요약

내용 없음.

대표도



명세서

[발명의 명칭]

기판상에 고집적으로 배열된 FET를 형성하는 제조방법

[도면의 간단한 설명]

제1도는 본 발명의 제1실시예에 따른 전기적 재기록가능한 불휘발성 반도체기억장치(EEPROM)의 메모리셀트랜지스터의 직렬어레이를 형성하는 주요공정을 나타낸 단면도.

제2도는 제1도에 나타난 공정을 이용하여 제조된 NAND셀형 EEPROM의 요부를 나타낸 평면도.

제3도는 제2도에 나타난 EEPROM의 III-III선에 따른 단면도.

제 4 도는 제 2 도에 나타난 EEPROM의 IV-IV선에 따른 단면도.

제5도는 본 발명의 제2실시예에 따른 EEPROM의 메모리셀트랜지스터의 직렬어레이를 형성하는 주요공정을 나타낸 단면도.

제6도는 제5도에 나타난 공정을 이용하여 제조된 EEPROM칩의 평면도.

제7도는 메모리셀트랜지스터와 결합된 워드선의 접촉부를 형성하는 주요공정을 나타낸 단면도.

제8도는 메모리셀트랜지스터와 결합된 워드선의 반대쪽 접촉부를 형성하는 주요공정을 나타낸 단면도.

제9도는 제7도와 제8도에 나타난 메모리셀트랜지스터와 결합된 워드선의 양쪽 접촉부를 형성하는 주요공정을 나타낸 평면도.

제10도는 본 발명의 제3실시예에 따른 EEPROM의 메모리셀트랜지스터의 직렬어레이를 형성하는 주요

공정을 나타낸 단면도.

\* 도면의 주요부분에 대한 부호의 설명

- 10 : 기판
- 12 : 제1의 게이트절연막
- 14 : 제1의 다결정실리콘막
- 16 : 제2의 게이트절연막
- 18 : 제2의 다결정실리콘막
- 20 : 질화박막
- 22a, 22b, 24a, 24b, 24c : 포토레지스트층
- 26 : 패터닝된 퇴적부
- 28 : 반도체확산층
- 30 : CVD절연층
- 32 : 금속층
- 42, 44 : 절연게이트
- 46 : 접촉구멍
- 48 : N형 확산층
- 60a~60c : 실리콘질화막
- 62 : 측벽절연층(스페이서층)
- 64 : 포토레지스트층
- 70, 72 : 접촉부
- M1~M8 : 메모리셀트랜지스터
- MBi : NAND셀볼력
- WL1~WL8 : 워드선
- Q1, Q2 : 절연게이트FET

SG1, SG2 : 선택제어선

[발명의 상세한 설명]

(산업상의 이용분야)

본 발명의 반도체집적회로장치에 관한 것으로, 특히 다수개의 메모리셀의 직렬어레이를 구비한 불휘발성반도체기억장치의 제조방법에 관한 것이다.

(종래의 기술 및 그 문제점)

최근, 불휘발성 반도체기억장치(EPROM)분야에서 EEPROM은 집적도향상의 계속적인 요구를 만족시키기 위해 다수개의 메모리셀의 직렬회로로 세분(細分)된 행과 열의 메모리셀어레이를 구비하도록 제안되었다.

이러한 EPROM은 "NAND셀형 EEPROM"이라고 하는 것으로, "Electrically Erasable Programmable Read-Only Memory with NAND Cell Structure That Suppresses Memory Cell Threshold Voltage Variation"으로 명명되고 본 발명출원의 양수인에게 양도된 United State Patent No 4,939,690(Momodomi et al)에 개시된 전형적인 것이다 상기 개시된 배열에 따르면, 각 메모리셀은 단 한개의 트랜지스터에 의해 구성되어 집기관상의 메모리셀의 집적도를 극대화하고 있다.

그러나, 반도체메모리장치의 고집적도에 대한 요구는 계속적으로 증가하고, 이는 EPROM에 대해서도 마찬가지이다. EPROM과 같은 반도체메모리의 제조에 있어서, 장치의 기하학적 소형화하는 장치의 크기를 줄일뿐만 아니라 동작속도와 같은 장치의 실행특성을 향상시키는 중요한 목표이었다. 특히, NAND셀형 EEPROM에서 극적인 집적도향상은 메모리셀트랜지스터의 각 직렬어레이에서의 인접한 메모리셀트랜지스터간의 간격을 좁히는 지름길이다.

그러나, 인접한 메모리셀트랜지스터의 간격이 현재 유용한 패터닝기술의 제조정밀도에 의존하게 되어 메모리셀트랜지스터의 피치는 기존의 패터닝기술에 의해 허용되는 한계보다 더 좁게 될 수 없게 되고, 그에따라 메모리셀트랜지스터간에 허비된 공간은 EEPROM에서의 메모리셀의 집적도향상에 큰 장애로 되게 된다. 특수한 패터닝기술을 채용함으로써 반도체제조업자는 제조생산량의 감소를 무릅쓰고 메모리집적도를 향상시킬 수도 있다. 그러나, 현재 유용한 제조기술로 패터닝가능한 최저 피치를 깨뜨림과 더불어 더 높은 집적도의 요구를 만족시키는 것은 불가능하다는 것이 일반적인 고찰이었다

(발명의 목적)

이에 본 발명은 상기와 같은 사정을 감안하여 이루어진 것으로, 제어된 간격으로 배열된 도전층의 어레이를 형성하는 신규하고 개량된 제조방법과, 최소화된 간격으로 배열된 메모리셀의 어레이를 갖춘 불휘발성반도체메모리장치를 형성하는 신규하고 개량된 제조방법을 제공하고자 함에 그 목적이 있다.

(발명의 구성)

상기와 같은 목적을 달성하기 위해 본 발명의 제어된 간격으로 배열된 다수개의 도전층의 어레이를 형성하는 제조방법은, 기판상이나 그 위에 형성된 도전층과 상기 도전층상에 배열된 마스크층을 구비하는 공정과, 상기 마스크층을 에칭하여 제1의 에칭된 마스크층부를 이 제1의 에칭된 마스크층부간에 규정된 제1간격으로 규정하는 공정, 상기 제1의 에칭된 마스크층부와 이것에 인접하는 제2의 에칭된 마스크층부간에 규정된 상기 제1간격보다 적은 제2간격으로 상기 도전층상의 상기 제1의 에칭된 마스크층부와 교번하는제2의 에칭된 마스크층부를 형성하는 공정, 상기 제1위 마스크층부 및 제2의 마스크층부를 마스크로 사용하여 상기 도전층을 에칭함으로써 상기 제2간격으로 배열되는 일련의 도전층부를 형성하는 공정으로 이루어진 것을 특징으로 한다.

또, 상술한 제조방법은 다음과 같이 수정되어도 좋다. 즉, 마스크층을 에칭하여 제1의 에칭된 마스크층부를 규정한 후에 이들 층부의 각각의 양측면상에 측벽박막층을 형성하고, 제2물질로 이루어진 다른 마스크층을 형성하며, 이 마스크층의 상부(上部)를 제조하여 측벽박막층을 갖춘 상기 제1마스

크층부가 부분적으로 노출되도록 한 후에 상기 측벽박막층을 제거하여 상기 도전층상에 제2의 마스크층부를 규정하고, 계속해서 상기 제1 및 제2의 마스크층부를 마스크로 사용하여 상기 도전층을 에칭처리함으로써 상기 기판상이나 그 위에 일련의 도전층부를 형성한다.

[실시예]

이하, 도면을 참조하여 본 발명의 실시예를 상세히 설명한다.

제1도는 본 발명의 제1실시예에 따른 EEPROM의 메모리셀트랜지스터의 직렬어레이를 형성하는 주요공정을 나타낸 단면도이다.

제1도(a)에서 참조부호 10은 반도체기판을 나타낸 것으로, 메모리셀로 작용하는 다수개의 FATMOS(floating gate tunneling metal oxide field effect transistors)의 직렬어레이를 갖춘 EEPROM의 칩기판이다. 상기 직렬어레이는 NAND셀블록으로 알려져 있다. 상기 기판(10)은 N형 실리콘이어도 좋고, 그 표면이 N형 웰영역을 규정하는 N형 불순물로 도핑된 P형 실리콘이어도 좋다. 단지 설명의 편의만을 위해 P형 실리콘기판(10)이 제1도에 도시되어 있다.

상기 기판(10)의 표면에 소자형성영역을 규정하는 절연박막이 공지의 제조기술을 이용하여 형성된 후 제1의 게이트절연막(12)이 공지의 열산화법을 이용하여 기판표면에 퇴적되게 되는데, 이 제1의 게이트절연막(12)은 약 10nm의 두께를 갖는다. 그후, 제1의 다결정실리콘막(14)을 제1의 게이트절연막(12)상에 퇴적시키고, NAND셀형 EEPROM의 워드선을 따라 뺀 부유게이트전극간의 절연을 위해 홈(제1도에 도시되지 않음)을 형성한 후 제2의 게이트절연막(16)을 제1의 다결정실리콘막(14)상에 퇴적시키게 되는데, 이 제2의 게이트절연막(16)은 예컨대 약 25nm의 두께를 갖는 실리콘산화막이다. 계속해서 제2의 다결정실리콘막(18)을 제 2의 게이트절연막(16)상에 퇴적시킨 후, 제 2의 다결정실리콘막(18)상에 질화박막(20)을 형성한다. 이 질화박막(20)은 필요하다면 CVD실리콘산화막으로 대체될 수도 있다. 또, 상기 질화박막(20)은 다음 공정에서 실행될 다결정실리콘막(14,18)의 반응성이 온에칭(RIE)시에 마스크층으로 사용된다. 따라서, 제1도(a)에 나타낸 바와 같이 5층구조가 형성되게 된다.

제1도(a)의 다층구조상에 포토레지스트층을 코팅한 후, 제1도(b)에 나타낸 바와 같이 다수개의 줄무늬패턴층(22a,22b,...)을 규정하도록 상기 포토레지스트층을 선택광에 노출시킨다. 이번에는 밑에 놓인 질화박막(20)을 마찬가지로 다수개의 패턴층(20a,20b,...)을 규정하도록 선택적으로 패터닝하게 되는데, 이들층의 패터닝은 현재 유용한 포토리소그래피기술을 이용하여 이루어지게 된다. 그에 따라, 패터닝된 층(22a,22b)간의 간격 또는 패터닝피치는 그 기술에서의 패터닝실행에 의해 자연적으로 제한되게 되는 바, 본 실시예에서는 상기 피치를 1.2 $\mu$ m로 셋트했다 또, 각 패터닝된 층의 폭 또는 그 라인의 폭은 서브미크론단위 예컨대 0.6 $\mu$ m이다.

상기 패터닝된 포토레지스트층(22a,22b)을 제거한 후 또다른 포토레지스트막을 퇴적시키고, 이 포토레지스트막을 상술한 것과 마찬가지로 포토리소그래피처리를 행함으로써 제1도(c)에 나타낸 바와 같이 다결정실리콘막(18)상에 1.2 $\mu$ m 간격으로 패터닝된 층(24a,24b,24c,...)을 형성한다. 매우 중요하게도 이들 특히, 제1도(c)에 명백히 나타나 있는 바와 같이 패터닝된 포토레지스트층(24b)은 이전에 형성된 질화박막(20a,20b)간에 위치되어 있고, 질화박막(20a)은 패터닝된 포토레지스트층(24a,24b)간에 위치되어 있다. 또, 상기 번갈아 위치된 층(24a,20a,24b,20b)은 이차원적 관점에서 선형적으로 배열되어 있다. 또한, 두개의 인접한 층 예컨대층(20a,24b)간의 간격은 0.3 $\mu$ m와 같이 서브미크론단위라는 사실에 주의해야 한다.

계속해서, 번갈아 위치된 질화박막(20a,20b)과 마스크로서 사용될 패터닝된 포토레지스트층(24a,24b,24c)을 사용하여 밑에 놓인 다층구조는 이방성 에칭기술의 한개인 RIE처리를 받게 된다. 그에 따라, 마스크층(20,24)밑에 놓인 3개의 퇴적층(14,16,18)은 수직벽을 갖는 다수개의 패터닝된 퇴적부(26)로 분리되지만, 가장 낮은 층(12)은 제1도(d)에 나타낸 바와 같이 에칭되지 않은 상태를 유지하게 되고, 상기 패터닝된 퇴적부(26)간의 간격은 제1도(c)에 나타낸 경우와 마찬가지로 약 0.3 $\mu$ m의 서브미크론단위를 유지하게 된다.

제1도(d)의 패터닝된 퇴적부(26)에 있어서, 패터닝된 폴리실리콘막(14a)은 라인폭방향에서 패터닝된 다결정실리콘막(18a)과 정밀하게 정렬되어 있다.(자기정합적으로 되어 있다.). 각 절연막부(16)밑에 놓인 패터닝된 다결정실리콘막(14a)은 NAND셀형 EEPROM의 한개의 메모리셀트랜지스터의 부유게이트전극으로서 작용하고, 그 위에 놓인 다결정실리콘막(18a)은 그 메모리셀트랜지스터의 제어게이트전극으로 기능하게 된다. 이것은 다음의 설명에 의해 보다 명백해질 것이다.

제1도(d)에 나타낸 포토레지스트층(24a,24b,24c)을 제거하고 질화박막(20a,20b)을 온전히 잔존시킨 후,상기 기판(10)이 N형 불순물로 도핑되도록 이온주입을 행한다. 기판(10)상에 패터닝된 퇴적부(26)가 존재하므로, 기판(10)의 표면부에 형성된 고농도로 도핑된 다수개의 N형 반도체확산층(28)은 제1도(e)에 나타낸 바와 같이 이전에 패터닝된 퇴적부(26)와 사실상 자기정합적으로 되게 된다. 각 N형 반도체확산층(28)은 NAND셀형 EEPROM의 두개의 인접하는 메모리셀트랜지스터에 의해 공유되는 소오스 및 드레인으로 기능하게 된다.

다음에, 제1도(f)에 나타낸 바와 같이 CVD절연층(30)이 상기 구조의 전체표면을 덮도록 퇴적된다. 또, 패터닝된 금속층(32)은 CVD절연층(30)상에 규정되어 메모리셀트랜지스터의 직렬어레이와 결합된 비트선(bLi)으로 기능하게 된다.

상술한 2단계 마스크기술(two-step masking technique)을 이용하여 제조된 NAND셀형 EEPROM은 제2도에서의 참조부호 40에 의해 나타낼 수 있다. 평면형상의 평행선을 갖도록 패터닝된 다결정실리콘막(18a)은 비트선(bLi)으로서 가능하는 금속층(32)과 절연적이면서 수직적으로 교차하도록 배열되어 있다. 이들다결정실리콘막(18a)은 NAND셀형 EEPROM(40)의 다수개의 NAND셀블록중 한개(MBi)에 포함된 메모리셀트랜지스터(M1,M2,...,MB)의 제어게이트전극으로 기능하는 동시에 워드선(WL1,WL2,...,WL8)으로 기능하게 된다. 이것은 각 제어게이트전극과 그것에 접속된 워드선이

실질적으로 불리적 통합배선층으로 구성되어 있기 때문이다. 단지 이해를 돕기 위해 각 제어게이트 전극(18a) 밑에 놓인 부유게이트전극(14a)은 제2도에서 좀더 넓게 도시되어 있지만, 상기 부유게이트 전극(14a)은 제1도(d) 내지 제1도(f)에 나타낸바와 같이 층(18a)과 고정밀도로 정렬되어 있다.

제2도의 평면도에 있어서, 2개의 부가적 절연게이트FET(Q1,Q2)가 NAND셀블록(MBi)에 대해 제1 및 제2선택트랜지스터로 기능하도록 FATMOS 메모리셀트랜지스터(M1~M8)의 직렬어레이의 양쪽 단부에 배열되어 있다. 이들 트랜지스터(Q1, Q2)는 선택게이트제어선(SG1, SG2)에 각각 접속된 절연게이트(42,44)를 갖추고 있다. 또, 비트선(bLi)은 그 한쪽 단부에 구비된 접촉구멍부(46)를 갖추고 있다. 또한, 고농도로 도핑된 N형 확산층(48)은 공통소스접속선으로 기능한다.

제3도에는 제2도의 III-III선에 따른 NAND셀블록(MBi)의 메모리셀트랜지스터중 한개(M1)의 단면을 나타냈다. 절연층(50)은 기판표면상의 소자형영역을 규정하는 상술한 절연층이다. 단지, 상기 메모리셀트랜지스터(M1)는 비트선(bLi)과 워드선(WL1~WL8)상의 전위를 올바르게 제어함으로써 선택될 수 있다. 선택된 셀트랜지스터(M1)의 제어게이트전극(18a)에 적당하게 선택된 전압을 인가하여 전기적 캐리어(전자)가 부유게이트전극(14a)으로부터 또는 부유게이트전극(14a)으로 터널링하도록 허용함으로써 부유게이트전극(14a)이 충전되도록 한다. 부유게이트전극(14a)내의 두개의 다른 캐리어 축적상태(즉, 충전상태와 방전상태)를 논리"1"과 "0"을 기록하는 상태로 올바르게 할당함으로써, 소망하는 2진정보가 상기 선택된 셀트랜지스터(M1)내에 기록될 수 있다. 선택트랜지스터(Q)와 메모리셀트랜지스터의 직렬배열은 제4도로부터 명백히 알 수 있다.

제1도를 참조하여 설명한 바와 같이 본 발명에 따른 번갈아 층을 위치시키는 기술에 의해, 어떤 특수한 모험적인 기술을 채용하지 않고서도 현재 유용한 패터닝처리에 의해 허용가능한 가장 좁은 간격의 한계를 용이하게 깨뜨릴 수 있게 된다. 상술한 번갈아 층을 위치시키는 기술이 NAND셀형 EEPROM(40)의 FATMOS 메모리셀트랜지스터(M1~M8)의 직렬어레이의 형성에 적용될 경우, 이들 셀트랜지스터간의 간격 즉 인접하는 부유게이트전극간의 간격이나 인접하는 제어게이트전극(워드선)간의 간격은 상기 전극폭이 0.6 $\mu$ m일 때에 약 0.3 $\mu$ m의 서브미크론단위로 줄어들 수 있게 된다. 이러한 전형적인 경우에는, NAND셀의 피치가 0.9 $\mu$ m로 될 수 있다. 따라서, 현재 유용한 제조기술을 이용하여 더 높은 집적도를 갖는 NAND셀형 EEPROM을 제조함과 동시에 높은 제조생산량을 유지할 수 있게 된다.

제5도는 본 발명의 제2실시에에 따른 EEPROM의 메모리셀트랜지스터의 직렬어레이를 형성하는 주요공정을 나타낸 단면도이다.

동도면에 있어서, 층(12, 14, 16, 18)은 제1실시에와 동일한 공정을 이용하여 P형 실리콘기판(10)의 표면에 형성되어 있다. 실리콘질화막을 다결정실리콘막(18)상에 퇴적시킨 후, 제5도(a)에 나타낸 바와 같이 패터닝화된 질화막(60a, 60b, 60c)을 얻도록 패터닝한다.

계속해서, 절연층(62)이 패터닝된 질화막(60a, 60b, 60c)의 각각의 양 측벽상에 형성되게 되는데, 이들 측벽절연층(62)은 다음과 같이 제조될 수 있다. 우선, 공지의 CVD법을 이용하여 소정두께 즉 제5도(a)의 구조표면상에 약 0.2 $\mu$ m로 실리콘산화박막을 퇴적시킨다. 그후, 반응성 이온에칭(RIE)을 행하여 에칭된 층(62)이 각 질화막(60a~60c)의 양측벽상에 잔존됨과 더불어 상기 실리콘산화박막의 나머지부분이 제거되도록 한다. 이들 측벽절연층(62)의 두께가 0.2 $\mu$ m이므로, 그 각 층(60a~60c)의 라인폭이 0.6 $\mu$ m일 때에 그 측벽구조의 폭은 1.0 $\mu$ m로 된다. 이하, 상기 측벽절연층(62)을 스페이서층(spacer layer)이라 칭한다.

상기 스페이서층(62)이 형성후, 그 결과 구조의 전체표면은 제5도(b)에 나타낸 바와 같이 포토레지스트층(64)에 의해 덮혀지고, 그후 포토레지스트층(64)은 RIE와 같은 포토리소그래피처리를 받게 된다. 그에따라 상기 포토레지스트층(64)의 반쪽 상단부가 제거되고, 양측면상에 스페이서산화층(62)을 갖춘 상기 질화막(60a~60c)과, 상기 포토레지스트층(64)이 잔존하는 하단부(64a, 64b)의 상부(上部)가 제 5도(c)에 나타낸 바와 같이 노출되게 된다. 에칭된 포토레지스트층(64a, 64b)의 두께는 0.6 $\mu$ m이다.

그후, 선택적 에칭처리는 선택된 에칭제(etchant) 예컨대 NH<sub>4</sub>F를 사용하여 이루어지게 되어 제5도(d)에 나타낸 구조를 얻도록 측벽산화박막(62)만이 제거되는데, 패터닝된 질화층(60a, 60b, 60c)과 에칭된 포토레지스트층(64a, 64b)이 다결정실리콘(18)상에 번갈아 위치되게 된다. 또, 그들간의 공간적 간격은 0.2 $\mu$ m까지 줄어들게 된다. 에칭마스크로서 이들 층(60a~60c, 64a, 64b)을 사용함으로써, 밑에 놓인 퇴적층(14, 16, 18)이 제1도(d)에 나타낸 바와 마찬가지로 에칭되게 된다. 예컨대, RIE처리는 이러한 경우에 채용되는데 추천할만한 방법이다. 여기서, 에칭된 층(14a, 16a, 18a)이 제5도(e)에 나타낸 바와 같이 얻어질 수 있다.

다음으로, 포토레지스트마스크층(64)이 제거된 후, 기판(10)은 제1도(e)에 나타낸 바와 동일한 기술을 이용하여 N형 불순물로 도핑된다. 결국, 제5도(f)에 나타낸 바와 같이 고농도로 도핑된 N형 확산층(66)은 0.2 $\mu$ m의 특정한 폭으로 P형 기판(10)내에 형성되게 된다. 다음의 처리는 제1도(f)에 나타낸 경우와 마찬가지로이다.

특수한 제조처리를 사용하지 않고서도 상술한 측벽스페이서를 사용하여 패터닝제조기술로서 인접하는 FATMOS메모리셀트랜지스터의 게이트전극간의 간격을 NAND셀형 EEPROM에서 0.2 $\mu$ m까지 줄일 수 있게 된다. 따라서, FATMOS셀트랜지스터의 직렬어레이는 현재 유용한 패터닝기술을 이용하여 EEPROM의 집적도를 극대화하도록 소형화될 수 있다.

제5도(a) 내지 제5도(f)에 나타낸 NAND셀형 EEPROM의 FATMOS메모리셀트랜지스터어레이의 제조동안에, 다음의 제조공정이 이 셀어레이의 주변부와 EEPROM의 주변회로부에서 실행될 것이다. EEPROM내의 워드선의 평면도가 제6도에 개략적으로 도시되어 있다. 이들 워드선은 상술한 패터닝된 다결정실리콘박막(18a)이고, 제6도에 나타낸 바와 같이 양단부에 접촉부(70, 72)를 갖추고 있다.

제6도로부터 명백히 알 수 있는 바와 같이 워드선접촉부(70, 72)에서 패터닝형성피치가 메모리셀어레이

이의 중앙영역에서보다 더 크게 배열되어 있다. 즉, 접촉부(70,72)에서의 패터닝피치는 기존의 제조 기술의 통상의 패터닝 한계내에 있다. 이 영역에서의 제조방법은 제7도 및 제8도에 나타난 바와 같다.

즉, 포토레지스트층(64)은 제7도(a)의 층(12, 14, 16)의 다층구조상에 형성되어 있고, 제5도(b)의 층(64)와 동일하다. 제5도(c)의 제조공정에서 측벽구조의 표면부가 노출되도록 포토레지스트층(64)을 RIE에칭 하기전에 접촉부(70)는 다음의 처리를 받게 된다.

즉, 포토레지스트층(64)은 제7도(b)에 나타난 바와 같이 공지의 포토리소그래피기술을 이용하여 패터닝되게 된다. 이때, 다른 접촉부(72)에서는 패터닝된 질화층(60d, 60e)이 제8도(a)에 나타난 바와 같이 규정되게 된다. 각 질화층(60d, 60e)의 양측벽에 부착된 스페이서층(62)중 두개의 인접하는 스페이서층이 서로직접 접촉하고 있는데, 상기 포토레지스트층(64)이 이들 스페이서층(62)을 완전히 덮게 된다. 포토레지스트층(64)이 제7도(b)에 나타난 바와 같이 처리되는 동안, 제8도(b)로부터 명백히 알 수 있는 바와 같이 이포트레지스트층은 접촉부(72)내의 층(60d, 60e, 62)에 대한 피복층으로 잔존하게 된다. 필요할 경우에 제8도(b)B의 포토레지스트층은 제조처리중 이 공정에서 제거될 수 있다.

포토레지스트층(64)에 대한 에칭제도가 제5도(c)의 공정에서 완료될때, 포토레지스트층(64c, 64d)은 접촉부(70)내의 제7도(c)의 참조부호 64c와 64d로 나타난 바와 같이 더 얇아지게 된다. 한편, 다른 접촉부(72)에서는 포토레지스트층(64)이 제8도(c)에 나타난 바와 같이 완전히 제거되게 된다.

제5도(e)에 나타난 NAND셀형 EEPROM의 메모리셀어레이부의 퇴적층(14, 16, 18)에 대한 RIE에칭처리동안 접촉부(70)는 다음과 같이 처리되게 된다.

즉, 층(14, 16, 18)은 제7도(d)에 나타난 바와 같이 층(64c', 64d')을 마스크로 하여 패터닝제조되게 된다. 다른 접촉부(72)에 대해서는 층(14, 16, 18)은 스페이서층(62)이 제거된 층(60d, 60e)을 제8도(d)에 나타난바와 같이 마스크로 사용하여 마찬가지로 패터닝되게 된다. 따라서, 메모리셀어레이부의 감소된 패터닝피치에서 FATMOS메모리셀트랜지스터의 형성동안, 메모리셀어레이의 주변부에 대한 패터닝처리도 어떤 특수한 제조기술을 이용하지 않고서도 성공적으로 실시될 수 있다.

제9도(a) 내지 제9도(e)에는 상술한 반대편 접촉부의 형성공정에서 얻은 구조의 평면도가 도시되어 있다. 상술한 포토레지스트층(64)의 패터닝형태는 한개의 접촉영역내에서의 층(64c, 64d)을 규정하도록 결정되게 된다. 층(64)의 한쪽 엣지라인(edge ling, 66)은 대응하는 스페이서층(62)의 선형부(linear portion)위에 위치되도록 형성된다. 상기 엣지라인(66)의 위치설정은 자기정합처리보다는 기존의 포토리소그래피처리를 이용하여 용이하게 이루어질 수 있다.

본 발명에 따른 제조방법의 부가적 이점은 다음과 같다.

제5도에 나타난 일련의 제조처리공정에서 메모리셀트랜지스터의 패터닝된 간격 또는 패터닝피치는 본질적으로 측벽 스페이서산화층(62)의 퇴적두께에 대응할 수 있는데, 통상 이 두께가 감소함에 따라 셀트랜지스터의 패터닝피치는 줄어들게 된다. 현재 유용한 제조기술로서 스페이서층(62)의 퇴적 두께를 50nm 이하까지 감소시키는 것은 매우 용이하다. 그에 따라, 셀트랜지스터의 패터닝피치는 50nm까지 쉽게 감소될 수 있다. 이들 셀트랜지스터에 의해 공유되는 소오스 및 드레인으로 기능하는 제5도(f)의 N형 확산층은 필요하다면 생략될 수 있다. 그러한 배열에서도 소오스 및 드레인이 없는 NAND셀어레이는 정상적으로 동작할 수있게 된다. 이것은 기록모드나 독출모드에서 선택된 비트선(bLi)에 인가된 제어전압이 동일한 EEPROM셀어레이내의 선택되지 않은 셀트랜지스터의 채널영역을 통해 선택된 메모리셀트랜지스터로 전송될 수 있기때문이다. NAND셀어레이에 소오스 및 드레인이 구비되어 있지 않은 경우에 메모리셀트랜지스터와 선택게이트의 넷채널길이(net channel length)는 셀트랜지스터의 게이트길이와 고정밀도로 동일하게 될 수 있다. 그에 따라 NAND셀형 EEPROM의 동작효율을 개선시킬 수 있게 된다.

제10도에는 본 발명의 제3실시예를 나타낸 것으로, 제10도(a)에 나타난 바와 같이 제2의 다결정실리콘막(18)과 질화막(20)간에 협지되도록 부가적 마스크층(70)을 퇴적시킨다. 상기 마스크층(70)은 다결정실리콘산화층이어도 좋다. 상기 질화막(20)을 에칭하고 층(20a, 20b, 24a, 24b)을 형성하는 처리는 제1도(b)와 제1도(c)에 나타난 바와 마찬가지로이다.

그후, 제10도(d)에 나타난 바와 같이 부가적 마스크층(70)은 에칭된 층(20a, 20b, 24a, 24b, 24c)을 마스크로 하여 패터닝처리를 받게 된다. 그에 따라, 패터닝된 마스크층부(70a~70e)는 층(18)상에 규정되게 된다. 마스크로서 이들 층부(70a~70e)를 사용함으로써 리소그래피패터닝처리가 실행되는데, 그에 따라 제1도(d)에 도시된 것과 동일한 다수개의 패터닝된 퇴적부(26)를 얻게 된다. 그 결과구조가 제1도(f)의 것과 동일한 처리를 받게 되어 동일한 NAND셀형 EEPROM이 완성되게 된다.

본 발명은 상기 실시예에 한정되지 않고 본 발명의 요지를 이탈하지 않는 범위내에서 여러가지로 변형하여 실시가능하다. 예컨대, 상술한 제조기술은 제어게이트를 포함하는 도전선(conductive line)중 좁은 패터닝피치를 갖는 다른 형태의 반도체 IC장치의 형성에 적용될 수 있음은 물론이다

**(57) 청구의 범위**

**청구항 1**

기판(10)상이나 그 위에 형성된 도전층(14, 18)과 상기 도전층(14, 18)상에 배열된 마스크층(20)을 공급하는 공정을 구비하고 있고, 상기 마스크층(20)을 에칭하여 제1의 마스크층부(20a, 20b)를 제1의 마스크층부간에서 규정된 제1간격으로 형성하는 공정과, 상기 제1의 마스크층부(20a, 20b)와 이것에 인접하는 제2의 마스크층부(24a, 24b, 24c)간에서 규정된 상기 제1간격보다 좁은 제2간격으로 상기 도전층(14, 18)상의 상기 제1의 마스크층부(20a, 20b)와 교번하는 상기 제2의 마스크층부(24a, 24b, 24c)를 형성하는 공정 및, 상기 제1의 마스크층부(20a, 20b) 및 제2의 마스크층부(24a, 24b, 24c)를 마스크

로 하여 상기 도전층(14, 18)을 에칭함으로써 상기 제2간격으로 배열되는 일련의 도전층부(14a, 18a)를 형성하는 공정을 더 구비한 것을 특징으로 하는 제어된 간격으로 배열된 도전층을 형성하는 방법.

#### 청구항 2

제1항에 있어서, 상기 도전층부(14a, 18a)를 마스크구조로 하여 상기 기판(10)의 모전형과 역도전형의 반도체불순물을 도핑하는 공정을 더 구비하고, 상기 반도체불순물이 도핑된 영역(28)은 상기 도전층부(14a, 18a)와 자기정합적으로 상기 기판(10)내에 형성되는 것을 특징으로 하는 제어된 간격으로 배열된 도전층을 형성하는 제조방법.

#### 청구항 3

제1항에 있어서, 제1 및 제2의 다결정반도체층은 상기 도전층(14, 18)으로서 상기 기판(10)위에 절연적으로 형성되고, 상기 제1 및 제2의 다결정반도체층을 에칭처리함으로써 절연적으로 퇴적된 일련의 반도체층부(26)를 상기 기판(10)위에 형성하는 것을 특징으로 하는 제어된 간격으로 배열된 도전층을 형성하는 제조방법.

#### 청구항 4

제3항에 있어서, 상기 절연적으로 퇴적된 반도체층부(26)는 그 폭이 균일한 것을 특징으로 하는 제어된 간격으로 배열된 도전층을 형성하는 제조방법.

#### 청구항 5

제4항에 있어서, 상기 제1의 마스크층부(20a, 20b)는 반도체질화물과 반도체산화물 및 반도체탄화물로 구성된 그룹중에서 선택된 제1물질로 이루어지고, 상기 제2의 마스크층부(24a, 24b, 24c)는 방사감수저항물질(radiation-sensitive resist material)을 함유한 제2물질로 이루어진 것을 특징으로 하는 제어된 간격으로 배열된 도전층을 형성하는 제조방법.

#### 청구항 6

기판(10)상이나 그 위에 형성된 도전층(14, 18)과 상기 도전층상에 배열된 제1물질로 이루어진 마스크층을 공급하는 공정을 구비하고 있고, 상기 마스크층을 에칭하여 제1의 마스크층부(60a, 60b, 60c)를 이 제1의 마스크층부간에서 규정된 제1간격으로 형성하는 공정과, 상기 도전층(18)상에 상기 제1의 마스크층부(60b, 60b, 60c) 각각의 양측면상에 측벽박막층(62)을 형성하는 공정, 제2물질로 이루어진 마스크층(64)을 형성하는 공정, 상기 마스크층(64)의 상부(上部)를 제거하여 상기 측벽박막층(62)을 갖춘 상기 제1의 마스크층부(60a, 60b, 60c)를 부분적으로 노출시키는 공정, 상기 측벽박막층(62)을 제거하여 상기 도전층(18)상에 제2의 마스크층부(64a, 64b)를 규정하는 공정 및, 상기 제1의 마스크층부(60a, 60b, 60c) 및 제2의 마스크층부(64a, 64b)를 사용하여 상기 도전층(14, 18)을 에칭함으로써 상기 기판(10)상이나 그 위에 일련의 도전층부(14a, 18b)를 형성하는 공정을 더 구비한 것을 특징으로 하는 제어된 간격으로 배열된 도전층을 형성하는 제조방법.

#### 청구항 7

제6항에 있어서, 상기 측벽박막층(62)은 인접한 상기 도전층부(14a, 18a)간의 간격에 대응하는 서브미크론단위의 두께를 갖도록 퇴적되는 것을 특징으로 하는 제어된 간격으로 배열된 도전층을 형성하는 제조방법.

#### 청구항 8

제7항에 있어서, 상기 도전층부(14a, 18a)를 마스크구조로 하여 상기 기판(10)의 도전형과 역도전형의 반도체불순물을 도핑하는 공정을 더 구비하고, 상기 반도체불순물이 도핑된 영역(66)은 상기 도전층부(14a, 18a)와 자기정합적으로 상기 기판(10)내에 형성되는 것을 특징으로 하는 제어된 간격으로 배열된 도전층을 형성하는 제조방법.

#### 청구항 9

제7항에 있어서, 제1 및 제2의 다결정반도체층은 상기 도전층(14, 18)으로서 상기 기판(10)위에 절연적으로 형성되고, 상기 제1 및 제2의 다결정반도체층을 에칭처리함으로써 절연적으로 퇴적된 일련의 반도체층부를 상기 기판(10)위에 형성하는 것을 특징으로 하는 제어된 간격으로 배열된 도전층을 형성하는 제조방법.

#### 청구항 10

제9항에 있어서, 상기 절연적으로 퇴적된 반도체층부는 그 폭이 균일한 것을 특징으로 하는 제어된 간격으로 배열된 도전층을 형성하는 제조방법.

#### 청구항 11

제10항에 있어서, 상기 제1물질은 반도체질화물과 반도체산화물 및 반도체탄화물로 구성된 그룹중에서 선택된 것이고, 상기 제2물질은 방사감수저항물질을 함유한 것을 특징으로 하는 제어된 간격으로 배열된 도전층을 형성하는 제조방법.

#### 청구항 12

기판(10)상이나 그 위에 형성된 도전층(14, 18)과 상기 도전층(14, 18)상에 배열된 마스크층(20, 70)을 공급하는 공정을 구비하고 있고, 상기 마스크층(20)을 에칭하여 제1의 마스크층부(20a, 20b)를 이 제

1의 마스크층부간에서 규정된 제1간격으로 형성하는 공정과, 상기 제1의 마스크층부(20a,20b)와 이것에 인접하는 제2의 마스크층부(24a,24b,24c)간에서 규정된 상기 제1간격보다 좁은 제2간격으로 상기 도전층(14,18)상의 상기 제1의 마스크층부(20a,20b)와 교번하는 상기 제2의 마스크층부(24a,24b,24c)를 형성하는 공정, 상기 제1의 마스크층부(20a,20b)와 상기 제2의 마스크층부(24a,24b,24c)를 마스크로 하여 상기 마스크층(70)을 패터닝함으로써 패터닝된 일련의 마스크층부(70a~70e)를 형성하는 공정 및, 상기 패터닝된 마스크층부(70a~70e)를 마스크로 하여 상기 제2간격으로 배열되는 일련의 도전층부(14a,18a)를 형성하는 공정을 더 구비한 것을 특징으로 하는 제어된 간격으로 배열된 도전층을 형성하는 제조방법.

**청구항 13**

제12항에 있어서, 상기 도전층부(14a,18a)를 마스크구조로 하여 상기 기판(10)의 도전형과 역도전형의 반도체불순물을 도핑하는 공정을 더 구비하고, 상기 반도체불순물이 도핑된 영역은 상기 도전층부(14a,18a)와 자기정합적으로 상기 기판내에 형성되는 것을 특징으로 하는 제어된 간격으로 배열된 도전층을 형성하는 제조방법.

**청구항 14**

제12항에 있어서, 제1 및 제2의 다결정반도체층은 상기 도전층(14,18)으로서 상기 기판(10)위에 절연적으로 형성되고, 상기 제1 및 제2의 다결정반도체층을 에칭처리함으로써 절연적으로 퇴적된 일련의 반도체층부(26)를 상기 기판(10)위에 형성하는 것을 특징으로 하는 제어된 간격으로 배열된 도전층을 형성하는 제조방법.

**청구항 15**

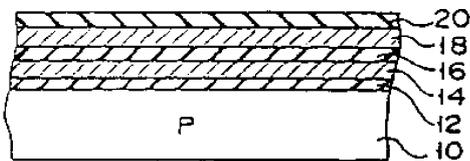
제14항에 있어서, 상기 절연적으로 퇴적된 반도체층부(26)는 그 폭이 균일한 것을 특징으로 하는 제어된 간격으로 배열된 도전층을 형성하는 제조방법.

**청구항 16**

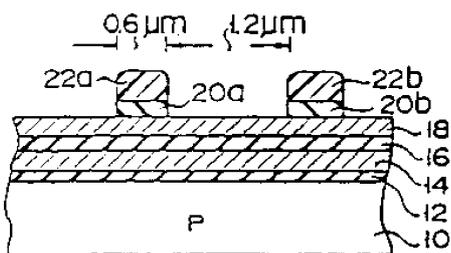
제15항에 있어서, 상기 제1의 마스크층부(20a,20b)는 반도체질화물과 반도체산화물 및 반도체탄화물로 구성된 그룹중에서 선택된 제1물질로 이루어지고, 상기 제2의 마스크층부(24a,24b,24c)는 방사감수저항물질을 함유한 제2물질로 이루어진 것을 특징으로 하는 제어된 간격으로 배열된 도전층을 형성하는 제조방법.

**도면**

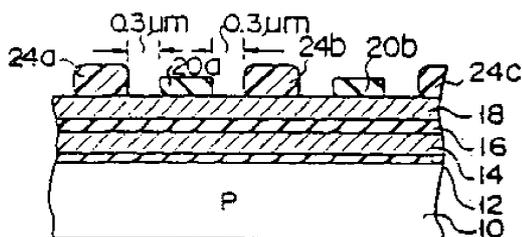
도면1-A



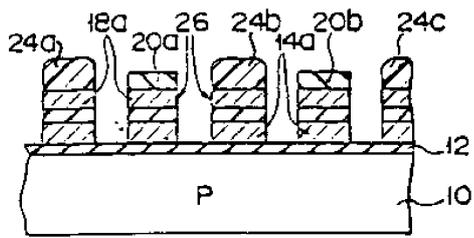
도면1-B



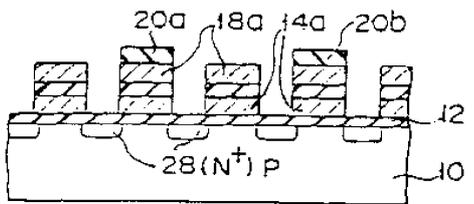
도면1-C



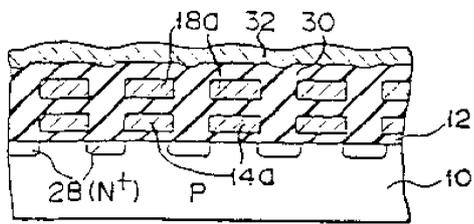
도면1-D



도면1-E

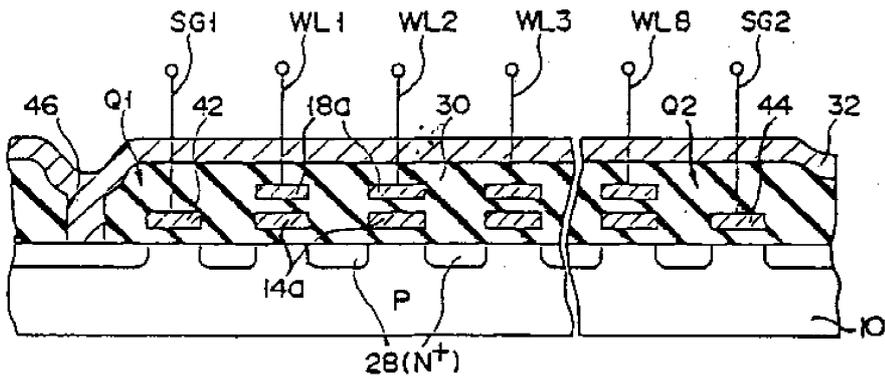


도면1-F

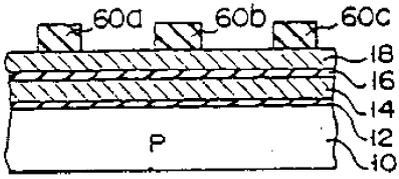




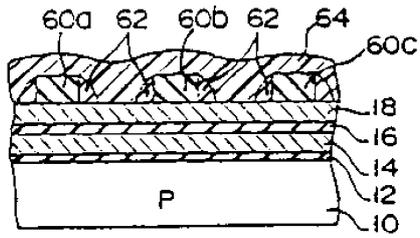
도면4



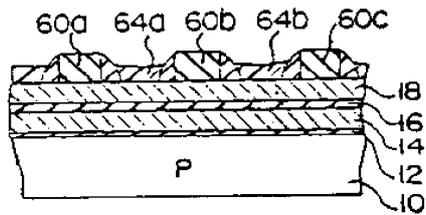
도면5-A



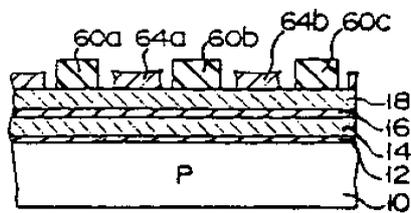
도면5-B



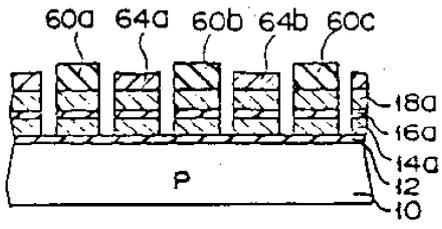
도면5-C



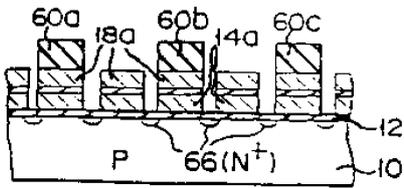
도면5-D



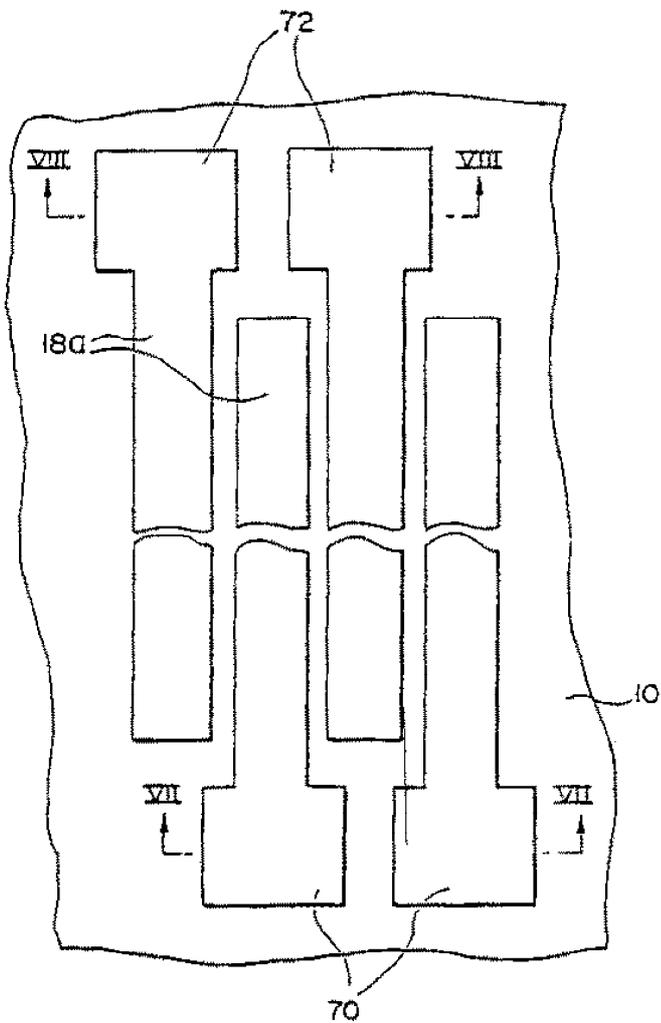
도면5-E



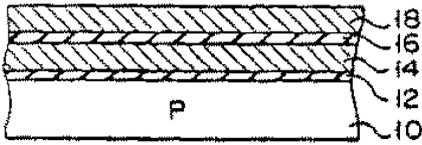
도면5-F



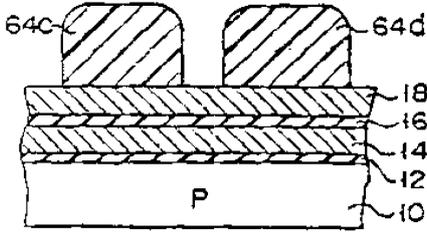
도면6



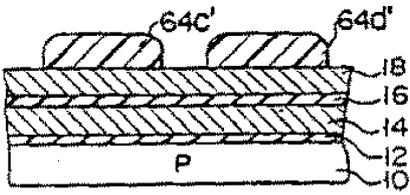
도면7-A



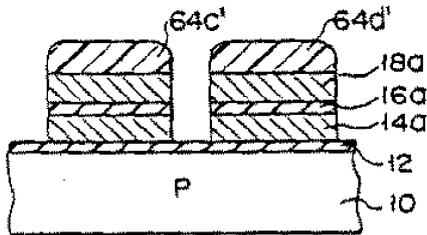
도면7-B



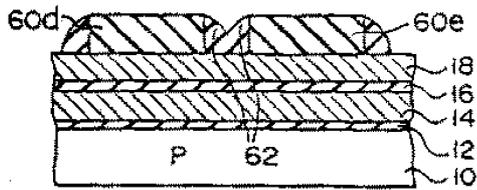
도면7-C



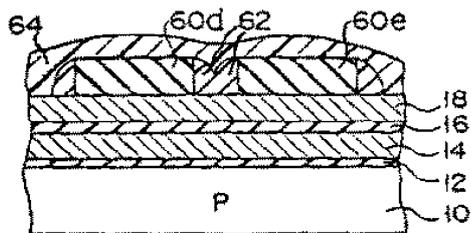
도면7-D



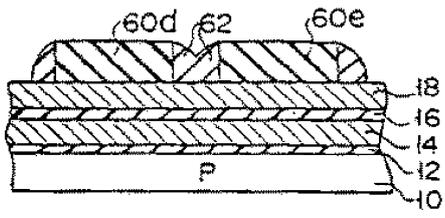
도면8-A



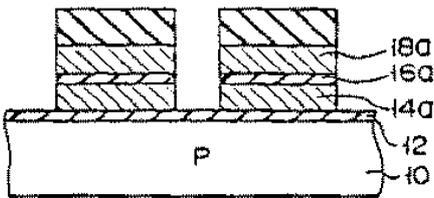
도면8-B



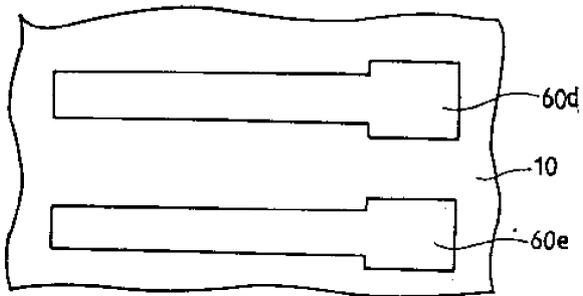
도면8-C



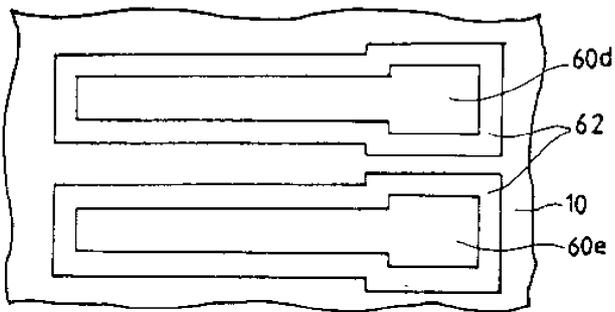
도면8-D



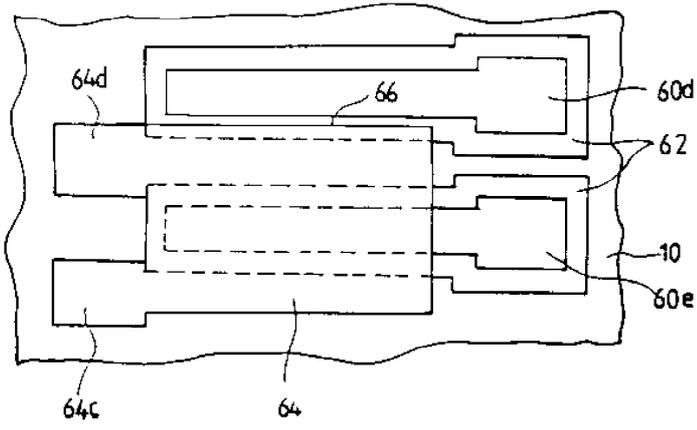
도면9-A



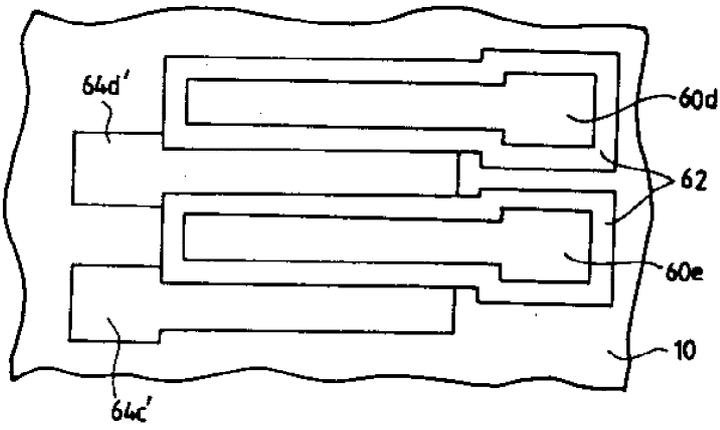
도면9-B



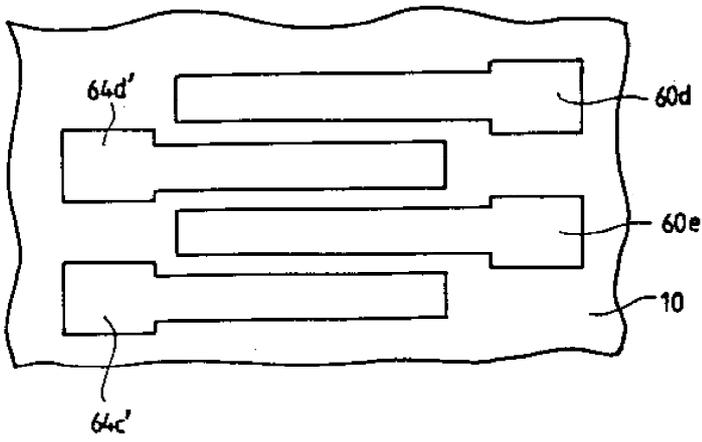
도면9-C



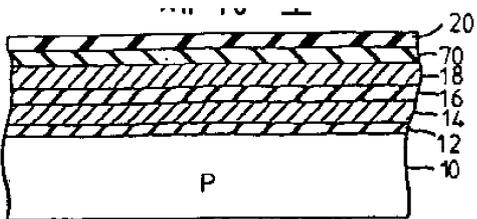
도면9-D



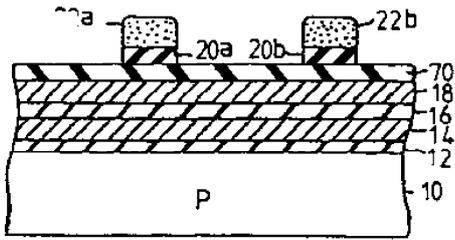
도면9-E



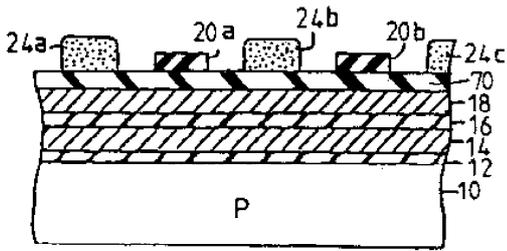
도면10-A



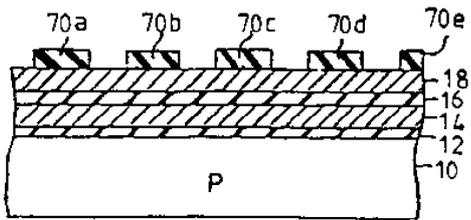
도면 10-B



도면 10-C



도면 10-D



도면 10-E

