

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第5595685号
(P5595685)

(45) 発行日 平成26年9月24日(2014.9.24)

(24) 登録日 平成26年8月15日(2014.8.15)

(51) Int. Cl. F I
 HO 1 L 29/812 (2006.01) HO 1 L 29/80 H
 HO 1 L 29/778 (2006.01) HO 1 L 29/78 3 O 1 B
 HO 1 L 21/338 (2006.01) HO 1 L 29/44 Y
 HO 1 L 29/78 (2006.01)
 HO 1 L 21/336 (2006.01)

請求項の数 8 (全 19 頁) 最終頁に続く

| | |
|---|--|
| <p>(21) 出願番号 特願2009-175621 (P2009-175621) (22) 出願日 平成21年7月28日(2009.7.28) (65) 公開番号 特開2011-29506 (P2011-29506A) (43) 公開日 平成23年2月10日(2011.2.10) 審査請求日 平成24年3月9日(2012.3.9)</p> <p>前置審査</p> | <p>(73) 特許権者 000005821 パナソニック株式会社 大阪府門真市大字門真1006番地 (74) 代理人 110001427 特許業務法人前田特許事務所 (72) 発明者 梅田 英和 大阪府門真市大字門真1006番地 パナ ソニック株式会社内 (72) 発明者 上田 哲三 大阪府門真市大字門真1006番地 パナ ソニック株式会社内</p> <p>審査官 早川 朋一</p> |
|---|--|

最終頁に続く

(54) 【発明の名称】 半導体装置

(57) 【特許請求の範囲】

【請求項 1】

基板と、

前記基板の上に積層された複数の窒化物半導体層からなり、且つチャネル領域を含む第1の窒化物半導体層と、

前記第1の窒化物半導体層の上に選択的に形成され、且つ前記第1の窒化物半導体層からみて突起となる、前記チャネル領域と逆導電型の第2の半導体層と、

前記第2の半導体層に接するように形成され、キャリア濃度が $1 \times 10^{18} \text{ cm}^{-3}$ 以上の高キャリア濃度半導体層からなる導電層と、

前記導電層の上に形成された絶縁体層と、

前記絶縁体層の上で且つ前記第2の半導体層の上方に形成されたゲート電極と、

前記第2の半導体層の両側方に形成されたソース電極及びドレイン電極とを備えていることを特徴とする半導体装置。

【請求項 2】

前記絶縁体層の上に形成されたフィールドプレート電極をさらに備えていることを特徴とする請求項 1 に記載の半導体装置。

【請求項 3】

前記フィールドプレート電極は、前記ゲート電極及び前記ソース電極のうち少なくとも一方の電極に電氣的に接続されていることを特徴とする請求項 2 に記載の半導体装置。

【請求項 4】

前記ゲート電極は、前記絶縁体層における前記導電層の上に形成された部分の上に形成されており、

前記フィールドプレート電極は、前記ゲート電極における前記ドレイン電極側の側面に接するように形成されていることを特徴とする請求項 3 に記載の半導体装置。

【請求項 5】

前記ゲート電極は、前記絶縁体層における前記導電層の上に形成された部分の上から、前記絶縁体層における前記第 2 の半導体層と前記ドレイン電極との間に形成された部分の上まで延設するように形成されていることを特徴とする請求項 1 に記載の半導体装置。

【請求項 6】

前記ソース電極、前記ドレイン電極及び前記ゲート電極は、互いに同一の材料により形成されていることを特徴とする請求項 5 に記載の半導体装置。

10

【請求項 7】

前記チャネル領域におけるキャリアは、電子であり、

前記第 2 の半導体層は、p 型半導体により形成されていることを特徴とする請求項 1 に記載の半導体装置。

【請求項 8】

前記第 1 の窒化物半導体層は、キャリア走行層及びキャリア供給層を含み、

前記キャリア走行層は、前記キャリア供給層よりもバンドギャップが小さいことを特徴とする請求項 1 ~ 7 のうちいずれか 1 項に記載の半導体装置。

【発明の詳細な説明】

20

【技術分野】

【0001】

本発明は、半導体装置に関し、例えば民生機器の電源回路等に用いられるパワートランジスタに適用可能な窒化物半導体を用いたトランジスタを備えた半導体装置に関する。

【背景技術】

【0002】

III 族窒化物半導体は、例えば、窒化ガリウム (GaN) 及び窒化アルミニウム (AlN) の室温での禁止帯幅がそれぞれ、3.4 eV 及び 6.2 eV と大きいワイドギャップ半導体である。III 族窒化物半導体は、絶縁破壊電界が大きく、且つ電子飽和速度が砒化ガリウム (GaAs) 等の砒素系半導体及びシリコン (Si) 等の半導体に比べて大きいという特徴を有している。そこで、高周波用電子デバイス又は高出力電子デバイスとして、GaN 系の窒化物半導体を用いた電界効果トランジスタ (Field Effect Transistor: FET) の研究開発が活発に行われている。

30

【0003】

GaN 系の窒化物半導体は、AlN 又は窒化インジウム (InN) と種々の混晶が得られるため、従来の GaAs 等の砒素系半導体と同様に、ヘテロ接合を形成することが可能である。GaN 系の窒化物半導体を用いたヘテロ構造、例えば AlGaN / GaN ヘテロ構造では、不純物がドーピングされていない状態でも、自発分極及びピエゾ分極によって、ヘテロ界面に高濃度のキャリアが発生するという特徴がある。このため、GaN 系の窒化物半導体を用いた FET の場合、デプレッション型 (ノーマリオン型) の FET になり易く、エンハンスメント型 (ノーマリオフ型) の FET にはなり難い。しかしながら、現在のパワーエレクトロニクス分野で使用されているデバイスの多くは、ノーマリオフ型のデバイスであり、GaN 系の窒化物半導体を用いたデバイスにおいても、ノーマリオフ型のデバイスが強く求められている。

40

【0004】

ノーマリオフ型のトランジスタを実現する構造として、次に示す構造が報告されている。第 1 に例えば、AlGaN / GaN ヘテロ構造において、AlGaN 層におけるゲート電極の下に位置する部分のみを薄膜化する、所謂、リセス構造とし、2 次元電子ガス (2DEG) の濃度を減少させて、トランジスタの閾値電圧を正の値にシフトさせる。これにより、ノーマリオフ型のトランジスタの実現を図る。第 2 に例えば、主面の面方位が { 1

50

0 - 1 2 }面のサファイア基板の主面上に、面方位が{ 1 1 - 2 0 }面のG a N層を成長し、サファイア基板の主面に対して垂直な方向に分極電界が生じないようにする。これにより、ノーマリオフ型のトランジスタの実現を図る。ここで、面方位のミラー指数に付した負符号は、該負符号に続く一の指数の反転を便宜的に表している。

【 0 0 0 5 】

ノーマリオフ型のF E Tを実現する有望な構造として、ゲート電極形成部にp型A l G a N層を設けた接合型電界効果トランジスタ(Junction Field Effect Transistor : J F E T)が提案されている。このJ F E Tでは、p型A l G a N層を、A l G a Nからなるバリア層と接続することにより、A l G a Nバリア層及びG a Nチャネル層のポテンシャルエネルギーが引き上げられる。これにより、ゲート電極形成部の下に形成される2次元電子ガスの濃度を減少させることができるため、J F E Tはノーマリオフ動作が可能となる。

10

【先行技術文献】

【特許文献】

【 0 0 0 6 】

【特許文献1】特開2 0 0 6 - 3 3 9 5 6 1号公報

【発明の概要】

【発明が解決しようとする課題】

【 0 0 0 7 】

しかしながら、従来の窒化物半導体を用いたJ F E Tでは、ゲート領域のp n接合に大きな電圧を印加すると、ゲート電流が大きくなるという問題がある。一方、ゲート電流を低減するために、ゲート領域の半導体層上に絶縁膜を形成し、金属絶縁体半導体(Metal-Insulator-Semiconductor : M I S)構造を設けた場合、絶縁体と半導体との界面に存在する界面準位により、キャリアの捕獲・放出が生じ、トランジスタの過渡応答特性が不安定になるという問題がある。

20

【 0 0 0 8 】

前記従来の問題に鑑み、本発明の目的は、窒化物半導体を用いたノーマリオフ型のトランジスタを備えた半導体装置において、駆動時のゲート電流を低減しつつ、トランジスタの過渡応答特性を安定させることである。

【課題を解決するための手段】

30

【 0 0 0 9 】

前記の目的を達成するため、本発明は、半導体装置に、金属 - 絶縁体 - 金属 - 半導体、又は金属 - 絶縁体 - 高キャリア濃度半導体 - 半導体の構造を設ける構成とする。

【 0 0 1 0 】

具体的には、前記の目的を達成するため、本発明に係る第1の半導体装置は、基板と、基板の上に積層された複数の窒化物半導体層からなり、且つチャネル領域を含む第1の窒化物半導体層と、第1の窒化物半導体層の上に選択的に形成され、且つ第1の窒化物半導体層からみて突起となる、チャネル領域と逆導電型の第2の半導体層と、第2の半導体層に接するように形成され、キャリア濃度が $1 \times 10^{18} \text{ cm}^{-3}$ 以上の高キャリア濃度半導体層からなる導電層と、導電層の上に形成された絶縁体層と、絶縁体層の上で且つ前記第2の半導体層の上方に形成されたゲート電極と、第2の半導体層の両側方に形成されたソース電極及びドレイン電極とを備えていることを特徴とする。

40

【 0 0 1 1 】

本発明に係る第1の半導体装置によると、第2の半導体層上に、導電層、絶縁体層及びゲート電極が順次形成され、本発明に係る第1の半導体装置は、金属 - 絶縁体 - 金属(導電層が金属層からなる場合) - 半導体の構造、又は金属 - 絶縁体 - 高キャリア濃度半導体(導電層が高キャリア濃度半導体層からなる場合) - 半導体の構造を含む。第2の半導体層と絶縁体層との間に設けた導電層により、半導体と絶縁体との界面に存在する界面準位によるキャリアの捕獲・放出が生じることを低減することが可能であり、ゲート電流を低減しつつ、トランジスタの過渡応答特性を安定させることが可能となる。

50

【0012】

加えて、第2の半導体層が、チャネル領域と逆導電型であるため、トランジスタのノーマリオフ動作が可能となる。さらに、第1の窒化物半導体層に含まれるキャリア走行層とキャリア供給層との界面に、高濃度の2次元キャリアガスを発生させることが可能であり、トランジスタの大電流駆動化が可能となる。

【0013】

従って、ゲート電流を低減しつつ、低オン抵抗・大電流駆動・ノーマリオフ動作が可能となる。

【0015】

本発明に係る第2の半導体装置によると、第2の半導体層上に、導電層、絶縁体層及びゲート電極が順次形成され、本発明に係る第2の半導体装置は、金属-絶縁体-金属（導電層が金属層からなる場合）-半導体の構造、又は金属-絶縁体-高キャリア濃度半導体（導電層が高キャリア濃度半導体層からなる場合）-半導体の構造を含む。第2の半導体層と絶縁体層との間に設けた導電層により、半導体と絶縁体との界面に存在する界面準位によるキャリアの捕獲・放出が生じることを低減することが可能であり、ゲート電流を低減しつつ、トランジスタの過渡応答特性を安定させることが可能となる。

10

【0016】

加えて、トランジスタのノーマリオフ動作が可能となる。さらに、第1の窒化物半導体層に含まれるキャリア走行層とキャリア供給層との界面に、高濃度の2次元キャリアガスを発生させることが可能であり、トランジスタの大電流駆動化が可能となる。

20

【0017】

従って、ゲート電流を低減しつつ、低オン抵抗・大電流駆動・ノーマリオフ動作が可能となる。

【0018】

本発明に係る第1又は第2の半導体装置において、絶縁体層の上に形成されたフィールドプレート電極をさらに備えていることが好ましい。

【0019】

このようにすると、ゲート電極端に集中する電界の強度を低減し、耐圧を向上させることが可能となる。

【0020】

本発明に係る第1又は第2の半導体装置において、フィールドプレート電極は、ゲート電極及びソース電極のうち少なくとも一方の電極に電気的に接続されていることが好ましい。

30

【0021】

このようにすると、フィールドプレート電極の電位を、ゲート電極又はソース電極の電位に一致させることが可能となる。

【0022】

本発明に係る第1又は第2の半導体装置において、ゲート電極は、絶縁体層における導電層の上に形成された部分の上に形成されており、フィールドプレート電極は、ゲート電極におけるドレイン電極側の側面に接するように形成されていることが好ましい。

40

【0023】

本発明に係る第1又は第2の半導体装置において、ゲート電極は、絶縁体層における導電層の上に形成された部分の上から、絶縁体層における第2の半導体層とドレイン電極との間に形成された部分の上まで延設するように形成されていることが好ましい。

【0024】

このようにすると、ゲート電極は、ゲート領域からドレイン領域まで延設するように形成されているため、ゲート電極は、ゲート電極の役割だけでなく、フィールドプレート電極の役割も担うことが可能となる。このため、フィールドプレート電極の形成工程を削減することが可能となる。

【0025】

50

本発明に係る第1又は第2の半導体装置において、ソース電極、ドレイン電極及びゲート電極は、互いに同一の材料により形成されていることが好ましい。

【0026】

本発明に係る第1の半導体装置において、チャンネル領域におけるキャリアは、電子であり、第2の半導体層は、p型半導体により形成されていることが好ましい。

【0027】

このようにすると、第2の半導体層の導電型が、キャリアとして電子が使われるn型のチャンネル領域と逆導電型(即ち、p型)であるため、トランジスタのノーマリオフ動作が可能となる。

【0028】

本発明に係る第1又は第2の半導体装置において、キャリア走行層は、キャリア供給層よりもバンドギャップが小さいことが好ましい。

【0029】

このようにすると、キャリア走行層とキャリア供給層との界面に高濃度の2次元キャリアガスを発生させることが可能であり、トランジスタの大電流駆動化が可能となる。

【発明の効果】

【0030】

本発明に係る半導体装置によると、第2の半導体層上に、導電層、絶縁体層及びゲート電極が順次形成されている。これにより、ゲート電流を低減しつつ、トランジスタの過渡応答特性を安定させることが可能となる。さらに、ゲート電流を低減しつつ、低オン抵抗・大電流駆動・ノーマリオフ動作が可能となる。

【図面の簡単な説明】

【0031】

【図1】本発明の第1の実施形態に係る半導体装置の構成を示す断面図である。

【図2】(a)～(b)は、本発明の第1の実施形態に係る半導体装置の製造方法における第1の方法を工程順に示す断面図である。

【図3】(a)～(b)は、本発明の第1の実施形態に係る半導体装置の製造方法における第1の方法を工程順に示す断面図である。

【図4】(a)～(c)は、本発明の第1の実施形態に係る半導体装置の製造方法における第2の方法を工程順に示す断面図である。

【図5】(a)～(c)は、本発明の第1の実施形態に係る半導体装置の製造方法における第2の方法を工程順に示す断面図である。

【図6】(a)～(c)は、本発明の第1の実施形態に係る半導体装置の製造方法における第3の方法を工程順に示す断面図である。

【図7】(a)～(c)は、本発明の第1の実施形態に係る半導体装置の製造方法における第3の方法を工程順に示す断面図である。

【図8】本発明の第1の実施形態の変形例に係る半導体装置の構成を示す断面図である。

【図9】(a)～(b)は、本発明の第1の実施形態の変形例に係る半導体装置の製造方法を工程順に示す断面図である。

【図10】(a)～(b)は、本発明の第1の実施形態の変形例に係る半導体装置の製造方法を工程順に示す断面図である。

【図11】本発明の第2の実施形態に係る半導体装置の構成を示す断面図である。

【発明を実施するための形態】

【0032】

以下に、本発明の各実施形態について図面を参照しながら説明する。

【0033】

(第1の実施形態)

以下に、本発明の第1の実施形態に係る半導体装置の構成について、図1を参照しながら説明する。図1は、本発明の第1の実施形態に係る半導体装置の構成を示す断面図である。

10

20

30

40

50

【 0 0 3 4 】

図 1 に示すように、例えば主面の面方位が (0 0 0 1) 面のサファイアからなる基板 1 0 1 の主面上には、例えば厚さが 1 0 0 nm の窒化アルミニウム (A l N) 層からなるバッファ層 1 0 2 と、例えば厚さが 2 μ m のアンドープの窒化ガリウム (G a N) 層 1 0 3 と、例えば厚さが 2 5 nm のアンドープの窒化アルミニウムガリウム (A l G a N) 層 1 0 4 と、例えば厚さが 1 5 0 nm の p 型 A l G a N 層 1 0 5 とが、エピタキシャル成長により順次形成されている。ここで、本明細書における「アンドープ」とは、不純物が意図的に導入されていないことを意味する。

【 0 0 3 5 】

アンドープ G a N 層 1 0 3 の材料として、 $A l_x G a_{1-x} N$ (但し、 x は、 $0 < x < 1$ である) を用い、アンドープ A l G a N 層 1 0 4 の材料として、 $A l_y G a_{1-y} N$ (但し、 y は、 $0 < y < 1$, $y > x$ である) を用い、p 型 A l G a N 層 1 0 5 の材料として、 $A l_z G a_{1-z} N$ (但し、 z は、 $0 < z < 1$ である) を用いければよい。本実施形態では、アンドープ G a N 層 1 0 3 の材料として、例えば G a N (即ち、 $x = 0$ である) を用い、アンドープ A l G a N 層 1 0 4 の材料として、例えば $A l_{0.2} G a_{0.8} N$ (即ち、 $y = 0.2$ である) を用い、p 型 A l G a N 層 1 0 5 の材料として、例えば $A l_{0.2} G a_{0.8} N$ (即ち、 $z = 0.2$ である) を用いる。

【 0 0 3 6 】

p 型 A l G a N 層 1 0 5 上には、例えば厚さが 2 0 nm のパラジウム (P d)、又は例えば厚さが 2 0 nm のタングステンシリサイド (W S i) からなる金属層 1 0 7 が形成されている。

【 0 0 3 7 】

p 型 A l G a N 層 1 0 5 の両側方には、アンドープ A l G a N 層 1 0 4 に接するように、例えばチタン (T i) / アルミニウム (A l) からなるソース電極 1 0 8 及びドレイン電極 1 0 9 が形成されている。

【 0 0 3 8 】

アンドープ A l G a N 層 1 0 4 上には、ソース電極 1 0 8 及びドレイン電極 1 0 9 の上面を露出する一方、p 型 A l G a N 層 1 0 5 及び金属層 1 0 7 を覆うように、例えば厚さが 2 0 nm の窒化シリコン (S i N) からなる絶縁体層 1 1 0 が形成されている。

【 0 0 3 9 】

絶縁体層 1 1 0 における金属層 1 0 7 上に形成された部分上には、例えばニッケル (N i) / 金 (A u) からなるゲート電極 1 1 1 が形成されている。絶縁体層 1 1 0 上には、ゲート電極 1 1 1 におけるドレイン電極側の側面に接するように、例えば A u からなるフィールドプレート電極 1 1 2 が形成されている。フィールドプレート電極 1 1 2 は、ゲート電極 1 1 1 に電氣的に接続されている。

【 0 0 4 0 】

絶縁体層 1 1 0 上には、ソース電極 1 0 8 及びドレイン電極 1 0 9 の上面を露出する一方、ゲート電極 1 1 1 及びフィールドプレート電極 1 1 2 を覆うように、例えば厚さが 2 0 0 nm の S i N からなる保護膜 1 1 3 が形成されている。

【 0 0 4 1 】

ソース電極 1 0 8、ドレイン電極 1 0 9 及びゲート電極 1 1 1 を含む領域よりも外側の領域には、例えばアルゴン (A r) 等の非導電型不純物が、アンドープ A l G a N 層 1 0 4 を突き抜けてアンドープ G a N 層 1 0 3 の上部に到達するようにイオン注入され、高抵抗化 (つまり、絶縁体化又は非導電化) されたイオン注入領域 1 0 6、言い換えれば、非導電型不純物を含有する非導電型不純物含有領域が形成されている。

【 0 0 4 2 】

このように、基板 1 0 1 上には、A l N バッファ層 1 0 2、アンドープ G a N 層 1 0 3 及びアンドープ A l G a N 層 1 0 4 が順次積層されてなる第 1 の窒化物半導体層 1 0 4 S が形成されている。第 1 の窒化物半導体層 1 0 4 S は、p 型 A l G a N 層 1 0 5 の下に位置し、且つキャリアとして電子が使われる n 型のチャネル領域 (二次元電子ガス層) を含

10

20

30

40

50

む。第1の窒化物半導体層104S上には、n型のチャネル領域と逆導電型のp型AlGaN層(第2の半導体層)105が形成されている。

【0043】

p型AlGaN層105上には、金属層107からなる導電層が形成され、導電層の上には、絶縁体層110が形成されている。絶縁体層110における金属層107上に形成された部分上には、ゲート電極111が形成されている。このように、ゲート電極111、絶縁体層110、金属層107、及びp型AlGaN層105が順次形成され、本実施形態に係る半導体装置は、金属-絶縁体-金属-半導体の構造を含む。

【0044】

第1の窒化物半導体層104Sは、キャリア走行層(即ち、アンドープGaN層103)及びキャリア供給層(即ち、アンドープAlGaN層104)を含む。アンドープGaN層103は、アンドープAlGaN層104よりもバンドギャップが小さい。

【0045】

本実施形態によると、p型AlGaN層105と絶縁体層110との間に設けた金属層107により、半導体と絶縁体との界面に存在する界面準位によるキャリアの捕獲・放出が生じることを低減することが可能であり、トランジスタの過渡応答特性を安定させることが可能となる。

【0046】

加えて、p型AlGaN層105が、チャネル領域と逆導電型であるため、トランジスタのノーマリオフ動作が可能となる。さらに、第1の窒化物半導体層104Sに含まれるアンドープGaN層103とアンドープAlGaN層104との界面に、高濃度の2次元電子ガスを発生させることが可能であり、トランジスタの大電流駆動化が可能となる。

【0047】

従って、ゲート電流を低減しつつ、低オン抵抗・大電流駆動・ノーマリオフ動作が可能となる。

【0048】

以下に、本発明の第1の実施形態に係る半導体装置の製造方法について説明する。本実施形態に係る半導体装置の製造方法として、第1~第3の方法を具体例に挙げて順次説明する。なお、後述の通り、第1の方法は、例えばPdからなる金属層107Xを備えた半導体装置の製造方法であり、第2,第3の方法は、例えばWSiからなる金属層107Yを備えた半導体装置の製造方法である。

【0049】

<第1の方法>

本発明の第1の実施形態に係る半導体装置の製造方法における第1の方法について、図2(a)~(b)及び図3(a)~(b)を参照しながら説明する。図2(a)~図3(b)は、本発明の第1の実施形態に係る半導体装置の製造方法における第1の方法を工程順に示す断面図である。

【0050】

まず、図2(a)に示すように、例えば有機金属気相成長(Metal Organic Chemical Vapor Deposition: MOCVD)法により、例えばサファイアからなる基板101の(0001)面上に、例えば厚さが100nmのAlNバッファ層102、例えば厚さが2μmのアンドープGaN層103、例えば厚さが25nmのアンドープAlGaN層104、及び例えば厚さが100nmのp型AlGaN層105を順次形成する。

【0051】

次に、図2(b)に示すように、例えばICP(Inductive-Coupled Plasma)エッチング等のドライエッチングにより、p型AlGaN層105におけるゲート領域以外の領域を選択的に除去する。

【0052】

続いて、アンドープAlGaN層104上に、所定領域(即ち、後工程に形成されるソース電極、ドレイン電極及びゲート電極を含む領域)を覆うように、フォトレジスト(図

10

20

30

40

50

示せず)を形成する。続いて、フォトレジストをマスクとして、アンドープAlGaIn層104及びアンドープGaN層103に、例えばAr等の非導電型不純物をイオン注入して、イオン注入領域106を形成する。このとき、アンドープAlGaIn層104を突き抜けてアンドープGaN層103の上部に注入されたイオンが存在するように、イオン注入条件における加速エネルギー及びドーズ量を制御する。このようにして、アンドープGaN層103及びアンドープAlGaIn層104におけるイオンが注入された領域を高抵抗化させてなるイオン注入領域106を形成する。続いて、フォトレジストを除去する。

【0053】

続いて、例えば電子線蒸着法により、p型AlGaIn層105上に、例えば厚さが20nmのパラジウム(Pd)からなる金属層107Xを形成する。続いて、p型AlGaIn層105及び金属層107Xの両側方に、アンドープAlGaIn層104と接するように、例えばTi/Alからなるソース電極108及びドレイン電極109を形成する。

10

【0054】

次に、図3(a)に示すように、例えばプラズマCVD法により、アンドープAlGaIn層104上に、ソース電極108及びドレイン電極109の上面を露出する一方、p型AlGaIn層105及び金属層107Xを覆うように、例えば厚さが20nmのSiNからなる絶縁体層110を形成する。

【0055】

次に、図3(b)に示すように、絶縁体層110における金属層107X上に形成された部分上に、例えばNi/Auからなるゲート電極111を形成する。それと共に、絶縁体層110上に、ゲート電極111におけるドレイン電極側の側面に接するように、例えばAuからなるフィールドプレート電極112を形成する。

20

【0056】

続いて、例えばプラズマCVD法により、絶縁体層110上に、ソース電極108及びドレイン電極109の上面を露出する一方、ゲート電極111及びフィールドプレート電極112を覆うように、例えば厚さが200nmのSiNからなる保護膜113を形成する。

【0057】

以上のようにして、Pdからなる金属層107Xを備えた半導体装置を製造することができる。

30

【0058】

<第2の方法>

以下に、本発明の第1の実施形態に係る半導体装置の製造方法における第2の方法について、図4(a)~(c)及び図5(a)~(c)を参照しながら説明する。図4(a)~図5(c)は、本発明の第1の実施形態に係る半導体装置の製造方法における第2の方法を工程順に示す断面図である。

【0059】

まず、図4(a)に示すように、例えばMOCVD法により、例えばサファイアからなる基板101の(0001)面上に、例えば厚さが100nmのAlNバッファ層102、例えば厚さが2µmのアンドープGaN層103、例えば厚さが25nmのアンドープAlGaIn層104、及び例えば厚さが100nmのp型AlGaIn層105を順次形成する。

40

【0060】

続いて、例えばスパッタにより、p型AlGaIn層105上に、例えば厚さが20nmのWSiからなる金属層107Yを形成する。

【0061】

次に、図4(b)に示すように、ドライエッチングにより、金属層107Yにおけるゲート領域以外の領域を選択的に除去し、p型AlGaIn層105におけるゲート領域以外の領域を露出させる。

【0062】

50

次に、図4(c)に示すように、金属層107Yをマスクとして、例えばICPEッチング等のドライエッチングにより、p型AlGa_N層105におけるゲート領域以外の領域を選択的に除去する。

【0063】

次に、図5(a)に示すように、アンドープAlGa_N層104上に、所定領域(即ち、後工程に形成されるソース電極、ドレイン電極及びゲート電極を含む領域)を覆うように、フォトレジスト(図示せず)を形成する。続いて、フォトレジストをマスクとして、アンドープAlGa_N層104及びアンドープGa_N層103に、例えばAr等の非導電型不純物をイオン注入して、イオン注入領域106を形成する。このようにして、アンドープGa_N層103及びアンドープAlGa_N層104におけるイオンが注入された領域を高抵抗化させてなるイオン注入領域106を形成する。続いて、フォトレジストを除去する。

10

【0064】

続いて、p型AlGa_N層105及び金属層107Yの両側方に、アンドープAlGa_N層104と接するように、例えばTi/Alからなるソース電極108及びドレイン電極109を形成する。

【0065】

次に、図5(b)に示すように、例えばプラズマCVD法により、アンドープAlGa_N層104上に、ソース電極107及びドレイン電極108の上面を露出する一方、p型AlGa_N層105及び金属層107Yを覆うように、例えば厚さが20nmのSi₃N₄からなる絶縁体層110を形成する。

20

【0066】

次に、図5(c)に示すように、絶縁体層110における金属層107Y上に形成された部分上に、例えばNi/Auからなるゲート電極111を形成する。それと共に、絶縁体層110上に、ゲート電極111におけるドレイン電極側の側面に接するように、例えばAuからなるフィールドプレート電極112を形成する。

【0067】

続いて、例えばプラズマCVD法により、絶縁体層110上に、ソース電極108及びドレイン電極109の上面を露出する一方、ゲート電極111及びフィールドプレート電極112を覆うように、例えば厚さが200nmのSi₃N₄膜からなる保護膜113を形成する。

30

【0068】

以上のようにして、WSiからなる金属層107Yを備えた半導体装置を製造することができる。

【0069】

<第3の方法>

本発明の第1の実施形態に係る半導体装置の製造方法における第3の方法について、図6(a)~(c)及び図7(a)~(c)を参照しながら説明する。図6(a)~図7(c)は、本発明の第1の実施形態に係る半導体装置の製造方法における第3の方法を工程順に示す断面図である。

40

【0070】

まず、図6(a)に示すように、例えばMOCVD法により、例えばサファイアからなる基板101の(0001)面上に、例えば厚さが100nmのAl_Nバッファ層102、例えば厚さが2µmのアンドープGa_N層103、例えば厚さが25nmのアンドープAlGa_N層104、及び例えば厚さが100nmのp型AlGa_N層105を順次形成する。

【0071】

続いて、例えばスパッタにより、p型AlGa_N層105上に、例えば厚さが20nmのWSiからなる金属層107Yを形成する。続いて、例えばプラズマCVD法により、金属層107Y上に、例えば厚さが20nmのSi₃N₄からなる絶縁体層110aを形成す

50

る。

【0072】

次に、図6(b)に示すように、例えばICPエッチング等のドライエッチングにより、絶縁体層110a、金属層107Y及びp型AlGaIn層105におけるゲート領域以外の領域を選択的に除去する。

【0073】

次に、図6(c)に示すように、アンドープAlGaIn層104上に、所定領域(即ち、後工程に形成されるソース電極、ドレイン電極及びゲート電極を含む領域)を覆うように、フォトレジスト(図示せず)を形成する。続いて、フォトレジストをマスクにして、アンドープAlGaIn層104及びアンドープGaIn層103に、例えばAr等の非導電型不純物をイオン注入して、イオン注入領域106を形成する。このようにして、アンドープGaIn層103及びアンドープAlGaIn層104におけるイオンが注入された領域を高抵抗化させてなるイオン注入領域106を形成する。続いて、フォトレジストを除去する。

10

【0074】

続いて、p型AlGaIn層105、金属層107Y及び絶縁体層110aの両側方に、アンドープAlGaIn層104と接するように、例えばTi/Alからなるソース電極108及びドレイン電極109を形成する。

【0075】

次に、図7(a)に示すように、例えばプラズマCVD法により、アンドープAlGaIn層104上に、ソース電極108及びドレイン電極109の上面を露出する一方、p型AlGaIn層105、金属層107Y及び絶縁体層110aを覆うように、例えば厚さが20nmのSiNからなる絶縁体層110bを形成する。

20

【0076】

次に、図7(b)に示すように、絶縁体層110bにおける絶縁体層110a上に形成された部分上に、例えばNi/Auからなるゲート電極111を形成する。それと共に、絶縁体層110b上に、ゲート電極111におけるドレイン電極側の側面に接するように、例えばAuからなるフィールドプレート電極112を形成する。

【0077】

次に、図7(c)に示すように、例えばプラズマCVD法により、絶縁体層110b上に、ソース電極108及びドレイン電極109の上面を露出する一方、ゲート電極111及びフィールドプレート電極112を覆うように、例えば厚さが200nmのSiNからなる保護膜113を形成する。

30

【0078】

以上のようにして、WSiからなる金属層107Yを備えた半導体装置を製造することができる。

【0079】

ここで、第1～第3の方法の特徴点は、以下に示す点である。

【0080】

第1の方法では、エッチングにより、p型AlGaIn層105をパターニングした後に、パターニングされたp型AlGaIn層105上に、Pdからなる金属層107Xを形成する。

40

【0081】

第2の方法では、エッチングにより、p型AlGaIn層105をパターニングする前に、p型AlGaIn層105上に、WSiからなる金属層107Yを形成し、続いて、エッチングにより、金属層107Yをパターニングし、パターニングされた金属層107Yをマスクにして、エッチングにより、p型AlGaIn層105をパターニングする。

【0082】

第3の方法では、エッチングにより、p型AlGaIn層105をパターニングする前に、p型AlGaIn層105上に、WSiからなる金属層107Y、及びSiNからなる絶

50

縁体層 110a を順次形成し、続いて、エッチングにより、絶縁体層 110a、金属層 107Y 及び p 型 AlGaIn 層 105 を順次パターニングする。

【0083】

(第1の実施形態の変形例)

本発明の第1の実施形態の変形例に係る半導体装置の構成について、図8を参照しながら説明する。図8は、本発明の第1の実施形態の変形例に係る半導体装置の構成を示す断面図である。図8において、第1の実施形態における構成要素と同一の構成要素には、図1に示す符号と同一の符号を付す。従って、本変形例では、第1の実施形態と同様の説明を適宜省略する。

【0084】

本変形例の特徴点は、次に示す点である。本変形例では、図8に示すように、アンドープ AlGaIn 層 104 のゲート領域に凹部 114 が形成され、凹部 114 を埋め込むように p 型 AlGaIn 層 205 が形成されている。

【0085】

本変形例によると、第1の実施形態と同様の効果を得ることができる。

【0086】

さらに、アンドープ AlGaIn 層 104 のゲート領域に凹部 114 を設けることにより、アンドープ AlGaIn 層 104 におけるゲート領域以外の領域の厚さを大きくすることが可能となる。このため、アンドープ AlGaIn 層 104 におけるゲート領域以外の領域の上面と、アンドープ AlGaIn 層 104 の直下に位置する二次元電子ガス層（言い換えれば、アンドープ GaN 層 103 とアンドープ AlGaIn 層 104 との界面に位置する二次元電子ガス層）との距離を大きくすることができるので、電流コラプス（ここで、「電流コラプス」とは、ゲート-ソース間又はゲート-ドレイン間の表面準位に電子が捕獲されることに起因して、電流が減少する現象をいう）が起こることを抑制することが可能となる。

【0087】

以下に、本発明の第1の実施形態の変形例に係る半導体装置の製造方法について、図9(a) ~ (b) 及び図10(a) ~ (b) を参照しながら説明する。図9(a) ~ 図10(b) は、本発明の第1の実施形態の変形例に係る半導体装置の製造方法を工程順に示す断面図である。

【0088】

まず、図9(a) に示すように、例えば MOCVD 法により、例えばサファイアからなる基板 101 の (0001) 面上に、例えば厚さが 100 nm の AlN バッファ層 102、例えば厚さが 2 μm のアンドープ GaN 層 103、及び例えば厚さが 25 nm のアンドープ AlGaIn 層 104 を順次形成する。

【0089】

続いて、例えば ICP エッチング等のドライエッチングにより、アンドープ AlGaIn 層 104 のゲート領域に、凹部 114 を形成する。

【0090】

次に、図9(b) に示すように、例えば MOCVD 法により、アンドープ AlGaIn 層 104 のゲート領域上に、凹部 114 を埋め込むように、例えば厚さが 100 nm の p 型 AlGaIn 層 205 を選択的に形成する。

【0091】

続いて、アンドープ AlGaIn 層 104 上に、所定領域（即ち、後工程において形成されるソース電極、ドレイン電極及びゲート電極を含む領域）を覆うように、フォトリソ（図示せず）を形成する。続いて、フォトリソをマスクとして、アンドープ AlGaIn 層 104 及びアンドープ GaN 層 103 に、例えば Ar 等の非導電型不純物をイオン注入して、イオン注入領域 106 を形成する。このとき、アンドープ AlGaIn 層 104 を突き抜けてアンドープ GaN 層 103 の上部に注入されたイオンが存在するように、イオン注入条件における加速エネルギー及びドーズ量を制御する。このようにして、アンド

10

20

30

40

50

ープGaN層103及びアンドープAlGaN層104におけるイオンが注入された領域を高抵抗化させてなるイオン注入領域106を形成する。続いて、フォトリソを除去する。

【0092】

続いて、例えば電子線蒸着法により、p型AlGaN層205上に、例えば厚さが20nmのPdからなる金属層107Xを形成する。

【0093】

続いて、p型AlGaN層205及び金属層107Xの両側方に、アンドープAlGaN層104と接するように、例えばTi/Alからなるソース電極108及びドレイン電極109を形成する。

10

【0094】

次に、図10(a)に示すように、例えばプラズマCVD法により、アンドープAlGaN層104上に、ソース電極108及びドレイン電極109の上面を露出する一方、p型AlGaN層205及び金属層107Xを覆うように、例えば厚さ20nmのSiNからなる絶縁体層110を形成する。

【0095】

次に、図10(b)に示すように、絶縁体層110における金属層107X上に形成された部分上に、例えばNi/Auからなるゲート電極111を形成する。それと共に、絶縁体層110上に、ゲート電極111におけるドレイン電極側の側面に接するように、例えばAuからなるフィールドプレート電極112を形成する。

20

【0096】

続いて、例えばプラズマCVD法により、絶縁体層110上に、ソース電極108及びドレイン電極109の上面を露出する一方、ゲート電極111及びフィールドプレート電極112を覆うように、例えば厚さが200nmのSiNからなる保護膜113を形成する。

【0097】

以上のようにして、本変形例に係る半導体装置を製造することができる。

【0098】

なお、第1の実施形態及びその変形例では、図1及び図8に示すように、フィールドプレート電極112が、ゲート電極111に電氣的に接続されている場合を具体例に挙げて説明したが、本発明はこれに限定されるものではない。第1に例えば、フィールドプレート電極が、ゲート電極ではなく、ソース電極に電氣的に接続されている、又は第2に例えば、フィールドプレート電極が、ゲート電極及びソース電極の双方に電氣的に接続されていてもよい。即ち、フィールドプレート電極は、ゲート電極及びソース電極のうち少なくとも一方の電極に電氣的に接続されていればよい。

30

【0099】

また、本変形例では、図9(a)に示すように、アンドープAlGaN層104に凹部114を形成し、図9(b)に示すように、凹部114を埋め込むようにp型AlGaN層205を形成した後、第1の方法における図2(b)～図3(b)に示す工程と同様の工程を順次行う場合(即ち、第1の実施形態における第1の方法を用いて、半導体装置を製造する場合)を具体例に挙げて説明したが、本発明はこれに限定されるものではない。例えば、第1の実施形態における第2の方法又は第3の方法を用いて、半導体装置を製造してもよい。

40

【0100】

(第2の実施形態)

以下に、本発明の第2の実施形態に係る半導体装置の構成について、図11を参照しながら説明する。図11は、本発明の第2の実施形態に係る半導体装置の構成を示す断面図である。図11において、第1の実施形態における構成要素と同一の構成要素には、図1に示す符号と同一の符号を付す。従って、第2の実施形態では、第1の実施形態と同様の説明を適宜省略する。

50

【0101】

図11に示すように、例えば主面の面方位が(0001)面のサファイアからなる基板101の主面上には、例えば厚さが100nmのAlNバッファ層102と、例えば厚さが2 μ mのアンドープGaN層103と、例えば厚さが25nmのアンドープAlGaN層104とが、エピタキシャル成長により順次形成されている。

【0102】

アンドープGaN層103の材料として、 $Al_xGa_{1-x}N$ (但し、 x は、 $0 < x < 1$ である)を用い、アンドープAlGaN層104の材料として、 $Al_yGa_{1-y}N$ (但し、 y は、 $0 < y < 1$ 、 $y > x$ である)を用い、本実施形態では、アンドープGaN層103の材料として、例えばGaN (即ち、 $x = 0$ である)を用い、アンドープAlGaN層104の材料として、例えば $Al_{0.2}Ga_{0.8}N$ (即ち、 $y = 0.2$ である)を用いる。

10

【0103】

アンドープAlGaN層104のゲート領域上には、例えば厚さが100nmのp型酸化ニッケル(NiO)層305が選択的に形成されている。

【0104】

p型NiO層305上には、例えば厚さが20nmのPd、又は厚さが20nmのWSiからなる金属層107が形成されている。

【0105】

p型NiO層305の両側方には、アンドープAlGaN層104に接するように、例えばTi/Alからなるソース電極108及びドレイン電極109が形成されている。

20

【0106】

アンドープAlGaN層104上には、ソース電極108及びドレイン電極109の上面を露出する一方、p型NiO層305及び金属層107を覆うように、例えば厚さが20nmの酸化アルミニウム(Al_2O_3)からなる絶縁体層310が形成されている。

【0107】

絶縁体層310における金属層107上に形成された部分上から、絶縁体層310におけるp型NiO層305とドレイン電極109との間に形成された部分上まで延設するように(即ち、ゲート領域からドレイン領域まで延設するように)、例えばTi/Alからなるゲート電極311が形成されている。

30

【0108】

絶縁体層310上には、ソース電極108及びドレイン電極109の上面を露出する一方、ゲート電極311を覆うように、例えば厚さが200nmのSiNからなる保護膜113が形成されている。

【0109】

ソース電極108、ドレイン電極109及びゲート電極311を含む領域よりも外側の領域には、アンドープAlGaN層104を突き抜けてアンドープGaN層103の上部に到達するように、例えばAr等の非導電型不純物がイオン注入され、高抵抗化されたイオン注入領域106が形成されている。

【0110】

このように、基板101上には、AlNバッファ層102、アンドープGaN層103及びアンドープAlGaN層104が順次積層されてなる第1の窒化物半導体層104Sが形成されている。第1の窒化物半導体層104Sは、p型NiO層305の下に位置し、且つキャリアとして電子が使われるn型のチャネル領域(二次元電子ガス層)を含む。第1の窒化物半導体層104S上には、n型のチャネル領域と逆導電型のp型NiO層(第2の半導体層)305が形成されている。

40

【0111】

p型NiO層305上には、金属層107からなる導電層が形成され、導電層の上には、絶縁体層310が形成されている。絶縁体層310における金属層107上に形成された部分上から、絶縁体層310におけるp型NiO層305とドレイン電極109との間

50

に形成された部分上まで延設するように、ゲート電極 311 が形成されている。このように、ゲート電極 311、絶縁体層 310、金属層 107、及び p 型 NiO 層 305 が順次形成され、本実施形態に係る半導体装置は、金属 - 絶縁体 - 金属 - 半導体の構造を含む。

【0112】

第 1 の窒化物半導体層 104S は、キャリア走行層（即ち、アンドープ GaN 層 103）及びキャリア供給層（即ち、アンドープ AlGaIn 層 104）を含む。アンドープ GaN 層 103 は、アンドープ AlGaIn 層 104 よりもバンドギャップが小さい。

【0113】

ソース電極 108、ドレイン電極 109 及びゲート電極 311 は、互いに同一の材料（具体的には例えば、Ti/Al）からなる。

10

【0114】

本実施形態と第 1 の実施形態との相違点は、以下に示す点である。

【0115】

第 1 に、本実施形態では、第 1 の実施形態における p 型 AlGaIn 層 105 の代わりに、p 型 NiO 層 305 を用いる。第 2 に、本実施形態では、第 1 の実施形態における SiN からなる絶縁体層 110 の代わりに、Al₂O₃ からなる絶縁体層 310 を用いる。第 3 に、本実施形態では、第 1 の実施形態における Ni/Au からなるゲート電極 111 及び Au からなるフィールドプレート電極 112 の代わりに、Ti/Al からなるゲート電極 311 を用いる。

【0116】

本実施形態によると、第 1 の実施形態と同様の効果を得ることができる。

20

【0117】

加えて、ソース電極 108、ドレイン電極 109 及びゲート電極 311 が、互いに同一の材料（具体的には例えば、Ti/Al）からなるため、半導体プロセス工程数を削減することが可能となる。詳細には、ソース電極 108、ドレイン電極 109 及びゲート電極 311 が、互いに同一の材料からなるため、下記の通り、半導体装置を製造することができるので、半導体プロセス工程数の削減が可能となる。

【0118】

まず、基板 101 上に、AlN バッファ層 102、アンドープ GaN 層 103 及びアンドープ AlGaIn 層 104 を順次形成する。その後、アンドープ AlGaIn 層 104 のゲート領域上に、p 型 NiO 層 305 を形成する。その後、p 型 NiO 層 305 上に、金属層 107 を形成する。

30

【0119】

次に、アンドープ AlGaIn 層 104 上に、p 型 NiO 層 305 及び金属層 107 を覆うように、絶縁体層 310 を形成する。その後、例えばミリング等により、絶縁体層 310 におけるソース部（後工程にてソース電極が形成される部分）及びドレイン部（後工程にてドレイン電極が形成される部分）に形成された部分を除去する。これにより、アンドープ AlGaIn 層 104 のソース部及びドレイン部を露出する。

【0120】

次に、アンドープ AlGaIn 層 104 のソース部上に、ソース電極 108 を形成すると共に、アンドープ AlGaIn 層 104 のドレイン部上に、ドレイン電極 109 を形成する。それと共に、絶縁体層 310 における金属層 107 上に形成された部分上から、絶縁体層 310 における p 型 NiO 層 305 とドレイン電極 109 との間に形成された部分上まで延設するように、ゲート電極 311 を形成する。このように、ソース電極 108、ドレイン電極 109 及びゲート電極 311 が、互いに同一の材料からなる場合、ソース電極 108、ドレイン電極 109 及びゲート電極 311 を、互いに同一の工程で形成することができるため、半導体プロセス工程数の削減が可能となる。

40

【0121】

さらに、ゲート電極 311 が、ゲート領域からドレイン領域まで延設するように形成されているため、ゲート電極 311 が、ゲート電極の役割だけでなく、フィールドプレート

50

電極の役割も担うことが可能となり、フィールドプレート電極の形成工程を削減することが可能となる。

【0122】

なお、本実施形態では、半導体装置の製造方法の説明を省略するが、本実施形態に係る半導体装置は、第1の実施形態における第1～第3の方法と同様の方法により、製造することができる。即ち、本実施形態では、第1の実施形態におけるゲート電極及びフィールドプレート電極の形成工程において、フィールドプレート電極を形成せずに、ゲート領域からドレイン領域まで延設するゲート電極を形成すればよい。

【0123】

また、本実施形態では、図11に示すように、アンドープAlGa_nN層104に凹部を設けない場合を具体例に挙げて説明したが、本発明はこれに限定されるものではない。例えば、第1の実施形態の変形例のように、アンドープAlGa_nN層に凹部を形成し、凹部を埋め込むようにp型NiO層を形成してもよい。このようにすると、第1の実施形態の変形例と同様の効果を得ることができる。

【0124】

なお、第1の実施形態及びその変形例、並びに第2の実施形態において、サファイア基板101の代わりに、例えば、Si基板、SiC基板又はGa_nN基板等を用いてもよい。

【0125】

また、第1の実施形態及びその変形例、並びに第2の実施形態では、金属層107を、p型半導体層（具体的には、第1の実施形態及びその変形例：p型AlGa_nN層105，205，第2の実施形態：p型NiO層305）の上面にのみ接するように形成する場合を具体例に挙げて説明したが、本発明はこれに限定されるものではない。例えば、金属層を、p型半導体層の上面からp型半導体層の側面まで延設するように形成する、又は金属層を、p型半導体層の上面からアンドープAlGa_nN層の上面まで延設するように形成してもよい。

【0126】

また、第1の実施形態及びその変形例、並びに第2の実施形態では、導電層として、金属層からなる導電層を用い、金属層を構成する金属として、Pd又はW_{Si}を用いた場合を具体例に挙げて説明したが、Pd又はW_{Si}の代わりに、例えば、Ni、Ti又はAl等の金属を用いてもよい。また、金属層からなる導電層の代わりに、高キャリア濃度半導体層からなる導電層を用いてもよい。高キャリア濃度半導体層を構成する半導体としては、例えば、n型Ga_nN、n型ZnO、n型Si、p型Ga_nN、p型NiO又はp型Si等が挙げられる。高キャリア濃度半導体層のキャリア濃度は、 $1 \times 10^{18} \text{ cm}^{-3}$ 以上であることが好ましい。

【0127】

また、第1の実施形態及びその変形例、並びに第2の実施形態では、第2の半導体層として、チャネル領域と逆導電型の第2の半導体層（具体的には、p型半導体層）を用いる場合を具体例に挙げて説明したが、本発明はこれに限定されるものではない。例えば、第1の窒化物半導体層の最表層（言い換えれば、第1の窒化物半導体層のうち第2の半導体層と接する層）よりもバンドギャップが小さいアンドープの第2の半導体層を用いてもよい。

【産業上の利用可能性】

【0128】

本発明は、窒化物半導体を用いたノーマリオフ型のトランジスタを備えた半導体装置において、ゲート電流を低減しつつ、トランジスタの過渡応答特性を安定させることが可能となるので、例えば民生機器の電源回路等に用いられるパワートランジスタに適用可能なトランジスタを備えた半導体装置に有用である。

【符号の説明】

【0129】

101 基板

10

20

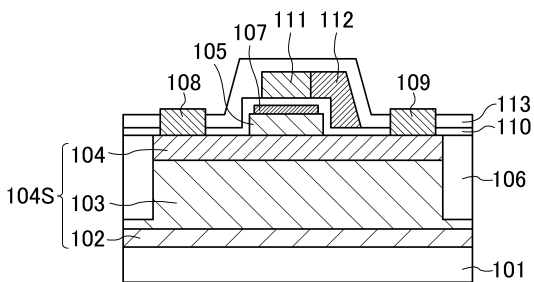
30

40

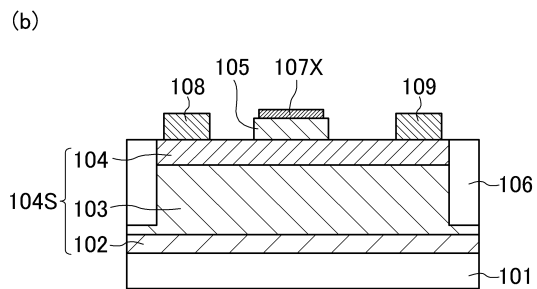
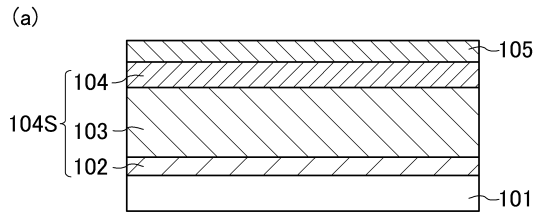
50

- 102 AlNバッファ層
- 103 アンドープGaN層
- 104 アンドープAlGaN層
- 104S 第1の窒化物半導体層
- 105, 205 p型AlGaN層(第2の半導体層)
- 305 p型NiO層(第2の半導体層)
- 106 イオン注入領域
- 107, 107X, 107Y 金属層(導電層)
- 108 ソース電極
- 109 ドレイン電極
- 110, 110a, 110b, 310 絶縁体層
- 111, 311 ゲート電極
- 112 フィールドプレート電極
- 113 保護膜
- 114 凹部

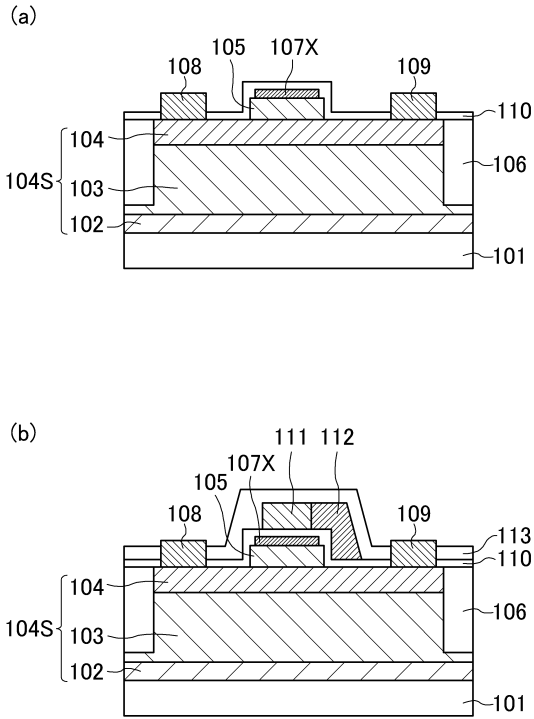
【図1】



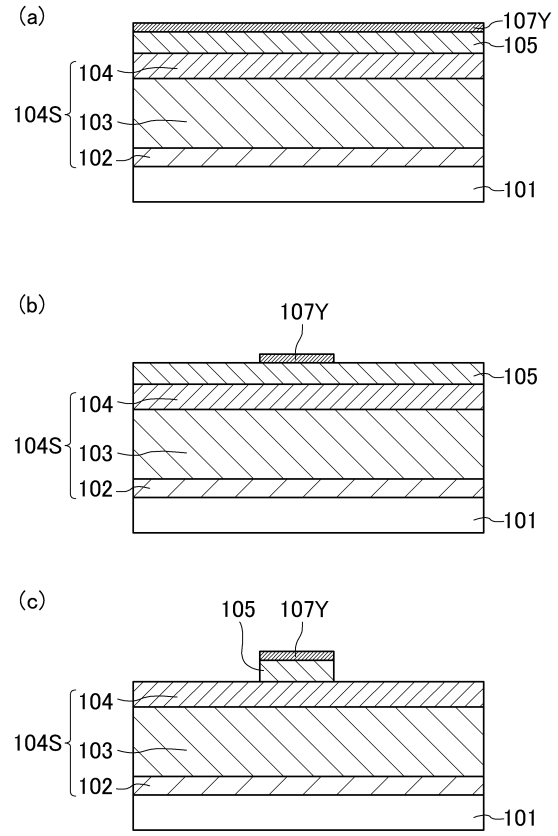
【図2】



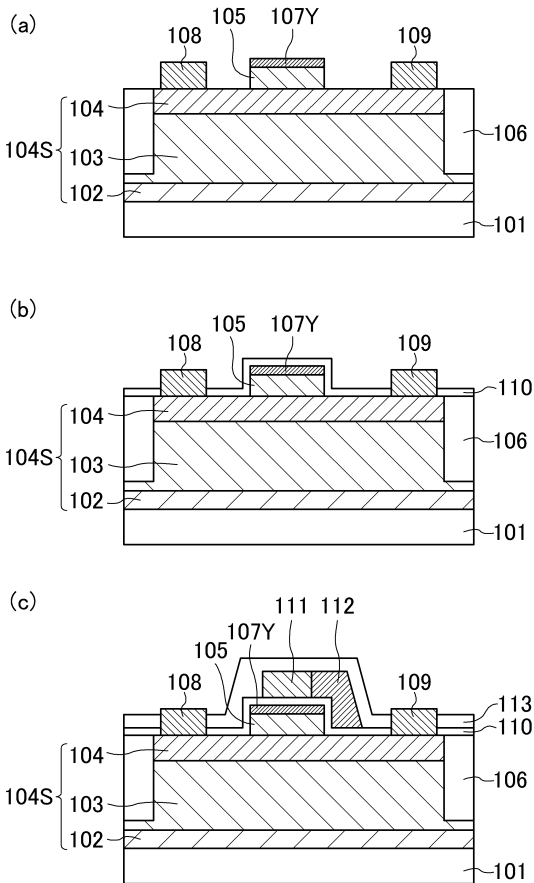
【図3】



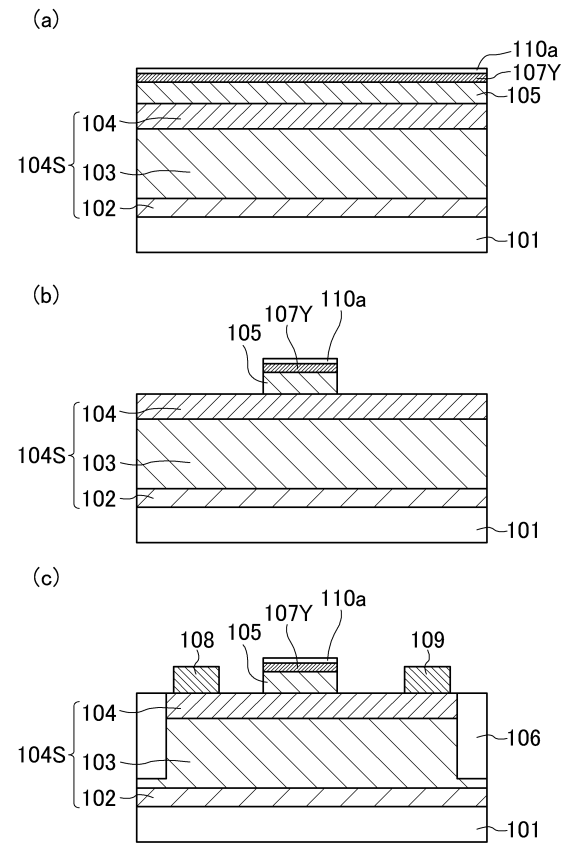
【図4】



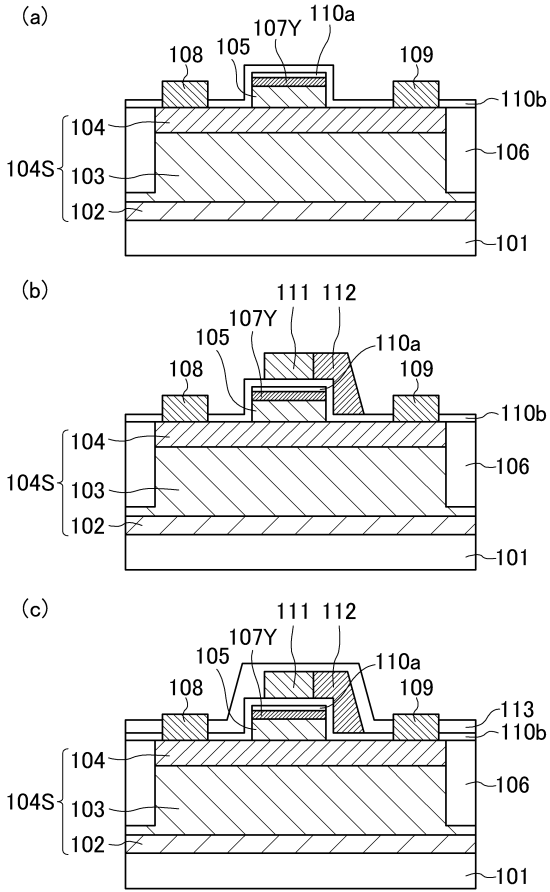
【図5】



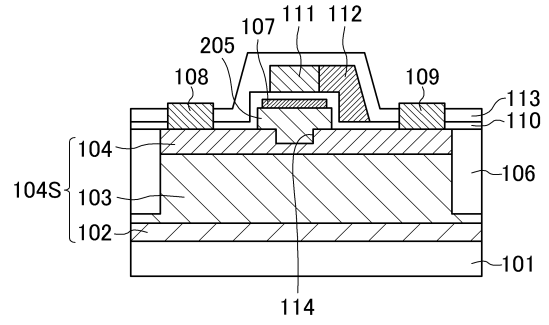
【図6】



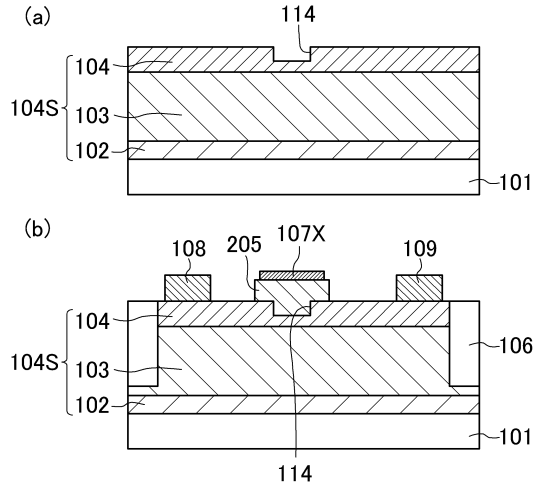
【 図 7 】



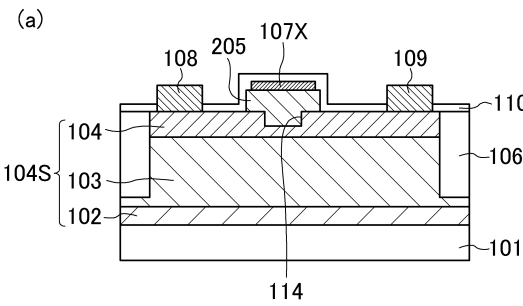
【 図 8 】



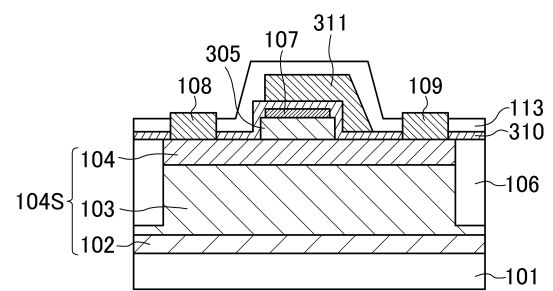
【 図 9 】



【 図 1 0 】



【 図 1 1 】



フロントページの続き

(51)Int.Cl. F I

H 0 1 L 29/41 (2006.01)

(56)参考文献 特開2010-067816(JP,A)
特開2001-217257(JP,A)
特開2008-305894(JP,A)
特開2001-102565(JP,A)
特開2005-244072(JP,A)
特開2008-053312(JP,A)

(58)調査した分野(Int.Cl., DB名)

H 0 1 L 21/336 - 21/338
H 0 1 L 27/095 - 27/098
H 0 1 L 29/775 - 29/778
H 0 1 L 29/78
H 0 1 L 29/80 - 29/812
H 0 1 L 29/40 - 29/51