

(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl. H01L 27/092 (2006.01)	(45) 공고일자 (11) 등록번호 (24) 등록일자	2006년08월01일 10-0607649 2006년07월25일
--	-------------------------------------	--

(21) 출원번호	10-2002-0042293	(65) 공개번호	10-2004-0008625
(22) 출원일자	2002년07월19일	(43) 공개일자	2004년01월31일

(73) 특허권자	주식회사 하이닉스반도체 경기 이천시 부발읍 아미리 산136-1
(72) 발명자	오재근 경기도이천시대월면사동리386-72현대5차아파트504-1603
(74) 대리인	특허법인 신성

심사관 : 황윤구

(54) 삼중웰 구조를 갖는 반도체소자의 제조 방법

요약

본 발명은 삼중웰 중 n웰에 둘러싸이는 p웰상에 형성된 트랜지스터의 문턱전압 및 리프래시 특성 저하를 억제하는데 적합한 반도체소자의 제조 방법을 제공하기 위한 것으로, 본 발명은 반도체기판내에 셀트랜지스터가 형성될 제1 도전형 웰을 포함하는 삼중웰을 형성하는 단계, 상기 삼중웰상에 각각 게이트산화막과 게이트전극을 차례로 형성하는 단계, 상기 삼중웰의 전면에 제2 도전형 도펀트를 이온주입하여 상기 제1 도전형 웰내에 소스/드레인영역을 형성하는 단계, 및 상기 게이트전극을 관통하고 상기 소스/드레인영역을 형성하기 위한 이온주입에너지보다 더 큰 이온주입에너지로 상기 제1 도전형 웰의 전면에 제1 도전형 도펀트를 이온주입하여 상기 게이트전극 아래에 위치하면서 동시에 상기 소스/드레인영역의 측면과 하부를 둘러싸는 문턱전압이온주입영역을 형성하는 단계를 포함하므로써, 문턱전압이온주입영역과 셀접합의 카운터도핑효과를 방지하고 문턱전압이온주입영역 형성시 셀접합의 아래에 편치방지영역을 동시에 형성하여 편치성분을 제거할 수 있다.

대표도

도 5e

색인어

삼중웰, 문턱전압, 셀트랜지스터, 카운터도핑효과, 이온주입에너지

명세서

도면의 간단한 설명

도 1a 내지 도 1e는 종래기술에 따른 삼중웰 구조를 갖는 반도체소자의 제조 방법을 도시한 공정 단면도,

도 2는 도 1e의 'X' 부분의 상세도,

도 3은 문턱전압이온주입영역과 소스/드레인간의 열처리후의 도펀트 프로파일을 SIMS로 분석한 결과,

도 4는 종래 반도체소자의 전류경로를 시뮬레이션한 도면,

도 5a 내지 도 5e는 본 발명의 제1 실시예에 따른 삼중웰 구조를 갖는 반도체소자의 제조 방법을 도시한 공정 단면도,

도 6은 도 5e의 'Y'의 상세도,

도 7a 내지 도 7c는 본 발명의 제2 실시예에 따른 삼중웰 구조를 갖는 반도체소자의 제조 방법을 도시한 공정 단면도.

*도면의 주요 부분에 대한 부호의 설명

31 : 반도체기판 32 : 필드산화막

43 : 제1 p웰 44 : 깊은 n웰

45 : 제2 p웰 46 : 게이트산화막

47 : 게이트전극 48 : 소스/드레인영역

52 : 문턱전압이온주입영역 53 : 편치방지영역

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체소자의 제조 방법에 관한 것으로, 특히 리프레시 특성이 우수한 반도체소자의 제조 방법에 관한 것이다.

일반적으로, 반도체 제품의 대부분은 CMOSFET 기술로 제작되고 있는데, CMOSFET기술은 nMOSFET와 pMOSFET라는 두가지 종류의 반도체소자를 한 칩상에 구현하는 기술이다. nMOSFET와 pMOSFET를 하나의 웨이퍼상에서 동시에 제작하기 위해서는 이들 소자의 분리를 위한 웰(well) 형성 기술이 필요하다.

일반적인 웰 형성기술로는 저에너지로 이온주입한 후, 장시간의 고온 열처리를 필요로 하는 확산웰(diffused well) 형성기술이 있다. 이 확산웰 형성기술은 장시간의 열처리가 필요하므로 반도체소자 제조 경비의 측면에서 불리하며, 이온의 도핑농도가 웨이퍼 표면에서부터 깊이 방향으로 단조로운 감소를 하게 되므로 소자의 특성을 제어하는 면에서도 제약이 있다.

이러한 단점을 개선하기 위하여 최근 시도되고 있는 새로운 웰 형성방법이 프로파일드 웰(profiled well) 형성기술인데, 이는 펀치쓰루(punchthrough) 및 래치업(latch up) 방지등의 소자의 동작특성 개선을 위하여 원하는 깊이에 원하는 만큼의 고에너지 이온주입을 행하고, 간단한 열처리를 거쳐서 웰을 형성하는 방법이다.

한편, 한 웨이퍼상에 형성되는 웰의 종류의 갯수에 따라 이중웰(twin well)과 삼중웰(triple well) 공정으로 나뉘는데, 두개의 p웰과 두 p웰 중 어느 하나를 둘러싸는 깊은 n웰로 이루어지는 삼중웰 공정이 이중웰 공정에 대하여 각 p웰에 형성되는 nMOSFET의 특성을 다르게 제어할 수 있는 장점과 n웰에 둘러싸인 p웰상에 형성되는 nMOSFET가 외부의 잡음에 강하다는 장점이 있다.

따라서, 최근에 웰 형성기술은 확산 이중웰 공정에서 프로파일드 삼중웰 공정으로 변화되고 있다.

한편, 삼중웰 중 n웰에 둘러싸인 p웰에 형성되는 nMOSFET는 통상적으로 셀트랜지스터로 이용되는데, 이러한 셀트랜지스터의 게이트 크기(gate length)가 작아짐에 따라 문턱전압(V_T : Threshold Voltage)이 급격히 작아지는 문턱전압 롤-오프(V_t roll-off) 현상이 발생하는 문제가 있다.

즉, 문턱전압의 분포가 불균일하게 넓어지는데, 문턱전압의 분포가 넓어지는 원인은 작은 크기를 갖는 트랜지스터일수록 게이트 패턴의 크기 변이(gate length variation)가 심해지고, 문턱전압의 롤-오프의 정도가 심해지는 작은 크기의 트랜지스터에서는 결국 문턱전압의 롤-오프 문제가 문턱전압의 분포가 커지는 원인으로 작용하게 된다. 그러므로 셀트랜지스터의 균일한 특성을 확보하기 위해서는 문턱전압의 분포가 균일할수록 좋으므로 문턱전압의 롤-오프 현상을 개선하는 것이 바람직하다.

도 1a 내지 도 1e는 종래기술에 따른 삼중웰 구조를 갖는 반도체소자의 제조 방법을 도시한 공정 단면도이다.

도 1a에 도시된 바와 같이, 반도체기판(11)에 STI(Shallow Trench Isolation) 공정을 통해 필드산화막(12)을 형성한 후, 반도체기판(11)상에 감광막을 도포하고 노광 및 현상으로 패터닝하여 제1마스킹(13)을 형성한다.

계속해서, 제1마스킹(13)을 이온주입마스킹으로 하여 고에너지의 이온주입기로 n형 도펀트를 이온주입하여 반도체기판(11)내에 프로파일드 n웰의 제1영역(14)을 형성한다.

도 1b에 도시된 바와 같이, 제1마스킹(13)을 스트립한 후, 반도체기판(11)상에 감광막을 도포하고 노광 및 현상으로 패터닝하여 제2마스킹(15)을 형성하고, 이어 제2마스킹(15)을 이온주입마스킹으로 하여 고에너지의 이온주입기로 n형 도펀트를 이온주입하여 프로파일드 n웰의 제2영역(16)과 제3영역(17)을 형성한다.

여기서, 프로파일드 n웰의 제2영역(16)은 중간 n웰 이온주입영역이고, 제3영역(17)은 p채널 필드스톱이온주입영역이며, 프로파일드 n웰은 도면부호 '18'과 같은 프로파일을 갖는다.

도 1c에 도시된 바와 같이, 제2마스킹(15)을 스트립한 후, 감광막을 도포한 후 노광 및 현상으로 패터닝하여 제3마스킹(19)을 형성하고, 제3마스킹(19)을 이온주입마스킹으로 하여 고에너지의 이온주입기로 p형 도펀트를 이온주입하여 프로파일드 p웰의 제1영역(20)과 제2영역(21)을 형성한다.

여기서, 프로파일드 p웰의 제1영역(20)과 제2영역(21)은 각각 p웰 이온주입영역과 n채널 필드스톱이온주입영역이며, 프로파일드 p웰은 도면부호 '22'와 같은 프로파일을 갖는다.

다음으로, 도 1d에 도시된 바와 같이, 프로파일드 n웰과 p웰에 이온주입된 도펀트들을 노열처리(furnace anneal) 과정을 통해 활성화시켜 삼중 웰(tripple well) 형성 공정을 완성한다.

여기서, 삼중 웰은 제1p웰(23), 제1p웰(23)에 인접한 깊은 n웰(24), 깊은 n웰(24)로 둘러싸이며 제1p웰(23)과 소정 거리를 두고 깊은 n웰(24)내에 형성된 제2p웰(25)로 이루어진다.

한편, 제2p웰(25)에 형성될 트랜지스터는 제1p웰(23)에 형성될 트랜지스터와 다른 독립적인 트랜지스터를 형성할 수 있으며, 제2p웰(25)은 깊은 n웰(24)로 둘러싸여 있어 갑자기 유입되는 외부전압이나 노이즈로부터 보호되는 장점이 있다.

따라서, 셀트랜지스터를 제2p웰(25)내에 구현하는 이유가 여기에 있다.

다음으로, 삼중웰이 형성된 반도체기판(11)상에 감광막을 도포하고 노광 및 현상으로 패터닝하여 셀트랜지스터가 형성될 영역 예컨대 제2p웰(25)이 형성된 반도체기판(11)의 일부를 노출시키는 제4마스킹(26)을 형성한 후, 제4마스킹(26)을 이온주입마스킹으로 하여 셀트랜지스터의 문턱전압을 조절하기 위한 p형 도펀트를 제2p웰(25) 전면에 이온주입하여 문턱전압이온주입영역(27)을 형성한다.

이때, 문턱전압 조절을 위한 p형 도펀트 이온주입은 $5 \times 10^{12} \text{ions/cm}^2 \sim 1.5 \times 10^{13} \text{ions/cm}^2$ 의 주입량을 갖는 보론(B)이나 이불화보론(BF_2)을 주입하되, 보론을 이온주입하는 경우의 이온주입에너지는 $15 \text{keV} \sim 40 \text{keV}$ 로 하고, 이불화보론을 이온주입하는 경우의 이온주입 에너지는 $30 \text{keV} \sim 40 \text{keV}$ 로 한다.

도 1e에 도시된 바와 같이, 제4마스크(26)를 제거한 후, 반도체기판(11)의 선택된 영역상에 게이트산화막(28)과 스페이서(29b)가 구비된 게이트전극(29a)을 형성하고, 마스크공정없이 n형 및 p형 불순물을 브랭킷 이온주입 공정을 통해 셀트랜지스터 및 주변회로부내 nMOSFET의 n⁺ 소스/드레인 영역(30a)을 형성하고, 주변회로부내 pMOSFET의 p⁺ 포켓이온주입영역(소스/드레인 영역)(30b)을 형성한다.

도 2는 도 1e의 'X' 부분을 확대한 도면이다.

도 2를 참조하면, 상술한 종래기술은 셀트랜지스터의 문턱전압을 조절하기 위해 보론(B) 또는 이불화보론(BF₂) 등의 p형 도펀트를 이온주입하지만, 그 문턱전압이온주입영역(27)이 셀접합인 n⁺ 소스/드레인영역(29a)과 대부분 오버랩되어 카운터도핑(counter doping) 효과로 인해 X_j의 접합깊이를 갖는 n⁺ 소스/드레인의 접합 소실로 이어짐에 따라 저항 증가 및 전계(Electric field)의 증가로 리프레시타임(refresh time) 감소 등 소자의 신뢰도가 열화된다는 문제가 있다.

그리고, 셀트랜지스터의 동작에 필요한 문턱전압을 맞추기 위해서는 반드시 채널영역에 일정량 이상의 p형 도펀트가 필요하고, 이를 위해 p형 도펀트의 이온주입 주입량을 증가시키면 문턱전압은 원하는대로 상승하지만 카운터도핑 효과는 더욱 증대되어 리프레시 특성은 더욱 열화되는 트레이드오프(trade-off) 관계 특성상 문턱전압을 조절하기 위한 이온주입공정 및 소스/드레인 이온주입 공정 조건의 선택의 폭이 좁은 문제가 있다.

도 3은 문턱전압이온주입영역과 소스/드레인간의 열처리후의 도펀트 프로파일을 SIMS로 분석한 결과이다.

도 3을 참조하면, 셀트랜지스터 동작에 필요한 문턱전압을 맞추기 위해서 채널영역에 주입하는 20keV의 에너지와 1.0E¹³의 주입량로 보론(B)을 주입했던 것('B')과 달리 보론(B) 또는 BF₂의 이온주입량을 30keV의 에너지와 1.5E¹³의 주입량으로 증가시키면('A'), 셀문턱전압은 원하는대로 상승하지만 셀접합의 X_j 부분에서 카운터도핑효과가 더욱 증대되어 셀접합인 소스/드레인영역내 농도가 현저히 감소하여('C') 전기적으로 많은 손실이 있음을 알 수 있다.

따라서, 이와 같이 형성된 셀접합의 리프레쉬 특성은 더욱 열화된다.

이를 개선하기 위해 셀접합을 형성하기 위한 이온주입을 보장하여 저항 감소 및 전계 감소를 유도하여 리프레시 특성을 개선시킬 수 있지만, 이럴 경우 셀접합의 펀치 문제가 초래된다.

도 4는 전류경로를 시뮬레이션한 도면으로서, 1000Å 부근에서 깊은 펀치 경로가 존재함을 알 수 있다.

발명이 이루고자 하는 기술적 과제

본 발명은 상기한 종래기술의 문제점을 해결하기 위해 안출한 것으로서, 삼중웰 중 n웰에 둘러싸이는 p웰상에 형성된 트랜지스터의 문턱전압 및 리프레시 특성 저하를 억제하는데 적합한 반도체소자의 제조 방법을 제공하는데 그 목적이 있다.

발명의 구성 및 작용

상기의 목적을 달성하기 위한 본 발명의 반도체소자의 제조 방법은 반도체기판내에 셀트랜지스터가 형성될 제1 도전형 웰을 포함하는 삼중웰을 형성하는 단계, 상기 삼중웰상에 각각 게이트산화막과 게이트전극을 차례로 형성하는 단계, 상기 삼중웰의 전면에 제2 도전형 도펀트를 이온주입하여 상기 제1 도전형 웰내에 소스/드레인영역을 형성하는 단계, 및 상기 게이트전극을 관통하고 상기 소스/드레인영역을 형성하기 위한 이온주입에너지보다 더 큰 이온주입에너지로 상기 제1 도전형 웰의 전면에 제1 도전형 도펀트를 이온주입하여 상기 게이트전극 아래에 위치하면서 동시에 상기 소스/드레인영역의 측면과 하부를 둘러싸는 문턱전압이온주입영역을 형성하는 단계를 포함하는 것을 특징으로 한다.

또한, 본 발명의 반도체소자의 제조 방법은 반도체기판내에 셀트랜지스터가 형성될 제1 도전형 웰을 포함하는 삼중웰을 형성하는 단계, 상기 삼중웰상에 각각 게이트산화막과 게이트전극을 차례로 형성하는 단계, 상기 게이트전극을 관통하는 이온주입에너지로 상기 제1 도전형 웰의 전면에 제1 도전형 도펀트를 이온주입하여 문턱전압이온주입영역을 형성하는 단

계, 및 상기 삼중웰의 전면에 제2 도전형 도펀트를 이온주입하여 상기 문턱전압이온주입영역에 의해 측면과 하부가 둘러싸이는 소스/드레인영역을 형성하는 단계를 포함하고, 상기 소스/드레인영역을 형성하기 위한 이온주입에너지보다 상기 문턱전압이온주입영역을 형성하기 위한 이온주입에너지가 더 큰 것을 특징으로 한다.

이하, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자가 본 발명의 기술적 사상을 용이하게 실시할 수 있을 정도로 상세히 설명하기 위하여, 본 발명의 가장 바람직한 실시예를 첨부 도면을 참조하여 설명하기로 한다.

도 5a 내지 도 5e는 본 발명의 실시예에 따른 삼중웰 구조를 갖는 반도체소자의 제조 방법을 도시한 공정 단면도이다.

도 5a에 도시된 바와 같이, 반도체기판(31)에 STI 공정을 통해 소자간 격리를 위한 필드산화막(32)을 형성한 후, 반도체기판(31)상에 감광막을 도포하고 노광 및 현상으로 패터닝하여 제1마스크(33)를 형성한다.

다음으로, 제1마스크(33)에 의해 노출된 반도체기판(31)에 고에너지의 이온주입기로 n형 도펀트인 ^{31}P 이온을 주입하여 깊은 n웰 이온주입영역(34)을 형성한다.

이때, 접합누설전류를 고려하여 이온주입 에너지는 통상적인 기술과 비슷한 $0.6\text{MeV} \sim 1.6\text{MeV}$ 로 하고, ^{31}P 이온의 주입량을 $5 \times 10^{12}\text{ions/cm}^2 \sim 1.5 \times 10^{13}\text{ions/cm}^2$ 로 설정하여 이온주입을 수행한다.

다음에, 도 5b에 도시된 바와 같이, 제1 마스크(33)를 스트립한 후, 반도체기판(31)상에 감광막을 도포하고 노광 및 현상으로 패터닝하여 제2 마스크(35)를 형성하고, 제2 마스크(35)를 이온주입마스크로 하여 고에너지의 이온주입기로 n형 도펀트를 이온주입하여 중간 n웰 이온주입영역(36) 및 p 채널 필드스톱이온주입영역(37)을 형성한다.

이때, 중간 n웰 이온주입은 ^{31}P 이온을 사용하고, 주입량은 $5 \times 10^{12}\text{ions/cm}^2 \sim 2 \times 10^{13}\text{ions/cm}^2$, 이온주입에너지는 $500\text{keV} \sim 600\text{keV}$ 로 조절하는 것이 바람직하며, p 채널 필드스톱 이온주입은 ^{31}P 이온을 사용하고, 주입량은 $5 \times 10^{11}\text{ions/cm}^2 \sim 2 \times 10^{13}\text{ions/cm}^2$, 이온주입 에너지는 $150\text{keV} \sim 300\text{keV}$ 로 조절하는 것이 바람직하다.

상술한 3단계 이온주입을 통해 깊은 n웰 이온주입영역(34), 중간 n웰 이온주입영역(36)과 p 채널 필드스톱 이온주입영역(37)은 프로파일드 n웰을 이룬다. 여기서, 도면부호 38은 프로파일드 n웰의 프로파일을 나타낸다.

도 5c에 도시된 바와 같이, 제2 마스크(35)를 스트립한 후, 감광막을 도포한 후 노광 및 현상으로 패터닝하여 제3 마스크(39)를 형성하고, 제3 마스크(39)를 이온주입마스크로 하여 고에너지의 이온주입기로 p형 도펀트를 이온주입하여 p웰 이온주입영역(40)과 n 채널 필드스톱 이온주입영역(41)을 형성한다.

이때, p 웰 이온주입은 보론을 $5 \times 10^{12}\text{ions/cm}^2 \sim 3 \times 10^{13}\text{ions/cm}^2$ 의 주입량과 $180\text{keV} \sim 300\text{keV}$ 의 이온주입 에너지로 주입하며, n 채널 필드스톱 이온주입은 보론을 $5 \times 10^{11}\text{ions/cm}^2 \sim 1 \times 10^{13}\text{ions/cm}^2$ 의 주입량과 $50\text{keV} \sim 80\text{keV}$ 의 이온주입 에너지로 주입한다.

상술한 2단계 보론의 이온주입을 통해 p웰 이온주입영역(40)과 n 채널 필드스톱 이온주입영역(41)은 프로파일드 p웰을 이룬다. 여기서, 도면부호 42는 프로파일드 p웰의 프로파일을 나타낸다.

다음으로, 도 5d에 도시된 바와 같이, 제3 마스크(39)를 스트립한 후, 프로파일드 n웰과 p웰에 이온주입된 도펀트들을 노열처리 과정을 통해 활성화시켜 삼중 웰 형성 공정을 완성한다.

여기서, 삼중 웰은 제1p웰(43), 제1p웰(43)에 인접한 깊은 n웰(44), 깊은 n웰(44)로 둘러싸이며 제1p웰(43)과 소정 거리를 두고 깊은 n웰(44)내에 형성된 제2p웰(45)로 이루어진다.

한편, 제2p웰(45)에 형성될 트랜지스터는 제1p웰(43)에 형성될 트랜지스터와 다른 독립적인 트랜지스터를 형성할 수 있으며, 제2p웰(45)은 깊은 n웰(44)로 둘러싸여 있어 갑자기 유입되는 외부전압이나 노이즈로부터 보호되는 장점이 있다.

따라서, 셀트랜지스터를 제2p웰(45)내에 구현하는 이유가 여기에 있다.

다음으로, 반도체기판(31)의 선택된 영역상에 게이트산화막(46)과 게이트전극(47)을 형성한다. 이때, 게이트전극(47)은 폴리실리콘막, 폴리실리콘막과 금속막의 적층막일 수 있다.

다음으로, 마스크공정없이 n형 불순물을 블랭킷 이온주입하여 셀트랜지스터에는 소스/드레인영역(48)을 형성하고, 주변 회로부내 nMOSFET에는 LDD 영역(49)을 형성하며, pMOS가 형성될 영역에는 포켓영역(50)을 형성한다.

이때, n형 불순물의 이온주입은 인 또는 비소를 $1 \times 10^{13} \text{ions/cm}^2 \sim 5 \times 10^{13} \text{ions/cm}^2$ 의 주입량으로 주입한다.

도 5e에 도시된 바와 같이, 소스/드레인영역(48), LDD 영역(49)과 포켓영역(50)이 형성된 반도체기판(31)상에 감광막을 도포하고 노광 및 현상으로 패터닝하여 셀트랜지스터가 형성될 영역 예컨대 제2p웰(45)을 노출시키는 제4마스크(51)를 형성한다. 여기서, 제4 마스크(51)는 고에너지 이온주입을 위한 감광막을 이용하되, 밀도가 $1 \text{g/cm}^3 \sim 10 \text{g/cm}^3$ 이고, 두께가 적어도 $1.0 \mu\text{m}$ 보다 두껍다.

다음으로, 제4마스크(51)를 이온주입마스크로 하여 셀트랜지스터의 문턱전압을 조절하기 위한 p형 도펀트를 제2p웰(45) 전면에 이온주입하여 게이트전극(47) 아래에 문턱전압이온주입영역(52)을 형성한다. 이때, 소스/드레인영역(48) 아래에도 p형 도펀트의 이온주입이 이루어져 문턱전압이온주입영역이 형성되는데, 이하 p형 편치방지영역(53)이라 한다.

전술한 바와 같이, 게이트전극(47) 아래에 문턱전압이온주입영역(52)을 형성하기 위해서는 게이트전극(47)을 관통할 수 있을 정도로 충분히 큰 이온주입에너지로 p형 도펀트를 이온주입한다. 예컨대, 게이트산화막(46)과 게이트전극(47)의 총 두께가 3000\AA 이상인 경우도 관통할 수 있는 에너지를 이용한다.

한편, 게이트전극(47)을 관통하는 정도의 충분히 큰 이온주입에너지를 갖고 p형 도펀트의 이온주입이 이루어진다고 하더라도 문턱전압이온주입영역(52)은 셀트랜지스터의 채널에 형성되어야 하므로 이온주입에너지의 조절이 필요하다.

그리고, p형 편치방지영역(53)은 게이트전극(47)이 존재하지 않는 소스/드레인영역(48)에 p형 도펀트가 높은 이온주입에너지로 이온주입되어 소스/드레인영역(48) 보다 깊은 위치에 형성되므로 소스/드레인영역(48)과의 카운터도핑 영향을 피할 수 있다.

상술한 바와 같은 문턱전압이온주입영역(52)과 p형 편치방지영역(53)을 형성하기 위한 p형 도펀트는 보론이온(^{11}B)이나 이불화보론이온($^{49}\text{BF}_2$)을 이용하되, 이들 p형 도펀트의 이온주입량과 이온주입에너지는 셀트랜지스터의 문턱전압을 조절하는데 적합해야 한다.

예컨대, 보론이온(^{11}B)을 이온주입할 때, 이온주입량은 $5 \times 10^{12} \text{ions/cm}^2 \sim 5 \times 10^{13} \text{ions/cm}^2$ 이고, 이온주입에너지는 $80 \text{keV} \sim 160 \text{keV}$ 이다. 그리고, 이불화보론이온($^{49}\text{BF}_2$)을 이온주입할 때, 이온주입량은 $5 \times 10^{12} \text{ions/cm}^2 \sim 5 \times 10^{13} \text{ions/cm}^2$ 이고, 이온주입에너지는 $350 \text{keV} \sim 710 \text{keV}$ 이다.

도 6은 도 5e의 'Y'부분의 상세도이다.

도 6을 참조하면, 삼중웰 구조중 제2 p웰(45)의 선택된 영역 상부에 게이트산화막(46)과 게이트전극(47)의 적층이 구비되고, 게이트산화막(46) 아래의 제2 p웰(45) 표면내에 문턱전압이온주입영역(52)이 형성되며, 게이트전극(47)의 에지에 정렬되며 제2 p웰(45)내에 소스/드레인영역(48)이 형성된다. 그리고, 소스/드레인영역(48) 아래에 편치방지영역(53)이 형성된다.

결국, 게이트전극(47) 및 소스/드레인영역(48) 형성후 셀트랜지스터의 문턱전압을 조절하기 위해 보론(B) 또는 이불화보론(BF_2) 등의 p형 도펀트를 제2 p웰(45) 전면에 게이트전극(47)을 관통하는 높은 이온주입에너지로 이온주입하므로써, 게이트전극(47) 아래에 설정된 채널 특성을 갖도록 문턱전압이온주입영역(52)을 위치시킨다. 이때, 높은 이온주입에너지로 도펀트를 이온주입함에 따라 셀접합인 소스/드레인영역(48)과 오버랩되지 않는다. 즉, 종래 문턱전압이온주입영역이

소스/드레인영역과 대부분 오버랩되었던 것과는 달리 소스/드레인영역(48) 아래에 문턱전압이온주입영역(52)의 도펀트 주입이 이루어지므로 카운터도핑 효과가 방지된다. 이로써, X_j 의 접합깊이를 갖는 소스/드레인영역(48)의 접합 소실을 방지되고, 결국 접합소실에 따른 저항 증가 및 전계증가가 억제된다.

아울러, 문턱전압이온주입영역(52) 형성과 동시에 소스/드레인영역(48) 아래에 p형 편치방지영역(53)을 형성하므로써, 즉 셀접합인 소스/드레인영역(48)이 문턱전압이온주입영역(52)과 p형 편치방지영역(53)에 둘러싸이므로써 셀트랜지스터의 깊은 편치 성분을 제어할 수 있다.

도 7a 내지 도 7c는 본 발명의 제2 실시예에 따른 반도체소자의 제조 방법을 도시한 공정 단면도이다.

도 7a에 도시된 바와 같이, 전술한 제1 실시예와 동일하게 반도체기판(61)에 STI 공정을 통해 소자간 격리를 위한 필드산화막(62)을 형성한 후 프로파일드 n웰과 프로파일드 p웰을 형성한다. 그리고 프로파일드 n웰과 프로파일드 p웰에 이온주입된 도펀트들을 노열처리 과정을 통해 활성화시켜 제1p웰(63), 제1p웰(63)에 인접한 깊은 n웰(64), 깊은 n웰(64)로 둘러싸이며 제1p웰(63)과 소정 거리를 두고 깊은 n웰(64)내에 형성된 제2p웰(65)로 이루어지는 삼중웰을 형성한다.

도 7b에 도시된 바와 같이, 반도체기판(61)의 선택된 영역상에 게이트산화막(66)과 게이트전극(67)을 형성한다.

다음으로, 게이트전극(67)이 형성된 반도체기판(61)상에 감광막을 도포하고 노광 및 현상으로 패터닝하여 셀트랜지스터가 형성될 영역 예컨대 제2p웰(65)을 노출시키는 제1 마스크(68)를 형성한다.

다음으로, 제1 마스크(68)를 이온주입마스크로 하여 셀트랜지스터의 문턱전압을 조절하기 위한 p형 도펀트를 제2p웰(65) 전면에 이온주입하여 게이트전극(67) 아래에 문턱전압이온주입영역(69)을 형성함과 동시에 소스/드레인영역이 형성될 부분보다 깊은 위치의 제2 p웰(65)내에 p형 편치방지영역(70)을 형성한다.

이때, 게이트전극(67) 아래에 문턱전압이온주입영역(69)을 형성하기 위해서 p형 도펀트의 이온주입에너지는 게이트전극(67)을 관통할 수 있을 정도로 충분히 큰 에너지를 갖는다. 예컨대, 게이트산화막(66)과 게이트전극(67)의 총 두께가 3000Å 이상인 경우도 관통할 수 있는 에너지를 이용한다.

한편, 게이트전극(67)을 관통하는 정도의 충분히 큰 이온주입에너지를 갖고 p형 도펀트의 이온주입이 이루어진다고 하더라도 문턱전압이온주입영역(69)은 셀트랜지스터의 채널에 형성되어야 하므로 이온주입에너지의 조절이 필요하다.

그리고, p형 편치방지영역(70)은 게이트전극(67)이 존재하지 않는 소스/드레인영역이 형성될 부분보다 p형 도펀트가 높은 이온주입에너지로 이온주입되어 깊은 위치에 형성된다.

상술한 바와 같은 문턱전압이온주입영역(69)과 p형 편치방지영역(70)을 형성하기 위한 p형 도펀트는 보론이온(^{11}B)이나 이불화보론이온($^{49}\text{BF}_2$)을 이용하되, 이들 p형 도펀트의 이온주입량과 이온주입에너지는 셀트랜지스터의 문턱전압을 조절하는데 적합해야 한다.

예컨대, 보론이온(^{11}B)을 이온주입할 때, 이온주입량은 $5 \times 10^{12} \text{ions/cm}^2 \sim 5 \times 10^{13} \text{ions/cm}^2$ 이고, 이온주입에너지는 80keV ~ 160keV이다. 그리고, 이불화보론이온($^{49}\text{BF}_2$)을 이온주입할 때, 이온주입량은 $5 \times 10^{12} \text{ions/cm}^2 \sim 5 \times 10^{13} \text{ions/cm}^2$ 이고, 이온주입에너지는 350keV ~ 710keV이다.

도 7c에 도시된 바와 같이, 마스크공정없이 n형 불순물을 블랭킹 이온주입하여 셀트랜지스터에는 소스/드레인영역(71)을 형성하고, 주변회로부내 nMOSFET에는 LDD 영역(72)을 형성하며, pMOS가 형성될 영역에는 포켓영역(73)을 형성한다.

이때, n형 불순물의 이온주입은 인 또는 비소를 $1 \times 10^{13} \text{ions/cm}^2 \sim 5 \times 10^{13} \text{ions/cm}^2$ 의 주입량으로 주입한다.

상술한 바와 같이 소스/드레인영역(71)을 형성하면, 게이트전극(67) 아래에 설정된 채널 특성을 갖도록 문턱전압이온주입영역(69)이 위치하고, 문턱전압이온주입영역(69)이 높은 이온주입에너지로 p형 도펀트를 이온주입함에 따라 셀접합인 소스/드레인영역(71)과 오버랩되지 않는다. 즉, 종래 문턱전압이온주입영역이 소스/드레인영역과 대부분 오버랩되었던 것과

는 달리 소스/드레인영역(71) 아래에 문턱전압이온주입영역(69)의 p형 도펀트 주입이 이루어지므로 카운터도핑 효과가 방지된다. 이로써, X_j 의 접합깊이를 갖는 소스/드레인영역(71)의 접합 소실을 방지되고, 결국 접합소실에 따른 저항 증가 및 전계증가가 억제된다.

전술한 제1 및 제2 실시예에서는 삼중웰 구조의 반도체소자의 제조 방법을 설명하였으나, 일반적인 nMOSFET의 제조 방법에도 적용 가능하다.

본 발명의 기술 사상은 상기 바람직한 실시예에 따라 구체적으로 기술되었으나, 상기한 실시예는 그 설명을 위한 것이며 그 제한을 위한 것이 아님을 주의하여야 한다. 또한, 본 발명의 기술 분야의 통상의 전문가라면 본 발명의 기술 사상의 범위 내에서 다양한 실시예가 가능함을 이해할 수 있을 것이다.

발명의 효과

상술한 본 발명은 게이트전극을 관통하는 충분히 큰 이온주입에너지로 문턱전압이온주입영역을 형성하여 셀접합과의 카운터도핑효과를 방지하므로써 셀접합의 전계 증가를 억제하여 셀트랜지스터의 리프래시 타임을 증가시킬 수 있는 효과가 있다.

또한, 문턱전압이온주입영역 형성시 셀접합의 아래에 펀치방지영역을 동시에 형성하여, 셀접합이 펀치방지영역에 둘러싸이므로써 펀치성분을 제어하여 고품질의 소자를 제조할 수 있는 효과가 있다.

(57) 청구의 범위

청구항 1.

삭제

청구항 2.

반도체기판내에 셀트랜지스터가 형성될 제1 도전형 웰을 포함하는 삼중웰을 형성하는 단계;

상기 삼중웰상에 각각 게이트산화막과 게이트전극을 차례로 형성하는 단계;

상기 삼중웰의 전면에 제2 도전형 도펀트를 이온주입하여 상기 제1 도전형 웰내에 소스/드레인영역을 형성하는 단계; 및

상기 게이트전극을 관통하고 상기 소스/드레인영역을 형성하기 위한 이온주입에너지보다 더 큰 이온주입에너지로 상기 제1 도전형 웰의 전면에 제1 도전형 도펀트를 이온주입하여 상기 게이트전극 아래에 위치하면서 동시에 상기 소스/드레인영역의 측면과 하부를 둘러싸는 문턱전압이온주입영역을 형성하는 단계

를 포함하는 반도체소자의 제조 방법.

청구항 3.

제2항에 있어서,

상기 문턱전압이온주입영역을 형성하는 단계는,

상기 제1 도전형 도펀트로 보론이온(^{11}B)을 이온주입하되, 이온주입량은 $5 \times 10^{12} \text{ions/cm}^2 \sim 5 \times 10^{13} \text{ions/cm}^2$ 이고, 이온주입에너지는 $80\text{keV} \sim 160\text{keV}$ 인 것을 특징으로 하는 반도체소자의 제조 방법.

청구항 4.

제2항에 있어서,

상기 문턱전압이온주입영역을 형성하는 단계는,

상기 제1 도전형 도펀트로 이불화보론이온($^{49}\text{BF}_2$)을 이온주입하되, 이온주입량은 5×10^{12} ions/cm² ~ 5×10^{13} ions/cm²이고, 이온주입에너지는 350keV ~ 710keV인 것을 특징으로 하는 반도체소자의 제조 방법.

청구항 5.

제2항에 있어서,

상기 문턱전압이온주입영역을 형성하는 단계는,

상기 삼중웰상에 상기 제1 도전형 웰을 오픈시키는 마스크를 형성하는 단계;

상기 마스크에 의해 노출된 상기 제1 도전형 웰내에 상기 제1 도전형 도펀트를 이온주입하는 단계를 포함하는 것을 특징으로 하는 반도체소자의 제조 방법.

청구항 6.

삭제

청구항 7.

반도체기판내에 셀트랜지스터가 형성될 제1 도전형 웰을 포함하는 삼중웰을 형성하는 단계;

상기 삼중웰상에 각각 게이트산화막과 게이트전극을 차례로 형성하는 단계;

상기 게이트전극을 관통하는 이온주입에너지로 상기 제1 도전형 웰의 전면에 제1 도전형 도펀트를 이온주입하여 문턱전압이온주입영역을 형성하는 단계; 및

상기 삼중웰의 전면에 제2 도전형 도펀트를 이온주입하여 상기 문턱전압이온주입영역에 의해 측면과 하부가 둘러싸이는 소스/드레인영역을 형성하는 단계를 포함하고,

상기 소스/드레인영역을 형성하기 위한 이온주입에너지보다 상기 문턱전압이온주입영역을 형성하기 위한 이온주입에너지가 더 큰 것을 특징으로 하는 반도체소자의 제조 방법.

청구항 8.

제7항에 있어서,

상기 문턱전압이온주입영역을 형성하는 단계는,

상기 제1 도전형 도펀트로 보론이온(^{11}B)을 이온주입하되, 이온주입량은 5×10^{12} ions/cm² ~ 5×10^{13} ions/cm²이고, 이온주입에너지는 80keV ~ 160keV인 것을 특징으로 하는 반도체소자의 제조 방법.

청구항 9.

제7항에 있어서,

상기 문턱전압이온주입영역을 형성하는 단계는,

상기 제1 도전형 도펀트로 이불화보론이온($^{49}\text{BF}_2$)을 이온주입하되, 이온주입량은 5×10^{12} ions/cm² ~ 5×10^{13} ions/cm² 이고, 이온주입에너지는 350keV ~ 710keV인 것을 특징으로 하는 반도체소자의 제조 방법.

청구항 10.

제7항에 있어서,

상기 문턱전압이온주입영역을 형성하는 단계는,

상기 삼중웰상에 상기 제1 도전형 웰을 오픈시키는 마스크를 형성하는 단계;

상기 마스크에 의해 노출된 상기 제1 도전형 웰내에 상기 제1 도전형 도펀트를 이온주입하는 단계를 포함하는 것을 특징으로 하는 반도체소자의 제조 방법.

청구항 11.

제2항 또는 제7항에 있어서,

상기 삼중웰을 형성하는 단계에서,

상기 삼중웰은 두 개의 상기 제1 도전형 웰과, 하나의 제2 도전형 웰로 이루어지되, 상기 두 개의 제1 도전형 웰 중에서 하나는 상기 제2 도전형 웰에 둘러싸이고, 다른 하나는 상기 제2 도전형 웰과 인접하는 것을 특징으로 하는 반도체소자의 제조 방법.

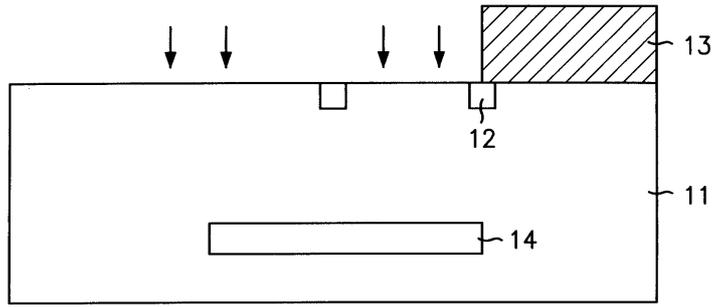
청구항 12.

제2항 또는 제7항에 있어서,

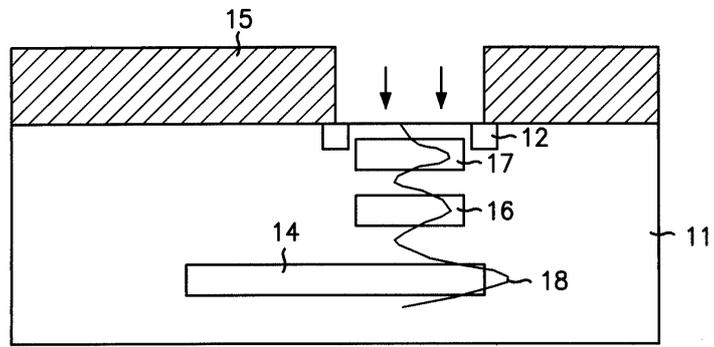
상기 제1 도전형은 p형 도전형이고, 상기 제2 도전형은 n형 도전형인 것을 특징으로 하는 반도체소자의 제조 방법.

도면

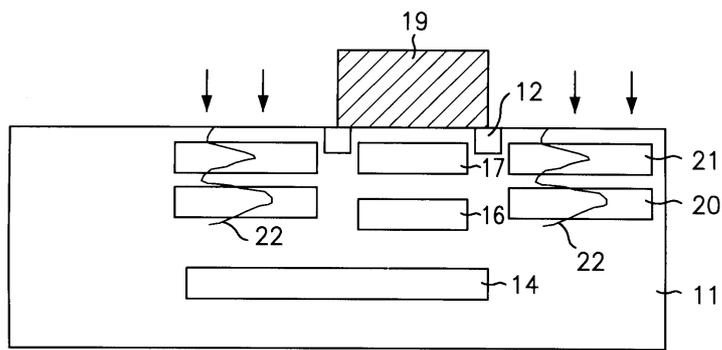
도면1a



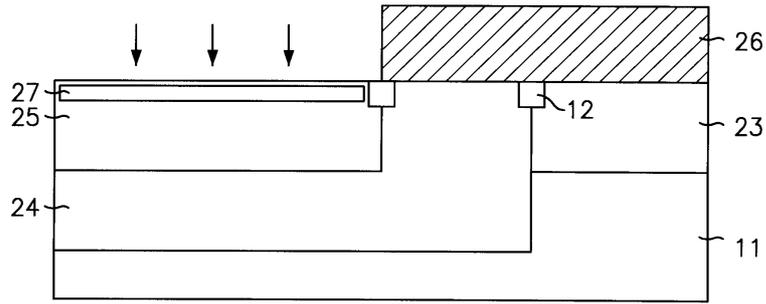
도면1b



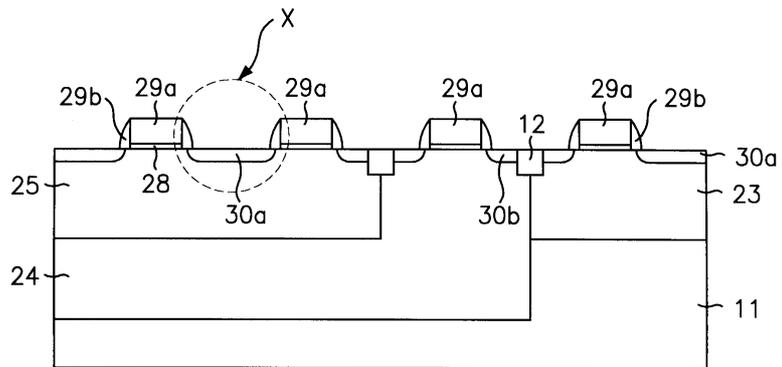
도면1c



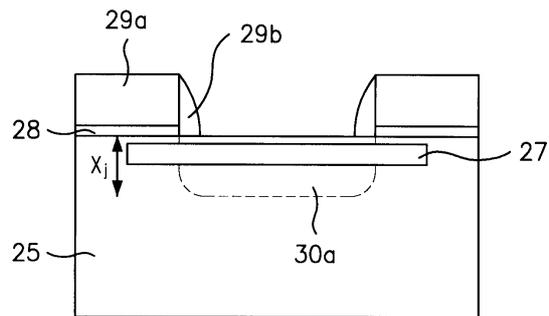
도면1d



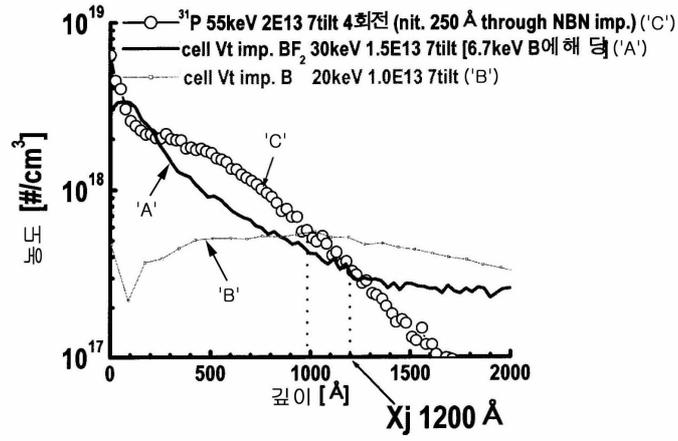
도면1e



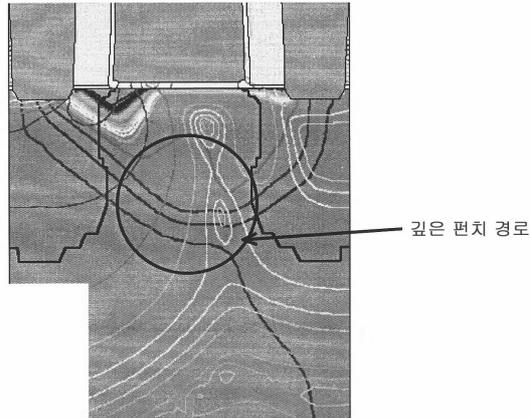
도면2



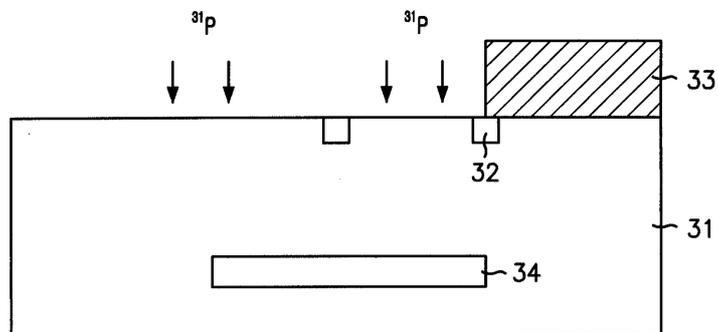
도면3



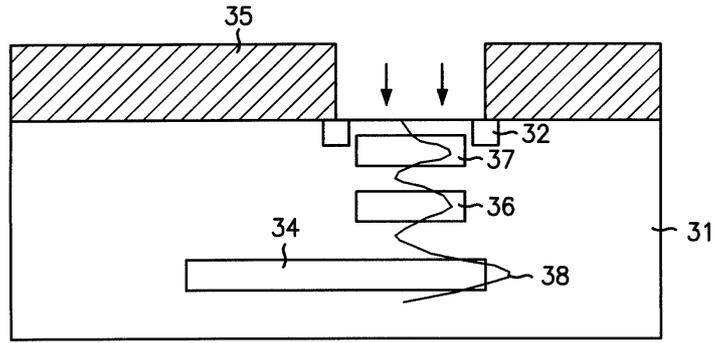
도면4



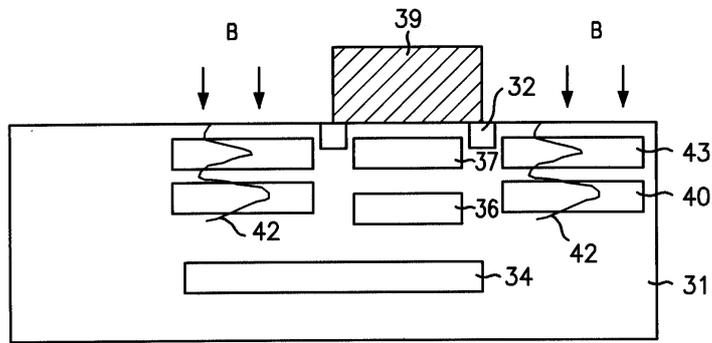
도면5a



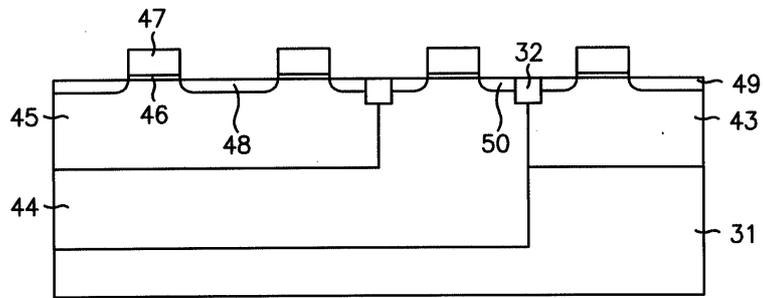
도면5b



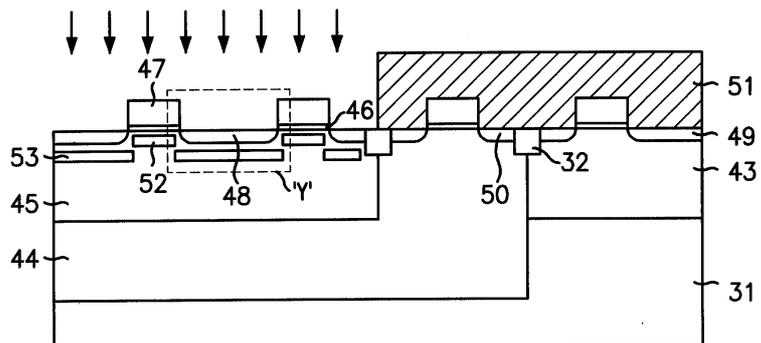
도면5c



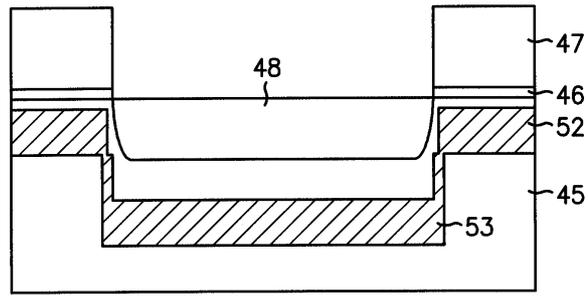
도면5d



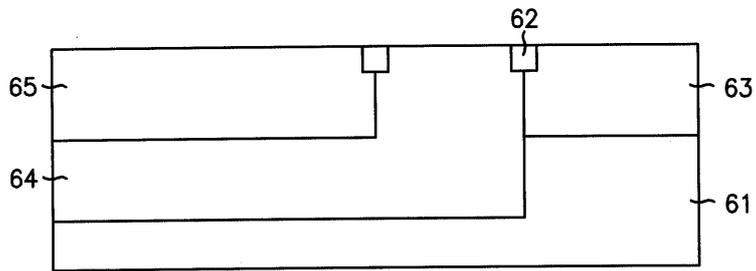
도면5e



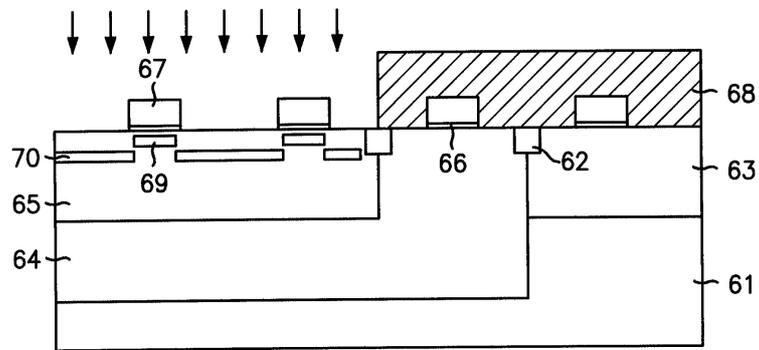
도면6



도면7a



도면7b



도면7c

