



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2024-0069694
(43) 공개일자 2024년05월20일

- (51) 국제특허분류(Int. Cl.)
H10K 59/80 (2023.01) H10K 59/121 (2023.01)
H10K 59/122 (2023.01) H10K 59/124 (2023.01)
- (52) CPC특허분류
H10K 59/8731 (2023.02)
H10K 59/1213 (2023.02)
- (21) 출원번호 10-2024-0058060(분할)
- (22) 출원일자 2024년04월30일
심사청구일자 2024년04월30일
- (62) 원출원 특허 10-2018-0089154
원출원일자 2018년07월31일
심사청구일자 2021년07월12일
- (71) 출원인
삼성디스플레이 주식회사
경기 용인시 기흥구 삼성로1(농서동)
- (72) 발명자
서정한
경기도 용인시 기흥구 삼성로1
성우용
경기도 용인시 기흥구 삼성로1
- (74) 대리인
특허법인 고려

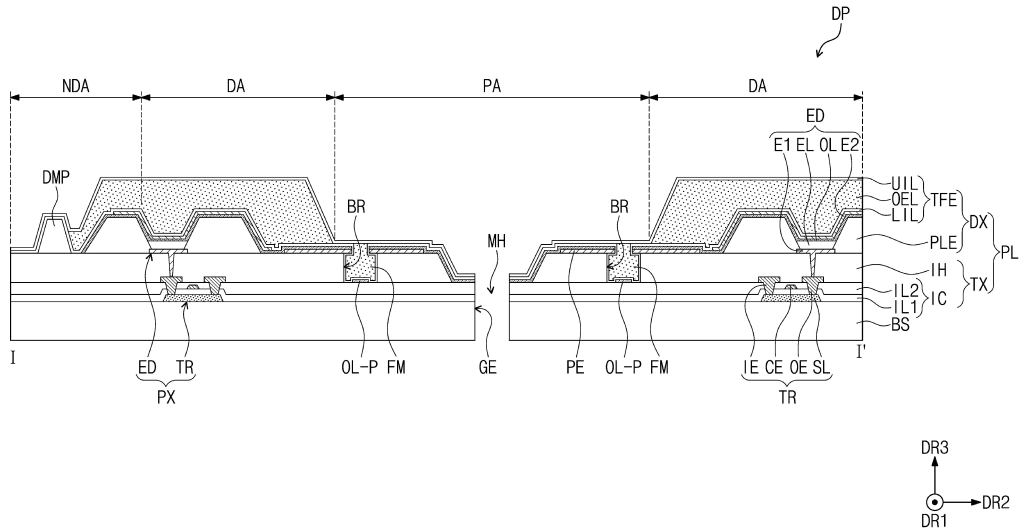
전체 청구항 수 : 총 18 항

(54) 발명의 명칭 표시 패널 및 이의 제조 방법

(57) 요약

본 발명의 표시 패널은, 베이스 기판, 상기 베이스 기판 상에 배치된 박막 트랜지스터, 상기 박막 트랜지스터를 커버하고 관통되어 정의된 패턴부를 포함하는 층간 절연층, 상기 표시 영역에 배치되고 전하 제어층을 포함하는 공통층을 포함하는 유기발광소자, 상기 유기발광소자를 커버하는 봉지층, 및 상기 베이스 기판의 배면에서부터 상기 봉지층의 상면까지 관통하여 상기 표시 영역에 정의된 모듈 홀을 포함하고, 상기 패턴부는 상기 모듈 홀의 적어도 일부를 둘러싸고, 상기 공통층은 상기패턴부에 의해 단선된다.

대표도



(52) CPC특허분류

H10K 59/122 (2023.02)

H10K 59/124 (2023.02)

H10K 59/871 (2023.02)

명세서

청구범위

청구항 1

표시 영역 및 상기 표시 영역에 인접한 주변 영역으로 구분되는 베이스 기관;

상기 베이스 기관 상에 배치된 박막 트랜지스터;

상기 박막 트랜지스터를 커버하고 관통되어 정의된 패턴부를 포함하는 층간 절연층;

상기 표시 영역에 배치되고 상기 박막 트랜지스터에 연결된 제1 전극, 제2 전극, 및 상기 제1 전극과 상기 제2 전극 사이에 배치되고 발광층 및 전하 제어층을 포함하는 공통층을 포함하는 유기발광소자;

상기 유기발광소자를 커버하는 제1 무기층, 상기 제1 무기층 상에 배치된 제2 무기층, 및 상기 제1 무기층과 상기 제2 무기층 사이에 배치된 유기층을 포함하는 봉지층; 및

상기 베이스 기관의 배면에서부터 상기 봉지층의 상면까지 관통하여 상기 표시 영역에 정의된 모듈 홀을 포함하고,

상기 패턴부는 상기 모듈 홀의 적어도 일부를 둘러싸고,

상기 공통층은 상기 패턴부에 의해 단선된 표시 패널.

청구항 2

제1 항에 있어서,

상기 층간 절연층 상에 배치되고 상기 패턴부와 중첩하고 관통되어 정의된 개구부를 포함하는 무기 패턴층을 더 포함하고,

상기 패턴부는 상기 개구부와 함께 상기 모듈 홀의 적어도 일부를 둘러싸는 제1 차단 홈을 정의하는 표시 패널.

청구항 3

제2 항에 있어서,

상기 층간 절연층 및 상기 베이스 기관 사이에 배치되는 하부 절연층을 더 포함하고,

상기 박막 트랜지스터는 상기 베이스 기관 상에 배치되는 반도체 패턴, 상기 반도체 패턴과 중첩하는 제어 전극, 서로 이격되어 배치되며 각각이 상기 반도체 패턴과 접속되는 입력 전극 및 출력 전극을 포함하고,

상기 하부 절연층은,

상기 제어 전극 및 상기 반도체 패턴 사이에 배치되는 제1 절연층, 및 상기 제1 절연층 및 층간 절연층 사이에 배치된 제2 절연층을 포함하는 표시 패널.

청구항 4

제3 항에 있어서,

상기 제1 차단 홈은 상기 제2 절연층의 상면의 일 부분을 노출시키는 표시 패널.

청구항 5

제2 항에 있어서,

상기 제1 차단 홈은 언더 컷 형상을 가지고,

상기 제1 차단 홈의 내면은, 상기 제1 무기층에 의해 커버되는 것을 특징으로 하는 표시 패널.

청구항 6

제2 항에 있어서,
 평면상에서 상기 제1 차단 홈과 이격되어 상기 제1 차단 홈과 상기 유기발광소자 사이에 정의되고, 상기 층간 절연층 및 상기 무기 패턴층을 관통하는 제2 차단 홈을 더 포함하고,
 상기 제2 차단 홈의 내면은 상기 제1 무기층에 의해 커버되고,
 상기 제2 차단 홈의 상기 내면을 커버하는 상기 제1 무기층에 상기 유기층이 배치된 것을 특징으로 하는 표시 패널.

청구항 7

제6 항에 있어서,
 평면상에서 상기 제1 차단 홈과 이격되어 상기 모듈 홀과 상기 제1 차단 홈 사이에 정의되고, 상기 층간 절연층 및 상기 무기 패턴층을 관통하는 제3 차단 홈을 더 포함하고,
 상기 제3 차단 홈의 내면은 상기 제1 무기층에 의해 커버되고,
 상기 제3 차단 홈의 상기 내면을 커버하는 상기 제1 무기층은 상기 제2 무기층에 의해 커버되는 것을 특징으로 하는 표시 패널.

청구항 8

제2 항에 있어서,
 상기 제1 차단 홈의 내면은 상기 제1 무기층에 의해 커버되고,
 상기 제1 차단 홈의 상기 내면을 커버하는 상기 제1 무기층에 배치된 충전 부재를 더 포함하고,
 상기 충전 부재는 유기물을 포함하는 것을 특징으로 하는 표시 패널.

청구항 9

제8 항에 있어서,
 상기 제2 무기층은,
 상기 개구부의 의해 노출된 상기 충전 부재의 상면과 상기 충전 부재의 상기 상면과 인접한 상기 제1 무기층을 커버하는 것을 특징으로 하는 표시 패널.

청구항 10

제1 항에 있어서,
 상기 베이스 기판은,
 유리, 플라스틱, 금속 중 적어도 어느 하나를 포함하는 것을 특징으로 하는 표시 패널.

청구항 11

표시 영역 및 상기 표시 영역에 인접한 주변 영역으로 구분되는 베이스 기판;
 상기 표시 영역에 배치되며 제1 전극 상기 제1 전극 상에 배치된 제2 전극 및 상기 제1 전극과 상기 제2 전극 사이에 배치되고 발광층 및 전하 제어층을 포함하는 공통층을 포함하는 유기발광소자;
 상기 유기발광소자와 연결된 박막 트랜지스터, 박막 트랜지스터 및 상기 유기 발광 소자 사이에 배치된 층간 절연층, 상기 베이스 기판 및 상기 층간 절연층 사이에 배치되는 하부 절연층, 상기 층간 절연층 상에 배치된 무기 패턴층을 포함하는 박막 소자층;
 상기 유기발광소자를 커버하는 제1 무기층, 상기 제1 무기층 상에 배치된 제2 무기층, 및 상기 제1 무기층과 상기 제2 무기층 사이에 배치된 유기층을 포함하는 봉지층;

상기 베이스 기관의 배면에서부터 상기 봉지층의 상면까지 관통하여 상기 표시 영역에 정의된 모듈 홀; 및
상기 모듈 홀과 중첩하는 전자 모듈을 포함하고,

상기 층간 절연층 및 상기 무기 패턴층이 관통되어 정의되고 상기 모듈 홀의 적어도 일부를 둘러싸는 차단 홈이 정의된 전자 장치.

청구항 12

제11 항에 있어서,

상기 공통층은 상기 차단 홈에 의해 단선된 전자 장치.

청구항 13

제11 항에 있어서,

상기 무기 패턴층은 상기 차단 홈의 일 부분을 정의하는 개구부가 정의되고,

상기 층간 절연층은 상기 차단 홈의 나머지 부분을 정의하고 상기 개구부와 중첩하는 패턴부가 정의되고,

단면상에서 상기 개구부의 폭은 상기 패턴부의 폭보다 작은 것을 특징으로 하는 전자 장치.

청구항 14

제13 항에 있어서,

상기 차단 홈은 언더 컷 형상을 가지고,

상기 차단 홈의 내면은,

상기 제1 무기층에 의해 커버되는 것을 특징으로 하는 전자 장치.

청구항 15

제11 항에 있어서,

상기 차단 홈의 내면은 상기 제1 무기층에 의해 커버되고,

상기 차단 홈의 상기 내면을 커버하는 상기 제1 무기층에 배치된 충전 부재를 더 포함하고,

상기 충전 부재는 유기물을 포함하는 것을 특징으로 하는 전자 장치.

청구항 16

제11 항에 있어서,

상기 차단 홈은 평면상에서 상기 모듈 홀을 에워싸는 폐곡선 형상을 갖는 것을 특징으로 하는 전자 장치.

청구항 17

제11 항에 있어서,

상기 모듈 홀의 내면은,

관통된 상기 베이스 기관의 끝 단, 및

상기 베이스 기관의 상기 끝 단과 정렬된 하부 절연층, 제1 무기층, 및 제2 무기층 각각의 끝 단으로 정의된 것을 특징으로 하는 전자 장치.

청구항 18

제11 항에 있어서,

상기 전자 모듈은,

음향출력 모듈, 발광 모듈, 수광 모듈, 및 카메라 모듈 중 적어도 어느 하나를 포함하는 것을 특징으로 하는 전

자 장치.

발명의 설명

기술 분야

[0001] 본 발명은 표시 패널 및 이의 제조 방법에 관한 것으로, 상세하게는 신뢰성이 향상된 표시 패널 및 이의 제조 방법에 관한 것이다.

배경 기술

[0002] 표시 패널은 전기적 신호에 따라 활성화되어 영상을 표시한다. 표시 패널 중 유기 발광 소자를 포함하는 유기 발광 표시 패널은 낮은 소비 전력, 높은 휘도 및 높은 반응 속도를 가진다.

[0003] 유기 발광 표시 패널은 유기 발광 소자를 포함한다. 유기 발광 소자는 수분이나 산소에 취약하여 쉽게 손상될 수 있다. 이에 따라, 유기 발광 표시 패널에 있어서, 외부로부터 유입되는 수분이나 산소를 안정적으로 차단할 수록 유기 발광 표시 장치의 신뢰성이 향상되고 수명이 향상되는 결과를 가져올 수 있다.

발명의 내용

해결하려는 과제

[0004] 본 발명의 목적은 외부 충격에 대한 강도 강화 및 외부 산소 및 수분 등 오염의 유입이 방지된 표시 패널 및 패널 제조 방법을 제공하는 데 그 목적이 있다.

과제의 해결 수단

[0005] 본 발명의 일 실시예에 따른 표시 패널은, 표시 영역 및 상기 표시 영역에 인접한 주변 영역으로 구분되는 베이스 기판; 상기 베이스 기판 상에 배치된 박막 트랜지스터; 상기 박막 트랜지스터를 커버하고 관통되어 정의된 패턴부를 포함하는 층간 절연층; 상기 표시 영역에 배치되고 상기 박막 트랜지스터에 연결된 제1 전극, 제2 전극, 및 상기 제1 전극과 상기 제2 전극 사이에 배치되고 발광층 및 전하 제어층을 포함하는 공통층을 포함하는 유기발광소자; 상기 유기발광소자를 커버하는 제1 무기층, 상기 제1 무기층 상에 배치된 제2 무기층, 및 상기 제1 무기층과 상기 제2 무기층 사이에 배치된 유기층을 포함하는 봉지층; 및 상기 베이스 기판의 배면에서부터 상기 봉지층의 상면까지 관통하여 상기 표시 영역에 정의된 모듈 홀을 포함하고, 상기 패턴부는 상기 모듈 홀의 적어도 일부를 둘러싸고, 상기 공통층은 상기 패턴부에 의해 단선된다.

[0006] 본 발명의 일 실시예에 따른 표시 패널은, 표시 영역 및 상기 표시 영역에 인접한 주변 영역으로 구분되는 베이스 기판; 상기 표시 영역에 배치되며 제1 전극 상기 제1 전극 상에 배치된 제2 전극 및 상기 제1 전극과 상기 제2 전극 사이에 배치되고 발광층 및 전하 제어층을 포함하는 공통층을 포함하는 유기발광소자; 상기 유기발광소자와 연결된 박막 트랜지스터, 박막 트랜지스터 및 상기 유기 발광 소자 사이에 배치된 층간 절연층, 상기 베이스 기판 및 상기 층간 절연층 사이에 배치되는 하부 절연층, 상기 층간 절연층 상에 배치된 무기 패턴층을 포함하는 박막 소자층; 상기 유기발광소자를 커버하는 제1 무기층, 상기 제1 무기층 상에 배치된 제2 무기층, 및 상기 제1 무기층과 상기 제2 무기층 사이에 배치된 유기층을 포함하는 봉지층; 상기 베이스 기판의 배면에서부터 상기 봉지층의 상면까지 관통하여 상기 표시 영역에 정의된 모듈 홀; 및 상기 모듈 홀과 중첩하는 전자 모듈을 포함하고, 상기 층간 절연층 및 상기 무기 패턴층이 관통되어 정의되고 상기 모듈 홀의 적어도 일부를 둘러싸는 차단 홈이 정의된다.

발명의 효과

[0007] 본 발명에 따르면, 전자 모듈과 간섭을 일으키지 않는 표시 패널이 제공될 수 있다. 이에 따라, 전자 모듈을 포함하더라도 좁은 베젤 영역을 가진 표시 장치가 제공될 수 있다.

[0008] 또한, 외부로부터 유입되는 수분이나 산소에 의한 소자 등의 손상을 용이하게 방지할 수 있다. 이에 따라, 공정 및 사용상의 신뢰성이 향상된 표시 장치가 제공될 수 있다.

도면의 간단한 설명

- [0009] 도 1은 본 발명의 일 실시예에 따른 표시 전자 장치를 도시한 사시도이다.
 도 2a는 도 1에 도시된 전자 장치의 분해 사시도이다.
 도 2ab는 도 2a의 XX'영역의 확대도이다.
 도 3은 도 1에 도시된 전자 장치의 블록도이다.
 도 4a는 도 2a에 도시된 I-I'를 따라 자른 단면도이다.
 도 4b는 도 4a의 구성에 터치 감지 유닛을 추가한 단면도이다.
 도 5a 및 도 5b는 도 4a의 홀 영역을 확대하여 도시한 단면도들이다.
 도 6a 내지 도 6c는 본 발명에 따른 표시 패널의 일 부분을 도시한 단면도이다.
 도 7은 본 발명의 일 실시예에 따른 표시 패널의 일 부분을 도시한 단면도이다.
 도 8은 본 발명의 일 실시예에 따른 표시 패널의 일 부분을 도시한 단면도이다.
 도 9a는 본 발명의 일 실시예에 따른 표시 패널의 일 부분을 도시한 단면도이다.
 도 9b는 도 9a의 일 영역의 확대도이다.
 도 10a 내지 도 10c는 본 발명의 일 실시예에 따른 홀 영역들을 도시한 평면도들이다.
 도 11a 내지 도 11f는 본 발명의 일 실시예에 따른 표시 패널 제조 방법을 도시한 단면도 들이다.

발명을 실시하기 위한 구체적인 내용

- [0010] 본 명세서에서, 어떤 구성요소(또는 영역, 층, 부분 등)가 다른 구성요소 "상에 있다", "연결 된다", 또는 "결합된다"고 언급되는 경우에 그것은 다른 구성요소 상에 직접 배치/연결/결합될 수 있거나 또는 그들 사이에 제3의 구성요소가 배치될 수도 있다는 것을 의미한다.
- [0011] 동일한 도면부호는 동일한 구성요소를 지칭한다. 또한, 도면들에 있어서, 구성요소들의 두께, 비율, 및 치수는 기술적 내용의 효과적인 설명을 위해 과장된 것이다.
- [0012] "및/또는"은 연관된 구성들이 정의할 수 있는 하나 이상의 조합을 모두 포함한다.
- [0013] 제1, 제2 등의 용어는 다양한 구성요소들을 설명하는데 사용될 수 있지만, 상기 구성요소들은 상기 용어들에 의해 한정되어서는 안 된다. 상기 용어들은 하나의 구성요소를 다른 구성요소로부터 구별하는 목적으로만 사용된다. 예를 들어, 본 발명의 권리 범위를 벗어나지 않으면서 제1 구성요소는 제2 구성요소로 명명될 수 있고, 유사하게 제2 구성요소도 제1 구성요소로 명명될 수 있다. 단수의 표현은 문맥상 명백하게 다르게 뜻하지 않는 한, 복수의 표현을 포함한다.
- [0014] 또한, "아래에", "하측에", "위에", "상측에" 등의 용어는 도면에 도시된 구성들의 연관관계를 설명하기 위해 사용된다. 상기 용어들은 상대적인 개념으로, 도면에 표시된 방향을 기준으로 설명된다.
- [0015] 다르게 정의되지 않는 한, 본 명세서에서 사용된 모든 용어 (기술 용어 및 과학 용어 포함)는 본 발명이 속하는 기술 분야의 당업자에 의해 일반적으로 이해되는 것과 동일한 의미를 갖는다. 또한, 일반적으로 사용되는 사전에서 정의된 용어와 같은 용어는 관련 기술의 맥락에서 의미와 일치하는 의미를 갖는 것으로 해석되어야 하고, 이상적인 또는 지나치게 형식적인 의미로 해석되지 않는 한, 명시적으로 여기에서 정의됩니다.
- [0016] "포함하다" 또는 "가지다" 등의 용어는 명세서 상에 기재된 특징, 숫자, 단계, 동작, 구성요소, 부품 또는 이들을 조합한 것이 존재함을 지정하려는 것이지, 하나 또는 그 이상의 다른 특징들이나 숫자, 단계, 동작, 구성요소, 부분품 또는 이들을 조합한 것들의 존재 또는 부가 가능성을 미리 배제하지 않는 것으로 이해되어야 한다. 이하, 도면을 참조하여 본 발명의 실시예들을 설명한다.
- [0017] 도 1은 본 발명의 일 실시예에 따른 표시 전자 장치를 도시한 사시도이다. 도 2a는 도 1에 도시된 전자 장치의 분해 사시도이다. 2b는 도 2a의 XX'영역의 확대도이다. 도 3은 도 1에 도시된 전자 장치의 블록도이다. 도 4a는 도 2a에 도시된 I-I'를 따라 자른 단면도이다. 도 4b는 도 4a의 구성에 터치 감지 유닛을 추가한 단면도이다.

이하, 도 1 내지 도 4b를 참조하여 본 발명의 일 실시예에 따른 전자 장치에 대해 설명하기로 한다.

- [0018] 도 1내지 도 3에 도시된 것과 같이, 전자 장치(EA)는 전면에 이미지(IM)를 표시하는 표시면을 제공할 수 있다. 표시면은 제1 방향(DR1)과 제2 방향(DR2)이 정의하는 면에 평행하게 정의될 수 있다. 표시면은 투과 영역(TA) 및 투과 영역(TA)에 인접한 베젤 영역(BZA)을 포함한다.
- [0019] 전자 장치(EA)는 투과 영역(TA)을 통해 이미지(IM)를 표시한다. 도 1에는 이미지(IM)의 일 예로 인터넷 검색 창이 도시되었다. 투과 영역(TA)은 제1 방향(DR1) 및 제2 방향(DR2) 각각에 평행한 사각 형상을 가질 수 있다. 다만, 이는 예시적으로 도시한 것이고, 표시 영역(DA)은 다양한 형상을 가질 수 있으며, 어느 하나의 실시예에 한정되지 않는다.
- [0020] 표시면의 법선 방향은 전자 장치(EA)의 두께 방향(DR3, 이하, 제3 방향)과 대응될 수 있다. 본 실시예에는 이미지(IM)가 표시되는 방향을 기준으로 각 구성들의 전면(또는 상면)과 배면(또는 하면)이 정의된다. 전면과 배면은 제3 방향(DR3)에서 서로 대향된다.
- [0021] 한편, 제1 내지 제3 방향들(DR2, DR2 DR3)이 지시하는 방향은 상대적인 개념으로서 다른 방향으로 변환될 수 있다. 이하, 제1 내지 제3 방향들은 제1 내지 제3 방향들(DR1, DR2, DR3)이 각각 지시하는 방향으로 동일한 도면 부호를 참조한다.
- [0022] 전자 장치(EA)는 표시 패널(DP), 윈도우 부재(WD), 전자 모듈(ID), 및하우징 부재(HS)를 포함한다. 도 3에 도시된 것과 같이, 전자 장치(EA)는 표시 모듈(DD), 제1 전자 모듈(EM1), 제2 전자 모듈(EM2), 및 전원 공급 모듈(PM)을 더 포함할 수 있다. 도 2a는 도 3에 도시된 구성들 중 일부 구성들은 생략하여 도시하였다.
- [0023] 표시 모듈(DD)은 표시 패널(DP) 및 터치 감지 유닛(TSU)을 포함할 수 있다. 표시 패널(DP)은 이미지(IM)를 생성한다. 터치 감지 유닛(TSU)은 외부에서 인가되는 사용자의 입력을 감지할 수도 있다. 사용자의 입력은 사용자 신체의 일부, 광, 열, 또는 압력 등 다양한 형태의 외부 입력들을 포함한다. 본 발명의 실시예에 따른 터치 감지 유닛(TSU)은 표시 패널 위에 직접 제공될 수 있다. 이 경우, 터치 감지 유닛(TSU)은 표시 패널(DP) 위에 연속 공정에 의해 형성되어 제공될 수 있다. 도 2a에서 터치 감지 유닛(TSU)은 생략되어 도시되었다.
- [0024] 표시 패널(DP)은 홀 영역(PA), 표시 영역(DA), 및 주변 영역(NDA)으로 구분될 수 있다. 표시 영역(DA)은 이미지(IM)가 생성되는 영역일 수 있다. 표시 영역(DA)에는 이미지(IM)를 생성하는 복수의 화소들(PX)이 배치될 수 있다. 이에 대한 상세한 설명은 후술하기로 한다. 주변 영역(NDA)은 표시 영역(DA)에 인접한다. 주변 영역(NDA)은 표시 영역(DA)을 에워쌀 수 있다. 주변 영역(NDA)에는 표시 영역(DA)을 구동하기 위한 구동 회로나 구동 배선 등이 배치될 수 있다.
- [0025] 한편, 도시되지 않았으나, 표시 패널(DP) 중 주변 영역(NDA)의 일부는 휘어질 수 있다. 이에 따라, 주변 영역(NDA) 중 일부는 전자 장치(EA)의 전면을 향하고 주변 영역(NDA)의 다른 일부는 전자 장치(EA)의 배면을 향할 수 있다. 또는, 본 발명의 일 실시예에 따른 표시 패널(DP)에 있어서 주변 영역(NDA)은 생략될 수도 있다.
- [0026] 도 2b를 참조하면, 홀 영역(PA)은 모듈 홀(MH) 및 모듈 홀(HM)을 에워싸는 차단 홈(BR)이 정의된 영역일 수 있다. 일 실시예에 따른 표시 패널(DP)은 적어도 하나의 모듈 홀(MH)을 포함할 수 있다. 홀 영역(PA)은 표시 영역(DA)에 의해 에워싸일 수 있다. 일 실시예에 따르면, 홀 영역(PA)는 차단 홈(BR)을 에워싸는 원형상으로 정의될 수 있다.
- [0027] 홀 영역(PA)에는 차단 홈(BR), 모듈 홀(HM), 및 충전 부재(FM)가 배치될 수 있다. 본 발명의 실시예에 따른 차단 홈(BR), 모듈 홀(HM), 및 충전 부재(FM)는 영상이 표시되는 표시 영역(DA) 내에 형성될 수 있다.
- [0028] 차단 홈(BR)은 모듈 홀(HM)을 에워싼다. 차단 홈(BR)은 폐곡선 형상을 가질 수 있다.
- [0029] 본 실시예에서 차단 홈(BR)은 원형상인 경우를 예시적으로 도시하였다. 한편, 이는 예시적으로 도시한 것이고, 차단 홈(BR)은 일부 단절된 복수의 라인 패턴들이 모듈 홀(HM)을 에워싸며 나열된 형상을 가질 수도 있다. 도 2b에는 설명의 편의를 위하여 충전 부재(FM) 및 차단 홈(BR)의 내부에 배치된 추가 패턴부(OL-P)를 생략하였다.
- [0030] 도시되지 않았으나, 차단 홈(BR)을 경유하는 복수의 신호라인들은 차단 홈(BR)을 사이에 두고 서로 이격된 화소들(PX)에 접속될 수 있다. 따라서, 차단 홈(BR)을 두고 서로 이격된 화소들(PX)는 대응되는 신호라인에 연결되어 동일한 신호에 의해 제어될 수 있다. 모듈 홀(HM)에는 화소들(PX)가 배치되지 않을 수 있다.
- [0031] 본 발명에 따르면, 차단 홈(BR)을 경유하는 신호라인들에 의해 모듈 홀(HM)을 중심으로 이격된 화소들(PX)이 서로 연결됨으로써 모듈 홀(HM)을 중심으로 이격된 화소들(PX) 사이의 유기적 결합을 향상시킬 수 있다. 이에 따

라, 모듈 홀(MH)을 중심으로 이격된 화소들(PX)에 대한 전기적 제어를 용이하게 할 수 있다.

- [0032] 차단 홈(BR)은 모듈 홀(HM)과 인접하여 배치된다. 보다 상세하게는 차단 홈(BR)은 모듈 홀(HM)을 에워싸며 배치될 수 있다. 모듈 홀(HM)은 표시 패널(DP)을 관통 한다. 예를 들어, 도 2a에 도시된 모듈 홀(HM)은 제3 방향(DR3)에서의 높이를 가진 원통형 형상을 가질 수 있다.
- [0033] 모듈 홀(HM)은 전자 모듈(ID)과 평면상에서 중첩한다. 전자 모듈(ID)은 모듈 홀(HM) 내에 삽입될 수 있다. 뿐만 아니라, 전자 모듈(ID)은 모듈 홀(HM)과 인접한 베이스 기판(10)의 배면에 배치될 수 있으며, 전자 모듈(ID)의 일 구성만이 모듈 홀(HM)을 통해 외부로 노출될 수 있다. 예를 들어, 카메라 모듈(CMM)에 포함된 렌즈만이 모듈 홀(HM)을 통해 외부로 노출될 수 있다. 또는, 전자 모듈(ID)은 베이스 기판(10)의 배면에 배치되어 표시 패널(DP)로부터 단면상에서 이격되어 배치될 수도 있다.
- [0034] 본 발명의 실시예에 따른 표시 패널(DP)은 표시 영역(DA)에 형성된 모듈 홀(HM)을 포함함으로써, 표시 영역(DA) 외부에 전자 모듈(ID)을 위한 별도의 공간을 제공하지 않을 수 있다. 이에 따라, 주변 영역(NDA)의 면적이 감소되어 내로우 베젤을 가진 전자 장치(EA)가 구현될 수 있다. 또한, 전자 모듈(ID)이 모듈 홀(HM) 내에 수용되는 경우, 박형의 전자 장치(EA)가 구현될 수 있다. 차단 홈(BR) 및 모듈 홀(HM)에 대한 상세한 설명은 후술하기로 한다.
- [0035] 윈도우 부재(WD)는 전자 장치(EA)의 전면을 제공한다. 윈도우 부재(WD)는 표시 패널(DP)의 전면에 배치되어 표시 패널(DP)을 보호할 수 있다. 예를 들어, 윈도우 부재(WD)는 유리 기판, 사파이어 기판, 또는 플라스틱 필름을 포함할 수 있다. 윈도우 부재(WD)는 다층 또는 단층구조를 가질 수 있다. 예를 들어, 윈도우 부재(WD)는 접착제로 결합된 복수 개의 플라스틱 필름의 적층 구조를 가지거나, 접착제로 결합된 유리 기판과 플라스틱 필름의 적층 구조를 가질 수도 있다.
- [0036] 윈도우 부재(WD)는 투명한 물질을 포함함으로써, 전자 장치(EA)의 투과 영역(TA) 및 베젤 영역(BZA)을 제공할 수 있다. 본 실시예에 따르면, 투과 영역(TA)은 표시 영역(DA)과 대응되는 영역일 수 있다. 예를 들어, 투과 영역(TA)은 표시 영역(DA)의 전면 또는 적어도 일부와 중첩한다. 표시 패널(DP)의 표시 영역(DA)에 표시되는 이미지(IM)는 투과 영역(TA)을 통해 외부에서 시인될 수 있다.
- [0037] 베젤 영역(BZA)은 투과 영역(TA)의 형상에 따라 정의된다. 베젤 영역(BZA)은 투과 영역(TA)에 인접하며, 투과 영역(TA)을 에워쌀 수 있다. 베젤 영역(BZA)은 소정의 컬러를 가질 수 있다. 베젤 영역(BZA)은 표시 패널(DP)의 주변 영역(NDA)을 커버하여 주변 영역(NDA)이 외부에서 시인되는 것을 차단할 수 있다. 한편, 이는 예시적으로 도시된 것이고, 본 발명의 일 실시예에 따른 윈도우 부재(WD)에 있어서, 베젤 영역(BZA)은 생략될 수도 있다.
- [0038] 하우징 부재(HS)는 윈도우 부재(WD)와 결합될 수 있다. 하우징 부재(HS)는 전자 장치(EA)의 배면을 제공한다. 하우징 부재(HS)는 윈도우 부재(WD)와 결합되어 내부 공간을 제공한다. 표시 패널(DP), 전자 모듈(ID), 및 도 3에 도시된 각종 구성들은 내부 공간에 수용될 수 있다. 하우징 부재(HS)는 상대적으로 높은 강성을 가진 물질을 포함할 수 있다. 예를 들어, 하우징 부재(HS)는 글라스, 플라스틱, 메탈로 구성된 복수 개의 프레임 및/또는 플레이트를 포함할 수 있다. 하우징 부재(HS)는 내부 공간에 수용된 전자 장치(EA)의 구성들을 외부 충격으로부터 안정적으로 보호할 수 있다.
- [0039] 전원공급 모듈(PM)은 전자 장치(EA)의 전반적인 동작에 필요한 전원을 공급한다. 전원공급 모듈(PM)은 통상적인 배터리 모듈을 포함할 수 있다.
- [0040] 전자 모듈(ID)은 전자 장치(EA)를 동작시키기 위한 다양한 기능성 모듈을 포함한다. 전자 모듈(ID)은 제1 전자 모듈(EM1) 및 제2 전자 모듈(EM2)을 포함할 수 있다.
- [0041] 제1 전자 모듈(EM1)은 표시 모듈(DD)과 전기적으로 연결된 마더보드(미 도시)에 직접 실장 되거나 별도의 기판에 실장 되어 커넥터(미 도시) 등을 통해 마더보드에 전기적으로 연결될 수 있다.
- [0042] 제1 전자 모듈(EM1)은 제어 모듈(CM), 무선통신 모듈(TM), 영상입력 모듈(IS), 음향입력 모듈(AIM), 메모리(MM), 및 외부 인터페이스(EF)를 포함할 수 있다. 상기 모듈들 중 일부는 마더보드에 실장되지 않고, 연성회로 기판을 통해 마더보드에 전기적으로 연결될 수도 있다.
- [0043] 제어 모듈(CM)은 전자 장치(EA)의 전반적인 동작을 제어한다. 제어 모듈(CM)은 마이크로프로세서일 수 있다. 예를 들어 제어 모듈(CM)은 표시 모듈(DD)을 활성화 시키거나, 비활성화 시킨다. 제어 모듈(CM)은 표시 모듈(DD)로부터 수신된 터치 신호에 근거하여 영상입력 모듈(IS)이나 음향입력 모듈(AIM) 등의 다른 모듈들을 제어할 수

있다.

- [0044] 무선통신 모듈(TM)은 블루투스 또는 와이파이 회선을 이용하여 다른 단말기와 무선 신호를 송/수신할 수 있다. 무선통신 모듈(TM)은 일반 통신회선을 이용하여 음성신호를 송/수신할 수 있다. 무선통신 모듈(TM)은 송신할 신호를 변조하여 송신하는 송신부(TM1)와, 수신되는 신호를 복조하는 수신부(TM2)를 포함한다.
- [0045] 영상 입력 모듈(IS)은 영상 신호를 처리하여 표시 모듈(DD)에 표시 가능한 영상 데이터로 변환한다. 음향입력 모듈(AIM)은 녹음 모드, 음성인식 모드 등에서 마이크로폰(Microphone)에 의해 외부의 음향 신호를 입력 받아 전기적인 음성 데이터로 변환한다.
- [0046] 메모리(MM)는 영상 무선통신 모듈(TM), 입력 모듈(IS), 및 음향입력 모듈(AIM)에서 수신되는 데이터를 사용하기 위해 저장될 수 있으며, 사용된 데이터가 삭제될 수 있다. 뿐만 아니라, 제2 전자 모듈(EM2)을 제어하기 위해 필요한 데이터들을 저장 및 삭제 할 수 있다.
- [0047] 외부 인터페이스(EF)는 외부 충전기, 유/무선 데이터 포트, 카드 소켓(예를 들어, 메모리 카드(Memory card), SIM/UIM card) 등에 연결되는 인터페이스 역할을 한다.
- [0048] 제2 전자 모듈(EM2)은 음향출력 모듈(AOM), 발광 모듈(LM), 수광 모듈(LRM), 및 카메라 모듈(CMM) 등을 포함할 수 있다. 상기 구성들은 마더보드에 직접 실장 되거나, 별도의 기판에 실장 되어 커넥터 등을 통해 표시 모듈(DD)과 전기적으로 연결되거나, 제1 전자 모듈(EM1)과 전기적으로 연결될 수 있다.
- [0049] 음향출력 모듈(AOM)은 무선통신 모듈(TM)로부터 수신된 음향 데이터 또는 메모리(MM)에 저장된 음향 데이터를 변환하여 외부로 출력한다.
- [0050] 발광 모듈(LM)은 광을 생성하여 출력한다. 발광 모듈(LM)은 적외선을 출력할 수 있다. 발광 모듈(LM)은 LED 소자를 포함할 수 있다. 수광 모듈(LRM)은 적외선을 감지할 수 있다. 수광 모듈(LRM)은 소정 레벨 이상의 적외선이 감지된 때 활성화될 수 있다. 수광 모듈(LRM)은 CMOS 센서를 포함할 수 있다. 발광 모듈(LM)에서 생성된 적외선이 출력된 후, 외부 물체(예컨대 사용자 손가락 또는 얼굴)에 의해 반사되고, 반사된 적외선이 수광 모듈(LRM)에 입사될 수 있다. 카메라 모듈(CMM)은 피사체의 이미지를 촬영한다.
- [0051] 도 2a에 도시된 전자 모듈(ID)은 특히, 제2 전자 모듈(EM2)의 구성들 중 어느 하나 이상일 수 있다. 이때, 제1 전자 모듈(EM1) 및 제2 전자 모듈(EM2)의 구성들 중 나머지 구성들은 다른 위치에 배치되어 미 도시될 수 있다. 예를 들어, 전자 모듈(ID)은 음향출력 모듈(AOM), 발광 모듈(LM), 수광 모듈(LRM), 및 카메라 모듈(CMM) 중 적어도 어느 하나를 포함할 수 있다.
- [0052] 도 4a에 도시된 것과 같이, 표시 패널(DP)은 베이스 기판(BS), 박막 소자층(TX), 및 표시 소자층(DX)을 포함한다. 베이스 기판(BS), 박막 소자층(TX), 및 표시 소자층(DX)은 제3 방향(DR3)을 따라 적층될 수 있다. 본 발명에 따른 박막 소자층(TX) 및 표시 소자층(DX)은 화소층(PL)을 구성할 수 있다.
- [0053] 베이스 기판(BS)은 유리 기판, 금속 기판, 및 플렉서블한 플라스틱 기판을 포함한다. 다만, 이에 한정되는 것은 아니며, 베이스 기판(BS)는 유기물을 포함하는 베이스층 및 무기물을 포함하는 배리어 층이 복수로 교번하여 배치된 기판일 수 있다. 예를 들어, 베이스층의 유기물은 폴리이미드(polyimide: PI), 폴리에틸렌 나프탈레이트(polyethylene naphthalate: PEN), 폴리에틸렌 테레프탈레이트(polyethylene terephthalate: PET), 폴리아릴레이트(polyarylate), 폴리카보네이트(polycarbonate: PC), 폴리에테르이미드(polyetherimide: PEI) 또는 폴리에테르술폰(polyethersulfone: PES) 중 적어도 어느 하나를 포함할 수 있다. 따라서, 본 발명에 따른 베이스 기판(BS)는 리지드(rigid) 하거나 플렉서블(flexible)할 수 있으며, 어느 하나의 실시예로 한정되지 않는다.
- [0054] 박막 소자층(TX)은 하부 절연층(IC), 층간 절연층(IH), 및 박막 트랜지스터(TR)를 포함한다. 박막 소자층(TX)은 베이스 기판(BS) 상에 배치된다. 하부 절연층(IC), 층간 절연층(IH) 각각은 무기물 및/또는 유기물을 포함할 수 있다. 하부 절연층(IC)은 제1 절연층(IL1) 및 제2 절연층(IL2)을 포함할 수 있다.
- [0055] 박막 트랜지스터(TR)는 반도체 패턴(SL), 제어 전극(CE), 입력 전극(IE), 및 출력 전극(OE)을 포함한다. 박막 트랜지스터(TR)는 제어 전극(CE)을 통해 반도체 패턴(SL)에서의 전하 이동을 제어하여 입력 전극(IE)으로부터 입력되는 전기적 신호를 출력 전극(OE)을 통해 출력한다. 반도체 패턴(SL)은 베이스 기판(BS) 상에 배치된다. 반도체 패턴(SL)은 결정질 반도체 물질 또는 비정질 실리콘을 포함할 수 있다. 일 실시예에 따른 박막 트랜지스터(TR)는 반도체 패턴(SL) 상에 배치된 제어 전극(CE)을 도시하였으나, 이에 한정되는 것은 아니며, 제어 전극(CE)이 베이스 기판(BS) 상에 배치되고 제1 절연층(IL1)에 의해 커버되며, 제1 절연층(IL1) 상에 반도체 패턴

(SL)이 배치되는 바텀-게이트 구조를 가질 수 있으며, 어느 하나의 실시예로 한정되지 않는다.

- [0056] 제1 절연층(IL1)은 반도체 패턴(SL)과 제어 전극(CE) 사이에 배치될 수 있다. 제1 절연층(IL1)은 베이스 기판(BS) 및 반도체 패턴(SL)을 커버한다.
- [0057] 제어 전극(CE)은 반도체 패턴(SL) 상에 배치된 것으로 도시되었다. 다만, 이는 예시적으로 도시한 것이고, 본 발명의 일 실시예에 따른 박막 트랜지스터(TR)는 제어 전극(CE) 상에 배치되는 반도체 패턴(SL)을 포함할 수도 있으며, 어느 하나의 실시예로 한정되지 않는다.
- [0058] 제2 절연층(IL2)은 제어 전극(CE)과 입력 전극(IE) 및 제어 전극(CE)과 출력 전극(OE) 사이에 배치될 수 있다. 제2 절연층(IL2)은 제1 절연층(IL1) 및 제어 전극(CE)을 커버한다.
- [0059] 입력 전극(IE)과 출력 전극(OE)은 제2 절연층(IL2) 상에 배치된다. 입력 전극(IE)과 출력 전극(OE)은 제1 절연층(IL1) 및 제2 절연층(IL2)을 관통하여 반도체 패턴(SL)에 각각 접속된다. 다만, 이는 예시적으로 도시한 것이고 입력 전극(IE) 및 출력 전극(OE)은 반도체 패턴(SL)에 직접 접속될 수도 있다.
- [0060] 층간 절연층(IH)은 제2 절연층(IL2) 상에 배치된다. 층간 절연층(IH)은 박막 트랜지스터(TR)를 커버할 수 있다. 층간 절연층(IH)은 박막 트랜지스터(TR)와 표시 소자층(DX) 사이에 배치되어 박막 트랜지스터(TR)와 표시 소자층(DX)을 전기적으로 절연시킨다.
- [0061] 표시 소자층(DX)은 화소 정의막(PLE), 유기발광소자(ED), 및 봉지층(TFE)을 포함한다.
- [0062] 화소 정의막(PLE)은 층간 절연층(IH)상에 배치된다. 화소 정의막(PLE)에는 복수의 개구부들이 정의될 수 있다. 개구부들 각각에는 유기발광소자(ED)가 제공될 수 있다.
- [0063] 유기발광소자(ED)는 제1 전극(E1), 제2 전극(E2), 발광층(EL), 및 전하 제어층(OL)을 포함한다. 제1 전극(E1)은 층간 절연층(IH) 상에 배치된다. 제1 전극(E1)은 층간 절연층(IH)을 관통하여 박막 트랜지스터(TR)에 전기적으로 접속될 수 있다. 제1 전극(E1)은 복수로 제공될 수 있다. 복수의 제1 전극들 각각의 적어도 일부는 대응되는 개구부에 의해 노출될 수 있다.
- [0064] 제2 전극(E2)은 제1 전극(E1) 상에 배치된다. 제2 전극(E2)은 복수의 제1 전극들 및 제1 무기층(LIL)에 중첩하는 일체의 형상을 가질 수 있다. 유기발광소자(ED)가 복수로 제공될 때 제2 전극(E2)은 유기발광소자들마다 동일한 전압을 가질 수 있다. 이에 따라 제2 전극(E2)을 형성하기 위해 별도의 패터닝 공정이 생략될 수 있다. 한편, 이는 예시적으로 도시한 것이고, 제2 전극(E2)은 개구부들 각각에 대응되도록 복수로 제공될 수도 있다.
- [0065] 발광층(EL)은 제1 전극(E1)과 제2 전극(E2) 사이에 배치된다. 발광층(EL)은 복수로 제공되어 개구부들 각각에 배치될 수 있다. 유기발광소자(ED)는 제1 전극(E1) 및 제2 전극(E2) 사이의 전위차에 따라 발광층(EL)을 활성화시켜 광을 생성할 수 있다.
- [0066] 전하 제어층(OL)은 제1 전극(E1)과 제2 전극(E2) 사이에 배치된다. 전하 제어층(OL)은 발광층(EL)에 인접하여 배치된다. 본 실시예에서, 전하 제어층(OL)은 발광층(EL)과 제2 전극(E2) 사이에 배치된 것으로 도시되었다. 다만, 이는 예시적으로 도시한 것이고, 전하 제어층(OL)은 발광층(EL)과 제1 전극(E1) 사이에 배치될 수도 있고, 발광층(EL)을 사이에 두고 제3 방향(DR3)을 따라 적층되는 복수의 층들로 제공될 수도 있다.
- [0067] 전하 제어층(OL)은 별도의 패터닝 공정 없이 베이스 기판(BS) 전면에서 중첩하는 일체의 형상을 가질 수 있다. 전하 제어층(OL)은 화소 정의막(PLE)에 형성된 개구부들 이외의 영역에도 배치될 수 있다. 전하 제어층(OL)은 전자의 이동을 제어함으로써 발광 효율을 향상시킬 수 있다. 전하 제어층(OL)은 전자 수송층 및 전자 주입층을 포함할 수 있다.
- [0068] 봉지층(TFE)은 유기발광소자(ED) 상에 배치된다. 봉지층(TFE)은 무기층 및/또는 유기층을 포함할 수 있다. 본 실시예에서, 봉지층(TFE)은 제1 무기층(LIL), 유기층(OEL), 및 제2 무기층(UIL)을 포함할 수 있다.
- [0069] 제1 무기층(LIL)과 제2 무기층(UIL) 각각은 무기물을 포함할 수 있다. 예를 들어, 제1 무기층(LIL)과 제2 무기층(UIL) 각각은 알루미늄 산화물, 실리콘 산화물, 실리콘 질화물, 실리콘 산질화물, 실리콘 탄화물, 티타늄 산화물, 지르코늄 산화물, 및 아연 산화물 중 적어도 어느 하나를 포함할 수 있다. 제1 무기층(LIL)과 제2 무기층(UIL)은 서로 동일하거나 상이한 물질을 포함할 수 있다.
- [0070] 유기층(OEL)은 제1 무기층(LIL)과 제2 무기층(UIL) 사이에 배치될 수 있다. 유기층(OEL)은 유기물을 포함할 수 있다. 예를 들어, 유기층(OEL)은 에폭시(epoxy), 폴리이미드(PI), 폴리에틸렌 테레프탈레이트(PET), 폴리카보네

이트(PC), 폴리에틸렌(polyethylene: PE), 및 폴리아크릴레이트(polyacrylate) 중 적어도 어느 하나를 포함할 수 있다.

- [0071] 제1 무기층(LIL)과 제2 무기층(UIL)은 평면상에서 표시 패널(DP)의 전면에 배치되는 일체의 형상을 가질 수 있다. 제1 무기층(LIL) 및 제2 무기층(UIL) 각각은 유기층(OEL)과 부분적으로 중첩할 수 있다. 이에 따라, 제1 무기층(LIL) 및 제2 무기층(UIL)은 일부 영역에서는 유기층(OEL)을 사이에 두고 제3 방향(DR3)에서 서로 이격될 수 있고, 다른 일부 영역에서는 제3 방향(DR3)에서 직접 접촉할 수 있다. 봉지층(TFE)는 유기발광소자(ED)를 밀봉하여 외부에서 유입되는 이물질로부터 유기발광소자(ED)를 보호할 수 있다.
- [0072] 한편, 표시 패널(DP)은 댄 부(DMP)를 더 포함할 수 있다. 댄 부(DMP)는 표시 영역(DA)의 가장 자리를 따라 연장될 수 있다. 댄 부(DMP)는 표시 영역(DA)을 에워싸거나 표시 영역(DA)의 적어도 일 측, 예를 들어 패드(미도시)나 구동 회로(미도시)와 인접한 측에 배치될 수 있다.
- [0073] 댄 부(DMP)는 유기층(OEL)을 형성하는 과정에서 액상의 유기물질이 퍼지는 영역을 정의할 수 있다. 유기층(OEL)은 액상의 유기물질을 제1 무기층(LIL) 상에 도포하는 잉크젯 방식으로 형성할 수 있는데, 이때, 댄 부(DMP)는 액상의 유기물질이 배치되는 영역의 경계를 설정하고, 액상의 유기물질이 댄 부(DMP) 외측으로 넘치는 것을 방지한다.
- [0074] 모듈 홀(HM)은 홀 영역(PA)에 배치된다. 모듈 홀(HM)은 베이스 기관(BS)을 관통하여 형성될 수 있다. 모듈 홀(HM)은 베이스 기관(BS), 하부 절연층(IC), 전하 제어층(OL), 제1 무기층(LIL), 및 제2 무기층(UIL)의 일부가 제거되어 형성될 수 있다.
- [0075] 모듈 홀(HM)은 표시 패널(DP)의 구성 중 관통된 구성의 끝 단들로 정의될 수 있다. 예를 들어, 베이스 기관의 끝 단, 하부 절연층의 끝 단, 전하 제어층의 끝 단(OL), 제1 무기층의 끝 단, 및 제2 무기층의 끝 단들이 각각이 정렬되어 모듈 홀(HM)의 내면(GE)을 정의할 수 있다.
- [0076] 차단 홈(BR)은 홀 영역(PA)에 배치된다. 차단 홈(BR)은 절연층들 중 일부가 제거되어 관통된 영역일 수 있다. 차단 홈(BR)은 절연층들 식각 하는 과정 중 형성된 언더 컷(under-cut) 형상을 가질 수 있다. 본 발명에 따른 차단 홈(BR)은 층간 절연층(IH)이 관통되어 형성될 수 있다. 층간 절연층(IH)가 관통됨에 따라, 하부 절연층(IC)의 일부가 노출될 수 있다. 도 4a에는 하부 절연층(IC) 중 제2 절연층(IL2)의 일부가 노출되어 형성된 차단 홈(BR)을 도시 하였다. 차단 홈(BR)의 내면은 제1 무기층(LIL)에 의해 커버될 수 있다.
- [0077] 본 실시예에서, 층간 절연층(IH)이 관통됨에 따라 일부가 노출된 제2 절연층(IL2)의 상면의 일부(OL-P: 도 5a 참조)에는 추가 패턴부(OL-P)가 배치될 수 있다. 추가 패턴부(OL-P)는 차단 홈(BR)형성 공정 후, 전하 제어층(OL)을 증착하는 과정 중 형성될 수 있다. 본 실시예에는, 전하 제어층(OL)과 동일한 물질을 포함하는 추가 패턴부(OL-P)를 설명하였으나, 이에 한정되는 것은 아니며, 유기발광소자(ED)의 증착하는 과정 중 제공되는 증착 물질이면 이에 한정되지 않는다.
- [0078] 본 발명에 따르면, 모듈 홀(HM)을 에워싸는 차단 홈(BR)이 박막 트랜지스터(TR)을 커버하는 층간 절연층(IH)에 형성됨으로써, 베이스 기관(BS)이 리지드한 경우에도 차단 홈(BR)로 유입되는 수분 및 산소를 용이하게 차단할 수 있다.
- [0079] 도 4a도시된 것과 같이, 차단 홈(BR)의 내부에 배치되는 충전 부재(FM)을 더 포함한다. 예를 들어 따라서, 충전 부재(FM)는 제1 무기층(LIL)과 접촉할 수 있다. 충전 부재(FM)는 유기물로 구성되어 차단 홈(BR)의 내부 공간을 용이하게 충전할 수 있다. 예를 들어, 충전 부재(FM)는 유기층(OEL)과 동일한 물질을 포함할 수 있다.
- [0080] 이에 따라, 유기층(OEL)과 충전 부재(FM)를 하나의 공정을 통해 동시에 형성할 수 있어 공정이 단순화되고 공정 비용이 절감될 수 있다. 다만, 이는 예시적으로 기재한 것이고, 충전 부재(FM)는 유기층(OEL)과 상이한 물질로 유기층(OEL) 형성 공정으로부터 독립적으로 형성될 수도 있으며, 어느 하나의 실시예로 한정되지 않는다.
- [0081] 도 4b를 참조하면, 도 4a와 달리 차단 홈(BR) 내부는 빈 공간으로 제공될 수 있다. 즉, 차단 홈(BR) 내부에는 충전 부재(FM)가 배치되지 않고 제1 무기층(LIL)에 의해 커버될 수 있다.
- [0082] 도 5a 및 도 5b는 도 4a의 홀 영역을 확대하여 도시한 단면도들이다. 도 5a는 설명의 편의를 위해 도 4a에 도시된 차단 홈(BR)의 구성 중 충전 부재(FM), 제1 무기층(LIL), 및 제2 무기층(UIL)을 생략하여 도시되었다.
- [0083] 차단 홈(BR)의 언더 컷 형상은 패턴부(PB) 및 개구부(PO)에 의해 정의될 수 있다. 패턴부(PB)는 층간 절연층(IH)이 관통되어 노출된 제2 절연층(IL2)의 상면의 일부(IL2-T) 및 상면의 일부(IL2-T)와 연결된 층간 절연층

(IH)의 내측면(PB-S)에 의해 형성될 수 있다.

- [0084] 개구부(PO)는 패턴부(PB)와 평면상에서 중첩한다. 개구부(PO)는 패턴 전극(PE)에 의해 형성될 수 있다. 개구부(PO)는 패턴 전극(PE)을 관통하여 정의된 것일 수 있다. 일 실시예에 따른 개구부(PO)의 평면적 이하일 수 있다.
- [0085] 본 발명에 따른 패턴 전극(PE)은 제1 전극(E1: 도 4a 참조)과 동일 층 상에 배치될 수 있다. 패턴 전극(PE)은 제1 전극(E1)과 동일한 물질을 포함할 수 있다. 즉, 패턴 전극(PE)은 제1 전극(E1)의 형성 과정 중 홀 영역(PA)에 도포되어 형성된 것일 수 있다.
- [0086] 본 발명에 따른 패턴 전극(PE) 상에는 제어 전하층(OL)이 배치될 수 있다. 홀 영역(PA)에 배치된 전하 제어층(OL)은 개구부(PO)와 비 중첩 하게 배치될 수 있다.
- [0087] 패턴부(PB)의 내측면들은 제2 방향(DR2)에서 제1 폭(W1)을 가진다. 개구부(PO)는 제2 방향(DR2)에서 제2 폭(W2)을 가진다. 일 실시예에서 제2 폭(W2)은 제1 폭(W1)보다 작을 수 있다. 따라서, 개구부(PO)를 제공하는 패턴 전극(PE)은 내측면(PB-S)로부터 돌출된 형상을 가짐으로써, 차단 홈(BR)은 언더 컷 형상을 가질 수 있다.
- [0088] 본 발명의 실시예에 따르면, 차단 홈(BR)이 형성된 표시 패널(DP)은 패턴 전극(PE) 및 전하 제어층(OL) 각각의 일부로 이루어진 팁 부(TP)를 포함한다. 팁 부(TP)는 패턴부(PB)의 내측면(PB-S)으로부터 돌출된 영역으로 정의될 수 있다. 팁 부(TP)는 공정 과정 중 언더 컷에 의해 형성된 것일 수 있다. 패턴 전극(PE)은 상대적으로 전하 제어층(OL)보다 리지드 함으로써, 전하 제어층(OL)의 일부는 패턴부(PB)로 함몰되지 않고 패턴 전극(PE)에 의해 지지될 수 있다. 따라서, 패턴 전극(PE) 및 패턴 전극(PE) 상에 배치된 전하 제어층(OL) 각각의 일부는 차단 홈(BR)의 팁 부(TP)를 구성할 수 있다.
- [0090] 도 5b는 도 5a에 도시된 구성에 충전 부재(FM), 제1 무기층(LIL), 및 제2 무기층(UIL)를 추가하여 도시되었다.
- [0091] 제1 무기층(LIL)은 차단 홈(BR)의 내면을 커버할 수 있다. 따라서, 제1 무기층(LIL)은 차단 홈(BR)을 정의하는 구성들에 직접적으로 접촉한다.
- [0092] 충전 부재(FM)는 차단 홈(BR)에 배치된다. 보다 상세하게는 제1 무기층(LIL)에 의해 커버된 차단 홈(BR)의 내부에 배치된다.
- [0093] 충전 부재(FM)는 차단 홈(BR)의 내부를 둘러싸는 제1 무기층(LIL)과 접촉한다. 충전 부재(FM) 및 제1 무기층(LIL)은 제2 무기층(UIL)에 의해 커버된다. 예를 들어, 충전 부재(FM)의 상면(FM-U) 및 상면(FM-U)과 인접한 제1 무기층(LIL)의 상면(LIL-U)은 제2 무기층(UIL)에 의해 커버된다. 따라서, 일 실시예에 따르면 차단 홈(BR)과 인접한 제1 무기층(LIL)의 상면(LIL-U)은 제2 무기층(UIL)과 직접 접촉된다.
- [0094] 본 발명의 충전 부재(FM)는 차단 홈(BR)의 내부에 배치되어 팁 부(TP)를 지지한다. 충전 부재(FM)가 팁 부(TP)를 지지함으로써 충격 강도가 향상된 표시 패널(DP)을 제공할 수 있다.
- [0095] 또한, 본 발명에 따른 표시 패널(DP)은, 차단 홈(BR)의 패턴부(PB)를 이루는 제2 절연층(IL2)의 상면의 일부(IL2-T) 및 패턴부(PB)로부터 돌출된 패턴 전극(PE)의 일부를 제1 무기층(LIL)으로 에워싸므로, 모듈 홀(HM)으로부터 유입되는 수분 및 산소를 차단할 수 있어 신뢰성이 향상된 표시 패널(DP)을 제공할 수 있다.
- [0097] 도 6a 내지 도 6c는 본 발명에 따른 표시 패널의 일 부분을 도시한 단면도이다. 도 1 내지 도 5b에 동일한 구성에 대하여는 유사한 참조 부호를 사용하며, 중복된 설명은 생략한다.
- [0098] 도 6a를 참조하면, 도 5a에 도시된 차단 홈(BR)과 달리, 패턴부(PB-1)는 제3 방향(DR3)을 따라 변화되는 너비를 가진 관통부로 제공될 수 있다. 패턴부(PB-1)는 내측면(PB-SC)을 포함한다.
- [0099] 도 6b를 참조하면, 본 발명의 일 실시예에 따르면, 도 5a에 도시된 것과 달리, 유기 패턴(OL-P: 도 5a 참조)은 생략될 수도 있다. 따라서, 제1 무기층(LIL-2)은 차단 홈(BR-2)에 의해 노출되는 제2 절연층(IL2-2)의 상면의 일부(IL2-T2)의 전면을 커버할 수 있다.
- [0100] 도 6c를 참조하면, 도 6b와 달리, 패턴 전극(PE-3)의 상면(PE-U3)은 제1 무기층(LIL-3)에 직접 배치될 수 있다. 따라서, 차단 홈(BR-3)과 인접한 패턴 전극(PE-3) 상에는 전하 제어층(OL)이 생략될 수 있다.

- [0101] 도 6a 내지 도 6c의 실시예는 제1 무기층(LIL-1, LIL-2, LIL-3)과 접촉하는 충전 부재(FM-1, FM-2, FM-3)를 도시하였으나, 이에 한정되는 것은 아니며, 도 5b의 실시예와 같이 충전 부재(FM-1, FM-2, FM-3)는 생략될 수도 있다.
- [0103] 도 7 내지 도 9b는 본 발명의 일 실시예에 따른 표시 패널의 일 부분을 도시한 단면도이다. 도 1 내지 도 5b에 동일한 구성에 대하여는 유사한 참조 부호를 사용하며, 중복된 설명은 생략한다.
- [0104] 도 7을 참조하면, 일 실시예에 따른 표시 패널(DP-B)은 제2 차단 홈(BR2)을 더 포함한다. 제1 차단 홈(BR1)은 도 4a에 설명한 차단 홈(BR)과 대응될 수 있다. 일 실시예에 따른 홀 영역(PA)에는 유기층(OEL)의 일부가 중첩될 수 있다.
- [0105] 본 실시예에 따른 제2 차단 홈(BR2)은 평면상에서 제1 차단 홈(BR1)과 유기발광소자(ED) 사이에 배치될 수 있다. 제2 차단 홈(BR2)은 제1 차단 홈(BR1)과 이격되어 배치된다. 제2 차단 홈(BR2)은 제1 차단 홈(BR1)과 동일층에 형성될 수 있다. 따라서, 제2 차단 홈(BR2)은 층간 절연층(IH)을 관통하여 제2 절연층(IL2)의 일부를 노출 시키며 형성될 수 있다.
- [0106] 제2 차단 홈(BR2)의 내면은 제1 무기층(LIL)에 의해 커버될 수 있다. 제2 무기층(UIL)에 의해 커버된 제2 차단 홈(BR2)은 유기층(OEL)에 의해 충전될 수 있다. 따라서, 제1 차단 홈(BR1)에 배치된 충전 부재(FM)는 제2 차단 홈(BR2)에 충전된 유기층(OEL)과 동일한 물질을 포함한다. 층간 절연층(IH)이 관통됨에 따라 일부가 노출된 제2 절연층(IL2) 상에는 추가 패턴부(OL-P)가 배치될 수 있다.
- [0107] 도 8을 참조하면, 일 실시예에 따른 표시 패널(DP-C)은 제3 차단 홈(BR3)을 더 포함한다. 제1 차단 홈(BR1)은 도 4a에 설명한 차단 홈(BR)과 대응될 수 있다.
- [0108] 본 실시예에 따른 제3 차단 홈(BR3)은 모듈 홀(HM) 및 제1 차단 홈(BR1) 사이에 배치될 수 있다. 제3 차단 홈(BR3)은 제1 차단 홈(BR1)과 이격되어 배치된다.
- [0109] 제3 차단 홈(BR3)은 제1 차단 홈(BR1)과 동일층에 배치된다. 따라서, 제3 차단 홈(BR3)은 층간 절연층(IH)을 관통하여 제2 절연층(IL2)의 일부를 노출 시키며 형성될 수 있다.
- [0110] 제3 차단 홈(BR3)의 내면은 제1 무기층(LIL)에 의해 커버될 수 있다. 제3 차단 홈(BR3)의 내면을 커버하는 제1 무기층(LIL1)의 내면은 제2 무기층(UIL)에 의해 커버될 수 있다.
- [0111] 도 9a를 참조하면, 일 실시예에 따른 표시 패널(DP-D)은, 제1 차단 홈(BR1), 제2 차단 홈(BR2), 및 제3 차단 홈(BR3)을 더 포함한다. 제1 차단 홈(BR1)은 도 4a에 설명한 차단 홈(BR)과 대응되며, 제2 차단 홈(BR2) 및 제3 차단 홈(BR3)은 도 8의 제2 차단 홈(BR2) 및 도 9a의 제3 차단 홈(BR3)와 각각 대응될 수 있다. 설명의 편의를 위하여 충전 부재(FM) 및 차단 홈(BR)의 내부에 배치된 추가 패턴부(OL-P)를 생략하였다.
- [0112] 도 9b는 도 9a의 일 영역의 평면도를 도시하였다. 도 9b를 참조하면, 홀 영역(PA)은 모듈 홀(MH) 및 모듈 홀(HM)을 에워싸는 차단 홈들(BR1, BR2, BR3)이 정의된 영역일 수 있다. 일 실시예에 따른 표시 패널(DP)은 적어도 하나의 모듈 홀(MH)을 포함할 수 있다. 홀 영역(PA)에는 제1 내지 제3 차단 홈들(BR1, BR2, BR3)이 배치될 수 있다.
- [0113] 일 실시예에 따른 홀 영역(PA)은 제1 내지 제3 차단 홈들(BR1, BR2, BR3)을 에워싸는 원형상으로 정의될 수 있다. 홀 영역(PA)에는 유기층(OEL)의 일부가 중첩할 수 있다.
- [0114] 도시되지 않았으나, 도 7의 차단 홈들(BR1, BR2)에 관한 평면도는 도 9b의 표시 패널(DP-D)에서 모듈 홀(MH)과 인접한 제3 차단 홈(BR3)이 제거된 형상일 수 있다. 또한, 도 8의 차단 홈들(BR1, BR3)에 관한 평면도는 도 9b의 표시 패널(DP-D)에서 표시 영역(DA)에 배치된 제2 차단 홈(BR2)이 제거된 형상일 수 있다. 도 7 내지 도 9a에는 단일의 제1 차단 홈(BR1) 내지 제3 차단 홈(BR3)을 도시하였으나, 이에 한정되는 것은 아니며, 제1 차단 홈(BR1) 내지 제3 차단 홈(BR3) 각각은 복수로 제공될 수 있으며, 어느 하나의 실시예로 한정되지 않는다.
- [0115] 본 발명에 따른 표시 패널(DP-B, DP-C, DP-D)은, 제1 무기층(LIL)이 차단 홈들을 구성하는 제2 절연층(IL2)의 상면의 일부(IL2-T) 및 돌출된 패턴 전극(PE)의 일부와 직접적으로 접촉함으로써, 외부로부터 유입되는 수분 및 산소의 이동 경로를 차단할 수 있다. 따라서, 신뢰성이 향상된 표시 패널을 제공할 수 있다.

- [0117] 도 10a 내지 도 10c는 본 발명의 일 실시예에 따른 홀 영역들을 도시한 평면도들이다. 도 1 내지 도 9b에 동일한 구성에 대하여는 유사한 참조 부호를 사용하며, 중복된 설명은 생략한다.
- [0118] 도 10a 내지 도 10b에는 도 9b에 대응되는 제1 내지 제3 차단 홈들의 평면상에서 형상을 간략히 도시하였다. 도 10a 내지 도 10b에는 3개의 차단 홈들에 의해 형성된 폐곡선의 형상을 도시하였으나, 이에 한정되는 것은 아니며, 차단 홈의 개수에 따라 폐곡선의 개수 또한 변동될 수 있다. 도 10a에 도시된 것과 같이, 홀 영역(PA1)은 모듈 홀(MH-S1) 및 차단 홈들(BR1-S1, BR2-S1, BR3-S1)을 포함할 수 있다. 도 10a에 도시된 차단 홈들(BR1-S1, BR2-S1, BR3-S1)은 도 9b에 도시된 차단 홈들(BR1, BR2, BR3)과 각각 대응될 수 있다.
- [0119] 모듈 홀(MH-S1)은 평면상에서 다각 형상을 가질 수 있다. 본 실시예에서, 모듈 홀(MH-S1)은 사각형으로 도시되었다. 이때, 모듈 홀(MH-S1)은 다각 기둥 형상으로 구현된다. 제1 차단 홈(BR1-S1), 제2 차단 홈(BR2-S1), 및 제3 차단 홈(BR3-S1)은 서로 이격 되어 배치된다.
- [0120] 차단 홈들(BR1-S1, BR2-S1, BR3-S1)은 모듈 홀(MH-S1)의 가장자리를 따라 형성된다. 본 발명의 일 실시예에 따라, 차단 홈들(BR1-S1, BR2-S1, BR3-S1)은 모듈 홀(MH-S1)과 대응되는 형상을 가질 수 있다. 이에 따라, 차단 홈들(BR1-S1, BR2-S1, BR3-S1)은 모듈 홀(MH-S1)을 에워싸는 사각 폐곡선의 평면 형상을 가질 수 있다.
- [0121] 또는, 도 10b에 도시된 것과 같이, 홀 영역(PA2)은 서로 상이한 형상을 가진 모듈 홀(MH-S2) 및 차단 홈들(BR1-S2, BR2-S2, BR3-S2)을 포함할 수 있다. 도 10b에 도시된 차단 홈들(BR1-S2, BR2-S2, BR3-S2)은 도 9a에 도시된 차단 홈들(BR1, BR2, BR3)과 각각 대응될 수 있다.
- [0122] 모듈 홀(MH-S2)은 평면상에서 원 형상을 가진 것으로 도시되었다. 차단 홈들(BR1-S2, BR2-S2, BR3-S2)은 모듈 홀(MH-S2)과 평면상에서 상이한 형상을 가질 수 있다. 본 실시예에서, 차단 홈들(BR1-S2, BR2-S2, BR3-S2)은 사각 폐곡선의 평면 형상을 가진 것으로 도시되었다. 다만 이에 한정되는 것은 아니며, 차단 홈들(BR1-S2, BR2-S2, BR3-S2)은 모듈 홀(MH-S2)에 인접하여 배치된다면 다양한 형상을 가질 수 있으며, 모듈 홀(MH-S2)의 형상과 대응되는 형상으로 한정되지 않는다.
- [0123] 또는, 도 10c에 도시된 것과 같이, 홀 영역(PA3)은 서로 상이한 형상을 가진 모듈 홀(MH-S3) 및 차단 홈들(BR1-S3, BR2-S3, BR3-S3)을 포함할 수 있다. 도 10c에 도시된 차단 홈들(BR1-S3, BR2-S3, BR3-S3)은 도 9a에 도시된 차단 홈들(BR1, BR2, BR3)과 각각 대응될 수 있다. 이때, 차단 홈들(BR1-S3, BR2-S3, BR3-S3)은 평면상에서 팔각 폐곡선의 형상을 가진 것으로 도시되었다.
- [0124] 본 발명에 따르면, 차단 홈들(BR1-S3, BR2-S3, BR3-S3)은 평면상에서 갖는 폐곡선의 형상이 모듈 홀(MH-S3)의 평면상에서의 형상과 유사한 형상을 가질수록 차단 홈들(BR1-S3, BR2-S3, BR3-S3)과 모듈 홀(MH-S3) 사이의 공간의 면적은 감소될 수 있다. 이에 따라, 표시 영역(DA: 도 2a 참조) 내에 구비되는 홀 영역(PA3)이 차지하는 면적을 감소시킬 수 있어, 홀 영역(PA3)이 표시 영역(DA)에 미치는 영향을 저하시킬 수 있다.
- [0126] 도 11a 내지 도 11f는 본 발명의 일 실시예에 따른 표시 패널 제조 방법을 도시한 단면도들이다. 도 1 내지 도 9a에 동일한 구성에 대하여는 유사한 참조 부호를 사용하며, 중복된 설명은 생략한다.
- [0127] 도 11a에 도시된 것과 같이, 베이스 기판(BS) 상에는 제1 절연층(IL1)이 도포될 수 있다. 제1 절연층(IL1)은 도 4a에 도시된 것과 같이, 제1 절연층(IL1)은 제어 전극(CE) 및 반도체 패턴(SL) 사이에 형성될 수 있다. 따라서, 제1 절연층(IL1)은 제어 전극(CE)과 반도체 패턴(SL)을 전기적으로 절연 시킨다. 제2 절연층(IL2)은 제1 절연층(IL2) 상에 도포될 수 있다. 본 발명에 따른 제2 절연층(IL2)은 입력 전극(IE)과 출력 전극(OE) 및 제어 전극(CE) 사이에 형성될 수 있다. 따라서, 제2 절연층(IL2)은 입력 전극(IE)과 출력 전극(OE) 및 제어 전극(CE)을 전기적으로 절연 시킨다.
- [0128] 본 발명에 따른 초기 층간 절연층(IHA)은 제2 절연층(IL2) 상에 형성될 수 있다. 평면상에서 초기 층간 절연층(IHA)은 홀 영역(PA)의 일부와 중첩하게 형성될 수 있다. 따라서, 초기 층간 절연층(IHA)은 표시 영역(DA)에서부터 홀 영역(PA)의 일부까지 연장되어 형성될 수 있다. 이에 따라, 초기 층간 절연층(IHA) 중 홀 영역(PA)에 중첩하는 일 부분을 에칭공정에 의해 제거할 수 있다. 본 발명에 따른 에칭 공정은 플라즈마 에칭(plasma ashing) 공정을 이용할 수 있다.
- [0129] 이후, 도 11b에 도시된 것과 같이, 베이스 기판(BS) 상에는 패턴 전극(PE)이 형성될 수 있다. 패턴 전극(PE) 상에는 전하 제어층(OL)이 도포될 수 있다. 본 실시예에 따른 패턴 전극(PE) 및 전하 제어층(OL)은 도 4a에 도시

된 박막 트랜지스터(TR)를 이루는 구성 동일한 물질을 포함할 수 있다.

- [0130] 패턴 전극(PE)은 도 4a의 층간 절연층(IH) 상에 제1 전극(E1)을 증착하는 공정 중 형성된 것을 수 있다. 전하 제어층(OL)은 유기물을 증착하여 형성될 수 있다. 즉, 패턴 전극(PE) 및 전하 제어층(OL)은 표시 영역(DA) 및 홀 영역(PA)에 증착됨으로써 형성된 것일 수 있다. 전하 제어층(OL)은 제2 절연층(IL2)의 상면의 일부(IL2-T)의 적어도 일부에 증착되어 추가 패턴부(OL-P)가 형성될 수 있다.
- [0131] 본 실시예에는 전하 제어층(OL)과 동일 물질을 포함하는 추가 패턴부(OL-P)를 도시하였으나, 이에 한정되는 것은 아니며, 유기발광소자(ED)의 증착하는 과정 중 제공되는 증착 물질이면 이에 한정되지 않는다. 유기물 증착은 이방성을 가진다. 이에 따라, 유기물 중 일부는 내부 공간에 증착되어 패턴을 형성할 수 있다. 패턴은 제어층으로부터 단절된 형상을 가질 수 있다. 다만, 이는 예시적으로 도시한 것이고, 증착 공정의 시간, 속도 등에 따라, 패턴은 생략될 수도 있다.
- [0132] 이후, 도 11c에 도시된 것과 같이, 적어도 하나의 차단 홈(BR)이 형성된 예비 패널(DPA)을 제공된다.
- [0133] 차단 홈(BR)은 전하 제어층(OL), 패턴 전극(PE), 및 층간 절연층(IH)이 언더 컷 된 형상을 가질 수 있다. 차단 홈(BR)은 홀 영역(PA)과 중첩한다. 차단 홈(BR)은 식각이나 레이저 공정에 의해 형성될 수 있다. 예를 들어 식각 공정을 이용하는 경우, 식각 속도 차이에 의해 언더 컷 형상이 형성될 수 있다. 예를 들어, 레이저 공정을 이용하는 경우, 레이저 파장에 대한 반응성 차이에 의해 언더 컷 형상이 형성될 수 있다. 다만 이는 예시적으로 설명한 것이며, 무기물질 및/또는 유기물질을 제거하는 방법이면 어느 하나에 한정되지 않는다.
- [0134] 이후, 도 11d에 도시된 것과 같이, 제1 무기층(LIL)을 형성한다. 제1 무기층(LIL)은 화학 기상 증착(chemical vapor deposition)을 통해 베이스 기판(BS)의 전면적으로 형성될 수 있다. 무기층의 증착은 등방성을 가진다. 이에 따라, 차단 홈(BR)의 내부는 제1 무기층(LIL)에 의해 에워싸일 수 있다. 이에 따라, 차단 홈(BR)과 중첩하는 제1 무기층(LIL)은 차단 홈(BR)과 직접 접촉될 수 있다. 제1 무기층(LIL)은 언더컷 된 부분들에 접촉하여 안정적으로 형성될 수 있다
- [0135] 이후, 도 11e에 도시된 것과 같이, 제1 무기층(LIL)의 전면이 커버되도록 유기 물질을 도포하여 예비 유기층(OEL-A)을 형성할 수 있다. 예비 유기층(OEL-A)은 잉크젯 공정을 통해 형성될 수 있다. 이에 따라, 유기 물질은 액상으로 제공될 수 있으며, 유기 물질의 점도 등을 기반으로 차단 홈(BR)을 충전 시키며 도포될 수 있다.
- [0136] 이후, 도 11f에 도시된 것과 같이, 예비 유기층(OEL-A)의 일부분을 제거하여 유기층(OEL) 및 충전 부재(FM)를 형성할 수 있다. 예비 유기층(OEL-A)의 일부분의 제거는 에칭 공정에 의해 제거될 수 있다. 본 발명에 따른 에칭 공정은 플라즈마 에칭(plasma ashing) 공정을 이용할 수 있다. 에칭 공정에 의해 유기층(OEL)과 충전 부재(FM) 이외의 부분은 제거된다.
- [0137] 이에 따라, 홀 영역(PA)에 존재하던 예비 유기층(OEL-A) 중 차단 홈(BR)에 충전된 부분을 제외한 부분은 제거될 수 있다. 따라서, 홀 영역(PA) 중 차단 홈(BR)에 인접하는 제1 무기층(LIL) 상에는 예비 유기층(OEL-A)이 잔존하지 않는다. 에칭 공정 이후, 표시 영역(DA)에 대응되는 예비 유기층(OEL-A)은 봉지층(TFE)의 일 구성인 유기층(OEL)으로 형성될 수 있다
- [0138] 이후, 도 11g에 도시된 것과 같이, 베이스 기판(BS) 상에는 무기물을 포함한 제2 무기층(UIL)이 증착될 수 있다. 제2 무기층(UIL)은 화학 기상 증착(chemical vapor deposition)을 통해 베이스 기판(BS)의 전면에서 형성될 수 있다. 제2 무기층(UIL)은 베이스 기판(BS)의 전면에서 도포되어 유기층(OEL) 및 충전 부재(FM)가 커버되도록 형성될 수 있다. 제2 무기층(UIL)은 충전 부재(FM)의 상면(FM-U)과 접촉할 수 있다.
- [0139] 한편, 상술한 바와 같이, 차단 홈(BR)에 인접한 예비 유기층(OEL-A)이 에칭에 의해 제거됨에 따라, 제2 무기층(UIL)은 차단 홈(BR)에 인접하는 제1 무기층(LIL)의 상면(LIL-U)과 접촉되도록 형성될 수 있다. 이에 따라, 차단 홈(BR)에 인접하는 영역에서의 산소 및 수분의 이동 경로가 용이하게 차단될 수 있다.
- [0140] 이후, 도 11h에 도시된 것과 같이, 표시 영역(DA)의 홀 영역(PA)과 중첩하는 영역에 모듈 홀(HM)이 형성될 수 있다. 모듈 홀(HM)은 화소층(PL: 도 4a 참조)을 형성하는 과정 중 일 공정과 동일 공정에 의해 형성될 수 있다. 모듈 홀(HM)은 베이스 기판의 끝 단(BS-E), 제1 절연층의 끝 단(IL1-E), 제2 절연층의 끝 단(IL2-E), 전하 제어층의 끝 단(OL-E), 제1 무기층의 끝 단(LIL-E), 제2 무기층의 끝 단(UIL-E)들이 각각이 정렬된 내면(GE)으로 형성될 수 있다.
- [0141] 본 발명의 일 실시예에 따른 표시 패널 제조 방법은 봉지층(TFE)을 형성하는 유기층(OEL)을 형성하는 과정과 동시에 차단 홈(BR)의 내부를 지지하는 충전 부재(FM)를 형성함으로써 공정 효율을 증대시킬 수 있다. 또한, 상대

적으로 강도가 약한 언더 컷 형성의 차단 홈(BR)의 내부를 지지함으로써 충격 강도가 향상된 표시 패널을 제공할 수 있다. 또한, 모듈 홀(HM)과 인접한 제1 무기층(LIL) 및 제2 무기층(UIL)은 서로 접촉하여 형성됨으로써 외부로부터 유입되는 수분 및 산소를 보다 효율적으로 차단할 수 있다.

[0143] 이상에서는 본 발명의 바람직한 실시예를 참조하여 설명하였지만, 해당 기술 분야의 숙련된 당업자 또는 해당 기술 분야에 통상의 지식을 갖는 자라면, 후술될 특허청구범위에 기재된 본 발명의 사상 및 기술 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다.

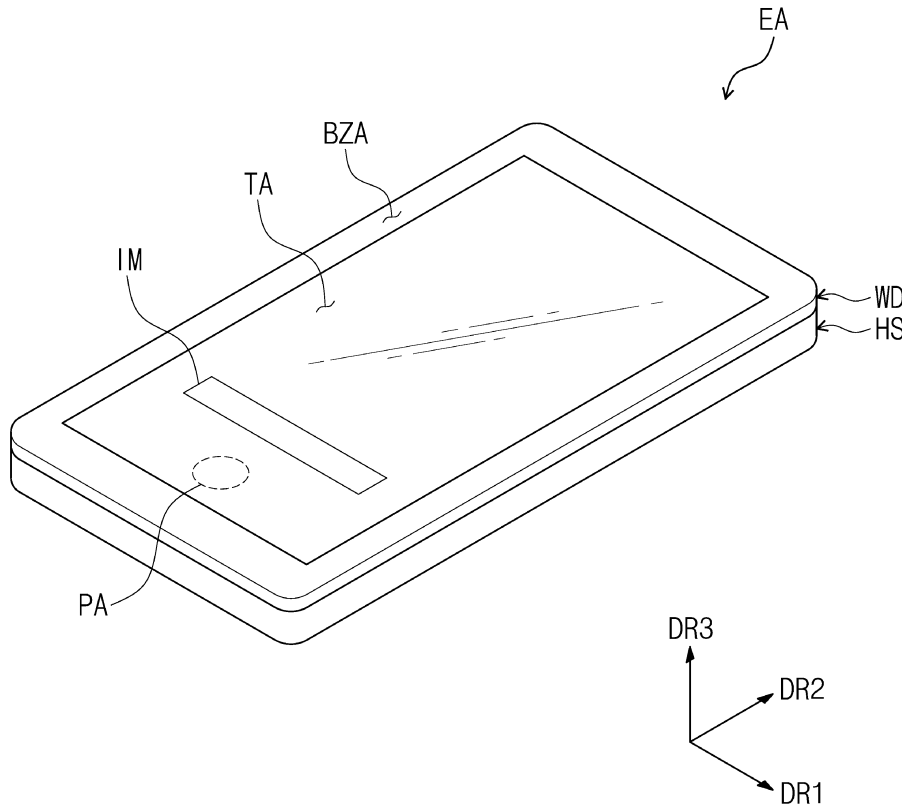
[0144] 따라서, 본 발명의 기술적 범위는 명세서의 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허청구범위에 의해 정하여져야만 할 것이다.

부호의 설명

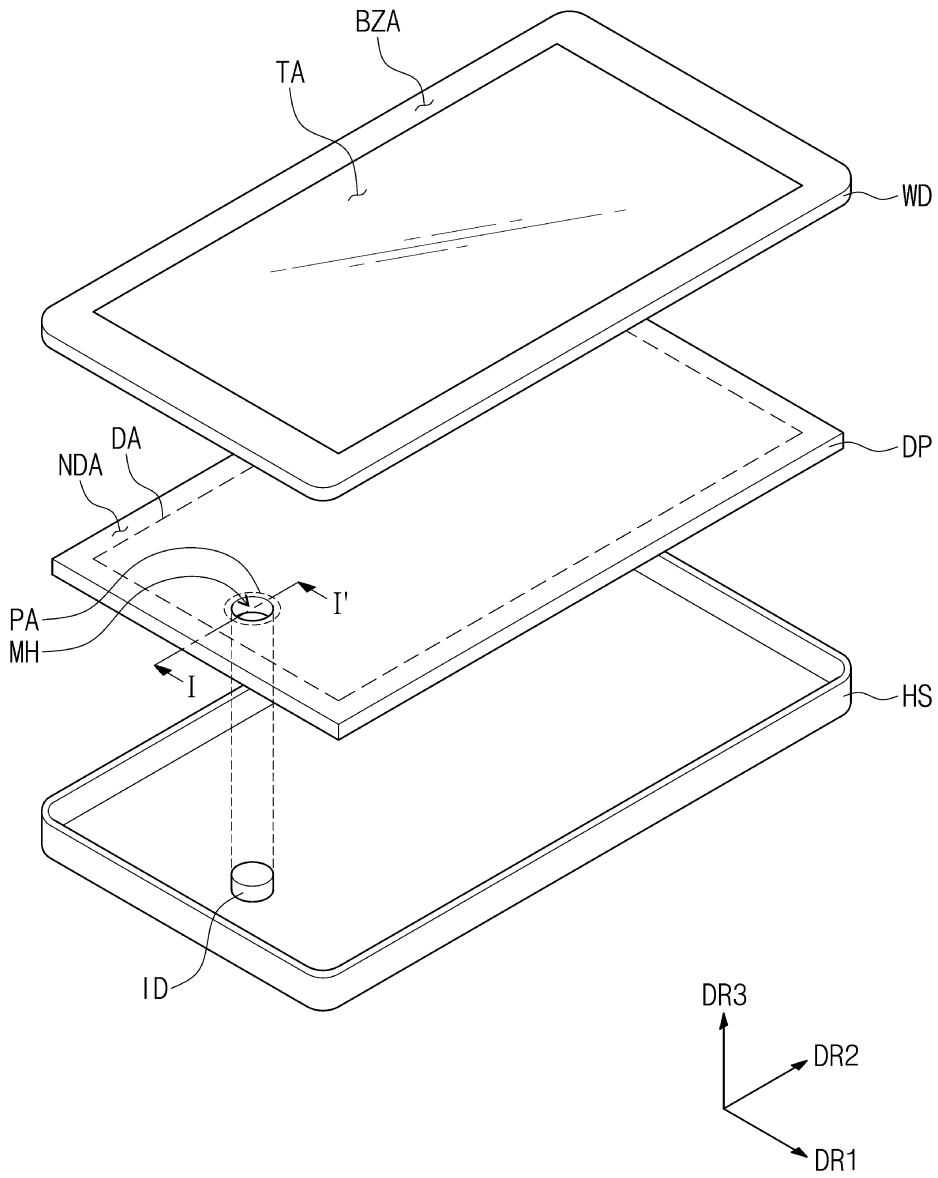
- [0145] DP: 표시 패널 PA: 홀 영역
MH: 모듈 홀 BR: 차단 홈
DMP: 격벽 부재 FM: 충전 부재
OL: 전하 제어층 TP: 텅 부

도면

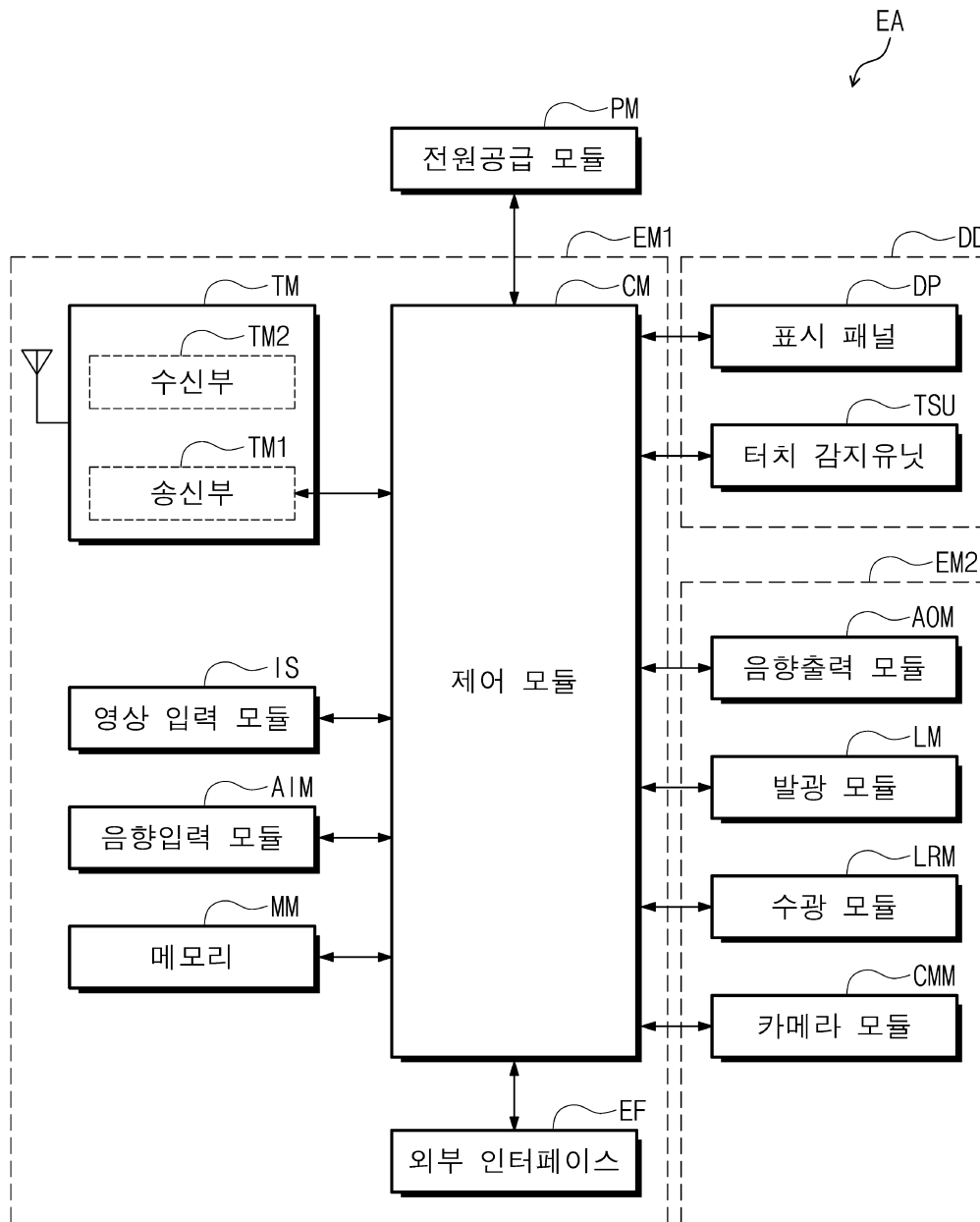
도면1



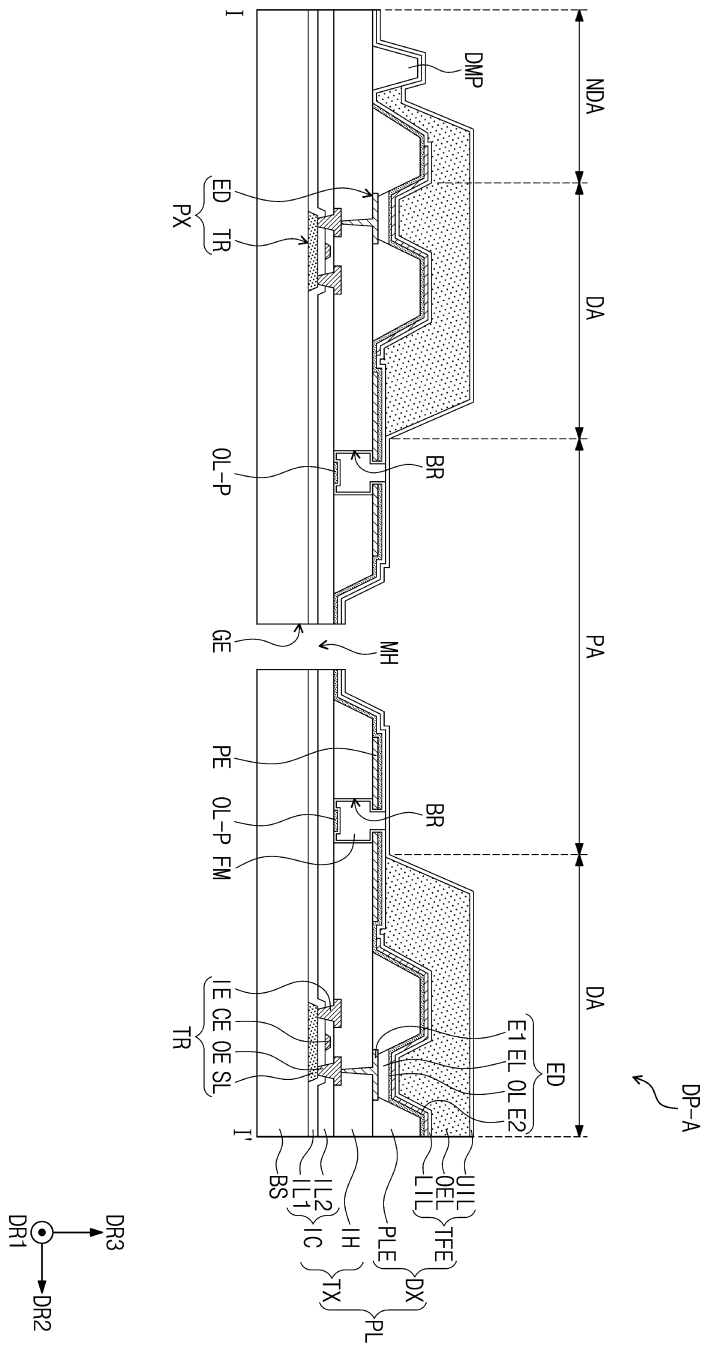
도면2



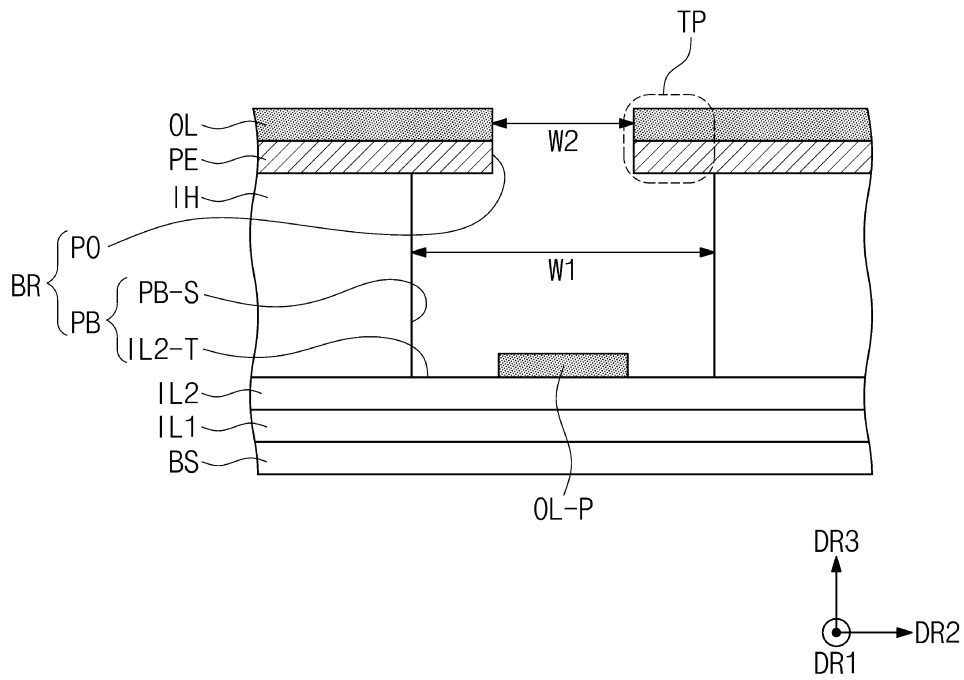
도면3



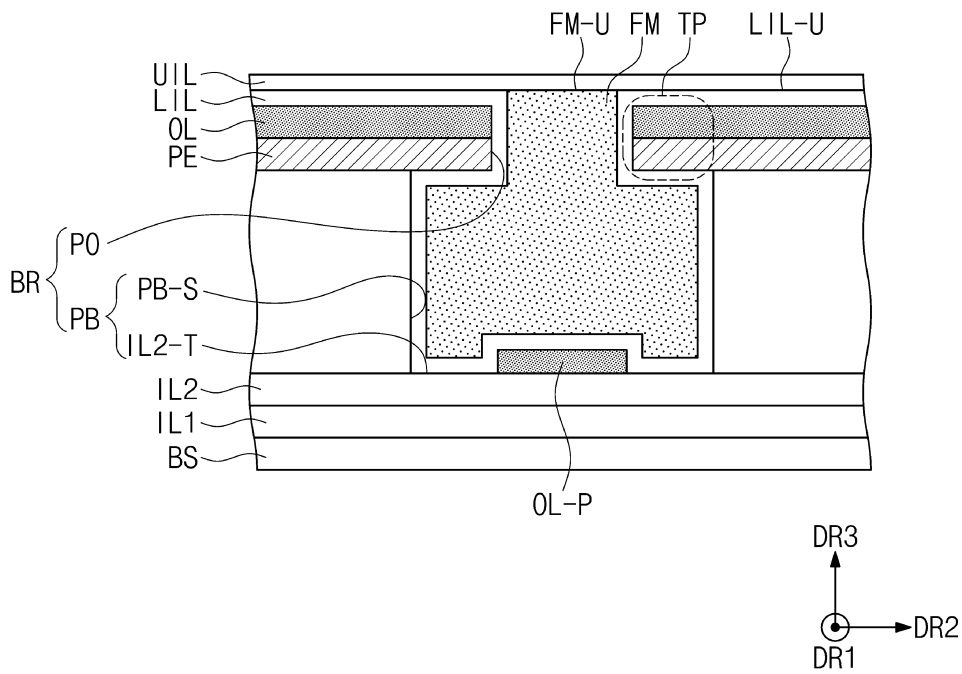
도면4b



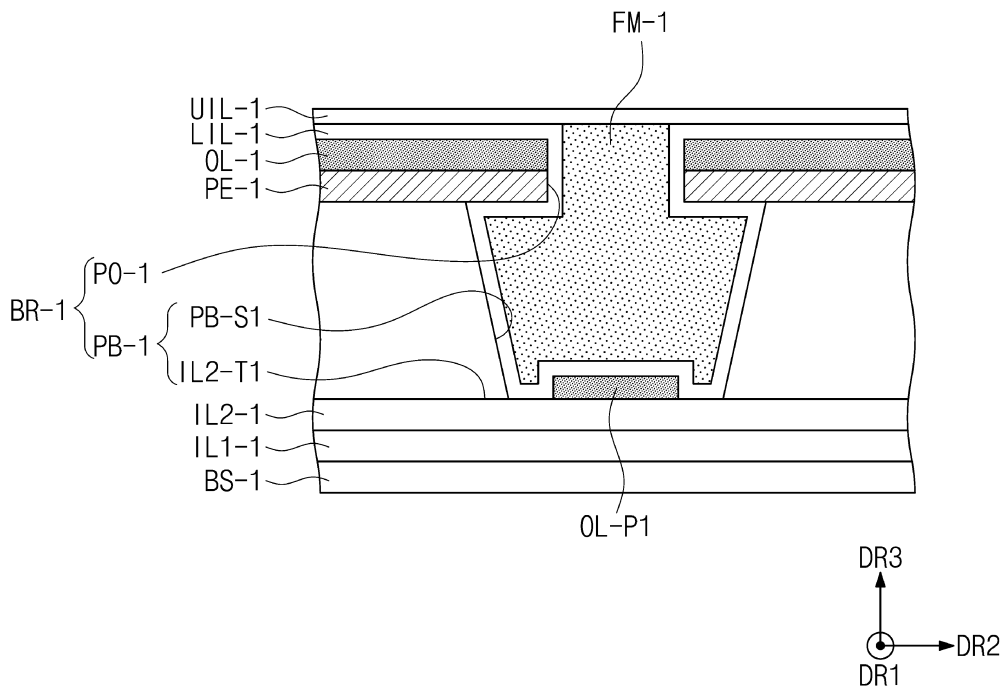
도면5a



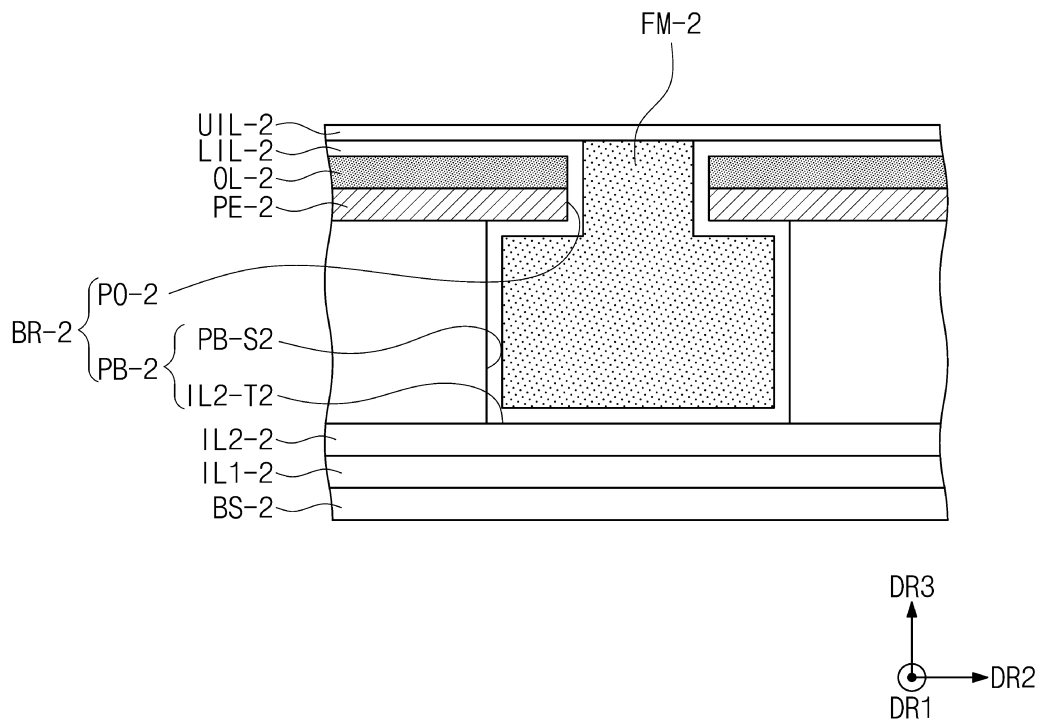
도면5b



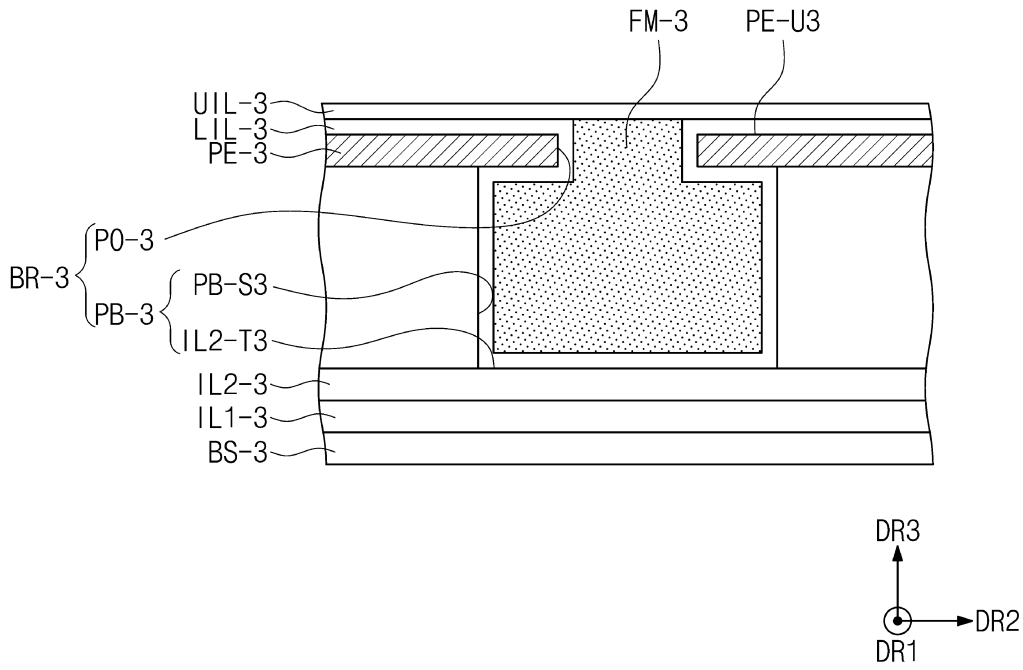
도면6a



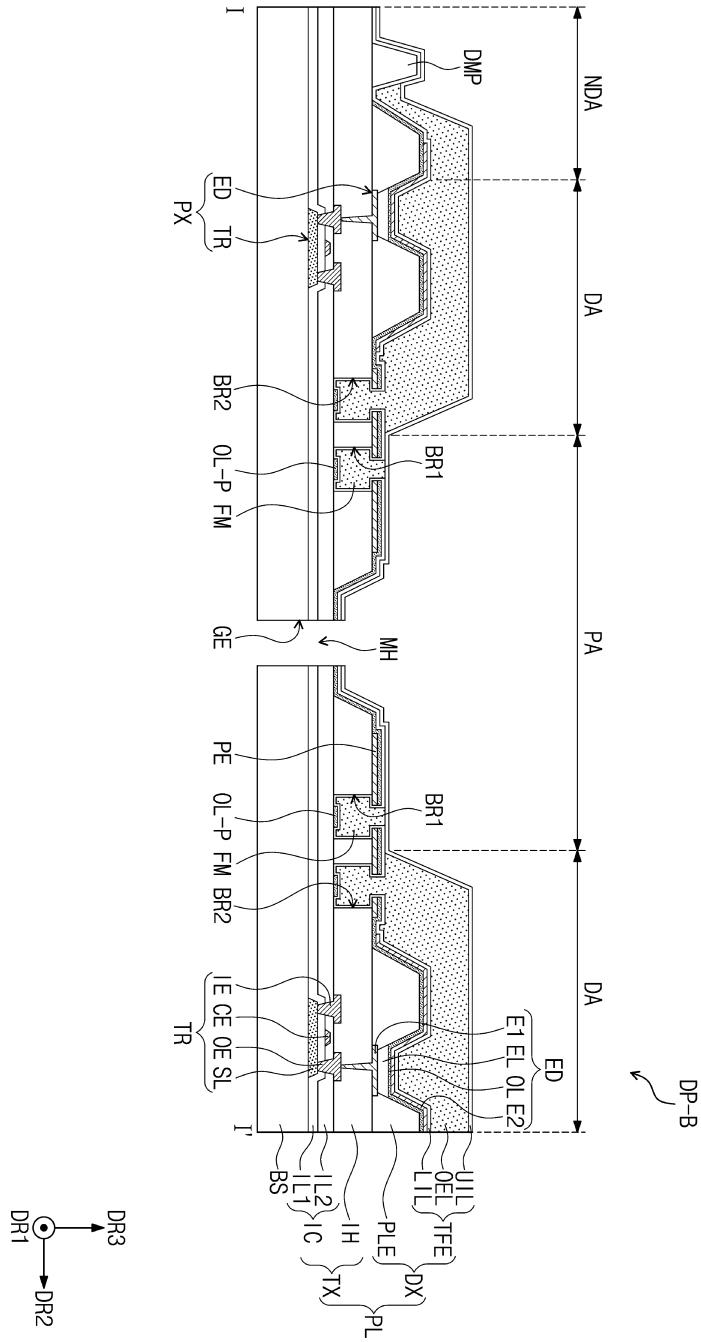
도면6b



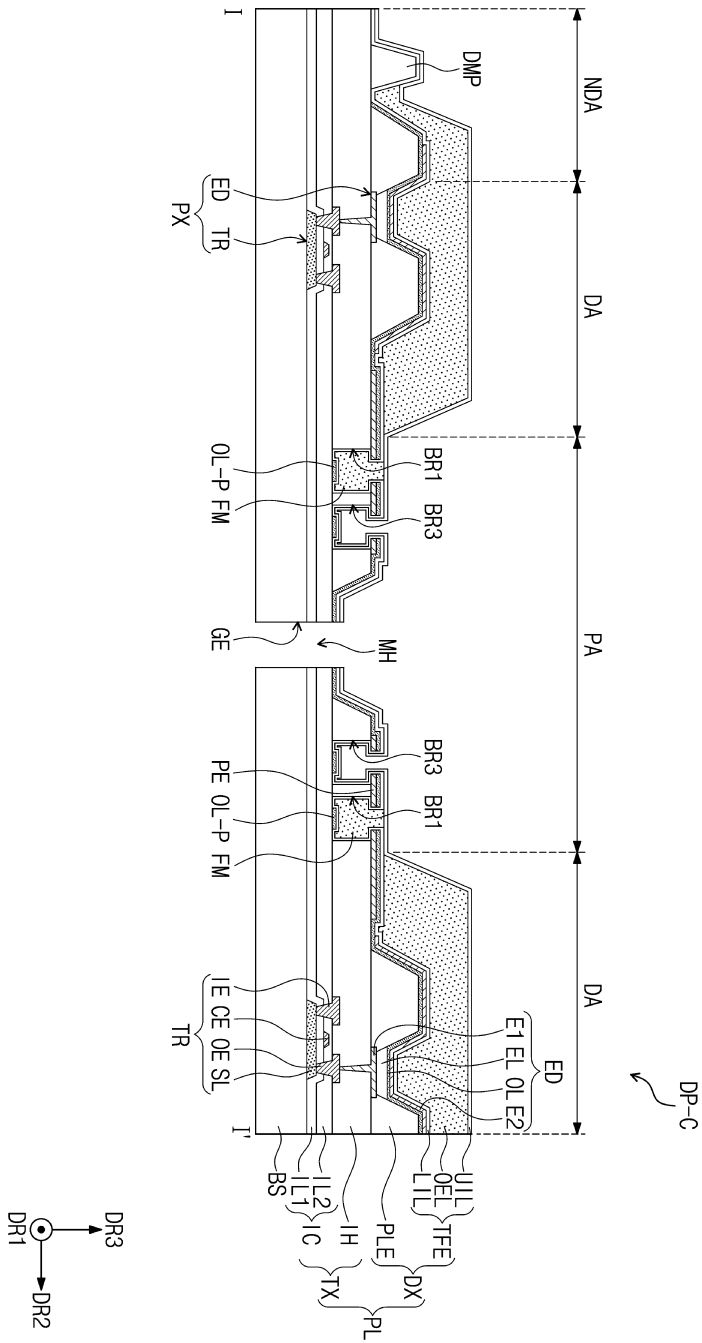
도면6c



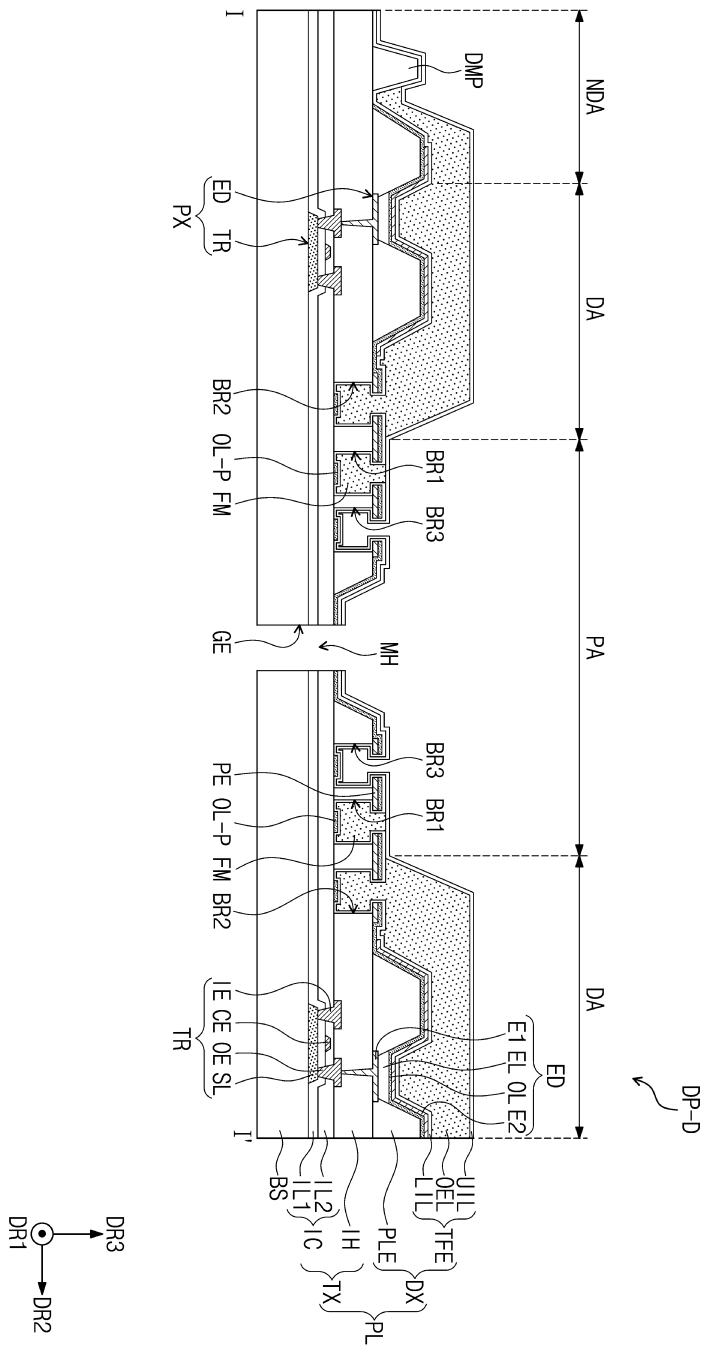
도면7



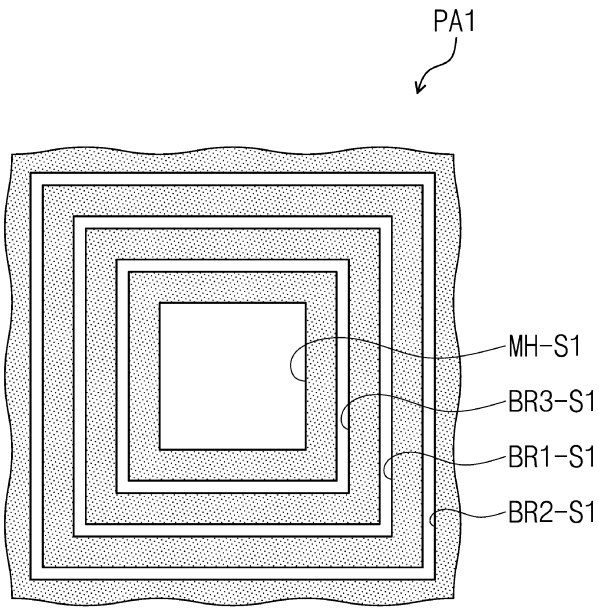
도면8



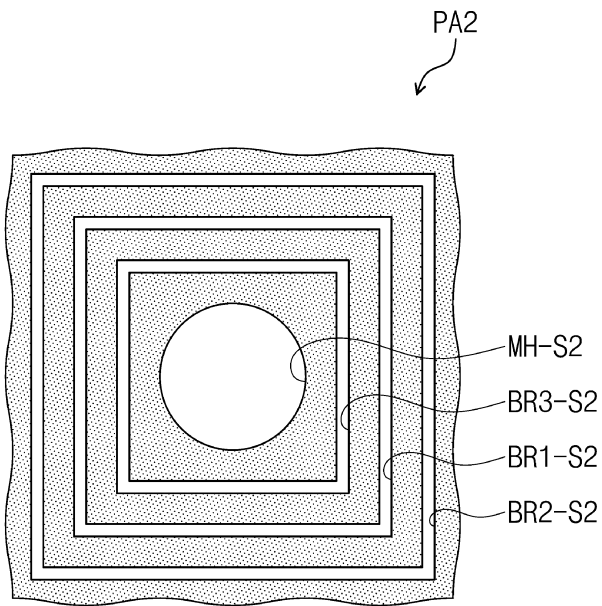
도면9



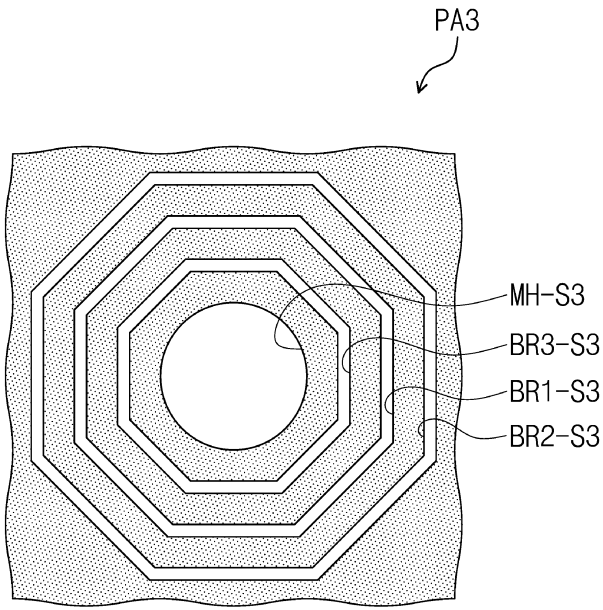
도면10a



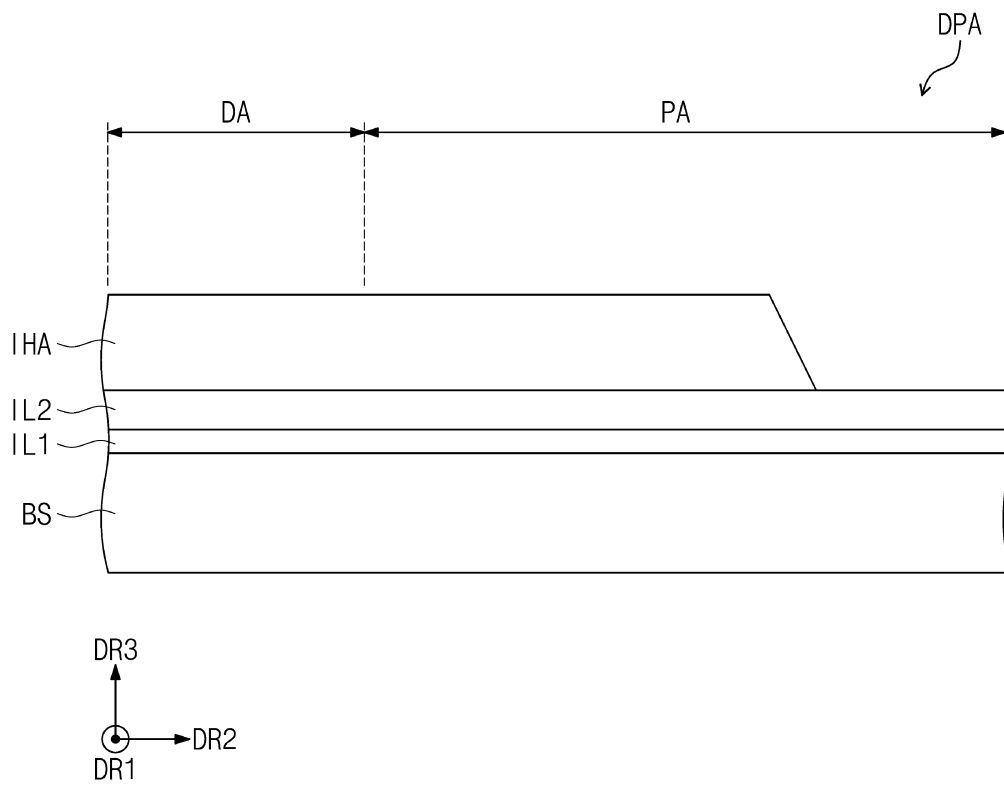
도면10b



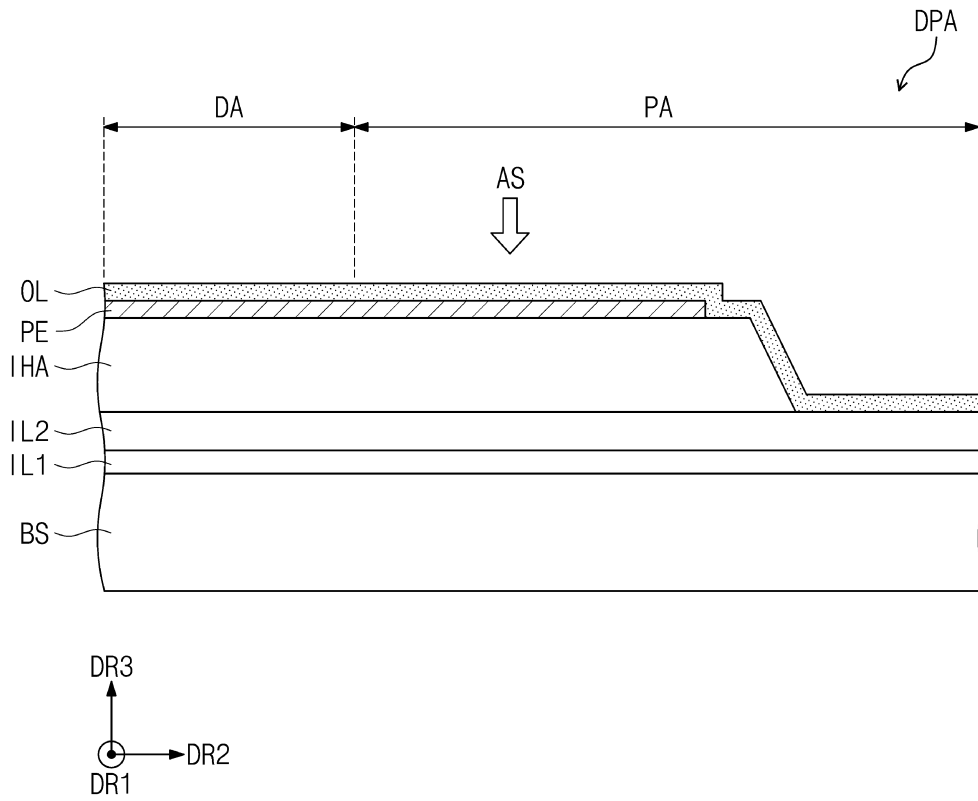
도면10c



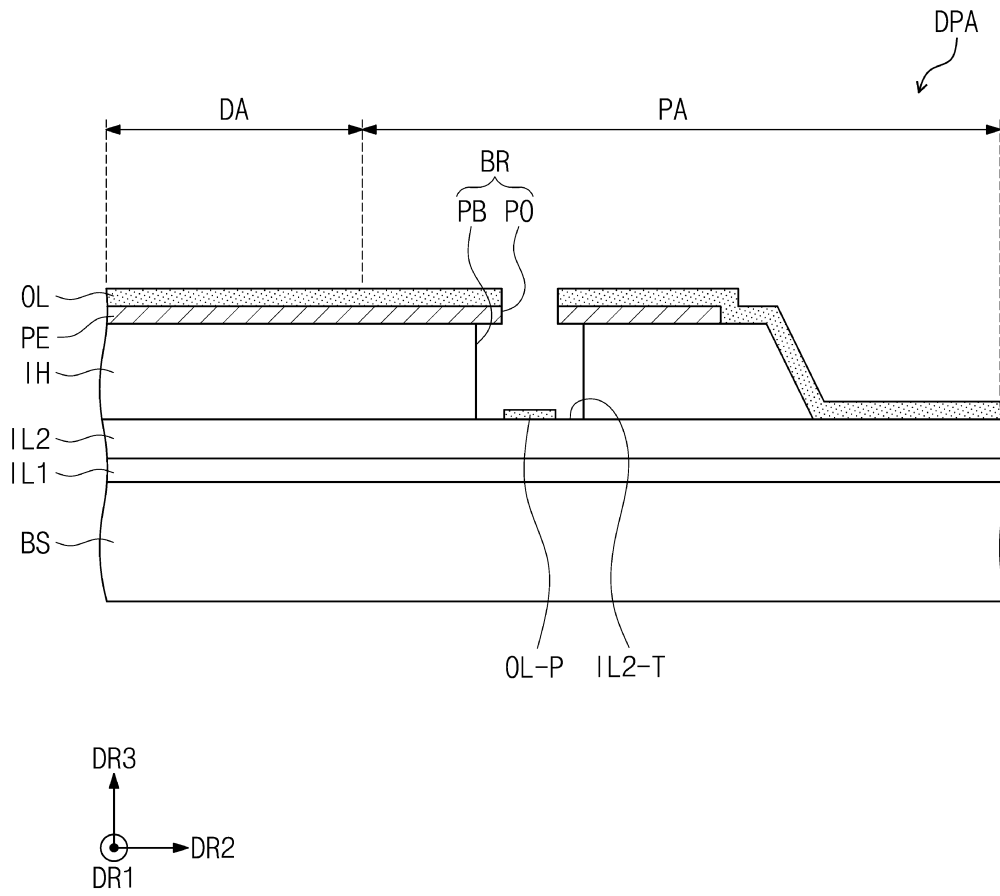
도면11a



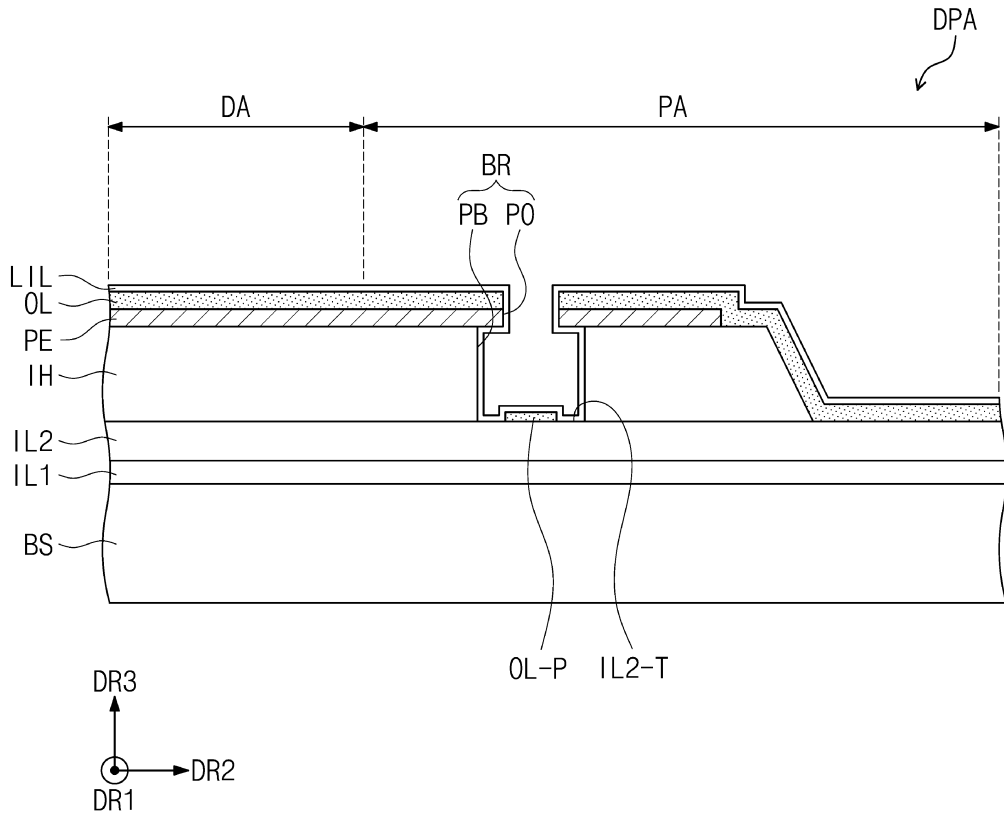
도면11b



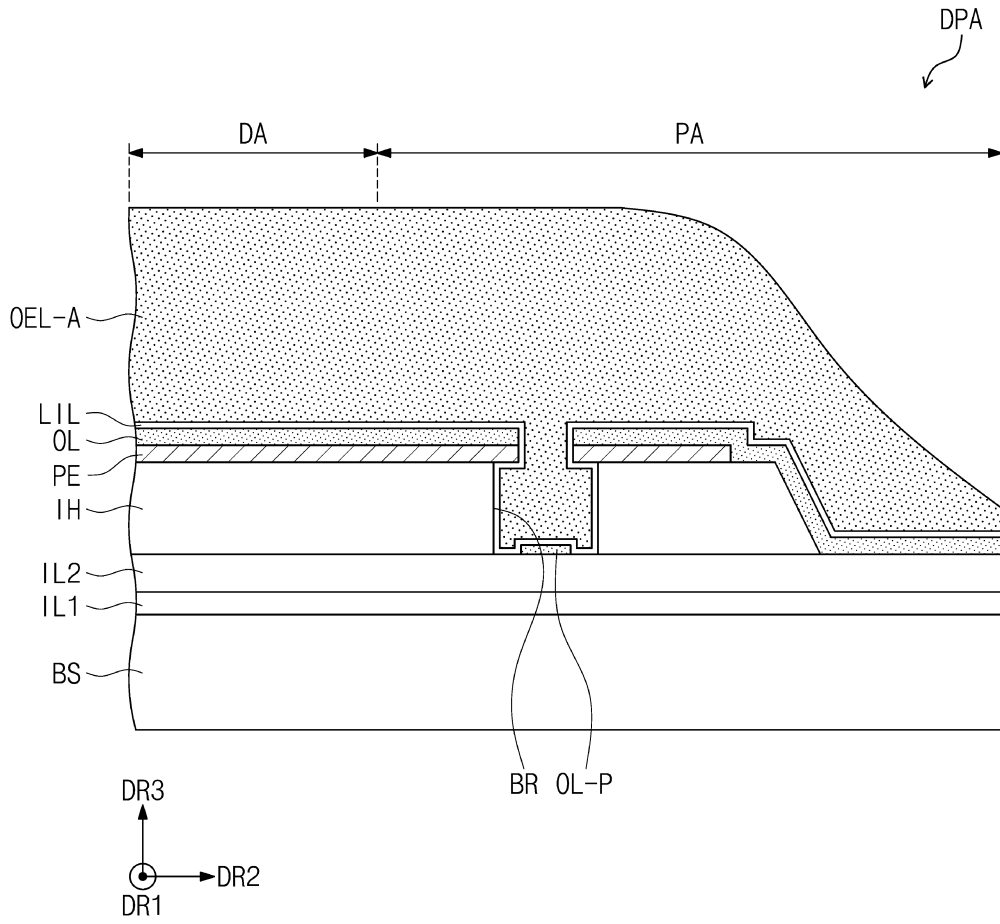
도면11c



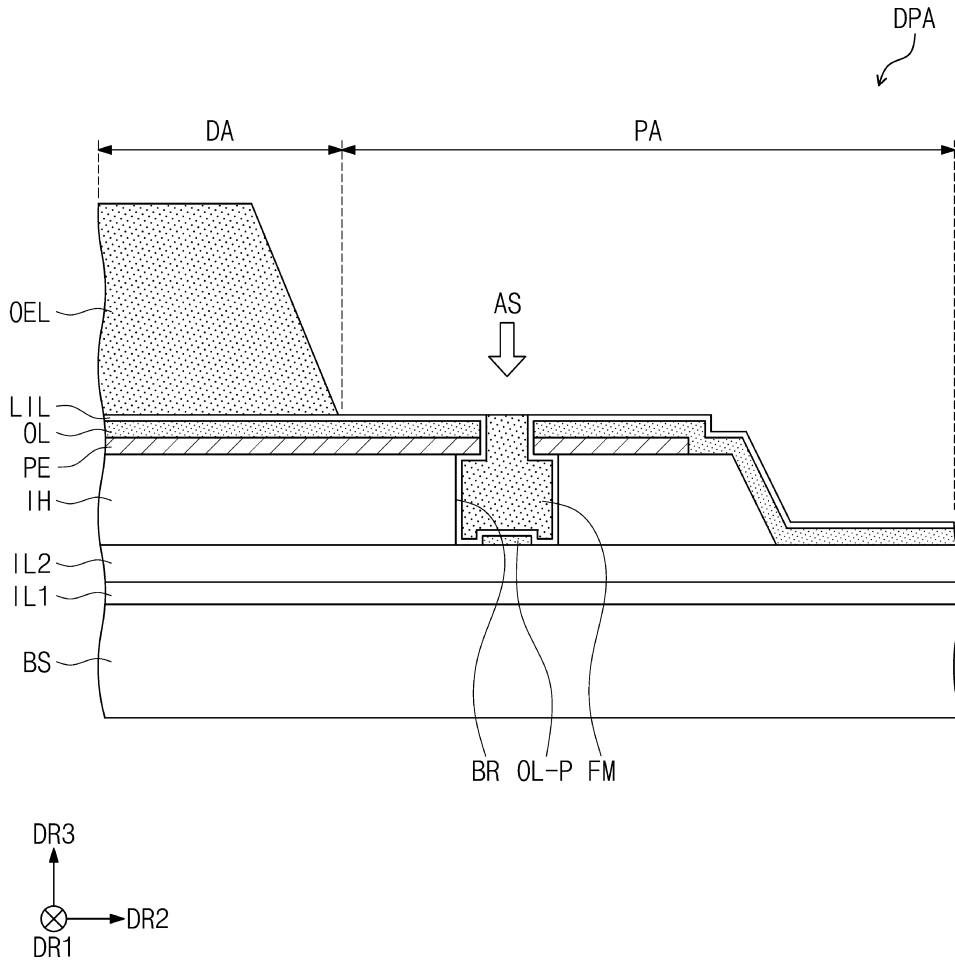
도면11d



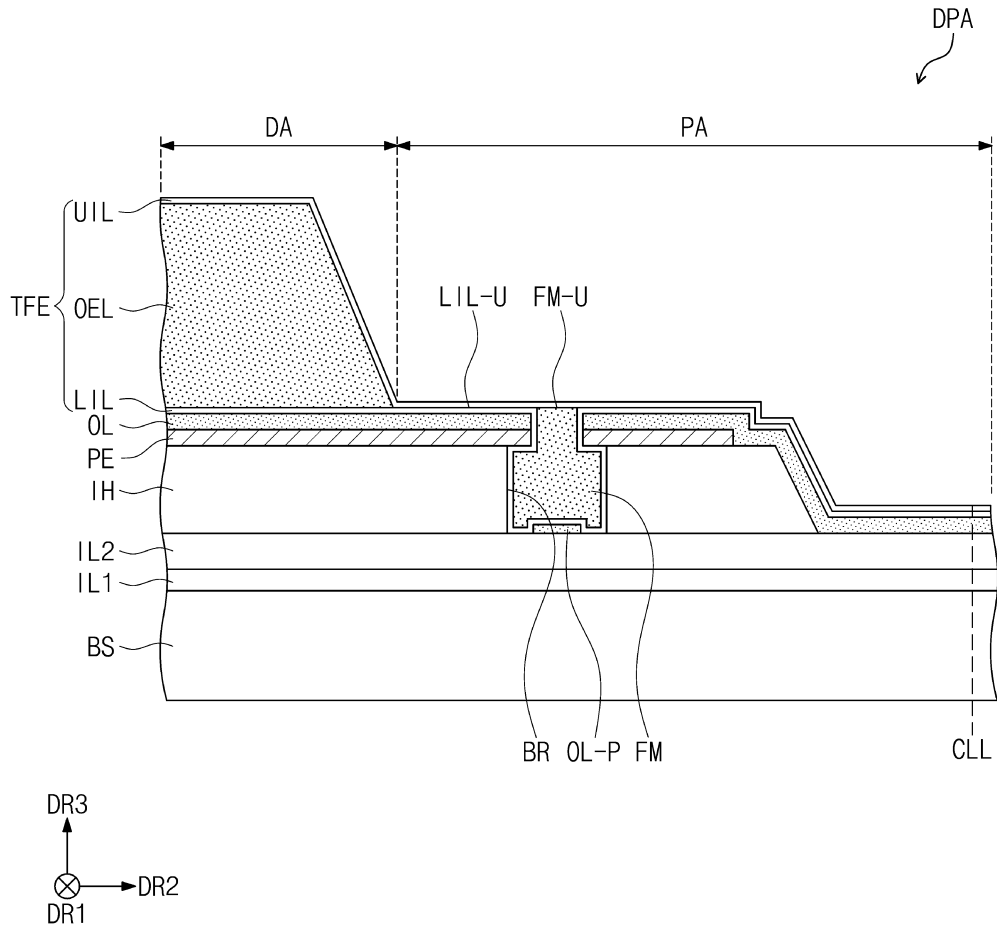
도면11e



도면11f



도면11g



도면11h

