

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2004-39982
(P2004-39982A)

(43) 公開日 平成16年2月5日(2004.2.5)

(51) Int. Cl.⁷
H01L 29/78

F I
H01L 29/78 301S

テーマコード(参考)
5F140

審査請求 未請求 請求項の数 8 O L (全 12 頁)

(21) 出願番号 特願2002-197454(P2002-197454)
(22) 出願日 平成14年7月5日(2002.7.5)

(71) 出願人 000006013
三菱電機株式会社
東京都千代田区丸の内二丁目2番3号
(74) 代理人 100082175
弁理士 高田 守
(74) 代理人 100066991
弁理士 葛野 信一
(74) 代理人 100106150
弁理士 高橋 英樹
(74) 代理人 100108372
弁理士 谷田 拓男
(72) 発明者 藤田 光一
東京都千代田区丸の内二丁目2番3号 三
菱電機株式会社内

最終頁に続く

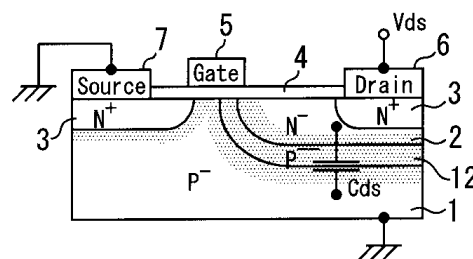
(54) 【発明の名称】 半導体装置

(57) 【要約】

【課題】高周波MOSFETの耐圧性を低下させることなく、動作速度を高め、出力効率を向上する。

【解決手段】MOSFETのドレインとなるN⁻型不純物層2、3の下に、P⁺型不純物層12を設ける。P⁺型不純物層12は、半導体基板1と同じP型であるが、不純物濃度は半導体基板1よりも低い。また、P⁻型不純物層12は、N⁻型不純物層2と接合するように、かつ接合部から離れるほどP型不純物の濃度(含まれる不純物の量)が大きくなる濃度プロファイルとなるように、形成する。また、接合部付近の不純物濃度を低くすることによって、ドレイン電圧印加時に空乏層が広がり易くなるようにして、ドレイン-基板間の容量C_dsを低減し動作速度を高める。また、この構造ではドレイン電圧の変動に対する容量C_dsの変動を小さくできるので、電力の漏れを抑えることができ、出力効率も向上する。

【選択図】 図3



【特許請求の範囲】

【請求項 1】

第 1 導電型の半導体基板と、
前記半導体基板の表層に半導体装置のソースまたはドレインとして形成された領域で、前記半導体基板と反対の極性を有する第 2 導電型不純物領域と、
前記第 2 導電型不純物領域のうちドレインとして形成された不純物領域に該不純物領域の下で接合するように形成された第 1 導電型不純物領域とを有し、
前記第 1 導電型不純物領域は前記半導体基板の中に直接形成されており、かつ、前記第 1 導電型不純物領域に含まれる不純物の量は前記第 2 導電型不純物領域との接合部から離れるほど多くなることを特徴とする半導体装置。

10

【請求項 2】

前記第 2 導電型不純物領域のうちドレインとして形成された不純物領域は、前記第 1 導電型不純物領域と接合する低濃度不純物領域と、該低濃度不純物領域の表層の高濃度不純物領域により構成されることを特徴とする請求項 1 記載の半導体装置。

【請求項 3】

半導体装置のチャンネルとなる部分に、第 1 導電型で前記半導体基板より不純物濃度が高い領域が形成されていることを特徴とする請求項 1 または 2 記載の半導体装置。

【請求項 4】

前記領域が、前記第 1 導電型不純物領域に接するように形成されていることを特徴とする請求項 3 記載の半導体装置。

20

【請求項 5】

前記第 1 導電型不純物領域は、前記第 2 導電型不純物領域のうちドレインとして形成された不純物領域の下でのみ該不純物領域に接合することを特徴とする請求項 1 から 4 のいずれかに記載の半導体装置。

【請求項 6】

前記第 1 導電型不純物領域は、前記第 1 導電型の半導体基板に第 2 導電型の不純物を $1 \sim 5 \times 10^{11}$ 個 / cm^2 注入することにより形成された領域であり、前記第 2 導電型不純物領域は、前記第 2 導電型の不純物が注入された領域に、さらに $1 \sim 10 \times 10^{12}$ 個 / cm^2 の第 2 導電型の不純物を注入することにより形成された領域であることを特徴とする請求項 1 から 5 のいずれかに記載の半導体装置。

30

【請求項 7】

第 1 導電型の半導体基板と、
前記半導体基板の表層に半導体装置のソースまたはドレインとして形成された領域で、前記半導体基板と反対の極性を有する第 2 導電型不純物領域と、
前記第 2 導電型不純物領域のうちドレインとして形成された不純物領域の下で該不純物領域に接合するように形成された酸化膜層とを有することを特徴とする半導体装置。

【請求項 8】

前記第 2 導電型不純物領域のうちドレインとして形成された不純物領域は、前記第 1 導電型不純物領域と接合するように形成された低濃度不純物領域と、該低濃度不純物領域の表層の高濃度不純物領域により構成されることを特徴とする請求項 7 記載の半導体装置。

40

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体装置、特に高周波数で動作する MOSFET (Metal Oxide Semiconductor Field Effect Transistor) に関する。

【0002】

【従来の技術】

図 13 は、典型的な MOSFET の構造を示す断面図である。この MOSFET は、低濃度の P 型 (P⁻型) シリコン基板 1 のドレインとなる領域に低濃度の N 型 (N⁻型) 不純

50

物層 2 が形成され、さらに、ソースとなる領域とドレインとなる領域の両方に高濃度の N 型 (N⁺ 型) 不純物層 3 が形成された構造をしている。

【 0 0 0 3 】

図 1 4 は、上記 MOSFET にドレイン電圧を印加した場合の、ドレイン領域の容量 C_{ds} について説明するための図である。MOSFET にドレイン電圧 V_{ds} を印加すると、図中に網掛け部分として示しているように N⁻ 型不純物層 2 と P⁻ 型シリコン基板 1 との接合部に空乏層が形成される。この空乏層は絶縁体として機能するため、N⁻ 型不純物層 2 と P⁻ 型シリコン基板 1 の接合部に容量 C_{ds} が発生する。空乏層は、ドレイン電圧が高くなるほど厚みを増すため、一般には、ドレイン電圧が高くなれば、容量 C_{ds} は小さくなる。

10

【 0 0 0 4 】

ドレイン領域の容量は、MOSFET の動作速度を低下させる要因となるため、できる限り小さく抑える必要がある。特に、高周波数で動作する MOSFET の場合には、耐圧性を高めるためにゲートとドレインの間隔 L_{gd} (図 1 3 参照) を比較的長めにしなければならぬため、基板とドレイン領域の接合部の容量が大きくなる傾向がある。容量 C_{ds} が大きいと、動作周波数が高くなるにつれて出力電力が P⁻ 型シリコン基板に漏れ出して出力が低下し、電力効率が悪化する。このため、動作速度、および出力効率を高める上で、ドレイン領域の容量の低減は重要な課題となる。

【 0 0 0 5 】

なお、高周波 MOSFET のドレイン領域の容量と出力電力の関係については、Mayl 20
ay Trivedi らの論文 “ Performance Modeling of R
F Power MOSFET ’ s ” (IEEE Transactions on E
lectron Device , Vol . 4 6 , No . 8 , August 1 9 9 9 ,
P 1 7 9 4 ~ 1 8 0 1) に記載がある。同論文では、MOSFET の出力電力 P₀ と、ソ
ース - ドレイン間の寄生容量 C_{oss} の関係を、下記式 (1) により表している。

$$P_0 = V_{IN}^2 g_m^2 R_L / \{ 2 \cdot (1 + C_{oss}^2 R_L^2) \} \dots (1)$$

V_{IN} : 入力電圧、 g_m : 相互コンダクタンス、 : 周波数、 R_L : 負荷抵抗
式 (1) は、寄生容量 C_{oss} が小さいほど、P₀ が大きくなることを示している。

【 0 0 0 6 】

【 発明が解決しようとする課題 】

上記容量は、ゲート - ドレイン間の間隔 L_{gd} を短縮することによって低減できる。しか
し、前述のように、間隔 L_{gd} は MOSFET の耐圧性に影響するため、これを短縮する
ことは好ましくない。すなわち、高周波 MOSFET の設計において、耐圧性を高めるこ
とと、動作速度および出力効率を高めることは、トレードオフの関係にある。

30

【 0 0 0 7 】

本発明は、高周波 MOSFET の耐圧性を低下させることなく、動作速度および出力効率
を高めることを目的とする。

【 0 0 0 8 】

【 課題を解決するための手段 】

上記目的を達成するために、本発明は半導体装置の構造として 2 種類の構造を提案する。

40

【 0 0 0 9 】

第 1 の半導体装置は、第 1 導電型 (例えば P 型とする) の半導体基板と、その半導体基板
の表層に半導体装置のソースまたはドレインとして形成された領域で、半導体基板と反対
の極性 (第 1 導電型が P 型であれば N 型) を有する第 2 導電型不純物領域と、第 2 導電型
不純物領域のうちドレインとして形成された不純物領域にその不純物領域の下で接合する
ように形成された第 1 導電型不純物領域とを有する。第 1 導電型不純物領域は半導体基板
の中に直接形成されており、かつ、第 1 導電型不純物領域に含まれる不純物の量は第 2 導
電型不純物領域との接合部から離れるほど多くなる。深さ方向の濃度プロファイルを、不
純物濃度が緩やかに上昇するようなものとすることにより、ドレイン電圧が印加された際
に接合部の空乏層を広がり易くしたものである。

50

【0010】

第2導電型不純物領域のうちドレインとして形成された不純物領域は、第1導電型不純物領域と接合する低濃度不純物領域と、その低濃度不純物領域の表層の高濃度不純物領域により構成されるようにする。

【0011】

また、半導体装置のチャンネルとなる部分には、第1導電型で前記半導体基板より不純物濃度が高い領域が形成されていることが望ましい。この領域は、好ましくは第1導電型不純物領域に接するように形成する。これにより、チャンネル領域の不純物濃度の低下が招く短チャンネル効果を抑制することができる。

【0012】

さらに、第1導電型不純物領域は、第2導電型不純物領域のうちドレインとして形成された不純物領域の下でのみ、その不純物領域に接合することが好ましい。ソース領域側（横方向）にも第1導電型不純物領域が形成されている場合、ゲート電極側直下に第2導電型の不純物が拡散しやすく帰還容量増大の要因となりかねない。第1導電型不純物領域がドレイン領域の下にのみ形成されている場合であれば、これを防止することができる。

10

【0013】

上記構造は、例えば、第1導電型の半導体基板に第2導電型の不純物を $1 \sim 5 \times 10^{11}$ 個/cm²注入して第1導電型不純物領域を形成し、その第2導電型の不純物が注入された領域に、さらに $1 \sim 10 \times 10^{12}$ 個/cm²の第2導電型の不純物を注入することにより第2導電型不純物領域を形成することにより実現できる。

20

【0014】

本発明の第2の半導体装置は、第1導電型の半導体基板と、半導体基板の表層に半導体装置のソースまたはドレインとして形成された領域で、半導体基板と反対の極性を有する第2導電型不純物領域と、第2導電型不純物領域のうちドレインとして形成された不純物領域の下でその不純物領域に接合するように形成された酸化膜層とを有することを特徴とするものである。この構造では、ドレインとして形成された不純物領域の下にはPN接合は存在しないので、ドレイン電圧印加時の容量を小さくすることができる。

【0015】

第2の半導体装置も、第2導電型不純物領域のうちドレインとして形成された不純物領域は、第1導電型不純物領域と接合するように形成された低濃度不純物領域と、その低濃度不純物領域の表層の高濃度不純物領域により構成されることが好ましい。

30

【0016】

【発明の実施の形態】

以下、本発明の好ましい実施の形態について、図面を参照して説明する。

【0017】

実施の形態1.

本実施の形態におけるMOSFETの構造上の特徴を説明するにあたり、まずこのMOSFETの製造プロセスについて説明する。図1(a)、(b)、(c)、(d)および(e)は、このMOSFETを製造する過程の主な段階におけるMOSFETの断面を表す図である。

40

【0018】

はじめに、図1(a)に示すように、低濃度のP型(P⁻型)シリコン基板1上にゲート酸化膜4を形成し、その上にゲート電極5を形成する。次に、ソース領域を形成しようとする領域とゲート電極のソース領域側の一部とを覆うように、レジストパターン11を形成する。

【0019】

次に、図1(b)に示すように、レジストパターン11に覆われていない領域に、低濃度のN型不純物を注入する。本実施の形態では、N型不純物としてリン(P)を注入し、注入量は $1 \sim 5 \times 10^{11}$ 個/cm²程度とする。この濃度(注入量)は、P⁻型シリコン基板1の極性を反転しない程度とする必要がある。これにより、図に示すように、P⁻型シリ

50

コン基板 1 に、極低濃度の P 型 (P⁻ 型) 不純物層 1 2 が形成される。

【 0 0 2 0 】

次に、図 1 (c) に示すように、図 1 (b) のステップでリンを注入した領域に、さらにリンを注入する。但し、リンに代えて砒素 (A s) など、他の N 型不純物を注入してもよい。注入量は、図 1 (b) のステップよりも少なくする。本実施の形態では、 $1 \sim 10 E 1 2$ 個 / $c m^2$ 程度とする。これにより、図に示すように、P⁻ 型不純物層 1 2 中に、P⁻ 型不純物層 1 2 より浅い、低濃度の N 型 (N⁻ 型) 不純物層 2 が形成される。

【 0 0 2 1 】

次に、図 1 (d) に示すように、レジストパターン 1 1 を除去し、新たに、ドレイン領域とゲート電極のドレイン領域側の一部とを覆うように、レジストパターン 1 3 を形成する。そして、レジストパターン 1 3 に覆われていない領域に、N 型不純物として砒素を注入することにより、高濃度の N 型 (N⁺ 型) 不純物層 3 を形成する。 10

【 0 0 2 2 】

最後に、レジストパターン 1 3 を除去し、図 1 (e) に示すように、ドレイン電極 6 とソース電極 7 を形成する。以上のプロセスにより、本実施の形態の M O S F E T が完成する。この M O S F E T の構造の特徴は、N⁻ 型不純物層 2 の直下に、P⁻ 型不純物層 1 2 が存在するという点にある。言い換えれば、P⁻ 型シリコン基板 1 の、N⁻ 型不純物層 2 の直下の領域の不純物濃度が特に低くなっているという点にある。本発明の目的は、ドレインとシリコン基板との間の寄生容量の低減であるため、ドレイン領域のみこのような層構造とする。この構造では、N⁻ 型不純物層 2 と P⁻ 型シリコン基板 1 の接合部で、不純物濃度は緩やかに変化する。 20

【 0 0 2 3 】

図 2 は、この M O S F E T のドレイン領域の深さ方向の不純物プロファイルを表したグラフである。グラフの横軸は N⁻ 型不純物層 2 の上面、すなわち N⁻ 型不純物層 2 とゲート酸化膜 4 の境界面からの深さを表し、縦軸は不純物濃度を表す。P 型不純物の濃度は、N⁻ 型不純物層 2 と P⁻ 型不純物層 1 2 の境界部で $1 E 1 4$ 個 / $c m^2$ 程度である。図に示すように、P⁻ 型不純物層 1 2 を形成しない場合には、この境界部を境に P 型不純物の濃度は急激に高くなるが、本実施の形態の M O S F E T の構造では、境界部を境に、P 型不純物の濃度は深さに対して緩やかに上昇する。 30

【 0 0 2 4 】

図 3 は、この M O S F E T にドレイン電圧 $V_{d s}$ を印可したところを示した図である。図に示すように、ドレイン電圧が印可されると、N⁻ 型不純物層 3 と P⁻ 型不純物層 1 2 の接合部に、図に示すように空乏層が形成される。空乏層は、不純物濃度が低いほど広がりやすい。前述のプロファイルに示したように、本実施の形態の M O S F E T は、N⁻ 型不純物層 3 と P⁻ 型不純物層 1 2 の接合部付近で P 型不純物の濃度が低くなっているため、空乏層が広がりやすい。 40

【 0 0 2 5 】

図 4 は、ドレイン電圧 $V_{d s}$ と基板容量 $C_{d s}$ の関係を示すグラフである。グラフの横軸はドレイン電圧である。グラフの縦軸は、単位ゲート幅あたりの容量 $C_{d s} / W_{g t}$ ($W_{g t}$: ゲート幅) を表している。グラフの太線は P⁻ 型不純物層 1 2 がある場合、破線は P⁻ 型不純物層 1 2 が無い場合を表している。 40

【 0 0 2 6 】

図から明らかであるように、本実施の形態の構造では、接合部の不純物濃度が低く、空乏層が広がりやすいため、印可するドレイン電圧が大きくなると急激に容量 $C_{d s}$ が低下する。例えば、ドレイン電圧が $V_{d s} = 5 [V]$ の場合を比較すると、P⁻ 型不純物層 1 2 が無い M O S F E T に比べて容量 $C_{d s}$ を 4 0 % 程度低減することができる。また、空乏層が広がることで、ドレイン領域付近の電界は緩やかになるため、ドレイン - ソース間の降伏電圧は大きくなる。

【 0 0 2 7 】

さらに、図に示されるように、ドレイン電圧 $V_{d s}$ が 5 [V] を超えると、容量 $C_{d s}$ の 50

変化は緩やかになる。このため、ドレイン電圧が大きく変動しても、容量 C_{ds} は大きく変動することがない。高周波数で動作する MOSFET では、通常、ドレイン電圧は電源電圧の約 3 倍の振幅で変動するため、シリコン基板への電力漏れが発生しやすい。この場合 MOSFET の出力は当然に低下する。しかし、本実施の形態の MOSFET の構造では、ドレイン電圧の変動に対する容量 C_{ds} の変動を小さく抑えられることから、高い出力を安定して供給することができる。

【0028】

実施の形態 2 .

実施の形態 1 において示した MOSFET の製造プロセスによれば、図 1 (a) ~ (e) に示されるように、 P^+ 型不純物層 1 2 はゲート電極 5 の下にまで形成される。これは、ゲート電極 5 の直下、すなわちチャネルの不純物濃度を低下させることにほかならない。一般に、チャネルの不純物濃度が低下すると、短チャネル効果によりパンチスルーが生じたり、ドレインコンダクタンスが増大したりする可能性がある。実施の形態 2 では、これらを防止するための MOSFET の構造を提案する。

10

【0029】

実施の形態 2 の MOSFET の製造プロセスについて説明する。図 5 (a) ~ (d) は、この MOSFET を製造する過程の主な段階における MOSFET の断面を表す図である。

【0030】

はじめに、図 5 (a) に示すように、 P^+ 型シリコン基板 1 上にゲート酸化膜 4 を形成し、その上にゲート電極 5 を形成する。次に、ドレイン領域を形成しようとする領域とゲート電極のドレイン領域側の一部とを覆うように、レジストパターン 2 1 を形成する。次に、レジストパターン 2 1 に覆われていない領域に P 型不純物を注入して P 型不純物層 2 2 を形成する。本実施の形態では、 P 型不純物としてボロン (B) を注入し、注入量は $0.1 \sim 1.0 \times 10^{12}$ 個 / cm^2 程度とする。なお、ボロンを注入した後に熱拡散処理を行って、注入したボロンをゲート電極 5 の下に拡散させてもよい。

20

【0031】

次に、レジストパターン 2 1 を除去した後、図 5 (b) に示すように、ソース領域を形成しようとする領域とゲート電極のソース領域側の一部とを覆うように、レジストパターン 1 1 を形成する。以降、実施の形態 1 と同様に、レジストパターン 1 1 に覆われていない領域に、 P^+ 型シリコン基板 1 の極性を反転しない程度に低濃度の N 型不純物を注入する。次に、図 5 (c) に示すように、 N 型不純物をさらに注入して、 P^+ 型不純物層 1 2 中に、 N^+ 型不純物層 2 を形成する。

30

【0032】

次に、レジストパターン 1 1 を除去し、図 5 (d) に示すように、実施の形態 1 と同様の手順によって、 N^+ 型不純物層 3、ドレイン電極 6 およびソース電極 7 を形成する。以上のプロセスにより、本実施の形態の MOSFET が完成する。この MOSFET は、ソース領域側に、 P 型不純物層 2 2 が形成されている点が、実施の形態 1 の MOSFET と異なる。 P^+ 型不純物層 1 2 を形成する前に、 P 型不純物層 2 2 を形成しておくことで、 P^+ 型不純物層 1 2 を形成する過程でゲート電極 5 直下の不純物濃度が大幅に低下しないようにした点が特徴である。本実施の形態では、ゲート電極 5 の下の不純物濃度が低いことから、図 6 に示すように、ドレイン電圧印加時にゲート電極 5 方向については、空乏層はあまり広がらない。すなわち、実施の形態 1 の効果に加え、短チャネル効果を抑制し、パンチスルーの発生を防止する効果を奏することができる。

40

【0033】

実施の形態 3 .

実施の形態 1 において示した MOSFET の製造プロセスでは、 P^+ 型不純物層 1 2 の不純物濃度が低いために、 N^+ 不純物層 2 を形成する過程で、 N 型不純物がゲート電極 5 の下にまで拡散しやすい。すなわち、ゲート電極 5 と N^+ 不純物層 2 の重なり幅 L_{ov} が大きくなりやすい。これは、帰還容量 C_{ss} を増加させる要因となるため、MOSFET

50

の電圧利得を低下させる可能性がある。実施の形態3では、これを防止するためのMOSFETの構造を示す。

【0034】

実施の形態3のMOSFETの製造プロセスについて説明する。図7(a)~(c)は、このMOSFETを製造する過程の主な段階におけるMOSFETの断面を表す図である。

【0035】

はじめに、図7(a)に示すように、P⁻型シリコン基板1上に酸化膜33を形成する。さらに酸化膜33の上に、ドレイン領域を形成しようとする領域の一部が露出するようにレジストパターン31を形成する。その露出した領域に、P⁻型シリコン基板1の極性を反転しない程度に低濃度のN型不純物を注入する。本実施の形態では、N型不純物としてリン(P)を注入し、注入量は $1 \sim 5 \times 10^{11}$ 個/cm²程度としている。これにより、P⁻型シリコン基板1に、P⁻型不純物層32を形成する。レジストパターン31と酸化膜33は、不純物注入後に除去する。

10

【0036】

次に、図7(b)に示すように、酸化膜33を除去した後のP⁻型シリコン基板1上に、ゲート酸化膜4およびゲート電極5を形成する。さらに、ソース領域を形成しようとする領域とゲート電極5のソース領域側の一部とを覆うように、レジストパターン11を形成する。以降、実施の形態1と同様に、レジストパターン11に覆われていない領域に、N型不純物を注入する。本実施の形態ではリンを $1 \sim 10 \times 10^{12}$ 個/cm²程度注入している。これにより、図に示すように、P⁻型不純物層32の上に、P⁻型不純物層32よりも広い幅のN⁻型不純物層2が形成される。

20

【0037】

次に、レジストパターン11を除去し、図7(c)に示すように、実施の形態1と同様の手順で、N⁺型不純物層3、ドレイン電極6およびソース電極7を形成する。以上のプロセスにより、本実施の形態のMOSFETが完成する。このMOSFETは、P⁻型不純物層32が、N⁻型不純物層2より幅が狭く、N⁻型不純物層2の下でのみP⁻型不純物層22に接合しているという点が、他の実施の形態と異なる。実施の形態1や2と比較した場合、N⁻型不純物層2を形成する過程で、不純物がゲート電極5の下に拡散しにくくなるので、ゲート電極5とN⁻型不純物層2の重なり幅L_{ov}(図7(b)参照)は小さくなる。

30

【0038】

図8は、このMOSFETにドレイン電圧V_{ds}を印可したところを示した図である。N⁻型不純物層2の下にP⁻型不純物層32を設けたことにより、他の実施の形態同様、ドレイン電圧印加時に空乏層が広がりやすく、容量C_{ds}を小さくすることができる。さらに、ゲート電極5とN⁻型不純物層2の重なり幅L_{ov}が小さいことから、帰還容量C_{ss}も低減することができ、MOSFETの動作速度を向上することができる。

【0039】

実施の形態4

次に、P⁻型シリコン基板への電力の漏れを抑制することに重点をおいたMOSFETの構造を示す。まず、このMOSFETの製造プロセスについて説明する。図9(a)および(b)は、このMOSFETを製造する過程の主な段階におけるMOSFETの断面を表す図である。

40

【0040】

はじめに、図9(a)に示すように、P⁻型シリコン基板1上に、ドレイン領域を形成しようとする領域の一部が露出するようにパターン41を形成する。パターン41は、他の実施の形態と同様、レジストパターンでもよいが、酸化膜マスク、金属マスクなど、イオン注入素子能力の高いものとするのが好ましい。

【0041】

次に、露出している領域に、高濃度の酸素(O)イオンを注入する。本実施の形態では、

50

注入量を $10E18$ 個/cm² 程度とし、約 $0.2 \sim 1.0 \mu\text{m}$ の深さに注入している。注入の深さは、後に形成する N⁻ 型不純物層より深くなるように決める。その後、高温処理を施して、図に示すように、P⁻ 型シリコン基板 1 の中ほどに、酸化膜 (SiO₂) 層 42 を形成する。この酸化膜層 42 は、後に、N⁻ 型不純物層を形成した際に、その N⁻ 型不純物層の直下に位置することとなる。

【0042】

次に、図 9 (b) に示すように、パターン 41 を除去し、P⁻ 型シリコン基板 1 上にゲート酸化膜 4 を形成し、その上にゲート電極 5 を形成する。さらに、ソース領域を形成しようとする領域とゲート電極のソース領域側の一部とを覆うように、レジストパターン (図示せず) を形成して、レジストに覆われていない領域に、リンあるいは砒素などの N 型不純物を注入する。これにより、図に示すように、酸化膜層 42 の上に、N⁻ 型不純物層 2 が形成される。

10

【0043】

次に、レジストパターンを除去し、ドレイン領域とゲート電極のドレイン領域側の一部とを覆うレジストパターン (図示せず) を新たに形成する。そして、レジストに覆われていない領域に、N 型不純物としてヒ素を注入することにより、N⁺ 型不純物層 3 を形成する。最後に、ドレイン電極 6 とソース電極 7 を形成して、本実施の形態の MOSFET が完成する。この MOSFET の構造の特徴は、N⁻ 型不純物層 2 の直下に酸化膜層 42 が存在しており、PN 接合が無いという点にある。

【0044】

図 10 は、本実施の形態の MOSFET のドレイン領域の深さ方向の不純物プロファイルを示すグラフである。N⁻ 型不純物層 2 の直下は酸化膜層 42 のため、不純物濃度は 0 となる (グラフには表示されない)。したがって、図 11 に示すようにドレイン電圧 V_{ds} を印可したときの N⁻ 型不純物層 2 と P⁻ 型シリコン基板 1 との間の容量 C_{ds} は、明らかに他の実施の形態よりも小さくなる。

20

【0045】

図 12 は、ドレイン電圧を印加時のドレイン電圧 V_{ds} と容量 C_{ds} の関係を示すグラフである。従来 (P⁻ 層が無い場合) あるいは実施の形態 1 の P⁻ 層が有る場合のグラフと比較した場合、2 つの特徴がある。

【0046】

第 1 に、容量 C_{ds} が大幅に小さくなる。特に、ドレイン電圧 5 [V] では、実施の形態 1 の MOSFET の構造よりも 40% 程度、また、従来の MOSFET の構造を基準とすれば 60% 近く、容量 C_{ds} が低減される。また、第 2 に、酸化膜層 42 の存在により、グラフが、より平坦になっていることがわかる。これは、ドレイン電圧が変化しても、容量があまり変動しないことを意味する。したがって、信号振幅が大きい場合でも、P⁻ 型シリコン基板への高周波電力の漏れを最小限に抑えることができる。

30

【0047】

【発明の効果】

本発明の第 1 の半導体装置は、第 1 導電型の基板と、ドレインとなる第 2 導電型不純物領域との間に、基板と同じ導電型、かつ基板よりも不純物濃度が低い層を設けたもので、この層は、第 2 導電型不純物領域との接合部から離れるほど不純物濃度が高くなるような濃度プロファイルを有する。PN 接合部付近の不純物濃度を低くすることにより、ドレイン電圧印加時に空乏層が広がり易くなるので、ドレイン領域の容量を低く抑えることができ、動作速度が向上する。また、ドレイン電圧の変動に対する容量の変動が小さくなるので、電力漏れを防止することができ、出力効率も高まる。

40

【図面の簡単な説明】

【図 1】本発明の実施の形態 1 の半導体装置の製造プロセスおよび構造を表す図。

【図 2】実施の形態 1 の半導体装置のドレイン領域の深さ方向の濃度プロファイルを示す図。

【図 3】実施の形態 1 の半導体装置にドレイン電圧を印加したところを示す図。

50

【図4】実施の形態1の半導体装置の、ドレイン電圧とドレイン領域の容量の関係を示す図。

【図5】実施の形態2の半導体装置の製造プロセスおよび構造を表す図。

【図6】実施の形態2の半導体装置にドレイン電圧を印加したところを示す図。

【図7】実施の形態3の半導体装置の製造プロセスおよび構造を表す図。

【図8】実施の形態3の半導体装置にドレイン電圧を印加したところを示す図。

【図9】実施の形態4の半導体装置の製造プロセスおよび構造を表す図。

【図10】実施の形態4の半導体装置のドレイン領域の深さ方向の濃度プロファイルを示す図。

【図11】実施の形態4の半導体装置にドレイン電圧を印加したところを示す図。

【図12】実施の形態4の半導体装置の、ドレイン電圧とドレイン領域の容量の関係を示す図。

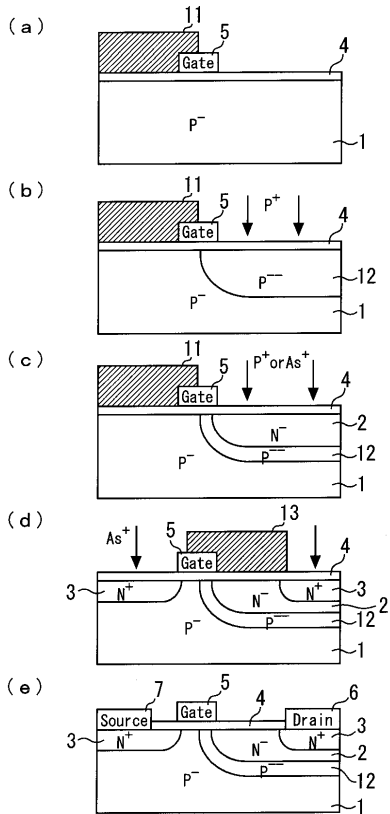
【図13】従来の半導体装置の構造を表す図。

【図14】従来の半導体装置にドレイン電圧を印加したところを示す図。

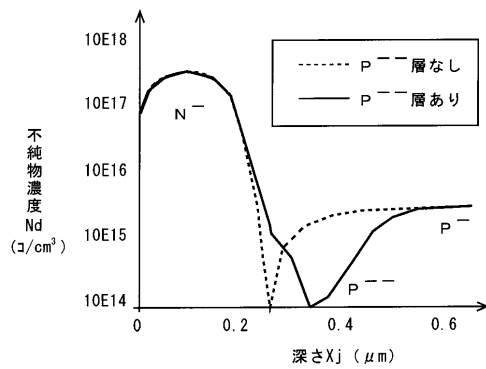
【符号の説明】

- 1 P⁻型シリコン基板、 2 N⁻型不純物層、 3 N⁺型不純物層、 4 ゲート酸化膜、 5 ゲート電極、 6 ドレイン電極、 7 ソース電極、 11, 13, 21, 31 レジストパターン、 12, 32 P⁻型不純物層、 22 P型不純物層、 33 酸化膜、 41 パターン、 42 酸化膜層。

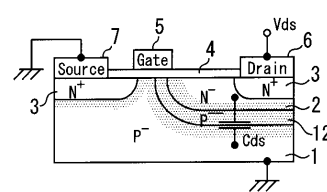
【図1】



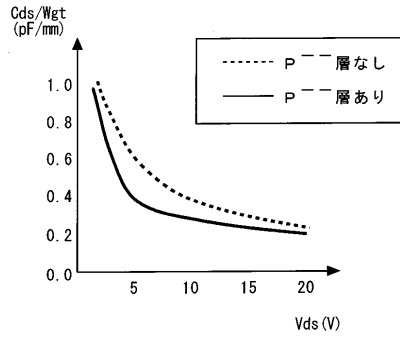
【図2】



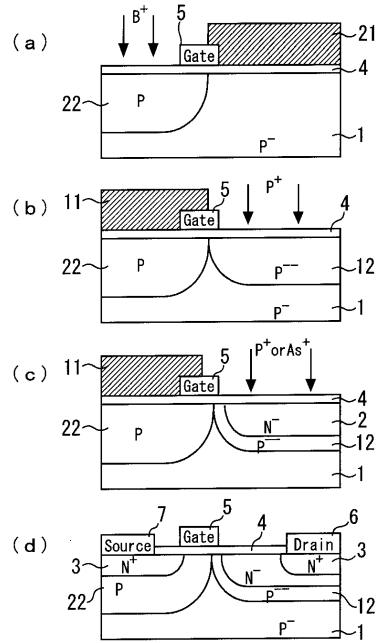
【図3】



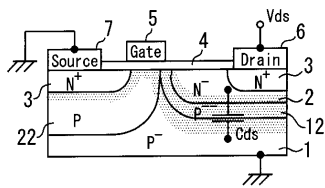
【 図 4 】



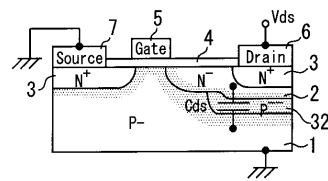
【 図 5 】



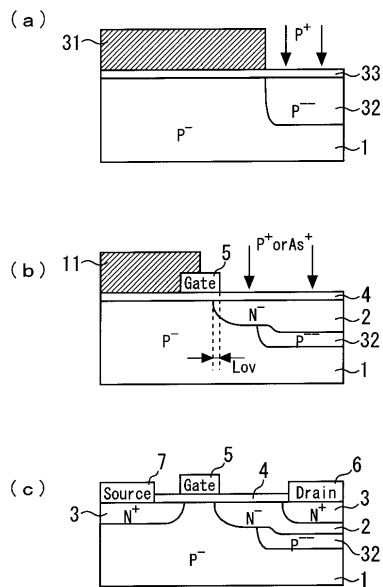
【 図 6 】



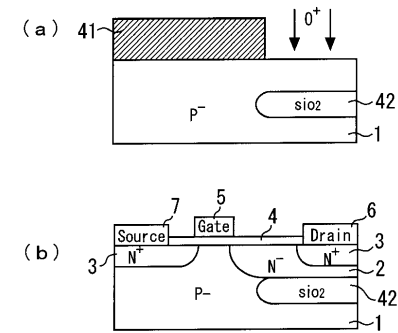
【 図 8 】



【 図 7 】



【 図 9 】



フロントページの続き

Fターム(参考) 5F140 AA01 AA11 AA12 AA18 AA21 AA25 AC21 BA01 BH17 BH22
BH30 BH33 BH34 BH45 BH47 BK10 BK13 CD01