

(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。 Int. Cl. G11C 16/12 (2006.01)	(45) 공고일자 (11) 등록번호 (24) 등록일자	2006년10월12일 10-0632944 2006년09월29일
---	-------------------------------------	--

(21) 출원번호 (22) 출원일자	10-2004-0039023 2004년05월31일	(65) 공개번호 (43) 공개일자	10-2005-0113886 2005년12월05일
------------------------	--------------------------------	------------------------	--------------------------------

(73) 특허권자	삼성전자주식회사 경기도 수원시 영통구 매탄동 416
(72) 발명자	채동혁 서울특별시관악구신림9동건영3차아파트1동405호 변대석 경기도용인시수지읍풍덕천리1168삼성5차아파트519동303호
(74) 대리인	오세준 송윤호 임창현 권혁수

심사관 : 조명관

(54) 동작 모드에 따라 프로그램 전압의 증가분을 가변할 수있는 불 휘발성 메모리 장치

요약

여기에 개시되는 불 휘발성 메모리 장치는 스텝 제어 신호들에 응답하여 선택된 행에 공급될 워드 라인 전압을 발생하는 워드 라인 전압 발생 회로와, 프로그램 사이클 동안 스텝 제어 신호들을 순차적으로 활성화시키는 프로그램 제어기를 포함한다. 프로그램 사이클 동안, 워드 라인 전압 발생 회로는 동작 모드에 따라 워드 라인 전압의 증가분을 다르게 제어한다.

대표도

도 8은 다른 실시예에 따른 도 3에 도시된 전압 분배기의 예시적인 회로도이다.

* 도면의 주요 부분에 대한 부호 설명 *

110 : 메모리 셀 어레이 120 : 행 선택 회로

130 : 감지 증폭 및 래치 회로 140 : 데이터 입출력 회로

150 : 패스/페일 체크 회로 160 : 제어 로직

170 : 루프 카운터 180 : 디코더

190 : 워드 라인 전압 발생 회로 210 : 전하 펌프

220 : 전압 분배기 230 : 기준 전압 발생기

240 : 비교기 250 : 발진기

260 : 클럭 드라이버

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체 메모리 장치에 관한 것으로, 좀 더 구체적으로는 불 휘발성 메모리 장치에 관한 것이다.

반도체 메모리 장치들은, 일반적으로, 불량이 있는지의 여부를 판별하기 위해서 패키지 또는/그리고 웨이퍼 레벨에서 테스트된다. 이는 메모리 셀들에 데이터를 저장하고 저장된 데이터를 읽음으로써 달성된다. 예를 들면, 불 휘발성 메모리 장치의 경우, 먼저, 테스트 데이터가 메모리 셀들에 프로그램된다. 그 다음에, 워드 라인 전압을 가변시키면서 읽기 동작이 수행된다. 읽기 동작의 결과로서, 메모리 셀들의 문턱 전압 산포가 측정된다. 측정된 문턱 전압 산포를 분석함으로써 메모리 장치의 불량(예를 들면, 셀과 셀 사이, 워드 라인들 또는 비트 라인들 사이의 단락, 또는 워드 라인 또는 비트 라인의 단선)이 판별될 수 있다. 이러한 테스트 동작을 위해서 수행되는 프로그램 동작(이하, 테스트 프로그램 동작이라 칭함)은 정상적인 프로그램 동작(이하, 정상 프로그램 동작이라 칭함)과 동일한 방법으로 수행된다.

문턱 전압 산포를 정확하게 제어하기 위해서, 일반적으로, 증가형 스텝 펄스 프로그래밍(incremental step pulse programming: ISPP) 방식이 사용되어 오고 있다. 그러한 프로그래밍 방식에 따르면, 도 1에 도시된 바와 같이, 프로그램 전압(V_{pgm})은 프로그램 사이클의 프로그램 루프들이 반복됨에 따라 단계적으로 증가된다. 각 프로그램 루프는, 잘 알려진 바와 같이, 프로그램 구간과 프로그램 검증 구간으로 이루어진다. 프로그램 전압(V_{pgm})은 정해진 증가분(ΔV_{pgm})만큼 증가하게 되며, 프로그램 시간(t_{PGM})은 각 프로그램 루프에 대하여 일정하게 유지된다. 앞서 언급된 ISPP 방식에 따르면, 프로그램 동작이 진행됨에 따라 프로그램되는 셀의 문턱 전압은 각 프로그램 루프에서 정해진 증가분(ΔV_{pgm})만큼 증가하게 된다. 그러한 까닭에, 최종적으로 프로그램된 셀의 문턱 전압 산포의 폭을 좁히려면 프로그램 전압의 증가분(ΔV_{pgm})이 작게 설정되어야 한다. 프로그램 전압의 증가분이 작으면 작을수록, 프로그램 사이클의 프로그램 루프 수는 증가하게 된다. 따라서, 메모리 장치의 성능을 제한하지 않으면서도 최적의 문턱 전압 산포를 얻을 수 있도록 프로그램 루프 수가 결정될 것이다.

ISPP 방식에 따라 프로그램 전압을 생성하는 회로들이 U.S. patent No. 5,642,309에 "AUTO-PROGRAM CIRCUIT IN A NONVOLATILE SEMICONDUCTOR MEMORY DEVICE"라는 제목으로 그리고 대한민국공개특허번호 제2002-39744호에 "FLASH MEMORY DEVICE CAPABLE OF PREVENTING PROGRAM DISTURB AND METHOD OF PROGRAMMING THE SAME"라는 제목으로 각각 게재되어 있다.

결함이 있는지의 여부를 판별하기 위해서 메모리 셀들의 문턱 전압 산포를 측정하는 경우, 문턱 전압 산포를 엄격하게 제어할 필요는 없다. 왜냐하면, 메모리 셀들이 원하는 문턱 전압 산포 내에 존재하는지의 여부를 판별하기 위한 것이 아니라, 메모리 셀들이 정상적으로 프로그램되는지 또는/그리고 프로그램된 메모리 셀들이 소거된 메모리 셀들로 잘못 판별되는지를 확인하기 위해서 테스트 동작이 수행되기 때문이다. 테스트 시간의 단축은 생산성 향상을 의미한다. 따라서, 정상 프로그램 동작과 동일한 방식으로 테스트 프로그램 동작을 수행하는 경우, 테스트 프로그램 동작시 메모리 셀들을 프로그램하는 데 걸리는 시간은 정상 프로그램 동작시의 그것과 같다. 앞서 언급된 문헌들의 경우, 정상 프로그램 동작과 마찬가지로, 테스트 프로그램 동작에서 프로그램 전압이 생성된다. 이는 테스트 프로그램 동작에 걸리는 시간을 단축하는 것이 어렵다는 것을 의미한다.

결과적으로, 테스트 프로그램 동작시 메모리 셀들을 프로그램하는 데 걸리는 시간을 단축함으로써 생산성을 향상시킬 수 있을 것이다.

발명이 이루고자 하는 기술적 과제

본 발명의 목적은 테스트 시간을 단축할 수 있는 불 휘발성 메모리 장치를 제공하는 것이다.

본 발명의 다른 목적은 동작 모드에 따라 프로그램 전압의 증가분을 가변시킬 수 있는 불 휘발성 메모리 장치를 제공하는 것이다.

발명의 구성 및 작용

상술한 제반 목적을 달성하기 위한 본 발명의 일 특징에 따르면, 불 휘발성 메모리 장치는 행들과 열들로 배열된 메모리 셀들의 어레이와; 스텝 제어 신호들에 응답하여 선택된 행에 공급될 워드 라인 전압을 발생하는 워드 라인 전압 발생 회로와; 그리고 프로그램 사이클 동안 상기 스텝 제어 신호들을 순차적으로 활성화시키는 프로그램 제어기를 포함하며, 상기 프로그램 사이클 동안, 상기 워드 라인 전압 발생 회로는 동작 모드에 따라 상기 워드 라인 전압의 증가분을 다르게 제어한다.

이 실시예에 있어서, 테스트 프로그램 동작시 상기 워드 라인 전압의 증가분은 정상 프로그램 동작시 상기 워드 라인 전압의 증가분보다 크다.

이 실시예에 있어서, 상기 메모리 셀들 각각은 n-비트 데이터 (n=2 또는 그 보다 큰 정수)를 저장하는 멀티-레벨 메모리 셀을 포함한다.

이 실시예에 있어서, 상기 메모리 셀들 각각은 1-비트 데이터를 저장하는 단일-레벨 메모리 셀을 포함한다.

이 실시예에 있어서, 상기 워드 라인 전압 발생 회로는 상기 동작 모드를 나타내는 모드 선택 신호 및 상기 스텝 제어 신호들에 응답하여 상기 워드 라인 전압을 분배하는 전압 분배기를 포함한다.

이 실시예에 있어서, 상기 전압 분배기는 상기 워드 라인 전압과 분배 전압 사이에 연결된 저항기와; 그리고 상기 분배 전압과 접지 전압 사이에 직렬 연결된 제 1 및 제 2 가변 저항 회로들을 포함하며, 상기 제 1 가변 저항 회로는 제 1 저항값과 상기 제 1 저항값과 다른 제 2 저항값을 갖되, 상기 제 1 및 제 2 저항값들은 상기 모드 선택 신호에 의해서 선택되며; 그리고 상기 제 2 가변 저항 회로는 서로 상이하고 상기 스텝 제어 신호들에 의해서 각각 선택되는 복수 개의 저항값들을 갖는다.

이 실시예에 있어서, 상기 모드 선택 신호는 테스트 프로그램 동작시 활성화된다.

이 실시예에 있어서, 상기 워드 라인 전압은 상기 프로그램 사이클의 프로그램 루프들이 반복될 때마다 단계적으로 증가된다.

이 실시예에 있어서, 상기 전압 분배기는 상기 워드 라인 전압과 분배 전압 사이에 연결되고 상기 모드 선택 신호에 의해서 제어되는 제 1 가변 저항 회로와; 그리고 상기 분배 전압과 접지 전압 사이에 직렬 연결된 제 2 및 제 3 가변 저항 회로들을 포함하고, 상기 제 2 가변 저항 회로는 상기 모드 선택 신호에 의해서 제어되고 상기 제 3 가변 저항 회로는 상기 스텝 제어 신호들에 의해서 제어되며, 그 결과로서 상기 워드 라인 전압의 시작 전압 레벨은 동작 모드에 관계없이 일정하게 유지된다.

이 실시예에 있어서, 상기 제 1 가변 저항 회로는 제 1 저항값과 상기 제 1 저항값과 다른 제 2 저항값을 갖되, 상기 제 1 및 제 2 저항값들은 상기 모드 선택 신호에 의해서 선택되며; 상기 제 2 가변 저항 회로는 제 3 저항값과 상기 제 3 저항값과 다른 제 4 저항값을 갖되, 상기 제 3 및 제 4 저항값들은 상기 모드 선택 신호에 의해서 선택되며; 그리고 상기 제 3 가변 저항 회로는 서로 상이하고 상기 스텝 제어 신호들에 의해서 각각 선택되는 복수 개의 저항값들을 갖는다.

이 실시예에 있어서, 상기 스텝 제어 신호들은 상기 프로그램 사이클의 프로그램 루프들 각각이 패스되었는지의 여부에 따라 순차적으로 활성화된다.

본 발명의 다른 특징에 따르면, 행들과 열들로 배열된 메모리 셀들의 어레이를 갖는 불 휘발성 메모리 장치는 클럭 신호에 응답하여 선택된 행에 공급된 프로그램 전압을 발생하는 전하 펌프와; 스텝 제어 신호들 및 모드 선택 신호에 응답하여 상기 프로그램 전압을 분배하는 전압 분배기와; 그리고 상기 분배 전압이 기준 전압보다 낮은지의 여부에 따라 상기 클럭 신호를 발생하는 전하 펌프 제어기를 포함하며, 상기 프로그램 전압의 분배율은 상기 모드 선택 신호가 활성화되었는지의 여부에 따라 가변되며, 그 결과 프로그램 전압의 증가분이 동작 모드에 따라 다르게 설정된다.

이 실시예에 있어서, 상기 모드 선택 신호는 테스트 프로그램 동작시 활성화되고 정상 프로그램 동작시 비활성화된다.

이 실시예에 있어서, 테스트 프로그램 동작시 상기 프로그램 전압의 증가분은 정상 프로그램 동작시 상기 프로그램 전압의 증가분보다 크다.

이 실시예에 있어서, 상기 메모리 셀들 각각은 n-비트 데이터 (n=2 또는 그 보다 큰 정수)를 저장하는 멀티-레벨 메모리 셀을 포함한다.

이 실시예에 있어서, 상기 메모리 셀들 각각은 1-비트 데이터를 저장하는 단일-레벨 메모리 셀을 포함한다.

이 실시예에 있어서, 상기 프로그램 전압은 프로그램 사이클의 프로그램 루프들이 반복될 때마다 단계적으로 증가된다.

이 실시예에 있어서, 상기 전압 분배기는 상기 프로그램 전압과 분배 전압 사이에 연결된 저항기와; 그리고 상기 분배 전압과 접지 전압 사이에 직렬 연결된 제 1 및 제 2 가변 저항 회로들을 포함하며, 상기 제 1 가변 저항 회로는 제 1 저항값과 상기 제 1 저항값과 다른 제 2 저항값을 갖되, 상기 제 1 및 제 2 저항값들은 상기 모드 선택 신호에 의해서 선택되며; 그리고 상기 제 2 가변 저항 회로는 서로 상이하고 상기 스텝 제어 신호들에 의해서 각각 선택되는 복수 개의 저항값들을 갖는다.

이 실시예에 있어서, 상기 스텝 제어 신호들은 프로그램 사이클의 프로그램 루프들 각각이 패스되었는지의 여부에 따라 순차적으로 활성화된다.

이 실시예에 있어서, 상기 전압 분배기는 상기 프로그램 전압과 접지 전압 사이에 직렬 연결된 제 1 내지 제 3 가변 저항 회로들을 포함하며, 상기 제 1 및 제 2 가변 저항 회로들은 상기 모드 선택 신호에 의해서 제어되고 상기 제 3 가변 저항 회로는 상기 스텝 제어 신호들에 의해서 제어된다.

이 실시예에 있어서, 상기 제 1 가변 저항 회로는 제 1 저항값과 상기 제 1 저항값과 다른 제 2 저항값을 갖되, 상기 제 1 및 제 2 저항값들은 상기 모드 선택 신호에 의해서 선택되며; 상기 제 2 가변 저항 회로는 제 3 저항값과 상기 제 3 저항값과 다른 제 4 저항값을 갖되, 상기 제 3 및 제 4 저항값들은 상기 모드 선택 신호에 의해서 선택되며; 그리고 상기 제 3 가변 저항 회로는 서로 상이하고 상기 스텝 제어 신호들에 의해서 각각 선택되는 복수 개의 저항값들을 가지며, 그 결과로서 상기 프로그램 전압의 시작 전압 레벨은 상기 동작 모드에 관계없이 일정하게 유지된다.

이 실시예에 있어서, 상기 스텝 제어 신호들은 프로그램 사이클의 프로그램 루프들 각각이 패스되었는지의 여부에 따라 순차적으로 활성화된다.

본 발명의 바람직한 실시예들이 참조 도면들에 의거하여 이하 상세히 설명될 것이다.

도 2는 본 발명에 따른 불 휘발성 메모리 장치의 개략적인 블록도이다. 도 2를 참조하면, 본 발명에 따른 불 휘발성 메모리 장치 (100)는 플래시 메모리 장치이다. 하지만, 본 발명이 다른 메모리 장치들 (MROM, PROM, FRAM, 등)에도 적용될 수 있음은 이 분야의 통상적인 지식을 습득한 자들에게 자명하다.

본 발명에 따른 불 휘발성 메모리 장치 (100)는 행들 (또는 워드 라인들)과 열들 (또는 비트 라인들)의 매트릭스 형태로 배열된 메모리 셀들을 갖는 메모리 셀 어레이 (110)를 포함한다. 메모리 셀들 각각은 1-비트 데이터를 저장한다. 또는, 메모리 셀들 각각은 n-비트 데이터 (n=2 또는 그 보다 큰 정수)를 저장한다. 행 선택 회로 (120)는 행 어드레스에 응답하여 행들 중 적어도 하나를 선택하고 선택된 행을 워드 라인 전압 발생 회로 (190)로부터의 워드 라인 전압으로 구동한다. 감지 증폭 및 래치 회로 (130)는 제어 로직 (160)에 의해서 제어되며, 읽기/검증 동작시 메모리 셀 어레이 (110)로부터 데이터를 읽는다. 읽기 동작시 읽혀진 데이터는 데이터 입출력 회로 (140)를 통해 외부로 출력되는 반면에, 검증 동작시 읽혀진 데이터는 패스/페일 체크 회로 (150)로 출력된다. 감지 증폭 및 래치 회로 (130)는 프로그램 동작시 메모리 셀 어레이 (110)에 쓰여질 데이터를 데이터 입출력 회로 (140)를 통해 입력받고, 입력된 데이터에 따라 비트 라인들을 프로그램전압 (예를들면, 접지 전압) 또는 프로그램 금지전압(예를들면, 전원 전압)으로 각각 구동한다.

패스/페일 체크 회로(150)는 프로그램/소거 검증 동작시 감지 증폭 및 래치 회로 (130)로부터 출력되는 데이터 값들이 동일한 데이터 (예를 들면, 패스 데이터 값)을 갖는지의 여부를 판별하며, 판별 결과로서 패스/페일 신호 (PF)를 제어 로직 (160)으로 출력한다. 제어 로직 (160)은 프로그램 사이클을 알리는 명령에 응답하여 워드 라인 전압 발생 회로 (190)를 활성화시키고, 프로그램 사이클의 각 프로그램 루프 동안 감지 증폭 및 래치 회로 (130)를 제어한다. 제어 로직 (160)은 패스/페일 체크 회로 (150)로부터의 패스/페일 신호 (PF)에 응답하여 카운트-업 신호 (CNT_UP)를 활성화시킨다. 예를 들면, 패스/페일 신호 (PF)가 감지 증폭 및 래치 회로 (130)로부터 출력되는 데이터 값들 중 적어도 하나가 패스 데이터 값을 갖지 않음을 나타낼 때, 제어 로직 (160)은 카운트-업 신호 (CNT_UP)를 활성화시킨다. 즉, 현재의 프로그램 루프의 프로그램 동작이 올바르게 수행되지 않은 경우, 제어 로직 (160)은 카운트-업 신호 (CNT_UP)를 활성화시킨다. 이에 반해서, 현재의 프로그램 루프의 프로그램 동작이 올바르게 수행되는 경우, 제어 로직 (160)은 카운트-업 신호 (CNT_UP)를 비활성화시키고 프로그램 사이클을 종료한다.

루프 카운터 (170)는 카운트-업 신호 (CNT_UP)의 활성화에 응답하여 프로그램 루프 횟수를 카운트한다. 디코더 (180)는 루프 카운터 (170)의 출력을 디코딩하여 스텝 제어 신호들 (STEP_i) (i=0-n)을 발생한다. 예를 들면, 루프 카운터 (170)의 출력값이 증가됨에 따라, 스텝 제어 신호들 (STEP_i)이 순차적으로 활성화된다. 워드 라인 전압 발생 회로 (190)는 제어 로직 (160)으로부터의 인에이블 신호 (EN)에 의해서 활성화되며, 모드 선택 신호 (MODE_SEL) 및 스텝 제어 신호들 (STEP_i)에 응답하여 워드 라인 전압을 발생한다.

워드 라인 전압 발생 회로 (190)는 스텝 제어 신호들 (STEP_i)이 순차적으로 활성화됨에 따라 워드 라인 전압을 단계적으로 증가시킨다. 워드 라인 전압의 증가분은 모드 선택 신호 (MODE_SEL)가 테스트 프로그램 동작을 나타내는지의 여부에 따라 가변된다. 예를 들면, 모드 선택 신호 (MODE_SEL)가 테스트 프로그램 동작을 나타낼 때 워드 라인 전압의 증가분은 모드 선택 신호 (MODE_SEL)가 정상 프로그램 동작을 나타낼 때 그것보다 크다. 워드 라인 전압의 증가분이 크면 클수록 문턱 전압의 변화분이 커진다. 즉, 워드 라인 전압의 증가분이 커짐에 따라, 메모리 셀이 원하는 문턱 전압까지 프로그램되는 데 걸리는 시간이 단축된다. 결과적으로, 테스트 프로그램 동작에 걸리는 시간이 정상 프로그램 동작에 걸리는 시간보다 더 짧아진다.

이 실시예에 있어서, 제어 로직 (160), 루프 카운터 (170), 그리고 디코더 (180)는 프로그램 사이클 동안 스텝 제어 신호들을 순차적으로 활성화시키는 프로그램 제어기를 구성한다. 모드 선택 신호 (MODE_SEL)는 제어 로직 (160), 본딩 회로, 또는 퓨즈 회로에 의해서 생성될 수 있다. 예를 들면, 제어 로직 (160)은 테스트 명령에 응답하여 모드 선택 신호 (MODE_SEL)를 활성화시키도록 구성될 수 있다. 본딩 회로의 경우, 활성화 상태의 모드 선택 신호 (MODE_SEL)가 테스터로부터 제공될 수 있다. 또는, 퓨즈 회로의 경우, 테스트 프로그램 동작이 완료된 이후에 모드 선택 신호 (MODE_SEL)가 비활성화되도록 퓨즈 회로가 구성될 수 있다. 모드 선택 신호 (MODE_SEL)는 앞서 언급된 회로들 중 어느 하나가 사용되더라도 테스트 프로그램 동작에서만 활성화될 것이다.

도 3은 도 2에 도시된 워드 라인 전압 발생 회로의 개략적인 블록도이다. 도 3을 참조하면, 본 발명에 따른 워드 라인 전압 발생 회로 (190)는 전하 펌프 (210), 전압 분배기 (220), 기준 전압 발생기 (230), 비교기 (240), 발진기 (250), 그리고 클럭 드라이버 (260)를 포함하며, 인에이블 신호 (EN)에 의해서 활성화된다.

전하 펌프 (210)는 클럭 신호 (CLK)에 응답하여 프로그램 전압으로서 워드 라인 전압 (V_{pgm})을 발생한다. 전압 분배기 (220)는 모드 선택 신호 (MODE_SEL) 및 스텝 제어 신호들 (STEP_i)에 응답하여 워드 라인 전압 (V_{pgm})을 분배하여 분배 전압 (V_{dvd})을 출력한다. 전압 분배기 (220)의 전압 분배율은 모드 선택 신호 (MODE_SEL) 및 스텝 제어 신호들 (STEP_i)에 의해서 결정된다. 예를 들면, 스텝 제어 신호들 (STEP_i)의 순차적인 활성화에 따라 전압 분배율은 단계적으로 낮아지며, 그 결과 워드 라인 전압 (V_{pgm})은 낮아진 전압 분배율만큼 증가된다. 이는 이후 상세히 설명될 것이다. 또한, 전압 분

배기 (220)의 전압 분배율의 변화분은 모드 선택 신호 (MODE_SEL)가 테스트 프로그램 동작을 나타내는 지의 여부에 따라 가변된다. 예를 들면, 테스트 프로그램 동작시의 전압 분배율의 변화분은 정상 프로그램 동작의 그것보다 크다. 이는 테스트 프로그램 동작시 프로그램 전압의 증가분이 정상 프로그램 동작과 비교하여 볼 때 커짐을 의미한다.

계속해서 도 3을 참조하면, 비교기 (240)는 전압 분배기 (220)로부터의 분배 전압 (Vdvd)과 기준 전압 발생기 (230)로부터의 기준 전압 (Vref)을 비교하며, 비교 결과로서 클럭 인에이블 신호 (CLK_EN)를 발생한다. 비교기 (240)는, 도 4에 도시된 바와 같이, 차동 증폭기 (241)로 구성된다. 예를 들면, 전압 분배기 (220)로부터의 분배 전압 (Vdvd)이 기준 전압 발생기 (230)로부터의 기준 전압 (Vref)보다 낮을 때, 비교기 (240)는 클럭 인에이블 신호 (CLK_EN)를 활성화시킨다. 클럭 드라이버 (260)는 클럭 인에이블 신호 (CLK_EN)에 응답하여 발진기 (250)로부터의 발진 신호 (OSC)를 클럭 신호 (CLK)로서 출력한다. 클럭 드라이버 (260)는, 도 5에 도시된 바와 같이, NAND 게이트 (261)와 인버터 (262)로 구성된다. 예를 들면, 클럭 인에이블 신호 (CLK_EN)가 하이로 활성화될 때, 발진 신호 (OSC)는 클럭 신호 (CLK)로서 출력된다. 이는 전하 펌프 (210)가 동작함을 의미한다. 클럭 인에이블 신호 (CLK_EN)가 로우로 비활성화될 때, 발진 신호 (OSC)가 차단되어 클럭 신호 (CLK)는 토글되지 않는다. 이는 전하 펌프 (210)가 동작하지 않음을 의미한다.

이 실시예에 있어서, 비교기 (240), 발진기 (250), 그리고 클럭 드라이버 (260)는 전압 분배기 (220)의 분배 전압에 따라 전하 펌프 (210)를 제어하는 회로를 구성한다.

이상의 설명으로부터 알 수 있듯이, 워드 라인 전압 (Vpwm)이 원하는 전압보다 낮으면, 클럭 신호 (CLK)가 생성되어 전하 펌프 (210)가 동작한다. 워드 라인 전압 (Vpwm)이 원하는 전압에 도달하면, 클럭 신호 (CLK)가 생성되지 않기 때문에 전하 펌프 (210)는 동작하지 않는다. 이러한 과정을 통해 원하는 워드 라인 전압이 생성된다.

워드 라인 전압을 생성함에 있어서, 워드 라인 전압의 증가분은 동작 모드에 따라 즉, 모드 선택 신호 (MODE_SEL)가 활성화되었는 지의 여부에 따라 가변된다. 앞서의 설명에 따르면, 테스트 프로그램 동작시 워드 라인 전압의 증가분이 정상 프로그램 동작시의 그것보다 커진다.

도 6은 도 3에 도시된 전압 분배기의 예시적인 회로도이다. 도 6을 참조하면, 전압 분배기 (220)는 방전부 (220a), 저항기 (R10), 제 1 및 제 2 가변 저항부들 (220b, 220c)을 포함한다. 방전부 (220a)는 워드 라인 전압 (Vpwm)을 입력받는 입력 단자 (ND1)에 연결되며, 인에이블 신호 (EN)에 응답하여 입력 단자 (ND1)의 고전압 (즉, 워드 라인 전압)을 전원 전압으로 방전시킨다. 방전부 (220a)는 인버터들 (221, 222), PMOS 트랜지스터 (223), 그리고 공핍형 NMOS 트랜지스터들 (224, 225)을 포함하며, 도면에 도시된 바와 같이 연결되어 있다. 공핍형 NMOS 트랜지스터들 (224, 225)은 고전압에 견딜 수 있는 잘 알려진 고전압 트랜지스터들이다.

저항기 (R10)는 입력 단자 (ND1)와 분배 전압 (Vdvd)을 출력하기 위한 출력 단자 (ND2) 사이에 연결되어 있다. 제 1 가변 저항부 (220b)는 제 1 저항값과 제 2 저항값을 가지며, 제 1 가변 저항부 (220b)의 제 1 및 제 2 저항값들 중 어느 하나는 모드 선택 신호 (MODE_SEL)가 테스트 프로그램 동작을 나타내는 지의 여부에 따라 선택된다. 제 1 가변 저항부 (220b)는 2개의 저항기들 (R20_MODE0, R20_MODE1), NMOS 트랜지스터들 (226, 228), 그리고 인버터 (227)를 포함하며, 도면에 도시된 바와 같이 연결되어 있다. 이러한 구성에 따르면, 모드 선택 신호 (MODE_SEL)가 로우 레벨일 때 또는 모드 선택 신호 (MODE_SEL)가 정상 프로그램 동작을 나타낼 때, 저항기 (R20_MODE0)가 사용된다. 모드 선택 신호 (MODE_SEL)가 하이 레벨일 때 또는 모드 선택 신호 (MODE_SEL)가 테스트 프로그램 동작을 나타낼 때, 저항기 (R20_MODE1)가 사용된다. 이 실시예에 있어서, 저항기 (R20_MODE1)의 저항값은 저항기 (R20_MODE0)의 저항값보다 작다. 저항기 (R20_MODE0)의 저항값은 제 1 저항값이라 칭하고, 저항기 (R20_MODE1)의 저항값은 제 2 저항값이라 칭한다.

계속해서 도 6을 참조하면, 제 2 가변 저항부 (220c)는 복수의 저항값들을 가지며, 제 2 가변 저항부 (220c)의 저항값들은 스텝 제어 신호들 (STEPi)의 순차적인 활성화에 따라 순차적으로 선택된다. 제 2 가변 저항부 (220c)는 복수의 저항기들 (R30-R3n)과 복수의 NMOS 트랜지스터들 (229-234)을 포함하며, 도면에 도시된 바와 같이 연결되어 있다. 저항기들 (R30-R3n)은 NMOS 트랜지스터들 (229-234)에 각각 대응한다. NMOS 트랜지스터들 (229-234)은 대응하는 스텝 제어 신호들 (STEPi)에 의해서 각각 제어된다. 스텝 제어 신호들 (STEP0-STEPn)은 프로그램 사이클의 프로그램 루프들이 반복됨에 따라 순차적으로 활성화된다. 즉, 임의의 프로그램 루프에서 단지 하나의 스텝 제어 신호만이 활성화된다.

분배 전압 (Vdvd)은 저항기 (R10)와 제 1 및 제 2 가변 저항부들 (220b, 220c)의 저항값들에 의해서 결정되며, 다음의 수학적 식으로 표현된다.

수학식 1

$$V_{dvd} = V_{pgm} \left(\frac{R_2}{R_1 + R_2} \right)$$

수학식 1에서, R1은 저항기 (R10)의 저항값을 나타내고 R2는 제 1 및 제 2 가변 저항부들 (220b, 220c)의 저항값들의 합을 나타낸다. 수학식 1에 의해서 결정된 분배 전압 (V_{dvd})은 비교기를 통해 기준 전압 (V_{ref})과 비교된다. 비교 결과에 따라 워드 라인 전압 (V_{pgm})이 정해진 증가분만큼 증가된다. 워드 라인 전압 (V_{pgm})은 앞서의 과정으로부터 얻어지는 다음의 수학식 2로 표현된다.

수학식 2

$$V_{pgm} = V_{ref} \left(1 + \frac{R_1}{R_2} \right)$$

수학식 2로부터 알 수 있듯이, 워드 라인 전압 (V_{pgm})의 증가분은 저항값 (R2)의 변화율에 반비례한다. 즉, 저항값 (R2)이 작아질수록 워드 라인 전압 (V_{pgm})의 증가분은 커진다. 앞서 설명된 바와 같이, 모드 선택 신호 (MODE_SEL)가 하이 레벨일 때 저항값 (R2)이 모드 선택 신호 (MODE_SEL)가 로우 레벨일 때 저항값 (R2)보다 작다. 따라서, 저항값 (R2)이 작아지면, 각 프로그램 루프에서 워드 라인 전압 (V_{pgm})의 증가분은 커진다. 도 7에 도시된 바와 같이, 제 1 가변 저항부 (220b)의 저항기 (R20_MODE1)이 테스트 프로그램 동작시 선택됨에 따라, 테스트 프로그램 동작시 워드 라인 전압 (V_{pgm})의 증가분 (ΔV_{pgmT})은 정상 프로그램 동작시 워드 라인 전압 (V_{pgm})의 증가분 (ΔV_{pgmN})보다 크다. 워드 라인 전압 (V_{pgm})의 증가분이 커짐에 따라 메모리 셀들은 동일한 프로그램 조건에서 보다 빠르게 프로그램된다. 이는 테스트 프로그램 동작에 걸리는 시간이 정상 프로그램 동작에 걸리는 시간과 비교하여 볼 때 단축됨을 의미한다.

본 발명에 따른 불 휘발성 메모리 장치의 동작이 참조 도면들에 의거하여 이하 상세히 설명될 것이다. 잘 알려진 바와 같이, NAND형 플래시 메모리 장치와 같은 불 휘발성 메모리 장치의 경우, 프로그램 사이클은 복수의 프로그램 루프들로 이루어진다. 각 프로그램 루프는 프로그램 구간과 프로그램 검증 구간으로 이루어진다. 테스트 프로그램 동작이 수행되기 이전에, 프로그램될 데이터가 감지 증폭 및 래치 회로 (130)에 로드된다. 이후, 프로그램 명령이 불 휘발성 메모리 장치에 제공됨에 따라, 테스트 프로그램 동작이 수행된다. 테스트 프로그램 동작시 모드 선택 신호 (MODE_SEL)는 하이 레벨로 설정된다.

제어 로직 (160)은 프로그램 명령의 입력에 응답하여 인에이블 신호 (EN)를 활성화시키며, 워드 라인 전압 발생 회로 (190)는 인에이블 신호 (EN)의 활성화에 따라 워드 라인 전압 (V_{pgm})을 발생하기 시작한다. 여기서, 첫 번째 프로그램 루프 동안 스텝 제어 신호 (STEP0)가 루프 카운터 (170) 및 디코더 (180)를 통해 활성화된다. 스텝 제어 신호 (STEP0)가 활성화되고 모드 선택 신호 (MODE_SEL)가 하이로 설정됨에 따라, 워드 라인 전압 (V_{pgm})은 수학식 2에 의해서 결정될 것이다. 수학식 2에서, 저항값 (R2)는 제 1 가변 저항부 (220b)의 저항기 (R20_MODE1)과 제 2 가변 저항부 (220c)의 저항기 (R31)의 저항값들로 이루어진다. 워드 라인 전압 (V_{pgm})이 첫 번째 프로그램 루프의 원하는 전압 레벨에 도달하면, 잘 알려진 방법에 따라 메모리 셀들이 프로그램될 것이다.

첫 번째 프로그램 루프의 프로그램 동작이 종료되면, 프로그램 검증 동작이 수행된다. 프로그램 검증 동작시 감지 증폭 및 래치 회로 (130)는 메모리 셀 어레이 (110)로부터 데이터를 읽고 읽혀진 데이터를 패스/페일 체크 회로 (150)로 출력한다. 패스/페일 체크 회로 (150)는 감지 증폭 및 래치 회로 (130)로부터의 데이터 값들이 동일한 데이터 즉, 패스 데이터 값을 갖는지의 여부를 판별한다. 만약 데이터 값들 중 하나라도 패스 데이터 값을 갖지 않으면, 제어 로직 (160)은 카운트-업 신호 (CNT_UP)를 활성화시킨다. 루프 카운터 (170)는 카운트-업 신호 (CNT_UP)의 활성화에 응답하여 카운트-업 동작을 수행한다. 카운트-업된 값은 다음의 프로그램 루프를 나타낸다. 카운트된 값은 디코더 (180)에 의해서 디코딩되며, 그 결과 스텝 제어 신호 (STEP1)가 활성화된다. 제 2 가변 저항부 (220c)의 저항값이 감소됨에 따라 워드 라인 전압 (V_{pgm})이 정해진 증가분만큼 증가된다. 앞서 설명된 테스트 프로그램 동작은 감지 증폭 및 래치 회로 (130)로부터의 데이터 값들이 모두 패스 데이터 값을 가질 때까지 반복될 것이다.

요약하면, 테스트 프로그램 동작시 전압 분배기 (220)의 저항값 (R2)을 제어함으로써 워드 라인 전압 (V_{pgm})의 증가분이 커진다. 테스트 프로그램 동작시 워드 라인 전압 (V_{pgm})의 증가분이 커짐에 따라, 테스트 프로그램 동작을 수행하는 데 걸리는 시간이 단축될 수 있다.

도 8은 본 발명의 다른 실시예에 따른 전압 분배기의 예시적인 회로도이다. 도 8에 도시된 전압 분배기 (220')는 저항기 (R10)가 가변 저항 회로로 대체되었다는 점을 제외하면 도 6에 도시된 것과 동일하다. 도 6에 도시된 전압 분배기 (220)의

경우, 워드 라인 전압 (V_{pgm})의 증가분을 가변시키기 위해서 제 1 가변 저항부 (220b)의 저항값이 가변된다. 이러한 경우, 워드 라인 전압 (V_{pgm})의 증가분 뿐만 아니라 워드 라인 전압 (V_{pgm})의 초기 전압 레벨 역시 가변된다. 따라서, 제 3 가변 저항부 (220d)는 워드 라인 전압 (V_{pgm})의 초기 전압 레벨이 가변되는 것을 방지하기 위해 사용되며, 제 1 가변 저항부 (220b)와 동일하게 구성된다. 제 3 가변 저항부 (220d)는 워드 라인 전압 (V_{pgm})의 초기 전압 레벨이 변화되지 않도록 보정 기능을 수행한다. 예를 들면, 저항기 (R10_MODE1)의 저항값이 저항기 (R10_MODE0)의 저항값보다 작다. 이러한 점을 제외하면, 도 8에 도시된 전압 분배기 (220')는 도 6에 도시된 것 (220)과 동일하며, 그것에 대한 설명은 그러므로 생략된다.

본 발명에 따른 회로의 구성 및 동작을 상기한 설명 및 도면에 따라 도시하였지만, 이는 예를 들어 설명한 것에 불과하며 본 발명의 기술적 사상 및 범위를 벗어나지 않는 범위 내에서 다양한 변화 및 변경이 가능함은 물론이다.

발명의 효과

상술한 바와 같이, 워드 라인 전압의 증가분이 커지도록 전압 분배기의 저항 분배율을 제어함으로써 메모리 셀이 원하는 문턱 전압까지 프로그램되는 데 걸리는 시간이 단축된다. 따라서, 테스트 프로그램 동작에 걸리는 시간이 정상 프로그램 동작에 걸리는 시간보다 더 짧아진다.

(57) 청구의 범위

청구항 1.

행들과 열들로 배열된 메모리 셀들의 어레이를 포함하는 불 휘발성 메모리 장치에 있어서:

테스트 프로그램 동작과 정상 프로그램 동작을 나타내는 모드 선택 신호와 스텝 제어 신호들에 응답하여 워드 라인 전압을 발생하는 워드 라인 전압 발생 회로와; 그리고

프로그램 사이클 동안 상기 스텝 제어 신호들을 순차적으로 활성화시키는 프로그램 제어기를 포함하며,

상기 워드 라인 전압 발생 회로는 상기 테스트 프로그램 동작시 상기 워드 라인 전압의 증가분이 상기 정상 프로그램 동작시 상기 워드 라인 전압의 증가분보다 크도록 상기 워드 라인 전압을 발생하는 것을 특징으로 하는 불 휘발성 메모리 장치.

청구항 2.

삭제

청구항 3.

제 1 항에 있어서,

상기 메모리 셀들 각각은 n-비트 데이터 (n=2 또는 그 보다 큰 정수)를 저장하는 멀티-레벨 메모리 셀을 포함하는 것을 특징으로 하는 불 휘발성 메모리 장치.

청구항 4.

제 1 항에 있어서,

상기 메모리 셀들 각각은 1-비트 데이터를 저장하는 단일-레벨 메모리 셀을 포함하는 것을 특징으로 하는 불 휘발성 메모리 장치.

청구항 5.

제 1 항에 있어서,

상기 워드 라인 전압 발생 회로는 상기 모드 선택 신호 및 상기 스텝 제어 신호들에 응답하여 상기 워드 라인 전압을 분배하는 전압 분배기를 포함하는 것을 특징으로 하는 불 휘발성 메모리 장치.

청구항 6.

제 5 항에 있어서,

상기 전압 분배기는

상기 워드 라인 전압과 분배 전압 사이에 연결된 저항기와; 그리고

상기 분배 전압과 접지 전압 사이에 직렬 연결된 제 1 및 제 2 가변 저항 회로들을 포함하며,

상기 제 1 가변 저항 회로는 제 1 저항값과 상기 제 1 저항값과 다른 제 2 저항값을 갖되, 상기 제 1 및 제 2 저항값들은 상기 모드 선택 신호에 의해서 선택되며; 그리고

상기 제 2 가변 저항 회로는 서로 상이하고 상기 스텝 제어 신호들에 의해서 각각 선택되는 복수 개의 저항값들을 갖는 것을 특징으로 하는 불 휘발성 메모리 장치.

청구항 7.

제 6 항에 있어서,

상기 모드 선택 신호는 상기 테스트 프로그램 동작시 활성화되는 것을 특징으로 하는 불 휘발성 메모리 장치.

청구항 8.

제 1 항에 있어서,

상기 워드 라인 전압은 상기 프로그램 사이클의 프로그램 루프들이 반복될 때마다 단계적으로 증가되는 것을 특징으로 하는 불 휘발성 메모리 장치.

청구항 9.

제 5 항에 있어서,

상기 전압 분배기는

상기 워드 라인 전압과 분배 전압 사이에 연결되고 상기 모드 선택 신호에 의해서 제어되는 제 1 가변 저항 회로와; 그리고

상기 분배 전압과 접지 전압 사이에 직렬 연결된 제 2 및 제 3 가변 저항 회로들을 포함하고,

상기 제 2 가변 저항 회로는 상기 모드 선택 신호에 의해서 제어되고 상기 제 3 가변 저항 회로는 상기 스텝 제어 신호들에 의해서 제어되며,

그 결과로서 상기 워드 라인 전압의 시작 전압 레벨은 동작 모드에 관계없이 일정하게 유지되는 것을 특징으로 하는 불 휘발성 메모리 장치.

청구항 10.

제 9 항에 있어서,

상기 제 1 가변 저항 회로는 제 1 저항값과 상기 제 1 저항값과 다른 제 2 저항값을 갖되, 상기 제 1 및 제 2 저항값들은 상기 모드 선택 신호에 의해서 선택되며;

상기 제 2 가변 저항 회로는 제 3 저항값과 상기 제 3 저항값과 다른 제 4 저항값을 갖되, 상기 제 3 및 제 4 저항값들은 상기 모드 선택 신호에 의해서 선택되며; 그리고

상기 제 3 가변 저항 회로는 서로 상이하고 상기 스텝 제어 신호들에 의해서 각각 선택되는 복수 개의 저항값들을 갖는 것을 특징으로 하는 불 휘발성 메모리 장치.

청구항 11.

제 1 항에 있어서,

상기 스텝 제어 신호들은 상기 프로그램 사이클의 프로그램 루프들 각각이 패스되었는지의 여부에 따라 순차적으로 활성화되는 것을 특징으로 하는 불 휘발성 메모리 장치.

청구항 12.

행들과 열들로 배열된 메모리 셀들의 어레이를 포함하는 불 휘발성 메모리 장치에 있어서:

클럭 신호에 응답하여 선택된 행에 공급된 프로그램 전압을 발생하는 전하 펌프와;

스텝 제어 신호들 및 모드 선택 신호에 응답하여 상기 프로그램 전압을 분배하는 전압 분배기와; 그리고

상기 분배 전압이 기준 전압보다 낮은지의 여부에 따라 상기 클럭 신호를 발생하는 전하 펌프 제어기를 포함하며,

상기 프로그램 전압의 분배율은 상기 모드 선택 신호가 활성화되었는지의 여부에 따라 가변되며, 그 결과 프로그램 전압의 증가분이 동작 모드에 따라 다르게 설정되는 것을 특징으로 하는 불 휘발성 메모리 장치.

청구항 13.

제 12 항에 있어서,

상기 모드 선택 신호는 테스트 프로그램 동작시 활성화되고 정상 프로그램 동작시 비활성화되는 것을 특징으로 하는 불 휘발성 메모리 장치.

청구항 14.

제 12 항에 있어서,

테스트 프로그램 동작시 상기 프로그램 전압의 증가분은 정상 프로그램 동작시 상기 프로그램 전압의 증가분보다 큰 것을 특징으로 하는 불 휘발성 메모리 장치.

청구항 15.

제 12 항에 있어서,

상기 메모리 셀들 각각은 n-비트 데이터 (n=2 또는 그 보다 큰 정수)를 저장하는 멀티-레벨 메모리 셀을 포함하는 것을 특징으로 하는 불 휘발성 메모리 장치.

청구항 16.

제 12 항에 있어서,

상기 메모리 셀들 각각은 1-비트 데이터를 저장하는 단일-레벨 메모리 셀을 포함하는 것을 특징으로 하는 불 휘발성 메모리 장치.

청구항 17.

제 12 항에 있어서,

상기 프로그램 전압은 프로그램 사이클의 프로그램 루프들이 반복될 때마다 단계적으로 증가되는 것을 특징으로 하는 불 휘발성 메모리 장치.

청구항 18.

제 12 항에 있어서,

상기 전압 분배기는

상기 프로그램 전압과 분배 전압 사이에 연결된 저항기와; 그리고

상기 분배 전압과 접지 전압 사이에 직렬 연결된 제 1 및 제 2 가변 저항 회로들을 포함하며,

상기 제 1 가변 저항 회로는 제 1 저항값과 상기 제 1 저항값과 다른 제 2 저항값을 갖되, 상기 제 1 및 제 2 저항값들은 상기 모드 선택 신호에 의해서 선택되며; 그리고

상기 제 2 가변 저항 회로는 서로 상이하고 상기 스텝 제어 신호들에 의해서 각각 선택되는 복수 개의 저항값들을 갖는 것을 특징으로 하는 불 휘발성 메모리 장치.

청구항 19.

제 18 항에 있어서,

상기 스텝 제어 신호들은 프로그램 사이클의 프로그램 루프들 각각이 패스되었는 지의 여부에 따라 순차적으로 활성화되는 것을 특징으로 하는 불 휘발성 메모리 장치.

청구항 20.

제 12 항에 있어서,

상기 전압 분배기는 상기 프로그램 전압과 접지 전압 사이에 직렬 연결된 제 1 내지 제 3 가변 저항 회로들을 포함하며,

상기 제 1 및 제 2 가변 저항 회로들은 상기 모드 선택 신호에 의해서 제어되고 상기 제 3 가변 저항 회로는 상기 스텝 제어 신호들에 의해서 제어되는 것을 특징으로 하는 불 휘발성 메모리 장치.

청구항 21.

제 20 항에 있어서,

상기 제 1 가변 저항 회로는 제 1 저항값과 상기 제 1 저항값과 다른 제 2 저항값을 갖되, 상기 제 1 및 제 2 저항값들은 상기 모드 선택 신호에 의해서 선택되며;

상기 제 2 가변 저항 회로는 제 3 저항값과 상기 제 3 저항값과 다른 제 4 저항값을 갖되, 상기 제 3 및 제 4 저항값들은 상기 모드 선택 신호에 의해서 선택되며; 그리고

상기 제 3 가변 저항 회로는 서로 상이하고 상기 스텝 제어 신호들에 의해서 각각 선택되는 복수 개의 저항값들을 가지며,

그 결과로서 상기 프로그램 전압의 시작 전압 레벨은 상기 동작 모드에 관계없이 일정하게 유지되는 것을 특징으로 하는 불 휘발성 메모리 장치.

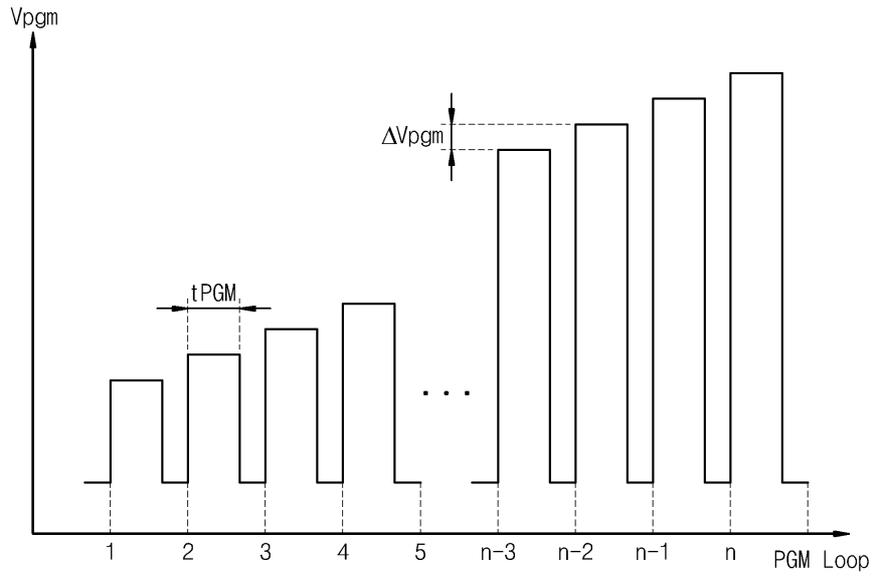
청구항 22.

제 21 항에 있어서,

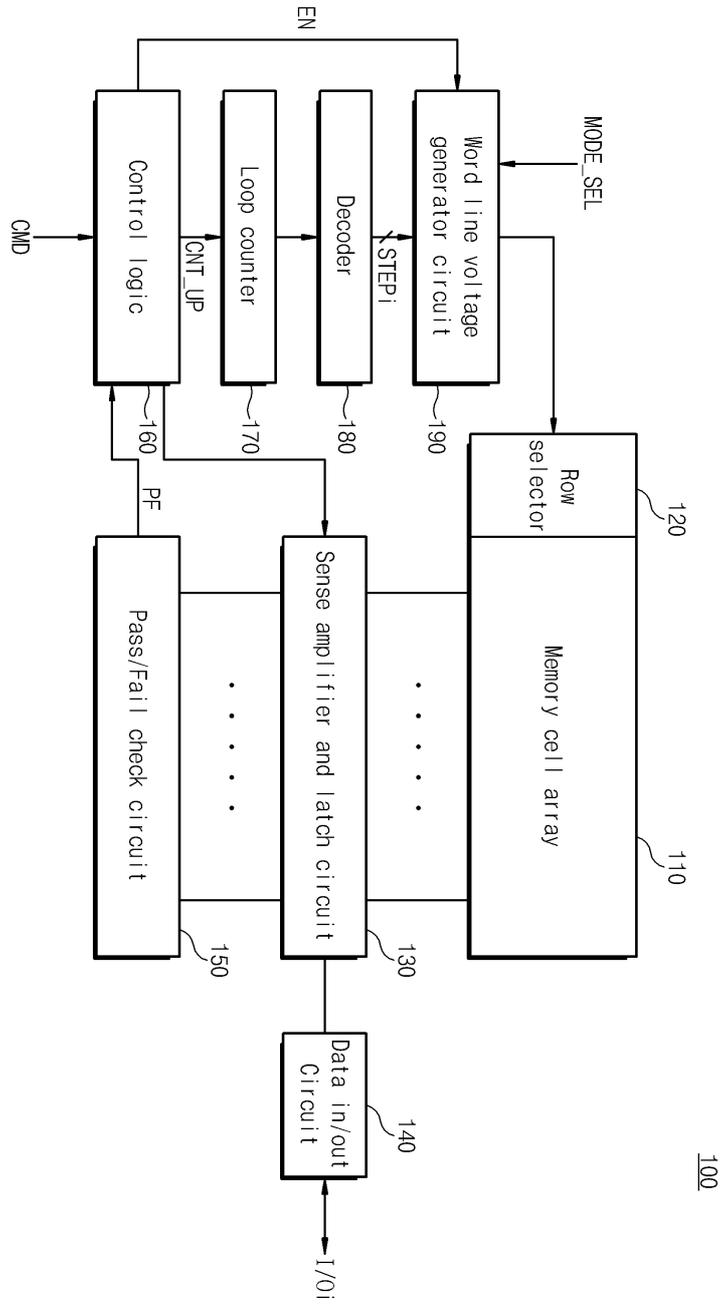
상기 스텝 제어 신호들은 프로그램 사이클의 프로그램 루프들 각각이 패스되었는 지의 여부에 따라 순차적으로 활성화되는 것을 특징으로 하는 불 휘발성 메모리 장치.

도면

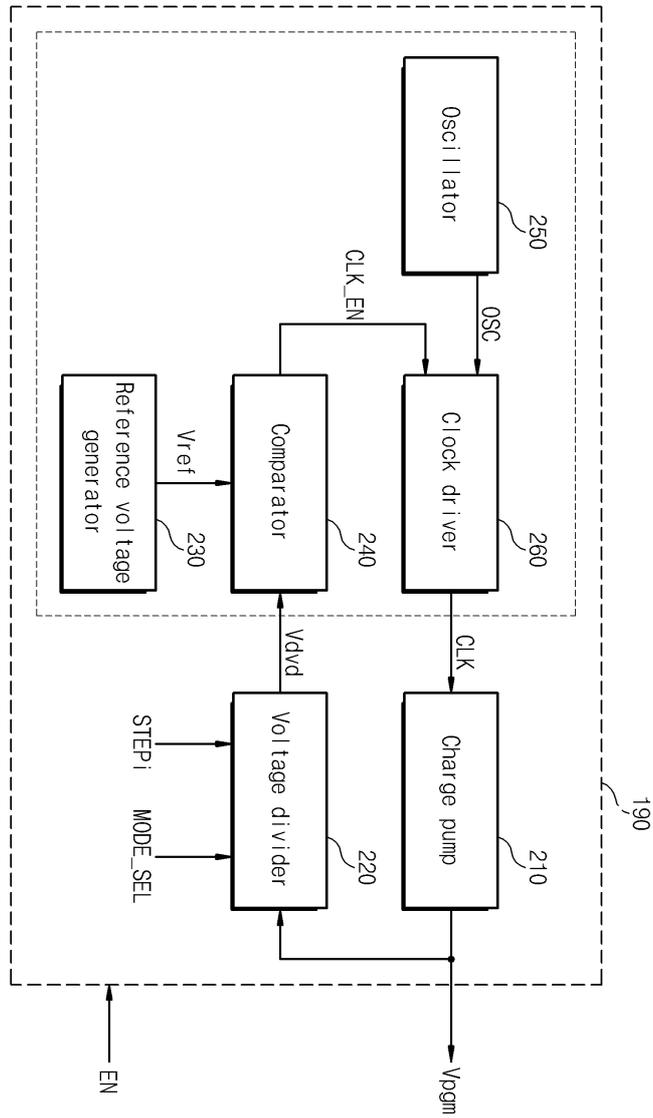
도면1



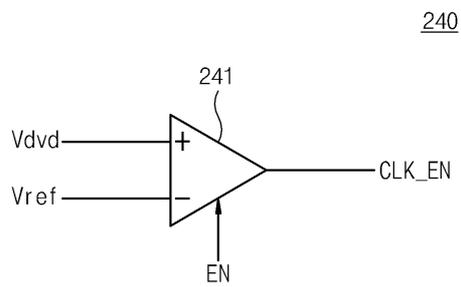
도면2



도면3

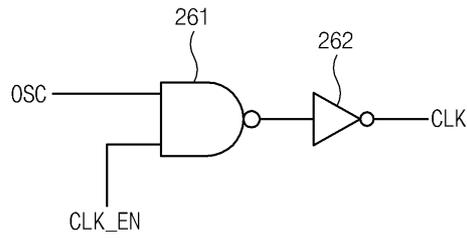


도면4



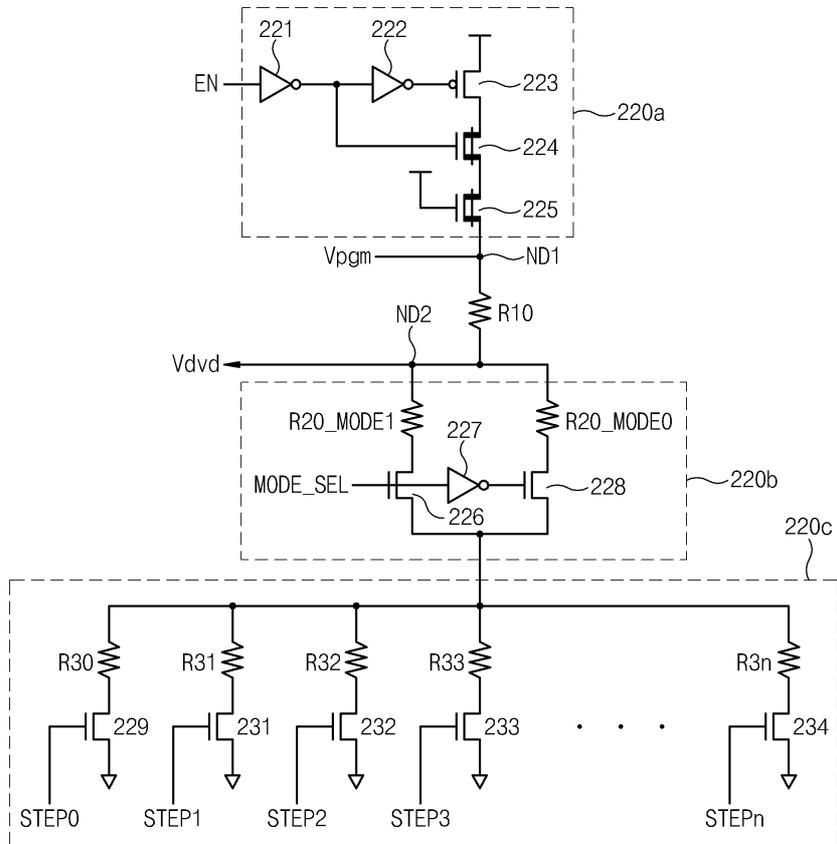
도면5

260

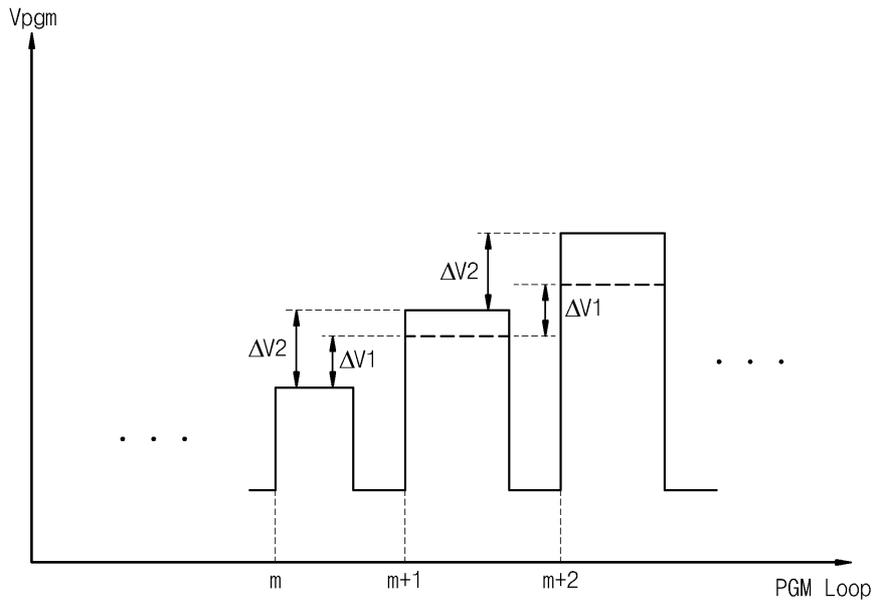


도면6

220



도면7



$$\begin{cases} \Delta V1 = \Delta V_{pgmN} \\ \Delta V2 = \Delta V_{pgmT} \end{cases}$$

도면8

