

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2010-225780

(P2010-225780A)

(43) 公開日 平成22年10月7日(2010.10.7)

(51) Int.Cl.	F I	テーマコード (参考)
HO 1 L 29/786 (2006.01)	HO 1 L 29/78 6 1 6 U	5 F 1 1 0
HO 1 L 21/336 (2006.01)	HO 1 L 29/78 6 2 7 B	

審査請求 未請求 請求項の数 7 O L (全 14 頁)

(21) 出願番号 特願2009-70505 (P2009-70505)
 (22) 出願日 平成21年3月23日 (2009. 3. 23)

(71) 出願人 000001443
 カシオ計算機株式会社
 東京都渋谷区本町1丁目6番2号
 (74) 代理人 100095407
 弁理士 木村 満
 (72) 発明者 松田 邦宏
 東京都八王子市石川町2951番地の5
 カシオ計算機株式会社八王子技術センター
 内

最終頁に続く

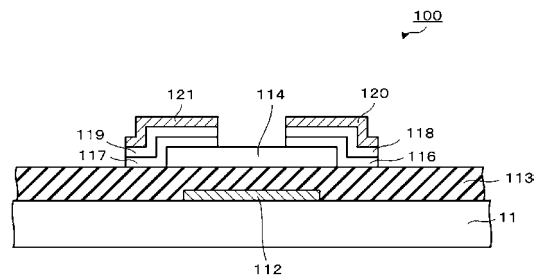
(54) 【発明の名称】 薄膜トランジスタ及び薄膜トランジスタの製造方法

(57) 【要約】

【課題】 微結晶シリコンをチャンネル領域として用い、良好にリーク電流を抑制することが可能な薄膜トランジスタ及びその製造方法を提供する。

【解決手段】 薄膜トランジスタ100は、基板11と、ゲート電極112と、ゲート絶縁膜113と、微結晶シリコンから形成された半導体層(チャンネル領域)114と、第1のオーミックコンタクト層116, 117と、第2のオーミックコンタクト層118, 119と、ドレイン電極120と、ソース電極121と、を備える。半導体層114と、ドレイン電極120及びソース電極121との間に、第2のオーミックコンタクト層118, 119の不純物濃度より低い第1のオーミックコンタクト層116, 117を形成することにより、第1のオーミックコンタクト層116, 117内に空乏層が良好に広がり、薄膜トランジスタ100のリーク電流を良好に抑制することができる。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

微結晶シリコンから形成された半導体層と、
前記半導体層上に設けられたドレイン電極と、
前記半導体層上に設けられたソース電極と、
前記半導体層と、前記ドレイン電極及び前記ソース電極との間に、それぞれ設けられた
オーミックコンタクト層と、を備え、

前記オーミックコンタクト層は、前記半導体層の一部の領域上に直接設けられた第 1 の
オーミックコンタクト層と、該第 1 のオーミックコンタクト層上に設けられた第 2 のオー
ミックコンタクト層と、を備え、

前記第 1 のオーミックコンタクト層の不純物濃度は、前記第 2 のオーミックコンタクト
層の不純物濃度より低いことを特徴とする薄膜トランジスタ。

【請求項 2】

前記第 1 のオーミックコンタクト層は、前記第 2 のオーミックコンタクト層よりも厚く
形成されることを特徴とする請求項 1 に記載の薄膜トランジスタ。

【請求項 3】

前記第 1 のオーミックコンタクト層及び前記第 2 のオーミックコンタクト層は、アモル
ファスシリコンから形成されることを特徴とする請求項 1 又は 2 に記載の薄膜トランジス
タ。

【請求項 4】

微結晶シリコンから形成された半導体層と、前記半導体層上に形成されたドレイン電極
と、前記半導体層上に形成されたソース電極と、を備えた薄膜トランジスタの製造方法で
あって、

前記半導体層と、前記ドレイン電極及び前記ソース電極との間に、それぞれ第 1 のオー
ミックコンタクト層と、前記第 1 のオーミックコンタクト層上に前記第 1 のオーミックコ
ンタクト層よりも不純物濃度が低い第 2 のオーミックコンタクト層と、が形成されるオー
ミックコンタクト層形成工程と、

を備えることを特徴とする薄膜トランジスタの製造方法。

【請求項 5】

前記第 1 のオーミックコンタクト層を、前記第 2 のオーミックコンタクト層よりも厚く
形成することを特徴とする請求項 4 に記載の薄膜トランジスタの製造方法。

【請求項 6】

前記第 1 のオーミックコンタクト層と、前記第 2 のオーミックコンタクト層は連続的に
成膜されることを特徴とする請求項 4 又は 5 に記載の薄膜トランジスタの製造方法。

【請求項 7】

前記第 1 のオーミックコンタクト層及び前記第 2 のオーミックコンタクト層を、アモル
ファスシリコンから形成することを特徴とする請求項 4 乃至 6 のいずれか 1 項に記載の薄
膜トランジスタの製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、微結晶シリコンを用いた薄膜トランジスタ (Thin Film Transistor) 及び薄
膜トランジスタの製造方法に関する。

【背景技術】

【0002】

従来、液晶表示パネル、有機 E L (electroluminescence) 素子を用いた表示パネル等
の駆動素子として、薄膜トランジスタ (Thin Film Transistor, 以下、T F T) が用いら
れている。また、T F T のチャンネル領域として機能する半導体層として、一般に非晶質
シリコン (a - S i) が用いられている。

【0003】

10

20

30

40

50

しかし、 $a-Si$ はオン電流が比較的低いため、オン電流を向上させることを目的として、例えば特許文献 1 に開示されているように、微結晶シリコン ($\mu c-Si$) を用いる試みがなされている。

【先行技術文献】

【特許文献】

【0004】

【特許文献 1】特開 2005-322845 号公報

【発明の概要】

【発明が解決しようとする課題】

【0005】

しかしながら、従来の TFT のチャンネル領域を単純に微結晶シリコンに置き換えただけでは、図 7 に示すようにオフ領域 (V_g が負電圧の領域) のリーク電流が増大する欠点がある。

【0006】

また、このようにリーク電流が大きい微結晶シリコン TFT を、液晶表示装置のスイッチング素子として、また、有機 EL を用いたディスプレイのスイッチング素子として用いると画質低下の要因となるという問題もある。

【0007】

このため、微結晶シリコンをチャンネル領域に用いた TFT のリーク電流を抑制することが求められている。

【0008】

本発明は、上述した実情を鑑みてなされたものであり、微結晶シリコンをチャンネル領域として用い、良好にリーク電流を抑制することが可能な薄膜トランジスタ及び薄膜トランジスタの製造方法を提供することを目的とする。

【課題を解決するための手段】

【0009】

上記目的を達成するため、本発明の第 1 の観点に係る薄膜トランジスタは、
 微結晶シリコンから形成された半導体層と、
 前記半導体層上に設けられたドレイン電極と、
 前記半導体層上に設けられたソース電極と、
 前記半導体層と、前記ドレイン電極及び前記ソース電極との間に、それぞれ設けられたオーミックコンタクト層と、を備え、
 前記オーミックコンタクト層は、前記半導体層の一部の領域上に直接設けられた第 1 のオーミックコンタクト層と、該第 1 のオーミックコンタクト層上に設けられた第 2 のオーミックコンタクト層と、を備え、
 前記第 1 のオーミックコンタクト層の不純物濃度は、前記第 2 のオーミックコンタクト層の不純物濃度より低いことを特徴とする。

【0010】

前記第 1 のオーミックコンタクト層は、前記第 2 のオーミックコンタクト層よりも厚く形成されてもよい。

【0011】

前記第 1 のオーミックコンタクト層及び前記第 2 のオーミックコンタクト層は、アモルファスシリコンから形成されてもよい。

【0012】

上記目的を達成するため、本発明の第 2 の観点に係る薄膜トランジスタの製造方法は、
 微結晶シリコンから形成された半導体層と、前記半導体層上に形成されたドレイン電極と、前記半導体層上に形成されたソース電極と、を備えた薄膜トランジスタの製造方法であって、

前記半導体層と、前記ドレイン電極及び前記ソース電極との間に、それぞれ第 1 のオーミックコンタクト層と、前記第 1 のオーミックコンタクト層上に前記第 1 のオーミックコ

10

20

30

40

50

ンタクト層よりも不純物濃度が低い第2のオーミックコンタクト層と、が形成されるオーミックコンタクト層形成工程と、

を備えることを特徴とする。

【0013】

前記第1のオーミックコンタクト層を、前記第2のオーミックコンタクト層よりも厚くに形成してもよい。

【0014】

前記第1のオーミックコンタクト層と、前記第2のオーミックコンタクト層は連続的に成膜されてもよい。

【0015】

前記第1のオーミックコンタクト層及び前記第2のオーミックコンタクト層を、アモルファスシリコンから形成してもよい。

【発明の効果】

【0016】

本発明では、半導体層とソース電極及びドレイン電極との間に設けられるオーミックコンタクト層を、不純物濃度の異なる2層とすることにより、良好にリーク電流を抑制することが可能な薄膜トランジスタ及びその製造方法を提供することができる。

【図面の簡単な説明】

【0017】

【図1】実施形態に係る薄膜トランジスタの断面図である。

【図2】発光装置の構成例を示す図である。

【図3】画素の駆動回路の等価回路図である。

【図4】有機EL素子の構成例を示す平面図である。

【図5】図4に示すV-V線断面図である。

【図6A】発光装置の製造方法を説明する図である。

【図6B】発光装置の製造方法を説明する図である。

【図6C】発光装置の製造方法を説明する図である。

【図6D】発光装置の製造方法を説明する図である。

【図6E】発光装置の製造方法を説明する図である。

【図7】電流電圧特性を示す図である。

【発明を実施するための形態】

【0018】

本発明の実施形態に係る薄膜トランジスタ(Thin Film Transistor; TFT)及び薄膜トランジスタの製造方法について、図を用いて説明する。本実施形態では、薄膜トランジスタをボトムエミッション型の有機EL(electroluminescence)素子を駆動するための素子として利用する構成を例に挙げて説明する。

【0019】

なお、本実施形態中で、微結晶シリコン($\mu\text{c-Si}$)とは、結晶粒径が、概ね50~100nmの結晶性シリコンである。

【0020】

本実施形態に係る薄膜トランジスタ100の断面図を図1に示す。薄膜トランジスタ100は、基板11と、ゲート電極112と、ゲート絶縁膜113と、半導体層(チャンネル領域)114と、第1のオーミックコンタクト層116, 117と、第2のオーミックコンタクト層118, 119と、ドレイン電極120と、ソース電極121と、を備える。

【0021】

基板11は、絶縁性を備える材料から形成され、例えばガラス基板等が用いられる。

【0022】

ゲート電極112は、導電性を有する材料、例えば、Mo膜、Cr膜、Al膜、Cr/Al積層膜、AlTi合金膜又はAlNdTi合金膜、MoNb合金膜等から形成され、

10

20

30

40

50

基板 11 上に形成される。

【0023】

ゲート絶縁膜 113 は、絶縁性を有する材料、例えば SiN から形成され、基板 11 及びゲート電極 112 を覆うように形成される。

【0024】

半導体層（チャンネル領域）114 は、結晶粒径が、概ね 50 ~ 100 nm の結晶性シリコンである微結晶シリコンから形成される。半導体層 114 として、微結晶シリコンを用いることにより、アモルファスシリコンを用いる場合と比較してオン電流を向上させることが可能となる。半導体層 114 は、ゲート絶縁膜 113 上に形成され、半導体層 114 上には第 1 のオーミックコンタクト層 116 , 117 が形成される。

10

【0025】

第 1 のオーミックコンタクト層 116 , 117 は、電氣的に活性な不純物、例えばリン等の n 型の不純物がドーブされたアモルファスシリコンから形成される。第 1 のオーミックコンタクト層 116 , 117 は、半導体層 114 の上面に形成される。また、第 1 のオーミックコンタクト層 116 は、半導体層 114 のドレイン電極 120 が設けられる領域に形成されており、第 1 のオーミックコンタクト層 117 はソース電極 121 が設けられる領域に形成される。第 1 のオーミックコンタクト層 116 , 117 の上には、それぞれ第 2 のオーミックコンタクト層 118 , 119 が形成される。第 1 のオーミックコンタクト層 116 , 117 の不純物濃度は、第 2 のオーミックコンタクト層 118 , 119 の不純物の濃度より低く形成される。第 1 のオーミックコンタクト層 116 , 117 の不純物濃度は、 $1 \times 10^{18} \sim 1 \times 10^{19} [/ \text{cm}^3]$ であり、第 2 のオーミックコンタクト層 118 , 119 の不純物濃度は、 $5 \times 10^{19} \sim 5 \times 10^{20} [/ \text{cm}^3]$ である。尚、第 1 のオーミックコンタクト層 116 , 117 は $5 \times 10^{18} [/ \text{cm}^3]$ 以上、第 2 のオーミックコンタクト層 118 , 119 は $1 \times 10^{20} [/ \text{cm}^3]$ 程度であることが好ましい。また、オフ領域（Vg が負電圧の領域）において空乏層を良好に拡がらせるため、第 1 のオーミックコンタクト層 116 , 117 は所定程度厚く形成されていることが好ましく、例えば 1000 ~ 2000 の厚みに形成すると好ましい。

20

【0026】

第 2 のオーミックコンタクト層 118 , 119 は、電氣的に活性な不純物、例えばリン等の n 型の不純物がドーブされたアモルファスシリコンから形成される。第 2 のオーミックコンタクト層 118 は、第 1 のオーミックコンタクト層 116 の上に形成されており、第 2 のオーミックコンタクト層 119 は、第 1 のオーミックコンタクト層 117 の上に形成される。第 2 のオーミックコンタクト層 118 , 119 は、第 1 のオーミックコンタクト層 116 , 117 と比較して薄く、250 程度の厚みに形成される。

30

【0027】

ドレイン電極 120 は、第 2 のオーミックコンタクト層 118 上に形成され、例えばアルミニウム - チタン (AlTi) / Cr、AlNdTi / Cr または Cr 等のソース - ドレイン導電層から形成されている。

【0028】

ソース電極 121 は、第 2 のオーミックコンタクト層 119 上に形成され、例えばアルミニウム - チタン (AlTi) / Cr、AlNdTi / Cr または Cr 等のソース - ドレイン導電層から形成されている。

40

【0029】

本実施形態の薄膜トランジスタは、微結晶シリコンから形成された半導体層 114 と、ドレイン電極 120 及びソース電極 121 との間に設けられるオーミックコンタクト層を、第 1 のオーミックコンタクト層 116 , 117 と第 2 のオーミックコンタクト層 118 , 119 との 2 層から構成し、更に第 1 のオーミックコンタクト層 116 , 117 の不純物濃度を第 2 のオーミックコンタクト層 118 , 119 の不純物濃度より低く形成する。これにより、オフ領域において空乏層を良好に拡がらせることができ、薄膜トランジスタ 100 のリーク電流を良好に抑制することができる。また、第 1 のオーミックコンタクト

50

層 116, 117 は所定程度厚く、例えば 1000 ~ 2000 の厚みに形成することによりオフ領域において空乏層を拡がらせることができ、リーク電流をより良好に抑制することができる。

【0030】

次に、本実施形態の薄膜トランジスタが用いられる発光装置 10 について説明する。

【0031】

発光装置 10 は、発光画素基板（画素基板）31 と、発光画素基板 31 上にマトリクス状に配置された発光画素（有機 EL 素子）30 と、発光画素 30 を封止する封止基板 32 と、を備える。発光装置 10 では、図 2 に示すように、発光画素基板 31 上にそれぞれ赤（R）、緑（G）、青（B）の 3 色に発する 3 つの発光画素 30 を一組として、この組が 10 行方向に繰り返し複数個、例えば m 個配列されるとともに、列方向に同一色の画素が複数個、例えば n 個配列されている。このように RGB の各色を発する画素がマトリクス状に、m × n 個配列される。なお、赤（R）、緑（G）、青（B）の 3 つの発光画素 30 はデルタ配列であってもよい。また、発光画素 30 は単色であってもよい。

【0032】

発光画素回路 DS は、図 3 に示すように、選択トランジスタ Tr11、発光駆動トランジスタ Tr12、キャパシタ Cs、有機 EL 素子 30 と、を備える。選択トランジスタ Tr11、発光駆動トランジスタ Tr12 は、上述した本実施形態の薄膜トランジスタ 10 である。

【0033】

発光画素基板 31 上には、行方向に配列された複数の発光画素回路 DS に接続されたアノードライン La と、行方向に配列された複数の発光画素回路 DS にそれぞれ接続された複数のデータライン Ld と、行方向に配列された複数の発光画素回路 DS のトランジスタ Tr11 を選択する走査ライン Ls と、が形成されている。

【0034】

図 3 に示すように選択トランジスタ Tr11 は、ゲート端子が走査ライン Ls に、ドレイン端子がデータライン Ld に、ソース端子が接点 N11 にそれぞれ接続される。また、発光駆動トランジスタ Tr12 は、ゲート端子が接点 N11 に接続されており、ドレイン端子がアノードライン La に、ソース端子が接点 N12 にそれぞれ接続されている。キャパシタ Cs は、発光駆動トランジスタ Tr12 のゲート端子及びソース端子に接続されている。なお、キャパシタ Cs は、発光駆動トランジスタ Tr12 のゲート - ソース間に付加的に設けられた補助容量、もしくは発光駆動トランジスタ Tr12 のゲート - ソース間の寄生容量と補助容量からなる容量成分である。また、有機 EL 素子 30 は、アノード端子（画素電極 42）が接点 N12 に接続され、カソード端子（対向電極 46）に基準電圧 Vss が印加されている。

【0035】

走査ライン Ls は、発光パネルの周縁部に配置された走査ドライバ（図示せず）に接続されており、所定タイミングで行方向に配列された複数の発光画素 30 を選択状態に設定するための選択電圧信号（走査信号）が印加される。また、データライン Ld は、発光パネルの周縁部に配置されたデータドライバ（図示せず）に接続され、上記発光画素 30 の選択状態に同期するタイミングで発光データに応じたデータ電圧（階調信号）が印加される。行方向に配列された複数の発光駆動トランジスタ Tr12 が、当該発光駆動トランジスタ Tr12 に接続された発光画素（有機 EL 素子）30 の画素電極（例えばアノード電極）に発光データに応じた発光駆動電流を流す状態に設定するように、アノードライン La（供給電圧ライン）は、所定の高電位電源に直接又は間接的に接続されている。つまり、アノードライン La は、有機 EL 素子 30 の対向電極 46 に印加される基準電圧 Vss より十分電位の高い所定の高電位（供給電圧 Vdd）が印加される。また、対向電極 46 は、例えば、所定の低電位電源に直接又は間接的に接続され、発光画素基板 31 上にアレイ状に配列された全ての発光画素（有機 EL 素子）に対して単一の電極層により形成されており、所定の低電圧（基準電圧 Vss、例えば接地電位 GND）が共通に印加されるよ

10

20

30

40

50

うに設定されている。

【0036】

また、アノードラインLaと走査ラインLsとは、各トランジスタTr11, Tr12のソース電極、ドレイン電極とを形成するソース・ドレイン導電層を用いてこれらソース電極、ドレイン電極とともに形成される。データラインLdは、各トランジスタTr11, Tr12のゲート電極となるゲート導電層を用いてゲート電極とともに形成される。データラインLdとドレイン電極Tr11dとの間の絶縁膜41には、コンタクトホール61が形成され、データラインLdとドレイン電極Tr11dとは、図4に示すように、コンタクトホール61を介して導通している。走査ラインLsとゲート電極Tr11gの両端との間の絶縁膜41には、図4に示すようにそれぞれコンタクトホール62, 63が形成され、走査ラインLsとゲート電極Tr11gとはコンタクトホール62, 63を介して導通している。ソース電極Tr11sとゲート電極Tr12gとの間の絶縁膜41には、コンタクトホール64が形成され、ソース電極Tr11sとゲート電極Tr12gとはコンタクトホール64を介して導通している。なお、絶縁膜41は、絶縁性材料、例えばシリコン酸化膜、シリコン窒化膜等から形成され、データラインLd、ゲート電極Tr11g及びゲート電極Tr12gを覆うように発光画素基板31上に形成される。

10

【0037】

次に、有機EL素子30は、図5に示すように、画素電極42と、正孔注入層43と、インターレイヤ44と、発光層45と、対向電極46と、を備える。正孔注入層43と、インターレイヤ44と、発光層45とが、電子や正孔がキャリアとなって輸送されるキャリア輸送層となる。キャリア輸送層は、列方向に配列された層間絶縁膜4及び隔壁48の間に配置されている。

20

【0038】

各発光画素の発光画素基板31(基板11に相当)上には、ゲート導電層をパターンニングしてなる選択トランジスタTr11、発光駆動トランジスタTr12のゲート電極Tr11g、Tr12gが形成されている。各発光画素に隣接した発光画素基板31上には、ゲート導電層をパターンニングしてなり、列方向に沿って延びるデータラインLdが形成されている。

【0039】

画素電極(アノード電極)42は、透光性を備える導電材料、例えばITO(Indium Tin Oxide)、ZnO等から構成される。各画素電極42は、層間絶縁膜47によって隣接する他の発光画素30の画素電極42と絶縁されている。

30

【0040】

層間絶縁膜47は、絶縁性材料、例えばシリコン窒化膜から形成され、画素電極42間に形成され、トランジスタTr11, Tr12や走査ラインLs、アノードラインLaを絶縁保護する。層間絶縁膜47には略方形の開口部47aが形成されており、この開口部47aによって発光画素30の発光領域が画定される。更に層間絶縁膜47上には隔壁48の列方向(図4の上下方向)に延びる溝状の開口部48aが複数の発光画素30にわたって形成されている。

【0041】

隔壁48は、絶縁材料、例えばポリイミド等の感光性樹脂を硬化してなり、層間絶縁膜47上に形成される。隔壁48は、図4に示すように列方向に沿った複数の発光画素の画素電極42をまとめて開口するようにストライプ状に形成されている。なお、隔壁48の平面形状は、これに限られず各画素電極42毎に開口部をもった格子状であってもよい。

40

【0042】

正孔注入層43は、画素電極42上に形成され、発光層45に正孔を供給する機能を有する。正孔注入層43は正孔(ホール)注入・輸送が可能な有機高分子系の材料から構成される。また、有機高分子系のホール注入・輸送材料を含む有機化合物含有液としては、例えば導電性ポリマーであるポリエチレンジオキシチオフエン(PEDOT)とドーパントであるポリスチレンスルホン酸(PSS)を水系溶媒に分散させた分散液であるPED

50

OT/PSS水溶液を用いる。

【0043】

インターレイヤ44は、正孔注入層43上に形成される。インターレイヤ44は、正孔注入層43の正孔注入性を抑制して発光層45内において電子と正孔とを再結合させやすくする機能を有し、発光層45の発光効率を高めるために設けられている。

【0044】

発光層45は、インターレイヤ44上に形成されている。発光層45は、アノード電極とカソード電極との間に電圧を印加することにより光を発生する機能を有する。発光層45は、蛍光あるいは燐光を発光することが可能な公知の高分子発光材料、例えばポリパラフェニレンビニレン系やポリフルオレン系等の共役二重結合ポリマーを含む発光材料から構成される。また、これらの発光材料は、適宜水系溶媒あるいはテトラリン、テトラメチルベンゼン、メシチレン、キシレン等の有機溶媒に溶解（又は分散）した溶液（分散液）をノズルコート法やインクジェット法等により塗布し、溶媒を揮発させることによって形成する。

10

【0045】

また、対向電極（カソード電極）46は、ボトムエミッション型の場合、発光層45側に設けられ、導電材料、例えばLi、Mg、Ca、Ba等の仕事関数の低い材料からなる電子注入性の下層と、Al等の光反射性導電金属からなる上層を有する積層構造であり、トップエミッション型の場合、発光層45側に設けられ、10nm程度の膜厚の極薄い例えばLi、Mg、Ca、Ba等の仕事関数の低い材料からなる光透過性低仕事関数層と、100nm~200nm程度の膜厚のITO等の光反射性導電層を有する透明積層構造である。本実施形態では、対向電極46は複数の発光画素30に跨って形成される単一の電極層から構成され、例えば接地電位である共通電圧Vssが印加されている。

20

【0046】

次に、本実施形態の薄膜トランジスタと、この薄膜トランジスタを用いた発光装置の製造方法を図6A~図6Eを用いて説明する。ここでは、選択トランジスタTr11は発光駆動トランジスタTr12と同一工程によって形成されるので、発光駆動トランジスタTr12と共通する部分についてはトランジスタTr11の形成の説明を一部省略する。

【0047】

まず、ガラス基板等からなる発光画素基板31（図1に示す基板11に相当）を用意する。次に、この発光画素基板31上に、スパッタ法、真空蒸着法等により例えば、Mo膜、Cr膜、Al膜、Cr/Al積層膜、AlTi合金膜又はAlNdTi合金膜、MoNb合金膜等からなるゲート導電膜を形成し、これを図6Aに示すように発光駆動トランジスタTr12のゲート電極112（Tr12g）の形状にパターンニングする。この際、図示はしていないが、選択トランジスタTr11のゲート電極Tr11g、及びデータラインLdも形成する。続いて、CVD（Chemical Vapor Deposition）法等によりゲート電極Tr12g及びデータラインLd上に絶縁膜41を形成する。

30

【0048】

次に、絶縁膜41（図1に示すゲート絶縁膜113に相当）上に、CVD法等により微結晶シリコン層を形成する。この際、微結晶シリコン層は、成膜時に多結晶化する、いわゆるasdepo μ c-Siでも良いし、アモルファスシリコンを成膜した後にアニール処理を施して多結晶化させ、形成してもよい。

40

【0049】

続いて、微結晶シリコン層をエッチングし、図6Bに示すように半導体層114を形成する。

【0050】

次に、第1のシリコン層を堆積させる。第1のシリコン層としては、所定の濃度だけ不純物がドーブされたアモルファスシリコンを用いる。続いて、同一の装置内で連続的に第1のシリコン層上に第2のシリコン層を堆積させる。第2のシリコンは、第1のシリコン層よりも高い濃度で不純物がドーブされたアモルファスシリコンを用いる。次に、フォト

50

リソグラフィ等を用い、第1のシリコン層と第2のシリコン層をエッチングすることにより、図6Cに示すように、第1のオーミックコンタクト層116, 117と第2のオーミックコンタクト層118, 119とを形成する。

【0051】

このように、第1のオーミックコンタクト層116, 117と第2のオーミックコンタクト層118, 119とを、ドーブされたシリコンを堆積させ、連続的に成膜することにより、例えばイオンドーピング装置を用いて不純物を拡散させる場合と比較し、成膜工程の数を減少させることができる。例えばイオンドーピング装置を用いる場合、シリコン層の堆積、イオン注入、活性化の工程が必要であり、本実施形態のようにオーミックコンタクト層を2層形成する場合は、これらの工程を2回行う必要がある。しかし、ドーブされたシリコンを連続的に堆積させることにより、イオン注入、活性化の工程を省略し、工程数を減少させることが可能となる。

10

【0052】

次に、スパッタ法、真空蒸着法等により絶縁膜41上に、ITO等の透明導電膜、或いは光反射性導電膜及びITO等の透明導電膜を被膜後、フォトリソグラフィによってパターンニングして、図6Dに示すように、画素電極42を形成する。

【0053】

続いて、絶縁膜41に貫通孔であるコンタクトホール61~64を形成してから、例えば、Mo膜、Cr膜、Al膜、Cr/Al積層膜、AlTi合金膜又はAlNdTi合金膜、MoNb合金膜等からなるソース-ドレイン導電膜をスパッタ法、真空蒸着法等により被膜して、フォトリソグラフィによってパターンニングして図6Dに示すようにドレイン電極Tr12d及びソース電極Tr12sを形成する。これと同時に、アノードラインLaを形成する。このとき、発光駆動トランジスタTr12のソース電極Tr12sはそれぞれ画素電極42の一部と重なるように形成される。

20

【0054】

なお、上述した製造方法では、ソース電極Tr12sを画素電極42の一部を覆うように形成するため、一旦、第1のオーミックコンタクト層116, 117と第2のオーミックコンタクト層118, 119とを形成した後で、ソース-ドレイン導電膜を形成し、ドレイン電極120、ソース電極121を形成する構成を例に挙げて説明したが、これに限られない。例えば、第1のオーミックコンタクト層116, 117と第2のオーミックコンタクト層118, 119となる第1のシリコン層及び第2のシリコン層を形成した上で、ソース-ドレイン導電膜を形成し、シリコン層とソース-ドレイン導電膜とを一括してエッチングすることも可能である。

30

【0055】

続いて、図6Eに示すようにトランジスタTr12等を覆うようにシリコン窒化膜からなる層間絶縁膜47をCVD法等により形成後、フォトリソグラフィにより、開口部47aを形成する。次に、感光性ポリイミドを層間絶縁膜47を覆うように塗布し、隔壁48の形状に対応するマスクを介して露光、現像することによってパターンニングし、図6Eに示すように開口部48aを有する隔壁48を形成する。

40

【0056】

続いて、正孔注入材料を含む有機化合物含有液を、連続して流すノズルプリンティング装置あるいは個々に独立した複数の液滴として吐出するインクジェット装置によって開口部47aで囲まれた画素電極42上に選択的に塗布する。続いて、発光画素基板31を大気雰囲気下で加熱し有機化合物含有液の溶媒を揮発させて、正孔注入層43を形成する。有機化合物含有液は加熱雰囲気です塗布されてもよい。

【0057】

続いて、ノズルプリンティング装置またはインクジェット装置を用いてインターレイヤ44となる材料を含有する有機化合物含有液を正孔注入層43上に塗布する。窒素雰囲気中の加熱乾燥、或いは真空中での加熱乾燥を行い、残留溶媒の除去を行ってインターレイヤ44を形成する。有機化合物含有液は加熱雰囲気です塗布されてもよい。

50

【 0 0 5 8 】

次に、発光ポリマー材料（R，G，B）を含有する有機化合物含有液を、同様にノズルプリンティング装置またはインクジェット装置により塗布して窒素雰囲気中で加熱して残留溶媒の除去を行い、発光層45を形成する。有機化合物含有液は加熱雰囲気中で塗布されてもよい。

【 0 0 5 9 】

続いて、図6Eに示すように、発光層45まで形成した発光画素基板31に真空蒸着やスパッタリングで、Li，Mg，Ca，Ba等の仕事関数の低い材料からなる層と、Al等の光反射性導電層からなる2層構造の対向電極46を形成する。

【 0 0 6 0 】

次に、複数の発光画素30が形成された発光領域の外側において、発光画素基板31上に紫外線硬化樹脂、又は熱硬化樹脂からなる封止樹脂を塗布し、図示しない封止基板と発光画素基板31と貼り合わせる。次に紫外線もしくは熱によって封止樹脂を硬化させて、発光画素基板31と封止基板とを接合する。

以上から、発光装置10が製造される。

【 0 0 6 1 】

このように本実施形態の薄膜トランジスタの製造方法では、微結晶シリコンから形成された半導体層114と、ドレイン電極120及びソース電極121との間に、第1のオーミックコンタクト層116，117と第2のオーミックコンタクト層118，119とを形成し、第1のオーミックコンタクト層116，117の不純物濃度を第2のオーミックコンタクト層118，119の不純物濃度より低く形成することにより、薄膜トランジスタ100のリーク電流を良好に抑制することができる。また、第1のオーミックコンタクト層116，117は所定程度厚く、例えば1000～2000の厚みに形成することによりオフ領域において空乏層を拡がらせることができ、リーク電流をより良好に抑制することができる。

【 0 0 6 2 】

更に、第1のオーミックコンタクト層116，117と第2のオーミックコンタクト層118，119とは、ドーピングされたシリコンを堆積させ、連続的に成膜するため、例えばイオンドーピング装置を用いて不純物を拡散させる場合と比較し、成膜工程の数を減少させることができる。

【 0 0 6 3 】

本発明は、上述した実施形態に限られず、様々な変形、及び応用が可能である。

【 0 0 6 4 】

上述した実施形態では、発光装置の発光画素はRGBの各色を有する構成を例に挙げて説明したが、これに限られず単色の発光画素から構成されてもよい。この場合、隔壁48を省略してもよい。

【 0 0 6 5 】

上述した実施形態では、有機EL素子の駆動に用いる構成を例に挙げて説明したが、液晶表示装置等に用いてもよい

【 0 0 6 6 】

また、上述した各実施形態では、有機EL素子を発光させる点灯回路は2つのトランジスタを備える例を挙げて説明したが、これに限られず、3つ以上のトランジスタを備えるものであってもよい。

【 符号の説明 】

【 0 0 6 7 】

10・・・発光装置、11・・・基板、30・・・発光画素（有機EL素子）、31・・・発光画素基板、41・・・絶縁膜、42・・・画素電極、43・・・正孔注入層、44・・・インターレイヤ、45・・・発光層、46・・・対向電極、47・・・層間絶縁膜、48・・・隔壁、100・・・薄膜トランジスタ（TFT）、112・・・ゲート電極、113・・・ゲート絶縁膜、114・・・半導体層（チャンネル領域）、116，1

10

20

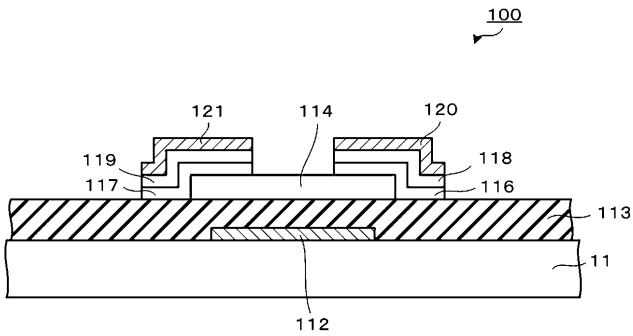
30

40

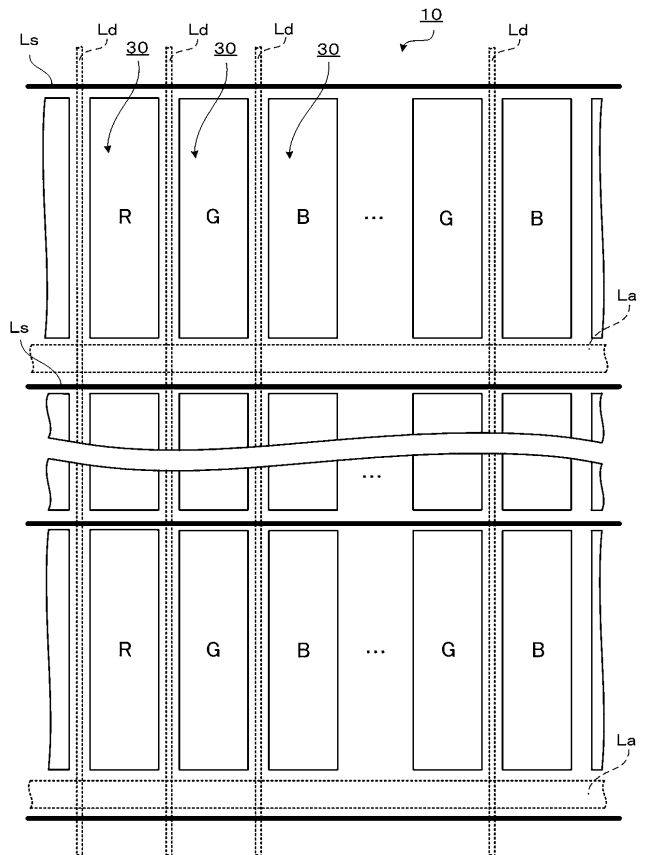
50

17・・・第1のオーミックコンタクト層、118, 119・・・第2のオーミックコンタクト層、120・・・ドレイン電極、121・・・ソース電極、La・・・アノードライン、Ls・・・走査ライン、Ld・・・データライン、Tr11・・・選択トランジスタ、Tr12・・・発光駆動トランジスタ

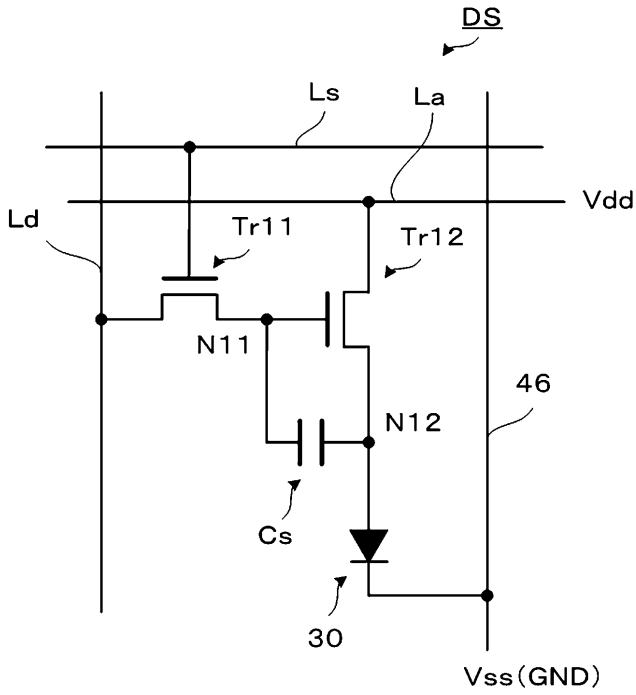
【図1】



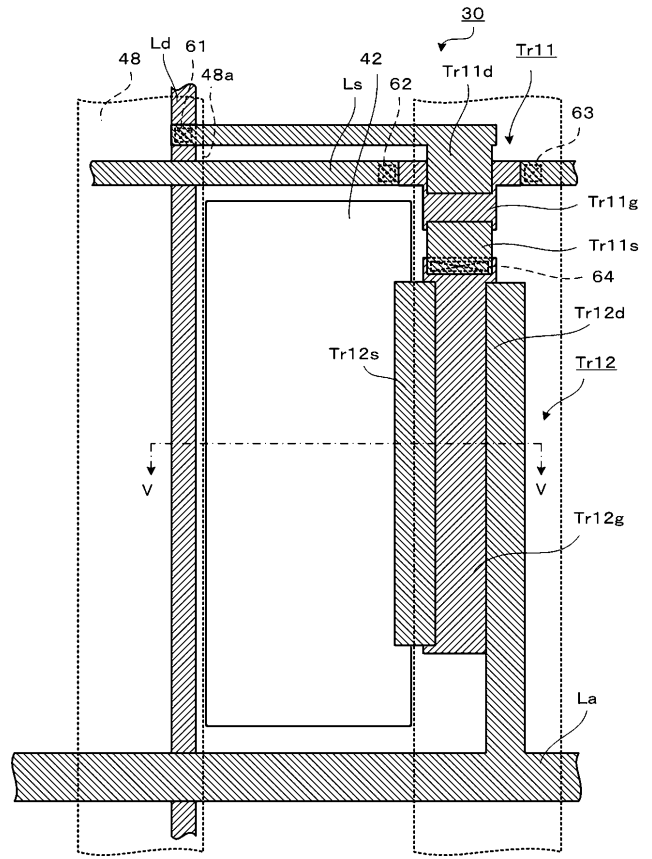
【図2】



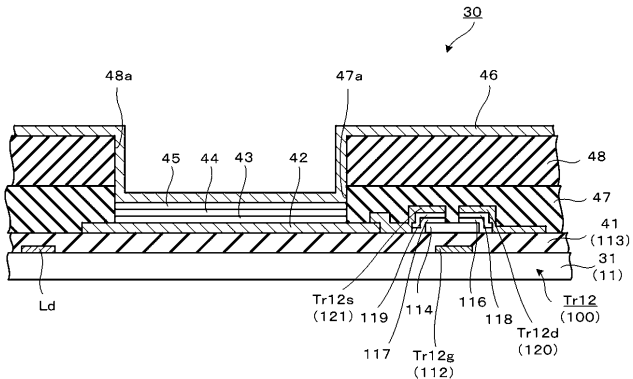
【 図 3 】



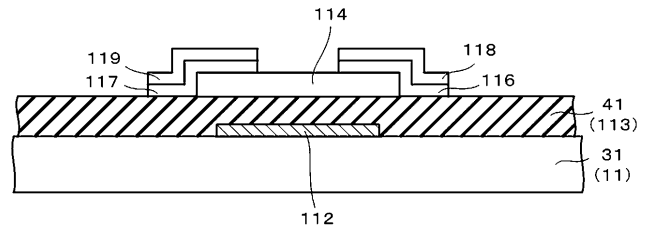
【 図 4 】



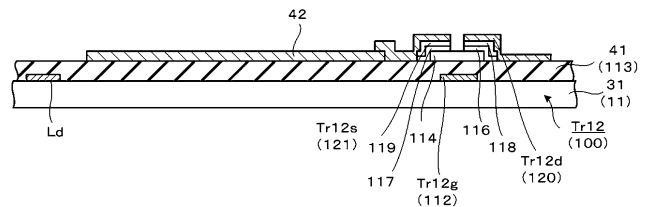
【 図 5 】



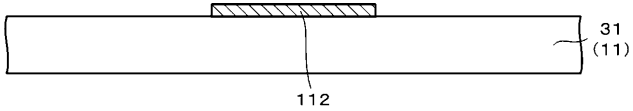
【 図 6 C 】



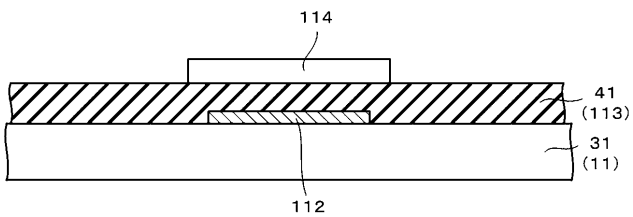
【 図 6 D 】



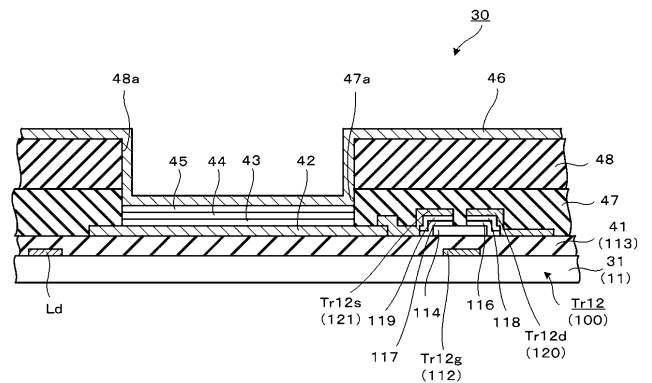
【 図 6 A 】



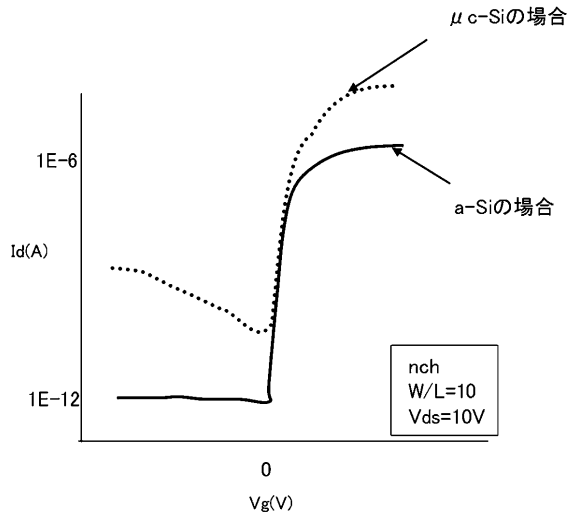
【 図 6 B 】



【 図 6 E 】



【 図 7 】



フロントページの続き

Fターム(参考) 5F110 AA06 BB02 CC07 DD02 EE03 EE04 EE06 EE14 EE43 EE44
FF03 FF29 GG02 GG14 GG16 GG44 HK04 HK06 HK09 HK16
HK22 HK25 HK27 HK28 HK32 HL03 HL04 HL06 HL11 HL22
HL23 NN02 NN24 NN27 NN33 NN35 NN73 PP01 QQ06 QQ09