

[12] 发明专利说明书

[21] ZL 专利号 97104514.3

[45] 授权公告日 2002 年 3 月 20 日

[11] 授权公告号 CN 1081407C

[22] 申请日 1997.3.18 [24] 颁证日 2002.3.20

[21] 申请号 97104514.3

[30] 优先权

[32] 1996.3.19 [33] US [31] 618,544

[73] 专利权人 半导体元件工业有限责任公司

地址 美国亚利桑那

[72] 发明人 罗伯特·N·多森

理查德·S·格里菲蒂

托马斯·D·佩蒂

罗伯特·L·维纳

[56] 参考文献

EP 0284092 1988. 9. 28 H03F3/45

US 5325069 1994. 6. 28 H03F3/45

审查员 段成云

[74] 专利代理机构 中国国际贸易促进委员会专利商标事务所

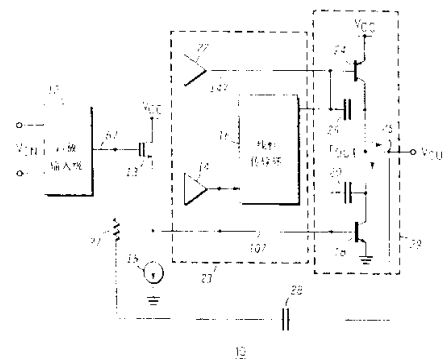
代理人 蒋世迅

权利要求书 2 页 说明书 17 页 附图页数 5 页

[54] 发明名称 低压运算放大器及方法

[57] 摘要

低压运算放大器(10)在 0℃ 到 70℃ 的温度范围及 1 到 8 伏的电压 范围内工作。运放输入级(12)使用 N 沟道耗尽型 MOSFET 来提供差分 输入的放大并且保持恒定的跨导。源跟随器 MOSFET (13) 在传输交流 信号 STAGE - 1 OUTPUT 到电流吸收晶体管(18)的基极时提供单位增 益。吸收控制电路(14)和源控制电路(22)在 晶体管(18)和(24) 中产生基极驱动电流。一个输出级 提供大约 50 毫安的吸收电流和源电流。



ISSN 1008-4274

权 利 要 求 书

1. 一种低压运算放大器，包括：

输入级，具有被连接用于接收输入信号的一个输入端，且具有一个输出端，该输入级包含：

第一耗尽型金属氧化物半导体场效应晶体管（MOSFET），具有一个源极端子，一个漏极端子和一个栅极端子；和

第二耗尽型 MOSFET，具有一个源极端子，一个漏极端子，和一个栅极端子，其中第一和第二耗尽型 MOSFET 的源极端子被共同连接，以形成一个差分对，并且栅极端子用作该差分对的差分输入端；

源极跟随器，具有一个栅极端子，一个漏极端子，和一个源极端子，其中该源极跟随器的栅极端子被连接到输入级；

偏置电路，具有一个输入端，连接到源极跟随器的源极端子，其中该偏置电路提供第一偏置输出信号和第二偏置输出信号；及

输出驱动级，连接到偏置电路且连接到源极跟随器的源极端子，其中该输出驱动级接收第一偏置输出信号和第二偏置输出信号，并且提供一个输出信号。

2. 权利要求 1 的低压运算放大器，其中源极跟随器是一个耗尽型 MOSFET。

3. 权利要求 2 的低压运算放大器，其中源极跟随器在一个 P 型阱中构造。

4. 权利要求 1 的低压运算放大器，还包括一个频率极点分割电路，连接在输出驱动级与运算放大器输入级的输出端之间。

5. 权利要求 1 的低压运算放大器，其中低压运算放大器以低至 1 伏的电压工作。

6. 权利要求 1 的低压运算放大器，其中运算放大器输入级包括 N 沟道耗尽型金属氧化物半导体场效应晶体管（MOSFET），以便提供放大，并且展示最小的跨导变化。

7. 一种用于从运算放大器输入级的输入端传输交流信号到偏置

电路的方法，该方法包括步骤：

在运算放大器输入级的输入端接收交流信号；和

利用耗尽型金属氧化物半导体场效应晶体管（MOSFET）源极跟随器，传输运算放大器输入级的输出信号到偏置电路。

8. 权利要求 7 的方法，其中传输运算放大器输入级的输出信号到偏置电路的步骤包含传输运算放大器输入级的输出信号的基本上全部到该偏置电路。

9. 权利要求 7 的方法，其中传输运算放大器输入级的输出信号的步骤还包含使用构造为源极跟随器的 N 沟道耗尽型 MOSFET。

10. 权利要求 9 所述的方法，其中传输运算放大器输入级的输出信号到偏置电路的步骤包含使运算放大器输入级以低至 1 伏的电压工作。

说 明 书

低压运算放大器及方法

本发明一般涉及集成电路设计以及，尤其涉及单片运算放大器，为了获得轨至轨（rail to rail）的输入能力，该单片运算放大器具有一个采用耗尽型金属氧化物半导体场效应晶体管（MOSFET）器件的差分放大器输入级。

带有运算放大器的电子系统的工业趋势正朝着由电池电源提供的较低的工作电压的方向发展。这样，放大器在应用时，除了要求具有传统运放的规定如高输入阻抗、低输入偏置电压、低噪声、宽带宽、高速度和充分的输出驱动能力以外，还要求低压单电源工作。集成电路的不同制造工艺已经允许用于差分输入级如达林顿 PNP 型晶体管和 P 沟道耗尽型 MOSFET 的技术，目的是满足所述的用于运放输入级的准则。放大器输出级已经使用的技术包括：NPN、PNP 和 MOSFET 型晶体管的组合，目的是获得低交叉畸变、包括轨至轨行为的大输出电压摆幅、良好的相位和增益余量、低输出阻抗和对称的源（source）和吸收（sink）能力。

虽然各种类型的输入级都由单电源电压源供电，但是放大器工作的低压限却因输入级的类型和集成电路的制造工艺而异。目前运放的输入级设计展示的电压工作限阻碍了由电池供电的产品的应用，电压接近于 1 伏时运放失效。例如，为了补偿温度效应而采用多个双极晶体管的运放和电流通路，具有被标准晶体管基射极压降强加的低工作电压限。

因此，需要一种多用途的运算放大器，能用于由电池电源供电的各种应用，特别是不会降低运算放大器性能的低压应用中。需要一种运放的输入级，能提供高输入阻抗和低输入偏置电压。需要一种运放，使信号通路中的晶体管减到最少，以提供高速度和宽带宽，并且仍有输入和输出的轨至轨能力。

图 1 是一个运算放大器的框图，根据本发明的一个最佳的实施例；

图 2 是一个示意图，显示图 1 中所示的低压运算放大器的输入级的一个最佳的实施例；

图 3 是一个示意图，显示图 1 中所示的低压运算放大器的输入级的一个变型的实施例；

图 4 是一个示意图，显示图 1 中所示的低压运算放大器的输入级的另一个变型的实施例；

图 5 是一个示意图，显示图 1 中所示的运算放大器的一个输出吸收晶体管基极电流发生级；

图 6 是一个示意图，显示图 1 中所示的运算放大器的一个输出源晶体管基极电流发生级；

图 7 是一个示意图，显示图 1 中所示的运算放大器的一个低压线性传输环（translinear loop）的一个变型的实施例；以及

图 8 是一个示意图，显示了用于选择图 1 中所示的输出放大器的源和吸收能力的低压线性传输环的一个最佳的实施例。

图 1 显示了低压运算放大器 10 的框图。差分输入信号 V_{IN} 通过两个输入端加到运放的输入级 12。运放输入级 12 的引线 67 连到 MOSFET 13 的栅极。具有漏极端子、源极端子和栅极端子的 MOSFET 器件是具有第一电流端子、第二电流端子和控制端子的电流传导晶体管。注意到在以下的描述中，能够使用 MOSFET 或其它等价器件来恰当地代替双极晶体管。MOSFET 13 的漏极连到一个正电源 V_{CC} ，如 1 伏。运算放大器 10 的负电源在图中显示以及文中描述为参考地。MOSFET 13 的源极连到吸收控制电路 14 的输入端和电流吸收器 15 的第一端子，吸收大约为 25 微安的电流。MOSFET 13 的体（没有显示）连到基准电压（没有显示）。电流吸收器 15 的第二端子连到参考地。吸收控制电路 14 的引线 107 连到线性传输环 16 的第一输入端以及 NPN 型晶体管 18 的基极。电容 20 连接在晶体管 18 的基极和集电极之间，并且在本最佳的实施例中电容约为 8 皮法。具有发射极端子、集电极端子和基极端子的 NPN 型晶体管或 PNP 型晶体管是具有第一电流端子、第二电流端子和控制端子的电流传导晶体管。晶体管 18 的发射极连到参考地，同时为了提供输出信号 V_{OUT} ，晶体管 18 的集电极连到端点 25。

图 1 中的源控制电路 22 的引线 147 连到线性传输环 16 的输出端以及 PNP 型晶体管 24 的基极。电容 26 连接在晶体管 24 的基极和集电极之间，

并且在最佳实施例中电容约为 8 皮法。晶体管 24 的发射极连到工作电压 V_{CC} 。为了提供信号 V_{OUT} 作为输出驱动级的输出，晶体管 24 的集电极连到端点 25。电容 28 约 20 皮法，电阻 27 约 1.4 千欧，串联在运放输入级 12 的端点 25 和引线 67 之间。

低压运算放大器 10 有两个放大级。运放输入级 12 的输出端包括一个放大的差分输入信号作为第一级放大，并且输出驱动级 29 提供第二级放大。MOSFET 13 作为一个 N 沟道耗尽型源极跟随器 MOSFET 连接，并且被处理使得具有一个负阈值电压。在耗尽型源极跟随器中，加在栅极端子的电压被传送到源极端子。MOSFET 器件不会改变或放大输入信号，并且因此在传输从运放输入级 12 接收到的输出信号时，提供单位增益。MOSFET 13 提供 MOSFET 器件固有的高输入阻抗。高输入阻抗基于在处理 MOSFET 器件的过程中形成的介电氧化物使得栅极端子从电流通路对于参考地或对于工作电压 V_{CC} 隔离。

参考图 1，吸收控制电路 14 产生晶体管 18 的基极电流驱动，晶体管 18 控制低压运算放大器 10 的电流吸收能力。低压运算放大器 10 的 V_{CC} 工作在 8 伏到 1 伏的范围内。工作电压 V_{CC} 为 3 伏时，晶体管 18 的电流吸收能力为 50 毫安。源控制电路 22 产生晶体管 24 的基极电流驱动，晶体管 24 控制低压运算放大器 10 的电流流出能力。工作电压 V_{CC} 为 3 伏时，晶体管 24 的电流流出（sourcing）能力是 50 毫安。当信号 V_{IN} 被运算放大器输入级 12 放大时，通过引线 107 加到线性传输环 16 的信号是在引线 67 处的信号的传输输出。这样，在运算放大器输入级 12 的输入信号 V_{IN} 的基础上，线性传输环 16 选择吸收控制电路 14 工作并且低压运算放大器 10 通过晶体管 18 吸收电流，或者选择源控制电路 22 工作并且低压运算放大器 10 通过晶体管 24 流出电流。

参考图 1，带有两级放大的低压运算放大器 10 具有两个极点频率。电阻 27 和电容 28 的功能是移动一个高于低压运算放大器 10 的带宽的极点频率，并且使得其它主极点频率移到更低的频率。这种极点分割技术的目的在于保证放大器的稳定性。即，通过将第二极点移到单位增益点以外获得足够的相位余量，使得单位增益点处的相移不为 180 度，并且使低压运算放大器 10 避免振荡。

图 2 显示了适合与图 1 中所示的运放一起使用的运放输入级 12 的一个最佳的实施例的示意图。低压运算放大器 10 的第一级放大由运放输入级 12 完成。信号 V_{IN} 是通过 N 沟道耗尽型金属氧化物半导体场效应晶体管 (MOSFET) 30 和 32 的栅极连接成的差分输入。MOSFET 30 的漏极连到电流源 34 的一个端子, 提供大约 80 微安的电流。MOSFET 32 的漏极连到电流源 36 的一个端子, 提供大约 80 微安的电流。电流源 34 和 36 的另一个端子都连到工作电压 V_{CC} 。MOSFET 30 和 32 的源极端子都连到电流吸收器 38 的一个端子, 吸收大约 40 微安的电流。电流吸收器 38 的另一个端子连到参考地。MOSFET 30 和 MOSFET 32 的体或阱端子都连到参考地。

在图 2 中, 接收输入信号 V_{IN} 的差分对 MOSFET 30 和 32 从 MOSFET 30 和 32 的漏极端子提供两个输出, 作为电流偏置电路 39 的交流 (AC) 信号输入。电流偏置电路 39 的功能是在连自 MOSFET 30 和 32 的漏极端子的两个输入上提供相等的负载, 在输出端点 67 处匹配流出和吸收电流的能力, 在输出端点 67 处提供高阻抗, 并且对输入信号 V_{IN} 的单端变换 (single ended conversion) 进行差分。在一个最佳的实施例中, 晶体管 40、42、44、46 和 48 是 PNP 型的, 公用的晶体管基极端子连到晶体管 48 的集电极。电流吸收器 50, 吸收大约 20 微安的电流, 第一端子连到晶体管 48 的基极和集电极公用端子。电流吸收器 50 的第二端子连到参考地。晶体管 40 和 42 的发射极连到 MOSFET 30 的漏极。晶体管 44 和 46 的发射极连到 MOSFET 32 的漏极。晶体管 48 的发射极连到约为 7.5 千欧的电阻 49 的一个端子, 电阻 49 的另一端子连到工作电压 V_{CC} 。

在图 2 中所示的运放输入级 12 的一个最佳的实施例中, 晶体管 52、54、56、58、60、62、64、66 和 72 是 NPN 型的。晶体管 44 和 52 的共集电极连到晶体管 54 和 56 的共基极。晶体管 40、42、58 和 60 的共集电极连到晶体管 62 和 64 的共基极。晶体管 52 的发射极连到晶体管 54 的集电极。晶体管 56 的集电极连到晶体管 58 的发射极。晶体管 54 和 56 的发射极连到参考地。晶体管 60 的发射极连到晶体管 62 的集电极。晶体管 64 的集电极连到晶体管 66 的发射极。晶体管 62 和 64 的发射极连到参考地。晶体管 52、58、60 和 66 的共基极端子连到流出 20 微安电流的电

流源 68 的一个端子和一个 9 千欧的电阻 70 的一个端子。电流源 68 的另一个端子连到工作电压 V_{CC} 。电阻 70 的另一个端子连到晶体管 72 的公用的集电极和基极。晶体管 72 的发射极连到参考地。晶体管 46 和 66 的共集电极连到输出端子 67，用于提供 STAGE-1 OUTPUT（级 - 1 输出）信号作为运放输入级的输出。这样完成了运放输入级 12 的连接。

作为本发明的一个特征，运放输入级 12 使用 N 沟道耗尽型 MOSFET 30 和 32，以摆动（swing）轨至轨，并且显示最小的跨导变化，无论栅极是接地、接工作电源或是接半电源。当 MOSFET 的栅源间电压变化引起 MOSFET 的漏极电流变化时，可以测出跨导。放大器的带宽与跨导成比例。图 1 中的 MOSFET 13 和运放输入级 12 的 MOSFET 30 和 32 是 N 沟道耗尽型器件，该器件建立在硅基底上，具有四个端子，表示为栅极、漏极、源极和体。处理掩模层限定区域，用于掺杂 N 型掺杂材料如砷到硅中，以形成源极和漏极区域。MOSFET 的栅极区域也被一处理掩模层限定，使得栅极导体和栅极氧化物物理地分开源极和漏极区域。N 沟道源极和漏极区域被限制在一个用于接收 P 型掺杂材料如硼的阱区内。低电阻导电材料，如铝金属，提供电连接到栅极端子、源极端子、漏极端子和阱端子或体。

图 2 中的运放输入级 12 接收小的信号差分输入并且准确地提供放大。N 沟道耗尽型 MOSFET 30 和 32 持续工作在饱和模式下，超出了输入信号 V_{IN} 的电压范围并且超出了工作电压 V_{CC} 的范围。由于，当 MOSFET 器件漏极电压大于器件栅极电压与阈值电压之差时，器件工作在饱和区域，因此器件的阈值电压成为一个重要的 MOSFET 参数。对于耗尽型 MOSFET 13、30 和 32，在漏源导电截止时，测量栅源间的电压即为阈值电压。

对于制作在硅片上的 N 沟道器件，阈值电压定义为，为了克服四个特殊的物理处理制作效应，以消除漏源间导电沟道和截止电流漂移，所需的栅极电压。第一和第二阈值效应在平带电压的基础上，定义为，为了克服逸出功和硅 - 二氧化硅界面处栅极下面的电荷，而加在栅极的电压。逸出功电压基于栅极材料中和半导体材料中的费米能级上的电子能量之差。硅 - 二氧化硅界面处的电荷与晶体取向和集成电路工艺有关。MOSFET 的第三和第四阈值电压效应归因于形成表面反型层所要求的电压。由加在栅极导体的电场感应出的从源极到漏极的 N 型导电沟道层与体材料中的杂质

浓度有关。

用于 N 沟道耗尽型 MOSFET 的阈值电压术语，基于在集成电路制造过程中直接涉及到工艺的四个术语，如晶片原材料，导电栅极材料的类型，栅极氧化物界面处的硅中的掺杂，以及 P 阱体区域的掺杂浓度。处理漂移步骤，即阈值调整掺杂，通过在栅极区域强加较多的 N 型掺杂剂，使得 N 沟道 MOSFET 器件由增强型转变成耗尽型。耗尽型 MOSFET 30 和 32 处理成具有负阈值电压。尽管栅极已接参考地，具有负阈值的 MOSFET 耗尽型器件为了从漏极到源极端子有一个导电沟道，还建立了一个反型层。

当耗尽型 MOSFET 30 和 32 的栅极接参考地时，器件饱和并且工作在最小体效应的正常共模范围。由于加工在硅圆片上的单位器件面积有高的跨导，因此 N 沟道 MOSFET 是最佳的。当 MOSFET 30 和 32 的栅极电压高于参考地时，MOSFET 30 和 32 的源极端子的电压跟随栅极电压增加。当 MOSFET 30 和 32 的体端子连到参考地时，高于体端子电压的源极端子电压引起沟道电导被调制，这就是体效应。源极到体的电压增加，使 N 沟道耗尽型 MOSFET 器件的阈值电压被掺杂在体中的杂质感应，从负值动态地向正值漂移。由于正阈值，MOSFET 器件的共模范围向着正电源端（rail）的感应漂移。浓的 P 型阱掺杂增强了 N 沟道耗尽型 MOSFET 30 和 32 的体效应，以保持工作在正电源的两器件工作在饱和区域。因此，通过调制阈值电压和保持 MOSFET 器件工作在饱和区域，体效应有助于 N 沟道耗尽型 MOSFET 器件。

运放输入级 12 的一个变型实施例包括，由两个作为电流反射镜放置的 NPN 型晶体管代替四个晶体管 52、54、56 和 58，以及由两个也作为电流反射镜放置的 PNP 型晶体管代替四个晶体管 60、62、64 和 66。参考图 2，这个变型实施例实际上将每个晶体管 52、58、60 和 66 的集电极与发射极短接，并且随后从示意图中删去这些晶体管。在本变型实施例中，删去了由电流源 68、电阻 70 和运放输入级 12 的晶体管 72 提供的基准电压。

参考图 2 中所示的运放输入级 12 及上述的变型实施例，流经晶体管 40 的集电极的电流为 I_{cc} ，约为 30 微安。当运放为共模输入时，等量的电流 I_{cc} 还流经每一个晶体管 42、44 和 46。晶体管 44 中集电极电流 I_{cc} 的 $2I_{bc}$

部分用来提供晶体管 54 和 56 的基极电流，剩下 $(I_{cc} - 2I_{be})$ 的电流流入晶体管 54 的集电极。晶体管 54 和 56 这个电流反射镜意味着一个 $(I_{cc} - 2I_{be})$ 的电流也流入晶体管 56 的集电极。由于每个晶体管 40 和 42 提供相等的电流 I_{cc} ，并且晶体管 56 的集电极电流为 $(I_{cc} - 2I_{be})$ ，晶体管 62 的集电极电流为 I_{cc} 减去流入晶体管 62 和 64 的基极的电流 $2I_{be}$ 。晶体管 62 和 64 这个电流反射镜意味着晶体管 62 的集电极电流 I_{cc} 与晶体管 64 的集电极电流相等，分别与晶体管 46 提供的电流 I_{cc} 匹配。这样，通过晶体管 46 流出电流和晶体管 64 吸收电流，到 STAGE-1 OUTPUT 信号的源电流和吸收电流有相匹配的输出能力。

为了改善输出端点 67 处的 STAGE-1 OUTPUT 信号的有效输出阻抗，上述简化形式的变型实施例被增加到图 2 所示的最佳的实施例中。加入共基 (cascode) 晶体管 66 与晶体管 64 串联，增加了输出端点 67 处的输出阻抗。增加晶体管 60 以平衡晶体管 66。增加晶体管 52 和 58 到晶体管 54 和 56，形成另一个共基电流反射镜，用于匹配和消除流入由晶体管 60、62、64 和 66 形成的共基电流反射镜的电流 I_{be} 。

如图 2 所示的运放输入级 12 提供信号 V_{IN} 的第一级放大，该放大是以 MOSFET 30 和 32 的饱和电流与加在栅极的电压成平方关系为基础的。电流偏置电路 39，含有提供 STAGE-1 OUTPUT 信号的端点 67，是一个考虑与晶体管 46 和 66 的共集电极连接的高阻抗输出。在提供 STAGE-1 OUTPUT 信号时，电流偏置电路 39 也与晶体管 46 和 66 的流出和吸收电流能力匹配。如上所述，晶体管 52、54、56 和 58 用一种允许 I_{be} 平衡的方式连接在一起，使得在端点 67 处提供 STAGE-1 OUTPUT 信号时，晶体管 46 和 66 与流出和吸收电流能力匹配。

参考图 2，晶体管 48 的连到集电极的基极设置一个二极管基准电压 V_{be} ，并且，当从电流吸收器 50 通过电阻 49 加大约 20 微安的电流时，设置一个低于工作电压 V_{CC} 的大约为 0.75 伏的电压。在晶体管的基极提供了低于工作电压 V_{CC} 的 0.75 伏的基准电压，使晶体管 40、42、44 和 46 保持在活动工作区。同样地，高于参考地的一个大约 0.75 伏的电压被用于处于激活区域的偏置晶体管 52、58、60 和 66。这个 0.75 伏的电压是来自电流源 68 的 20 微安的电流，通过 9 千欧的电阻 70，再加上晶体管 72 的

V_{bc} 压降的组合。

图 3 显示运放输入级 12 的另一个变型实施例。MOSFET 30 和 32 连到电流源 34 和 36 以及上述的电流吸收器 38。接收输入信号 V_{IN} 的差分对 MOSFET 30 和 32 提供 MOSFET 30 和 32 的漏极端子的两个输出。MOSFET 30 的漏极的输出连到 PNP 型晶体管 200 的发射极。MOSFET 32 的漏极的输出连到 PNP 型晶体管 202 的发射极。晶体管 200 和 202 共基极，接收基准电压。NPN 型晶体管 204 和 206 的共基极连到晶体管 204 的集电极。晶体管 200 的集电极连到晶体管 204 的集电极。晶体管 202 的集电极连到用于提供输出信号 STAGE-1 OUTPUT 的端点 67。晶体管 206 的集电极连到端点 67。晶体管 204 和 206 的发射极连到参考地。

再参考图 3，MOSFET 30 和 32 差分对接收输入信号 V_{IN} ，并且沿晶体管 200、202、204 和 206 对输入信号的单端变换进行差分。但是，晶体管 202 和 206 不能匹配流出和吸收电流能力，或者在端点 67 处提供与图 2 中所示的最佳实施例同样高的输出阻抗。

图 4 也是运放输入级 12 的另一个变型实施例。MOSFET 30 连到电阻 208 并且 MOSFET 32 连到电阻 210。电阻 208 和 210 的第二端子连到工作电压 V_{CC} 。接收输入信号 V_{IN} 的差分对 MOSFET 30 和 32 提供源自 MOSFET 30 和 32 的漏极端子的输出。MOSFET 30 的漏极输出连到 PNP 型晶体管 212 的发射极。MOSFET 32 的漏极输出连到 PNP 型晶体管 214 的发射极。晶体管 212 和 214 的共基极连到晶体管 212 的集电极。电流吸收器 216 的第一端子连到晶体管 212 的集电极。晶体管 214 的集电极连到用于提供 STAGE-1 OUTPUT 信号的输出端点 67。电流吸收器 218 的第一端子连到端点 67。电流吸收器 216 和 218 的第二端子连到参考地。再一次，图 4 中显示的变型实施例不能匹配流出和吸收电流能力，或者在端点 67 处提供与图 2 中所示的最佳实施例同样高的输出阻抗。

图 5 显示适用于图 1 的低压运算放大器 10 的吸收控制电路 14 的示意图。NPN 型晶体管 74、76、78 和 80 的共基极，连接在一起，将 MOSFET 13 源极的输出接收作为吸收控制电路 14 的输入，如图 1 所示。在本最佳实施例中，晶体管 74 的发射极连到约为 3 欧姆的电阻 82 的第一端子。晶体管 76 的发射极连到约为 1.5 千欧的电阻 84 的第一端子。晶体管 78 的发射

极连到约为 1.5 千欧的电阻 86 的第一端子。晶体管 80 的发射极连到约为 1.5 千欧的电阻 88 的第一端子。电阻 82、84、86 和 88 的第二端子连到参考地。

图 5 中 NPN 型晶体管 90 和 92 的共基极连到约为 25 千欧的电阻 94 的第一端子。晶体管 90 的发射极连到晶体管 74 的集电极。晶体管 92 和 96 的共射极连到晶体管 76 的集电极。晶体管 92 的集电极连到 PNP 型晶体管 100 的发射极和约为 4 千欧的电阻 98 的第一端子。NPN 型晶体管 96 的集电极连到 PNP 型晶体管 102 的发射极和约为 4 千欧的电阻 104 的第一端子。晶体管 100 和 102 的共基极连到晶体管 100 的集电极和晶体管 78 的集电极。晶体管 102 的集电极连到晶体管 80 的集电极和 PNP 型晶体管 106 的基极。约为 5 皮法的电容 108，其第一端子连到晶体管 106 的基极。电容 108 的第二端子连到参考地。晶体管 106 的集电极连到端点 107，提供 SINK-1 PASS THROUGH（吸收 - 1 通过）信号。晶体管 106 的发射极连到约为 25 千欧的电阻 110 的第一端子，和约为 1 千欧的电阻 112 的第一端子。电阻 110 的第二端子连到晶体管 96 的基极。电阻 94、98、104 和 112 的第二端子，以及晶体管 90 的集电极连到工作电压 V_{CC} 。

如图 1 所示，图 5 中的吸收控制电路 14 的功能是提供输出晶体管 18 所需的合适的基极驱动电流，晶体管 18 用于在低压运算放大器 10 的输出端吸收电流，如 I_{out} 。图 1 中晶体管 18 的发射极几何尺寸为图 5 中晶体管 74 的发射极几何尺寸的 N_T 倍。对于本最佳实施例，晶体管比率因子 N_T 约为 25。这样，输出晶体管 18 的集电极电流为晶体管 74 的集电极电流的 N_T 倍。晶体管 90 与晶体管 74 的发射极几何尺寸相同或相近，并且因此传导相同或相近的集电极电流 I_{out}/N_T 。晶体管 90 的基极电流为 $I_{out}/(N_T \cdot B)$ ，其中 B 是晶体管电流增益，定义为晶体管集电极电流与晶体管基极电流的比值。晶体管 92 和 96 形成一个差分单位增益放大器，晶体管 92 的基极感应电阻 94 中的电流 $I_{out}/(N_T \cdot B)$ 产生的压降。

这样，晶体管 90 和电阻 94 将晶体管 18 中的电流 I_{out} 按比例缩小变换为通过电阻 94 的电压，电阻 94 为这个差分单位增益放大器的一个输入端。晶体管 92 的基极电压为通过电阻 94 的电流乘以电阻 94 的阻值 R_{94} ，得到电压为 $(I_{out} \cdot R_{94}) / (N_T \cdot B)$ 。差分单位增益放大器的两个输入有匹

配的电压。差分单位增益放大器的另一个输入加在晶体管 96 的基极。晶体管 96 的基极电压由流过阻值为 R_{112} 的电阻 112 的电流 I_C 产生。差分单位增益放大器的两个输入有匹配的电压，为 $(I_C \cdot R_{112}) = (I_{out} \cdot R_{94}) / (N_T \cdot B)$ 。解电流 I_C 等于 $(I_{out} \cdot N_R) / (N_T \cdot B)$ ，其中 N_R 是电阻 94 和电阻 112 的阻值之比，其值为 R_{94} / R_{112} 。通过电阻 112 的电流 I_C 实际上成为晶体管 106 的发射极 - 集电极电流。通过选择 N_R 值与 N_T 值匹配，使电流 I_C 值为 I_{out} / B 。这样，通过将两个晶体管，晶体管 18 和晶体管 74 的比值，与两个电阻，即电阻 94 和电阻 112 的比值匹配，通过晶体管 106 的电流 I_{out} / B 为吸收晶体管 18 提供基极电流。如图 1 所示，晶体管 18 中基极电流为 I_{out} / B ，晶体管 18 的集电极电流为 I_{out} 。图 5 中吸收控制电路 14 的功能是提供输出晶体管 18 所需的合适的基极驱动电流，如图 1 所示，晶体管 18 用于在低压运算放大器 10 的输出端吸收电流 I_{out} 。

这样，吸收控制电路 14 完成三个变换步骤。第一步包括为晶体管 18 和晶体管 74 提供晶体管发射极几何尺寸比率，以产生晶体管 130 的基极电流 $I_{out} / (N_T \cdot B)$ 。第二步，吸收控制电路 14 在差分单位增益放大器的输入端产生一个与电阻 94 中产生的电流 $I_{out} / (N_T \cdot B)$ 相关的电压。最后一步包括电阻比率使得吸收控制电路 14 中的晶体管 106 产生晶体管 106 的集电极电流 I_{out} / B ，用于为低压运算放大器 10 中的输出晶体管 18 提供基极驱动电流。如图 1 所示的用于晶体管 18 的这样一个基极驱动电流与晶体管和电阻比率以及图 5 中所示的吸收控制电路 14 中的差分单位增益放大器发展 (developed) 的电压均有关系。对于本最佳实施例，晶体管比率 N_T 约为 25，并且电阻比率 N_R 约为 25。

在图 1 中的低压运算放大器 10 中，输入信号 V_{IN} 的放大在引线 67 处提供 STAGE-1OUTPUT 信号，作为运放输入级 12 的输出，MOSFET 13 直接传递到晶体管 18 的基极，引起基极 - 发射极电压 (V_{bc}) 变化。 V_{bc} 的变化引起晶体管 18，吸收电流 I_{out} ，以调整电流和吸收 ($I_{out} + \Delta I_{out}$)。吸收控制电路 14 响应在晶体管 18 的基极的 ΔV_{bc} ，并且产生晶体管 18 的附加基极电流，即吸收晶体管 18 的集电极电流变化 ΔI_{out} 。当低压运算放大器 10 响应输入信号 V_{IN} 的变化时，吸收控制电路 14 提供图 1 中所示的输出吸收晶体管 18 所需的通过晶体管 106 的基极驱动电流。

如图 1 中所示的源控制电路 22 在图 6 中显示为一个最佳的实施例。PNP 型晶体管 114、116、118 和 120 的共基极，连到提供 SOURCE-PASS THROUGH（源 - 1 通过）信号的端点 147。晶体管 114 的发射极连到约为 10 欧姆的电阻 122 的第一端子。晶体管 116 的发射极连到约为 4 千欧的电阻 124 的第一端子。晶体管 118 的发射极连到约为 1 千欧的电阻 126 的第一端子。晶体管 120 的发射极连到约为 1 千欧的电阻 128 的第一端子。电阻 122、124、126 和 128 的第二端子连到工作电压 V_{CC} 。

PNP 型晶体管 130 和 132 的共基极连到约为 25 千欧的电阻 134 的第一端子。晶体管 130 的发射极连到晶体管 114 的集电极。晶体管 132 和 136 的共射极连到晶体管 116 的集电极。晶体管 132 的集电极连到晶体管 140 的发射极和约为 4 千欧的电阻 138 的第一端子。PNP 型晶体管 136 的集电极连到晶体管 142 的发射极和约为 4 千欧的电阻 144 的第一端子。NPN 型晶体管 140 和 142 的共基极连到晶体管 140 的集电极和晶体管 18 的集电极。晶体管 142 的集电极连到晶体管 120 的集电极和 NPN 型晶体管 146 的基极。约为 10 皮法的电容 148，其第一端子连到晶体管 146 的基极。电容 148 的第二端子连到参考地。晶体管 146 的集电极连到端点 147，提供 SOURCE-PASS THROUGH 信号。晶体管 146 的发射极连到约为 25 千欧的电阻 150 的第一端子，和约为 500 欧姆的电阻 152 的第一端子。电阻 150 的第二端子连到晶体管 136 的基极。电阻 134、138、144 和 152 的第二端子，以及晶体管 130 的集电极连到参考地。

图 6 中的源控制电路 22 的功能是提供输出晶体管 24 所需的合适的基极驱动电流，如图 1 所示，晶体管 24 用于在低压运算放大器 10 的输出端流出电流如 I_{out} 。图 1 中晶体管 24 的发射极几何尺寸为图 6 中晶体管 114 的发射极几何尺寸的 N_t 倍。对于本最佳的实施例，晶体管比率因子 N_t 约为 50。这样，输出晶体管 24 的集电极电流为晶体管 114 的集电极电流的 N_t 倍。晶体管 130 与晶体管 114 的发射极几何尺寸相同或相近，并且因此传导相同或相近的集电极电流 I_{out}/N_t 。晶体管 130 的基极电流为 $I_{out}/(N_t \cdot B)$ ，其中 B 是晶体管电流增益，定义为晶体管集电极电流与以晶体管基极电流的比值。晶体管 132 和 136 形成一个差分单位增益放大器，晶体管 132 的基极感应由电阻 134 中的电流 $I_{out}/(N_t \cdot B)$ 产生的压降。

这样，晶体管 130 和电阻 134 将晶体管 24 中的电流 I_{out} 按比例缩小变换为通过电阻 134 的电压，电阻 134 为差分单位增益放大器的一个输入端。因此，晶体管 132 的基极的电压为通过电阻 134 的电流乘以电阻 134 的电阻 R_{134} ，得到电压为 $(I_{out} \cdot R_{134}) / (N_T \cdot B)$ 。差分单位增益放大器的两个输入有匹配的电压。差分单位增益放大器的另一个输入加在晶体管 136 的基极。晶体管 136 的基极电压由流过阻值为 R_{152} 的电阻 152 的电流 I_C 产生。差分单位增益放大器的两个输入有匹配的电压，为 $(I_C \cdot R_{152}) = (I_{out} \cdot R_{134}) / (N_T \cdot B)$ 。解电流 I_C 等于 $(I_{out} \cdot N_r) / (N_t \cdot B)$ ，其中 N_r 是电阻 134 和电阻 152 的阻值之比，其值为 R_{134}/R_{152} 。通过电阻 152 的电流 I_C 实际上成为晶体管 146 的集电极 - 发射极电流。通过选择 N_r 值与 N_t 值匹配，使电流 I_C 值为 I_{out}/B 。这样，通过将两个晶体管，晶体管 24 和晶体管 114 的比值，与两个电阻，即电阻 134 和电阻 152 的比值匹配，通过晶体管 146 的电流 I_{out}/B 为源晶体管 24 提供基极电流。如图 1 所示，晶体管 24 中基极电流为 I_{out}/B ，晶体管 24 的集电极电流为 I_{out} 。图 6 中源控制电路 22 的功能是提供输出晶体管 24 所需的通过晶体管 146 的合适的基极驱动电流，如图 1 所示，晶体管 24 用于在低压运算放大器 10 的输出端流出电流 I_{out} 。

这样，源控制电路 22 完成三步转换步骤。第一步包括为晶体管 24 和晶体管 114 提供晶体管发射极几何尺寸比率，以产生晶体管 90 的基极电流 $I_{out}/(N_t \cdot B)$ 。第二步，源控制电路 14 在差分单位增益放大器的输入端产生一个与电阻 134 中产生的电流 $I_{out}/(N_t \cdot B)$ 相关的电压。最后一步包括电阻 152 和 134 的比率使得源控制电路 22 中的晶体管 146 产生一个集电极电流 I_{out}/B ，用于为低压运算放大器 10 中的输出晶体管 24 提供基极驱动电流。如图 1 所示的用于晶体管 24 的这样一个基极驱动电流与晶体管和电阻比率以及图 6 中所示的源控制电路 22 中的差分单位增益放大器发展的电压均有关系。对于本最佳的实施例，晶体管比率 N_t 约为 50，并且电阻比率 N_r 约为 50。

在图 1 中的低压运算放大器 10 中，输入信号 V_{IN} 的放大提供 STAGE-1OUTPUT 信号，作为这个运放输入级 12 的输出，MOSFET 13 直接传递到晶体管 18 的基极，引起基极 - 发射极电压 (V_{bc}) 变化。线性

传输环 16 传递与晶体管 18 的基极处等量的电压变化 V_{be} 到达晶体管 24 的基极。但是，这个电压变化 V_{be} 具有反号，例如，如果对于晶体管 18 的 V_{be} 增加，对于晶体管 24 的 V_{be} 就会减少。 V_{be} 的变化引起晶体管 24，流出电流 I_{out} ，以调整电流和流出 ($I_{out} - \Delta I_{out}$)。当低压运算放大器 10 响应输入信号 V_{IN} 的变化时，源控制电路 22 提供图 1 中所示的输出源晶体管 24 所需的基极驱动电流。

图 7 显示简化线性传输环 16 的一个实施例。NPN 型晶体管 230 的基极连到端点 107。NPN 型晶体管 230 和 232 的共集电极连到 NPN 型晶体管 232 和 234 的共基极。晶体管 230、232 和 234 的共射极连到参考地。电流源 236 连到晶体管 232 的集电极。电流源 236 的第二端子连到工作电压 V_{CC} 。PNP 型晶体管 238 的基极和集电极连到晶体管 234 的集电极。晶体管 238 的发射极连到工作电压 V_{CC} 。PNP 型晶体管 238 的基极和集电极连到输出端点 147。端点 147 连到输出驱动级 29 的源晶体管 24 的基极(见图 1)。

仍然参考图 7，作为一个例子，线性传输环 16 的简化实施例接收端点 107 处的一个正电压变化，这改变了晶体管 230 基极 - 发射极电压 V_{be} 。同样的 $+\Delta V_{be}$ 引起输出驱动级 29 (见图 1) 中晶体管 18 的电导率增加，也引起晶体管 230 的电导率增加，并且从连成二极管的晶体管 232 中分路电流。这样，由端点 107 处接收到的信号引起的晶体管 230 的 ΔV_{be} 决定，晶体管 230 将电流源 236 提供的电流成比例地流入晶体管 230 的集电极端子或流入晶体管 232。晶体管 234 形成带晶体管 232 的一个电流反射镜晶体管。晶体管 230 处的 $+\Delta V_{be}$ 引起晶体管 232 传导的电流减少，并且电流反射镜引起晶体管 234 传导的电流减少。晶体管 234 中电流减少意味着连成二极管的晶体管 238 中电流减少，引起晶体管 238 中 V_{be} 减小。晶体管 238 的基极处所见的同样的 V_{be} 减小在输出驱动级 29 中的输出源晶体管 24 的基极处可见(见图 1)。因此，通过线性传输环 16，用于输出吸收晶体管 18 (见图 1) 中的较高电导率的增加的 $+\Delta V_{be}$ 转变成用于输出源晶体管 24 中的较低电导率的等量减少的 $-\Delta V_{be}$ 。

当图 7 中显示的线性传输环 16 的简化的实施例在端点 107 接收一个负电压变化时，晶体管 230 的基极 - 发射极电压 V_{be} 就改变了。同样的 $-\Delta$

V_{bc} 引起输出驱动级 29 (见图 1) 中晶体管 18 的电导率减小, 也引起晶体管 230 的电导率减小, 使得连成二极管的晶体管 232 上的电流增加。这样, 端点 107 处接收到的信号引起的晶体管 230 的 V_{bc} 的变化决定, 晶体管 230 将电流源 236 提供的电流成比例地流入晶体管 230 的集电极端子或流入晶体管 232。晶体管 234 形成带晶体管 232 的一个电流反射镜晶体管。因此晶体管 230 处的 $-\Delta V_{bc}$ 引起晶体管 234 传导的电流增加。晶体管 234 中电流增加意味着连成二极管的晶体管 238 中电流增加, 引起晶体管 238 中 V_{bc} 增加。晶体管 238 的基极处见到的同样的 V_{bc} 增加在输出驱动级 29 中的输出源晶体管 24 的基极处可见 (见图 1)。因此, 通过线性传输环 16, 用于输出吸收晶体管 18 (见图 1) 中的减小的电导率的减小的 V_{bc} 转变成用于输出源晶体管 24 中的增加的电导率的等量的 $+\Delta V_{bc}$ 。

参考图 7, 用于低压线性传输环 16 的静态电流与一个晶体管的几何尺寸有关。晶体管 18 的发射极区 (见图 1) 的尺寸是晶体管 230 的发射极区的 N_n 倍。晶体管 24 的发射极区 (见图 1) 的尺寸是晶体管 238 的发射极区的 N_p 倍。而且, 电流反射镜晶体管使得晶体管 234 的发射极几何尺寸是晶体管 232 的发射极几何的 M_n 倍。由于发射极的面积决定晶体管的载流量, 因此电流源 236 外面的电流 $2I$ 以及三个变量 N_n , N_p , 和 M_n 的选择设置了低压线性传输环 16 中的其它电流。这样, 吸收晶体管 18 中的静态电流 I_Q (见图 1) 设置为 $I_Q = (N_n \cdot I)$, 并且源晶体管 24 中的静态电流 I_Q (见图 1) 设置为 $I_Q = (M_n \cdot N_p \cdot I)$ 。在晶体管 230、232 和 234 的发射极端子到参考地的连接回路中增加电阻, 或在晶体管 238 的发射极端子到工作电压 V_{CC} 的连接回路中增加一个电阻, 会引起射极负反并且使得乘法因子 N_n 、 N_p 和 M_n 变化。

图 8 显示图 1 所述的线性传输环 16 的最佳的实施例。PNP 型晶体管 154, 156 的共基极连到晶体管 154 的集电极和电流吸收器 158 的第一端子, 吸收大约 10 微安的电流。晶体管 156 的集电极连到 NPN 型晶体管 160 的基极和约为 33 千欧的电阻 162 的第一端子。电阻 162 的第二端子连到 NPN 型晶体管 164 的基极和集电极。晶体管 160 的发射极连到 NPN 型晶体管 166 的集电极。晶体管 166 的基极连到接收 SINK-1 PASS THROUGH 信号的端点 107。晶体管 160 的发射极连到 PNP 型晶体管 168 的集电极。

晶体管 160 的发射极连到 NPN 型晶体管 170 和 172 的共基极。晶体管 160 的发射极连到晶体管 170 的集电极和电流源 174 的第一端子, 流出大约 175 微安的电流。晶体管 166 的发射极连到约为 50 欧姆的电阻 176 的第一端子。晶体管 170 的发射极连到约为 100 欧姆的电阻 178 的第一端子。晶体管 172 的发射极连到约为 25 欧姆的电阻 180 的第一端子。晶体管 168 的发射极连到约为 300 欧姆的电阻 182。晶体管 172 和 184 的共集电极连到 PNP 型晶体管 184 的基极和提供 SOURCE-PASS THROUGH 信号的端点 147。晶体管 184 的发射极连到约为 400 欧姆的电阻 186 的第一端子。晶体管 154 和 156 的发射极连到工作电压 V_{CC} 。晶体管 160 的集电极连到工作电压 V_{CC} 。电阻 182 和 186 的第二端子以及电流源 174 的第二端子连到工作电压 V_{CC} 。电阻 176、178 和 180 的第二端子连到参考地。晶体管 164 的发射极和电流吸收器 158 的第二端子, 连到参考地。

图 8 中的线性传输环提供了一个带高频响应特性的快速输出级。在一个类似已述的线性传输环 16 的简化实施例的方法中, 在端点 107 处一个增加的 SINK-1 PASS THROUGH 电压信号使得晶体管 166 从连成二极管的晶体管 170 中分路电流。晶体管 170 中的电流减少还意味着电流反射镜器件, 晶体管 172 中的电流减少。晶体管 172 中的电流减少意味着连成二极管的晶体管 184 中的电流减少, 导致晶体管 184 中电压 V_{bc} 降低。晶体管 184 的较低的基极 - 发射极电压还可看作图 1 中所示的晶体管 24 的 V_{bc} 。这样, 交流信号将晶体管 18 的基极电压调制到更正向的电势, 使得晶体管 18 的电导率更大, 但是线性传输环 16 使得晶体管 24 的电导率更小。线性传输环 16 将交流信号从晶体管 18 的基极移位到晶体管 24 的基极, 不提供信号电压增益。仅运放输入级 12 和输出晶体管 18 和 24 提供信号增益。由端点 107 处的 SINK-1 PASS THROUGH 信号引起的通过吸收晶体管 18 的 $+\Delta V_{bc}$ (见图 1), 通过线性传输环 16 转换为通过源晶体管 24 的一个相匹配的 $-\Delta V_{bc}$ (见图 1)。

在类似已述的线性传输环 16 的简化实施例的方法中, 端点 107 处的一个减小的 SINK-1 PASS THROUGH 电压信号使得晶体管 166 流入电流到连成二极管的晶体管 170。晶体管 170 中的电流增加还意味着电流反射镜器件, 晶体管 172 中的电流增加。晶体管 172 中电流增加意味着连成二极

管的晶体管 184 中电流增加，导致晶体管 184 中 V_{be} 较高。晶体管 184 的增加的基极 - 发射极电压还可看作图 1 所示的晶体管 24 的 V_{be} 。这样，交流信号将晶体管 18 的基极电压调制到一个更低的电压，使得晶体管 18 的电导率更小，但是线性传输环 16 使得晶体管 24 的电导率更大。由端点 107 处的 SINK-1 PASS THROUGH 信号引起的通过吸收晶体管 18 的一个 $-\Delta V_{be}$ （见图 1），通过线性传输环 16 转换为通过源晶体管 24 的一个相匹配的 $+\Delta V_{be}$ （见图 1）。低压线性传输环 16 提供一个到输出器件的低阻抗通路，这样保证对源晶体管 24 的基极没有电压增益。

图 1 中的吸收控制电路 14 和源控制电路 22 提供重要的直流（DC），在为输出驱动级 29 中的输出晶体管 18 和 24 提供基极电流驱动中发生作用。但是，低压运算放大器 10 频率性能与吸收控制电路 14 或源控制电路 22 无关。低压运算放大器 10 频率性能与从运放输入级 12 的 V_{IN} 到 STAGE-1OUTPUT，经过源极跟随器 MOSFET 13，直接到达输出电流吸收晶体管 18 的基极的交流信号通路有关。这个从电流吸收一边到电流源一边的交流信号通路，跟随输出电流吸收晶体管 18 的基极，经过线性传输环 16，到达输出电流源晶体管 24 的基极。这样，交流信号旁路了吸收控制电路 14 和源控制电路 22 中的电路，使得低压运算放大器 10 具有较高的频率性能。低压运算放大器 10 的带宽为 5 兆赫。偏置电路 23 包括吸收控制电路 14，源控制电路 22，和线性传输环 16。一个偏置输出根据通过源极跟随器传输的信号和由吸收控制电路 14 产生的电流，在端线 107 处产生。另一个偏置输出根据通过线性传输环 16 传输的信号和由源控制电路 22 产生的电流，在端线 147 处产生。

到此我们将认识到图 1 中的低压运算放大器 10 工作在 8 伏到 1 伏的电压范围和 $0\text{ }^{\circ}\text{C}$ 到 $70\text{ }^{\circ}\text{C}$ 的温度范围内。运放输入级 12 使用 N 沟道耗尽型 MOSFET 30 和 32（见图 2），来提供输入 V_{IN} 的放大和保持恒定的跨导。源极跟随器 MOSFET 13（见图 1）在将 STAGE-1OUTPUT 交流信号传输到电流吸收晶体管 18 的基极中提供单位增益。通过吸收控制电路 14 和源控制电路 22 的一个独立的直流环，为晶体管 18 和 24 中的基极驱动电流产生偏置。与输入信号有关，SINK PASS THROUGH 信号上的交流信号通路控制运放输出端的吸收晶体管吸收电流，或者通过线性传输环 16 引起

SOURCE PASS THROUGH 信号控制运放输出端的源晶体管流出电流。一个输出级提供大约 50 毫安的吸收电流和源（流出）电流。

在一个最佳的实施例的上下文中描述本发明的同时，显然对于那些熟练的技术人员，本发明可以用多种方法修改并且可以设想许多有别于上述和特别指出的实施例的实施例。因此，附加的权利要求书试图覆盖在本发明的真正精神和范围以内的本发明的所有变型。

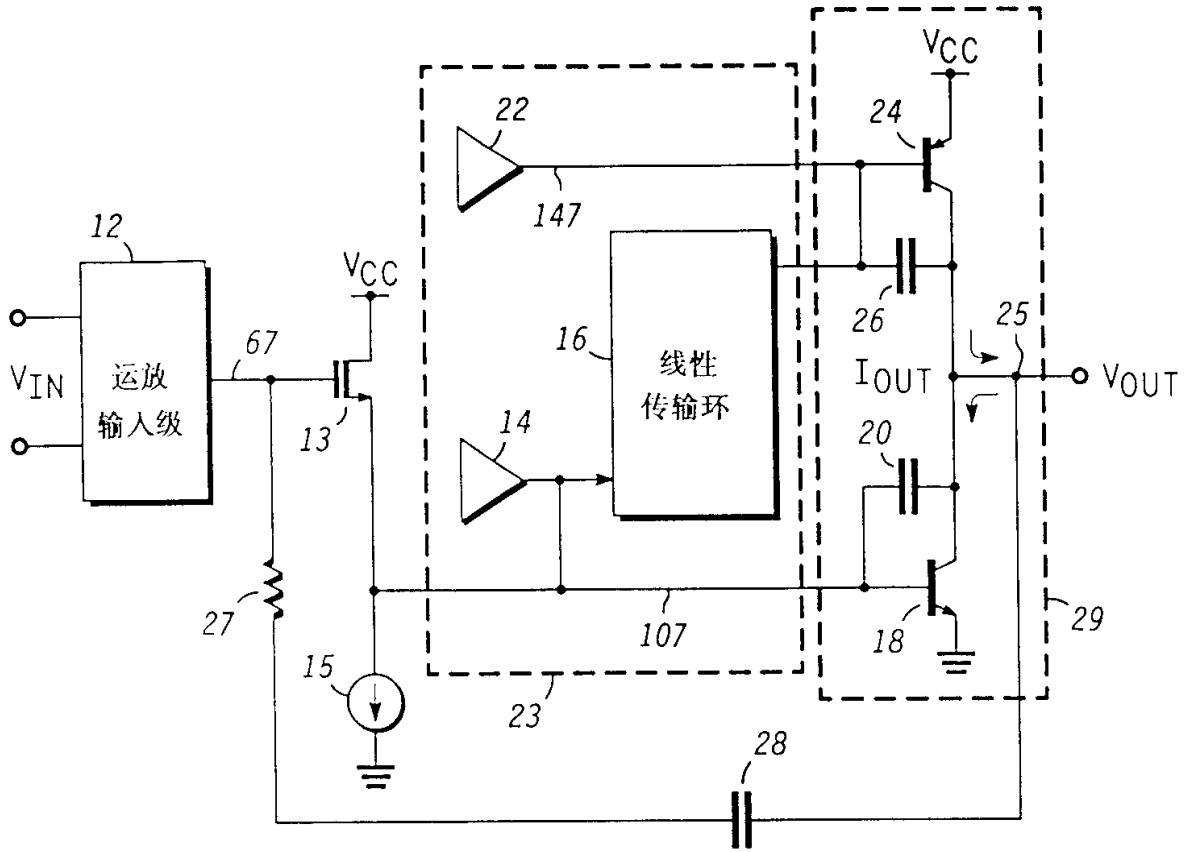


图 1

10

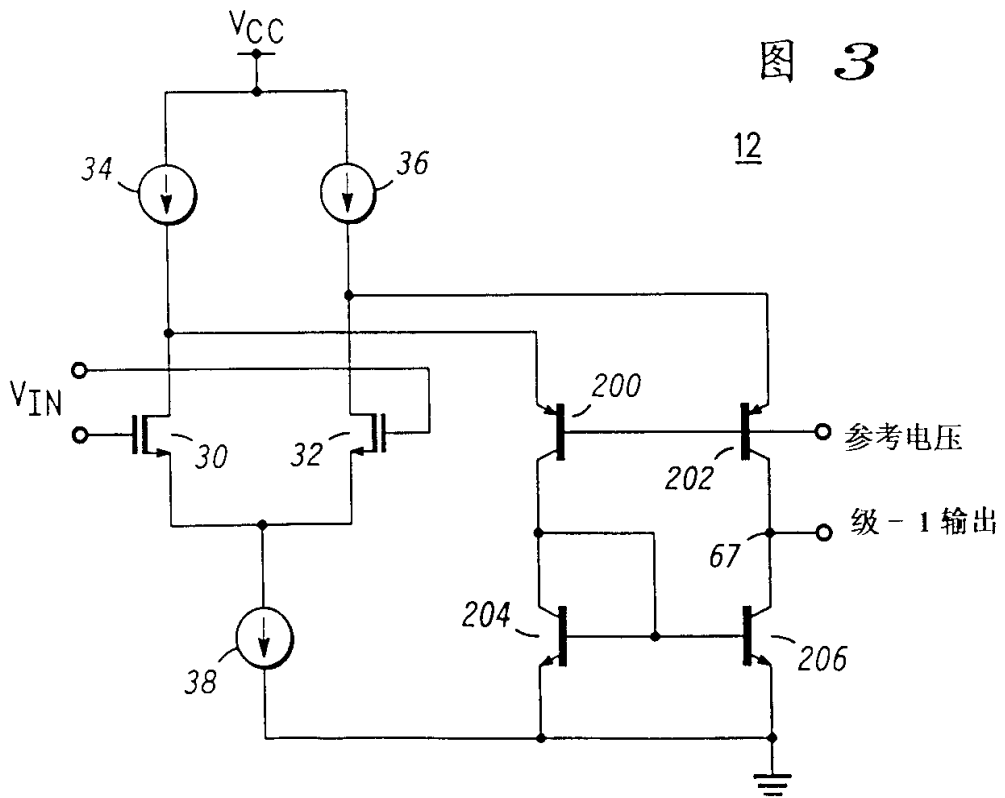
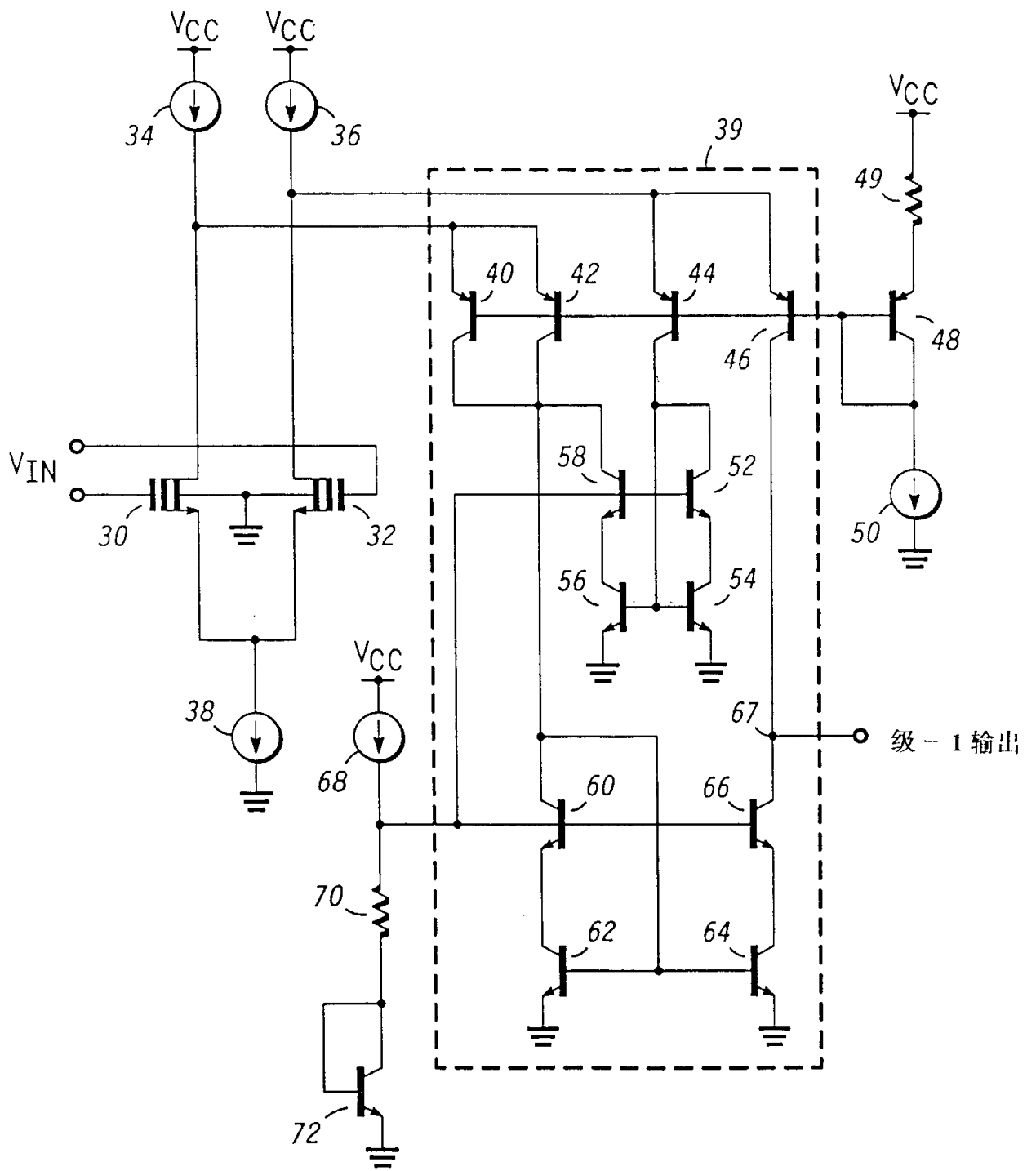


图 3

12



12

图 2

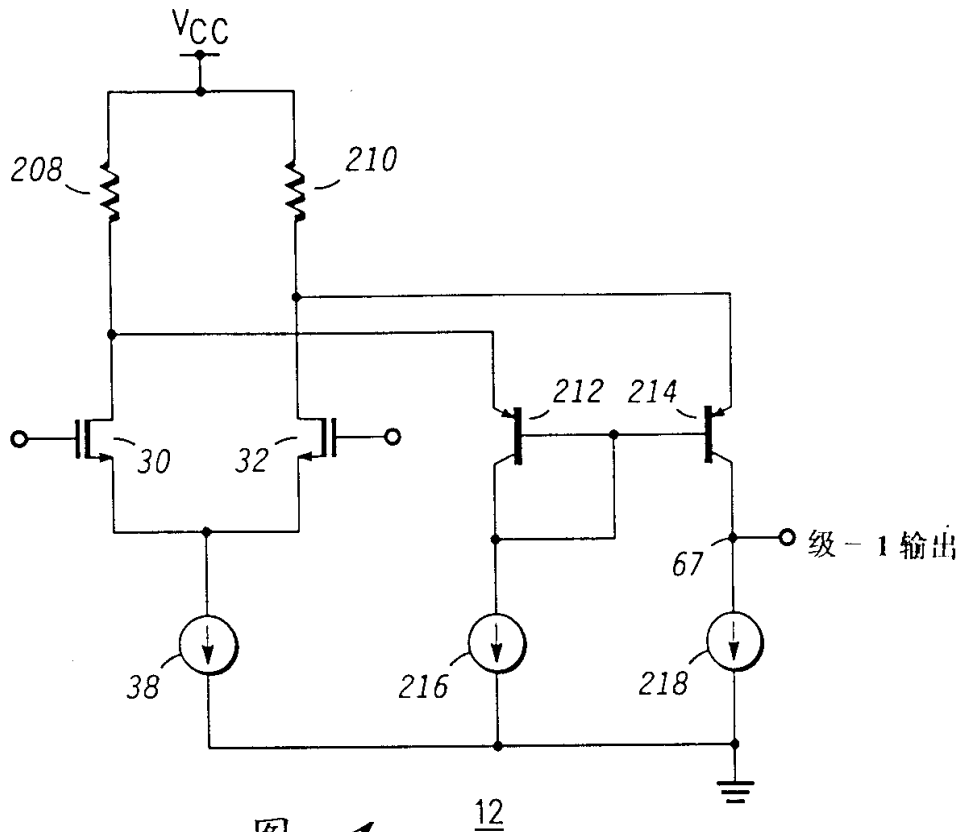
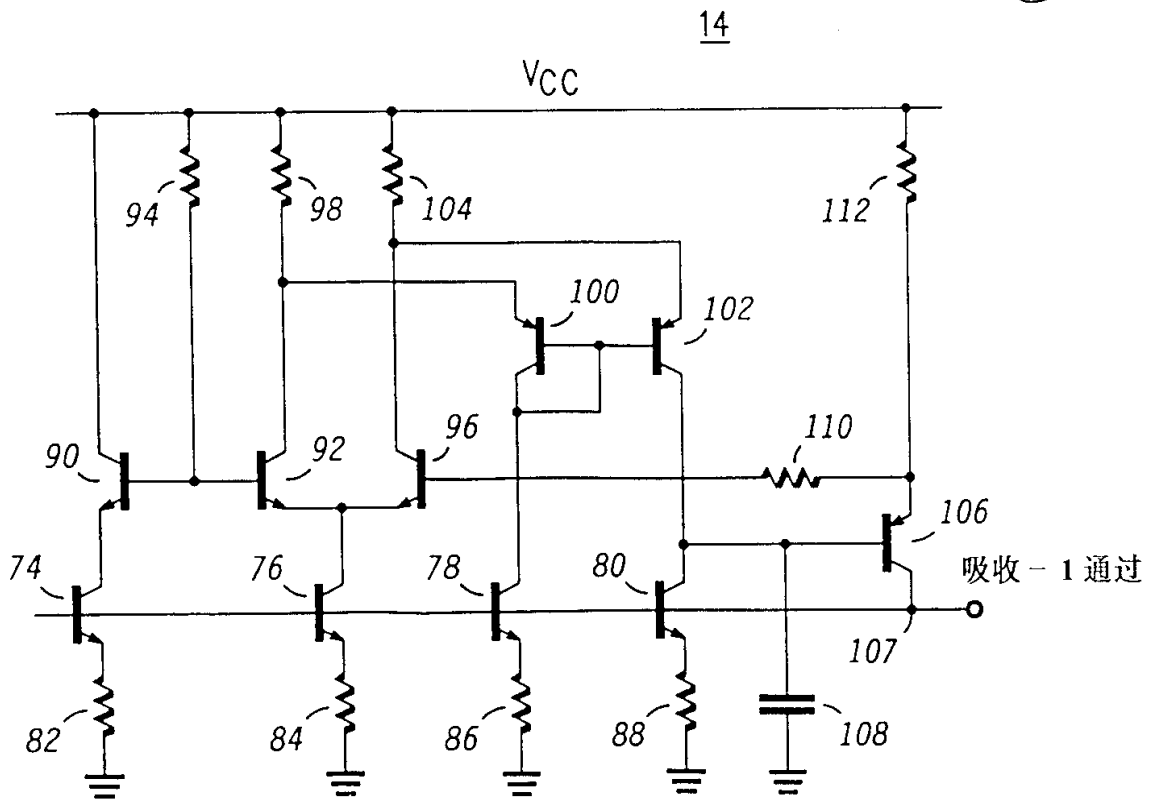


图 4

图 5



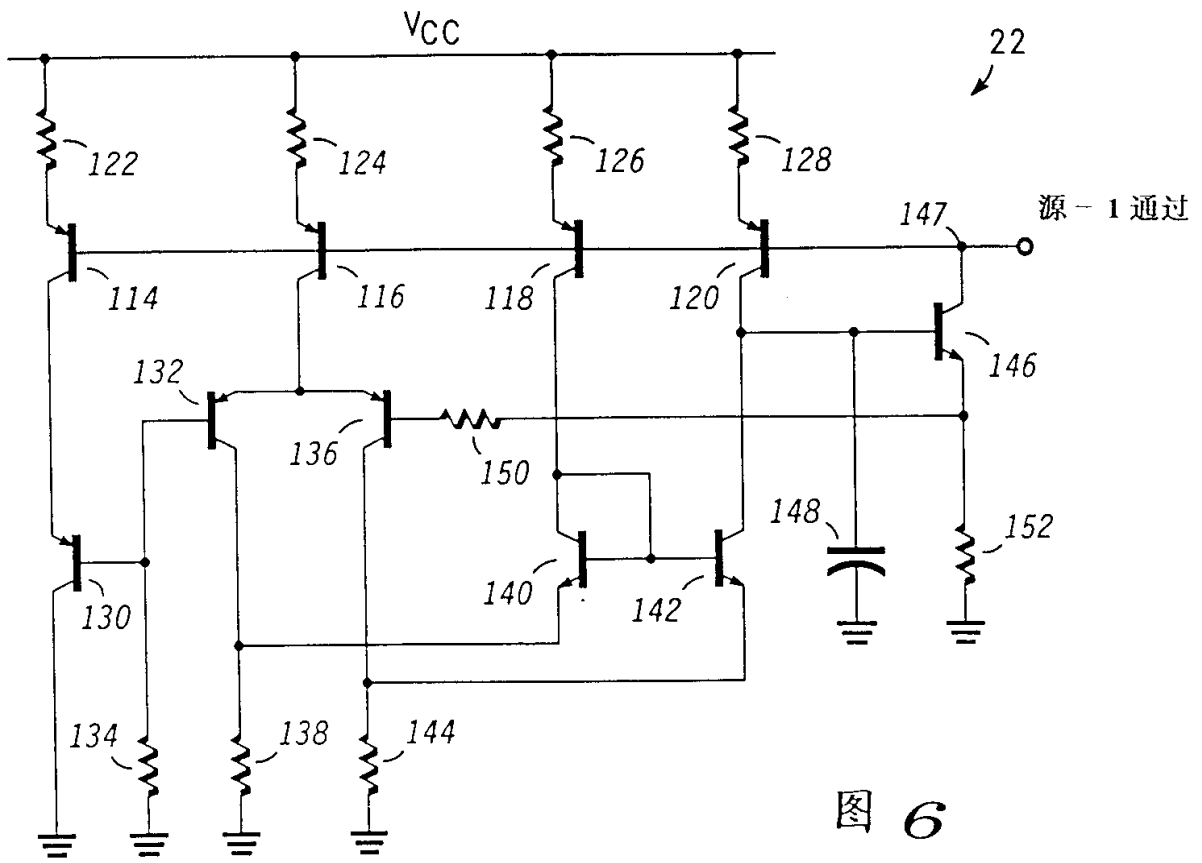
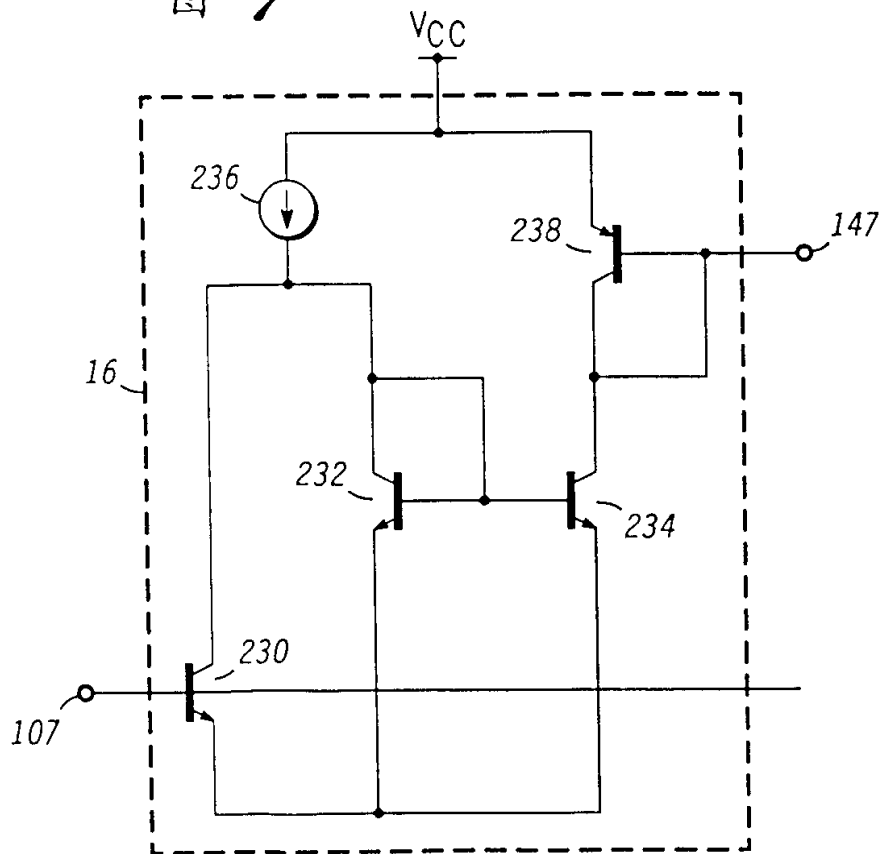


图 6

图 7



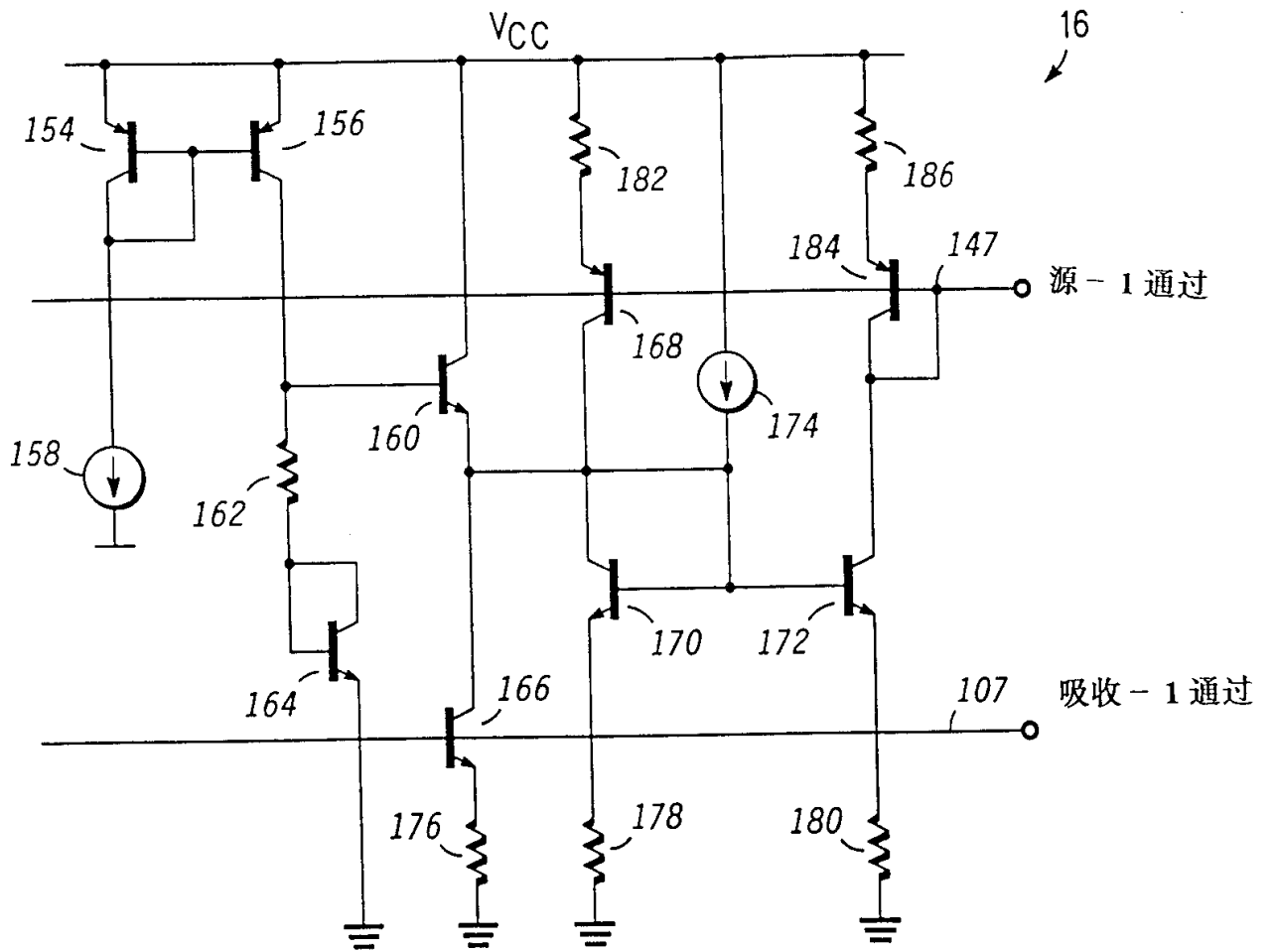


图 8