

發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※ 申請案號：96149219

※ 申請日期：96.12.21

※IPC 分類：H01L 23/48(2006.01)

一、發明名稱：(中文/英文)

封裝基板結構

PACKAGING SUBSTRATE STRUCTURE

二、申請人：(共 1 人)

姓名或名稱：(中文/英文)

全懋精密科技股份有限公司

PHOENIX PRECISION TECHNOLOGY CORPORATION

代表人：(中文/英文) 吳健漢 / WU, CHIAN-HANN

住居所或營業所地址：(中文/英文)

新竹科學工業園區新竹市東區力行路6號

No.6, Li-Hsin Rd., Science-Based Industrial Park, Hsinchu

國籍：(中文/英文) 中華民國 / R.O.C.

三、發明人：(共 1 人)

姓名：(中文/英文)

胡文宏 / HU, WEN-HUNG

國籍：(中文/英文) 中華民國 / R.O.C.

四、聲明事項：

主張專利法第二十二條第二項第一款或第二款規定之事實，其事實發生日期為： 年 月 日。

申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號 順序註記】

有主張專利法第二十七條第一項國際優先權：

無主張專利法第二十七條第一項國際優先權：

主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

主張專利法第三十條生物材料：

須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

九、發明說明：

【發明所屬之技術領域】

本發明係關於一種封裝基板結構，尤指一種增加導電元件結合力之封裝基板結構。

5

【先前技術】

隨著電子產業的蓬勃發展，電子產品亦逐漸進入多功能、高性能的研發方向。為滿足半導體封裝件高積集度（integration）以及微型化（miniaturization）的封裝要求，提供多數主被動元件及線路連接之電路板，亦逐漸由單層板演變成多層板，以使在有限的空間下，藉由層間連接技術（interlayer connection）擴大電路板上可利用的佈線面積而配合高電子密度之積體電路（integrated circuit）需求。

一般半導體裝置之製程，首先係由晶片載板製造業者生產適用於該半導體裝置之晶片載板，如基板或導線架。之後再將該些晶片載板交由半導體封裝業者進行置晶、壓模、以及植球等製程，又一般半導體封裝結構是將半導體晶片背面黏貼於基板頂面，進行打線接合（wire bonding），或將半導體晶片主動面以覆晶接合（flip chip）方式與基板電性連接，再於基板之背面植以錫球以供與外部電子裝置進行電性連接。

20

表面具有導電元件之習知封裝基板請參見圖1。要製成如圖1所示之結構，主要先提供一基板11。而後，利用無電鍍於基板11之一表面11a形成一晶種層12。再透過此晶種

層12導通電流，使用電鍍結合電鍍阻層之微影製程等習知技術，於基板11表面11a形成一線路層14。爾後，再形成一防焊層15於該基板11表面11a，同樣利用圖案化之技術，於此防焊層15形成複數開孔153，使開孔153顯露部份的線路層14作為電性連接墊142，該線路層14復包括線路141導接至電性連接墊142。接著，於顯露之電性連接墊142表面以印刷或電鍍法形成焊料凸塊18，俾完成一表面具有導電連接結構之習知封裝基板。

雖然此種焊料凸塊18可供與半導體晶片電性連接，但在半導體封裝件高積集度以及微型化的封裝要求下，造成線路的線寬/線距不斷縮小的趨勢。當封裝基板表面結構線寬及線距縮短時，倘若應用此種習知導電連接結構，因接點強度亦隨著接合面積而縮小，則面臨接合半導體晶片及封裝基板間之焊料凸塊18其強度不足以承受晶片與基板間的剪應力（shear stress），至此加劇造成焊料凸塊18斷裂的現象，而無法達到可靠度的需求。

此外，當此種結構之封裝基板接受信賴度測試，如熱衝擊（不論是溫度上升或下降）、濕度變化等，由於基板與焊料凸塊因溫度變化而產生剪應力，而焊料凸塊與基板之接合強度不足以抵抗剪應力，此使得焊料凸塊與電性連接墊之間的接合面發生斷裂現象，此等現象致使基板與晶片之間的電性連接失效。

因此，為提高基板與晶片間電性連接之品質，強化基板表面用於電性連接功能之導電元件的可靠度，實為一需積極解決的課題。

5 【發明內容】

本發明提供一種封裝基板結構，其包括：一基板，其表面具有複數電性連接墊；複數金屬凸塊，係分別配置於該些電性連接墊表面；以及一介電層，係覆蓋該基板及該些金屬凸塊，且該介電層具有複數凹口（recesses）以顯露該些金屬凸塊頂部，其中該些凹口內表面係為粗糙化表面。

上述之結構可更包含複數條線路，該些線路係配置於該基板表面並電性連接該些電性連接墊。另外，本發明之封裝基板結構也可包含複數焊料凸塊，該些焊料凸塊係配置於該些凹口上並覆蓋該些金屬凸塊頂部。此外，於該些金屬凸塊及該些焊料凸塊之間，亦可包含一金屬黏著層配置其間。其中該金屬黏著層之材料係選自由錫、銀、鎳、金、鉻/鈦合金、鎳/金合金、鎳/鈮合金、與鎳/鈮/金合金所組群組其中之一者。

上述之結構中，該基板可為任何基板，較佳可使用一完成前段製程之電路板。另一方面，該介電層可為一般之平滑表面，但較佳為粗糙化表面。再者，該些金屬凸塊之高度不限，但較佳為分別突出該些凹口之內表面。此外，該些凹口之內徑較佳係大於該些金屬凸塊之內徑。

本發明上述之結構中，該金屬黏著層之材料可為任何材料，較佳係選自由錫、銀、鎳、金、鉻/鈦合金、鎳/金合金、鎳/鈮合金、與鎳/鈮/金合金所組群組其中之一者。另外，該些電性連接墊及該些金屬凸塊之材料不受限制，較佳係選自由錫、銀、銅、金、鈹、銻、鋅、鎳、銦、鎂、銻、鎳、及其合金所組群組其中之一者。此外，該介電層之材料不受限制，較佳係選自由ABF (Ajinomoto Build-up Film)、聯二苯環丁二烯 (benzocyclobutene, BCB)、液晶聚合物 (liquid crystal polymer, LCP)、聚亞醯胺 (polyimide, PI)、聚乙炔醚 (poly(phenylene ether), PPE)、聚四氟乙烯 (poly(tetra-fluoroethylene), PTFE)、FR4、FR5、雙順丁醯二酸醯亞胺/三氮吡 (bismaleimide triazine, BT)、芳香尼龍 (aramide)、及環氧樹脂與玻璃纖維之混合物所組群組其中之一者。

因此，本發明所提供之封裝基板結構，由於電性連接墊表面具有金屬凸塊，所以可以減少焊料使用量。另外，介電層對應金屬凸塊之位置具有凹口，此凹口之內表面有經過粗糙化處理，因此能夠增加介電層與焊料凸塊間之接合能力，再者，因其於電性連接墊表面配置有金屬凸塊，且金屬凸塊頂部突出於凹口，故該可藉由焊料凸塊覆蓋金屬凸塊頂部，以增加焊料凸塊的結合能力，避免習知焊料凸塊容易掉落的缺失。

所以，在半導體封裝件高積集度以及微型化的封裝要求下，當線路的線寬/線距不斷縮小時，本發明封裝基板結

5 構之電性連接墊及焊料凸塊間，因上述介電層凹口及突出於介電層凹口的金屬凸塊，所以仍然能具有良好的結合強度，減少發生焊料凸塊斷裂的現象，而具有較佳的可靠度。且當本發明封裝基板結構接受信賴度測試，如熱衝擊（不論是溫度上升或下降）、濕度變化等，由於其接合強度已加強，因此不僅減少焊料凸塊斷裂現象，同時增加產品良率。

【實施方式】

10 以下係藉由特定的具體實施例說明本發明之實施方式，熟習此技藝之人士可由本說明書所揭示之內容輕易地了解本發明之其他優點與功效。本發明亦可藉由其他不同的具體實施例加以施行或應用，本說明書中的各項細節亦可基於不同觀點與應用，在不悖離本發明之精神下進行各種修飾與變更。

15 本發明之實施例中該等圖式均為簡化之示意圖。惟該等圖示僅顯示與本發明有關之元件，其所顯示之元件非為實際實施時之態樣，其實際實施時之元件數目、形狀等比例為一選擇性之設計，且其元件佈局型態可能更複雜。

20 請參考圖2A~2H，此為製作本實施例封裝基板結構之製作流程示意圖。

首先，如圖2A所示，提供一基板21。而本實施例所使用之基板21係為一完成前段製程之電路板，圖2A之基板21僅為示意，故省略詳細的線路連結。其係可利用無電電鍍

技術，於此基板21表面21a形成一晶種層22。此晶種層22之材料可以選用自銅、錫、鎳、鉻、鈦、銅/鉻合金、以及錫/鉛合金所組群組其中之一者。本實施例使用銅作為此晶種層22之材料。接著，利用習知曝光顯影等圖案化之技術，

5 形成具有開口區230之第一阻層23於導電層22上。再於第一阻層23之開口區230內，經由晶種層22導通電流使用電鍍技術形成一線路層24，此線路層24具有複數條線路241及複數電性連接墊242，且線路241電性連接電性連接墊242。

接著，如圖2B所示，再次利用曝光顯影的方式，形成具複數開孔253之第二阻層25，其中，第二阻層25之開孔253對應於電性連接墊242，而本實施例中開孔253略小於電性連接墊242。上述之該第一阻層23及第二阻層25可選擇使用液態光阻或乾膜。

10

接著，如圖2C所示，同樣利用電鍍方式，於開孔253內形成複數金屬凸塊26，此金屬凸塊26之材料可選用自錫、銀、銅、金、鈹、銻、鋅、鎳、鋳、鎂、銻、鎳及其合金所組群組其中之一者。於本實施例中，則使用銅作為金屬凸塊26之材料。

15

然後，見圖2D所示，將第二阻層25、第一阻層23及兩者所覆蓋之導電層22完全移除，而顯露出線路241、金屬凸塊26以及未受金屬凸塊26覆蓋之部分電性連接墊242。

20

接著，如圖2E所示，於基板21之表面21a形成一介電層27以覆蓋線路241、金屬凸塊26以及未受金屬凸塊26覆蓋之部分電性連接墊242。而後，利用雷射蝕孔 (laser ablation)

技術，將覆蓋於金屬凸塊26表面之介電層27移除，於是形成複數凹口274顯露金屬凸塊26頂部（參見圖2F）。本實施例中，這些凹口274之內徑大於金屬凸塊26之內徑，且金屬凸塊26頂部分別突出凹口274之內表面，且。再如圖2G所示，利用物理或化學方式如化學藥劑侵蝕介電層27，將介電層27表面及凹口274內表面進行粗糙化。此一粗糙化的步驟，因為增加介電層27的表面積，故於後續製程中，可增加焊料與介電層27之結合力，亦可增加底膠（underfill）與介電層27表面之結合力。而後，在暴露之金屬凸塊26表面，可選擇性形成一金屬黏著層（圖未示），以增加金屬凸塊26及焊料之接合能力。此金屬黏著層的材料，較佳可選自錫、銀、鎳、金、鉻/鈦合金、鎳/金合金、鎳/鈮合金、與鎳/鈮/金合金所組成群組其中之一者，本實施例則使用鎳/鈮合金。形成該金屬黏著層之方式係可為電鍍、物理沉積及化學沉積之其中一者，其中，該物理沉積方式係為濺鍍及蒸鍍之其中一者，該化學沉積係為無電電鍍。

最後，為形成作為封裝基板與晶片兩者間之電性連接點，如圖2H所示，在金屬凸塊26及介電層27之凹口274上，經由印刷及回焊製程，形成一焊料凸塊28。此焊料凸塊28之材料較佳可選自銅、錫、鉛、鎳、金、銀、鈹及其合金所組群組其中之一者，本實施例使用之材料為錫。

經由上述製程後，可得到一封裝基板結構。如圖2H所示，此封裝基板結構包含一基板21，其表面21a具有複數電性連接墊242；複數金屬凸塊26，係分別配置於該些電性連

接墊表面242；以及一介電層27，係覆蓋該基板21及該些金屬凸塊26，且該介電層27具有複數凹口274（recesses）以顯露該些金屬凸塊26頂部，其中該些凹口274內表面係為粗糙化表面。此外，此封裝基板結構更包含複數焊料凸塊28，
5 其係配置於該些凹口274上並覆蓋該些金屬凸塊26頂部。

因此，本發明所提供之封裝基板結構，由於電性連接墊表面具有金屬凸塊，所以可以減少焊料使用量。另外，介電層對應金屬凸塊之位置具有凹口，此凹口之內表面有經過粗糙化處理，因此能夠增加介電層與焊料凸塊間之接
10 合能力，再者，因其於電性連接墊表面配置有金屬凸塊，且金屬凸塊頂部突出於凹口，故該可藉由焊料凸塊覆蓋金屬凸塊頂部，以增加焊料凸塊的結合能力，避免習知焊料凸塊容易掉落的缺失。

本發明所提供之封裝基板結構，具有良好的接合強度，可減少發生焊料凸塊斷裂的現象，並具有較佳的可靠度。且當本發明封裝基板結構接受信賴度測試，如熱衝擊（不論是溫度上升或下降）、濕度變化等，由於其接合強度已加強，因此不僅減少焊料凸塊斷裂現象，同時增加產品良率。
15

上述實施例僅係為了方便說明而舉例而已，本發明所主張之權利範圍自應以申請專利範圍所述為準，而非僅限於上述實施例。
20

【圖式簡單說明】

圖1係習知封裝基板結構之剖面示意圖。

圖2A至2H係本發明一較佳實施例中封裝基板結構之流程示意圖。

5 【主要元件符號說明】

11, 21	基板	11a, 21a	表面
12, 22	晶種層	14, 24	線路層
141, 241	線路	142, 242	電性連接墊
15	防焊層	153, 253	開孔
18, 28	焊料凸塊	230	開口區
23	第一阻層	25	第二阻層
26	金屬增厚塊	27	介電層
274	凹口		

五、中文發明摘要：

本發明係有關於一種封裝基板結構，其包括：一基板，其表面具有複數電性連接墊；複數金屬凸塊，係分別配置於該些電性連接墊表面；以及一介電層，係覆蓋該基板及該些金屬凸塊，且該介電層具有複數凹口（recesses）以顯露該些金屬凸塊頂部，其中該些凹口內表面係為粗糙化表面。再者，復可再包括複數焊料凸塊設置於該介電層之凹口並覆蓋該金屬凸塊頂部。由於為凹口內表面經過粗糙化處理，因此介電層與焊料凸塊之結合力會因此增加。

六、英文發明摘要：

A packaging substrate structure is disclosed in the present invention. The packaging substrate structure comprises a substrate on which a plurality of conductive pads are positioned; a plurality of metal thickening bumps respectively disposed on the surfaces of the conductive pads; and a dielectric layer covering the substrate and the metal thickening bumps, which has a plurality of recesses exposing the metal thickening bumps, wherein the inner surfaces of the recesses are rough.

十、申請專利範圍：

1. 一種封裝基板結構，其包括：

一基板，其表面具有複數電性連接墊；

複數金屬凸塊，係分別配置於該些電性連接墊表面；

5 以及

一介電層，係覆蓋該基板及該些金屬凸塊，且該介電層具有複數凹口（recesses）以顯露該些金屬凸塊頂部，其中該些凹口內表面係為粗糙化表面。

10 2. 如申請專利範圍第1項所述之封裝基板結構，其中，該基板係一完成前段製程之電路板。

3. 如申請專利範圍第1項所述之封裝基板結構，其中，該介電層表面係為粗糙化表面。

4. 如申請專利範圍第1項所述之封裝基板結構，復包含線路配置於該基板表面並電性連接該些電性連接墊。

15 5. 如申請專利範圍第1項所述之封裝基板結構，其中，該些凹口之內徑係大於該些金屬凸塊之內徑。

20 6. 如申請專利範圍第1項所述之封裝基板結構，其中，該些電性連接墊及該些金屬凸塊之材料係選自由錫、銀、銅、金、鈹、銻、鋅、鎳、鋳、鎂、銻、鎳、及其合金所組群組其中之一者。

7. 如申請專利範圍第1項所述之封裝基板結構，其中，該介電層之材料係選自由ABF（Ajinomoto Build-up Film）、聯二苯環丁二烯（benzocyclobutene，BCB）、液晶聚合物（liquid crystal polymer，LCP）、聚亞醯胺

(polyimide, PI)、聚乙烯醚(poly(phenylene ether), PPE)、
聚四氟乙烯(poly(tetra-fluoroethylene), PTFE)、FR4、
FR5、雙順丁醯二酸醯亞胺/三氮吡(bismaleimide triazine,
BT)、芳香尼龍(aramide)、及環氧樹脂與玻璃纖維之混
5 合物所組群組其中之一者。

8. 如申請專利範圍第1項所述之封裝基板結構，復包
含複數焊料凸塊，其係配置於該些凹口上並覆蓋該些金屬
凸塊頂部。

9. 如申請專利範圍第8項所述之封裝基板結構，復包
10 含一金屬黏著層配置於該些金屬凸塊及該些焊料凸塊之
間。

10. 如申請專利範圍第9項所述之封裝基板結構，其中
該金屬黏著層之材料係選自由錫、銀、鎳、金、鉻/鈦合金、
鎳/金合金、鎳/鈮合金、與鎳/鈮/金合金所組群組其中之一
15 者。

11. 如申請專利範圍第1項所述之封裝基板結構，其
中，該些金屬凸塊頂部係分別突出該些凹口之內表面。

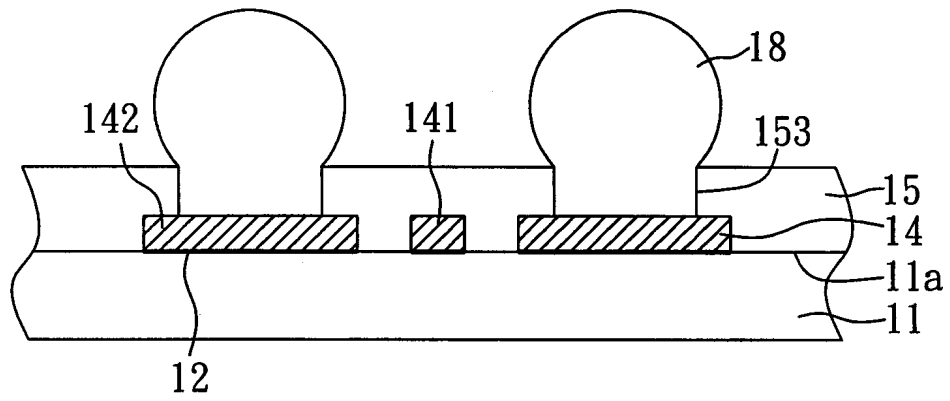
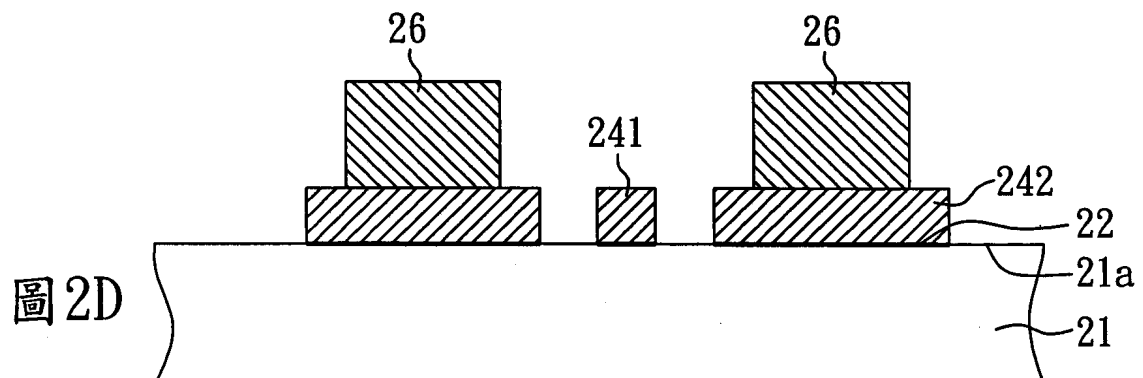
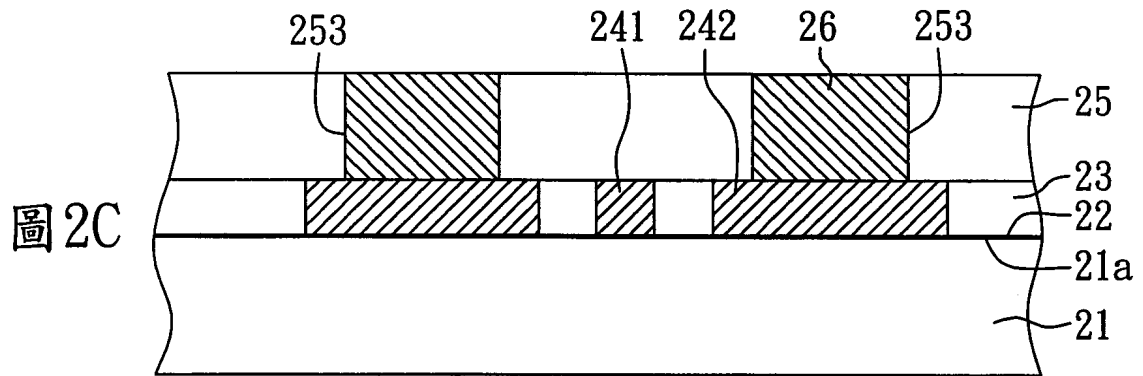
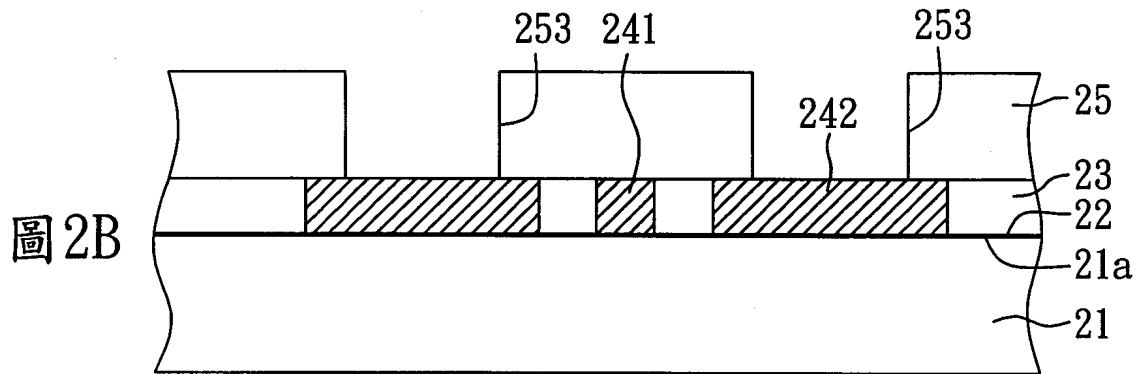
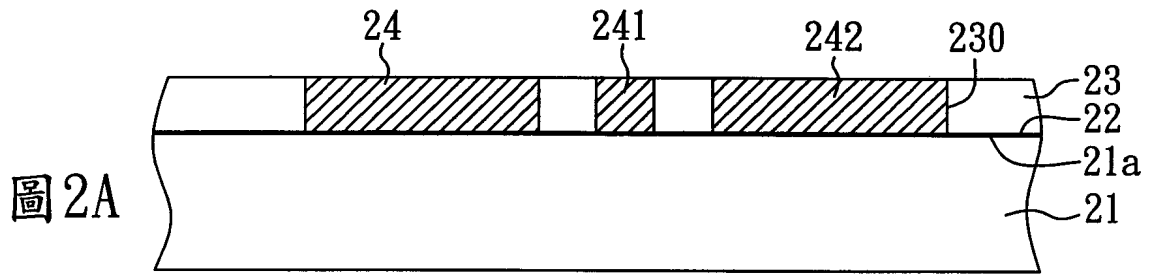
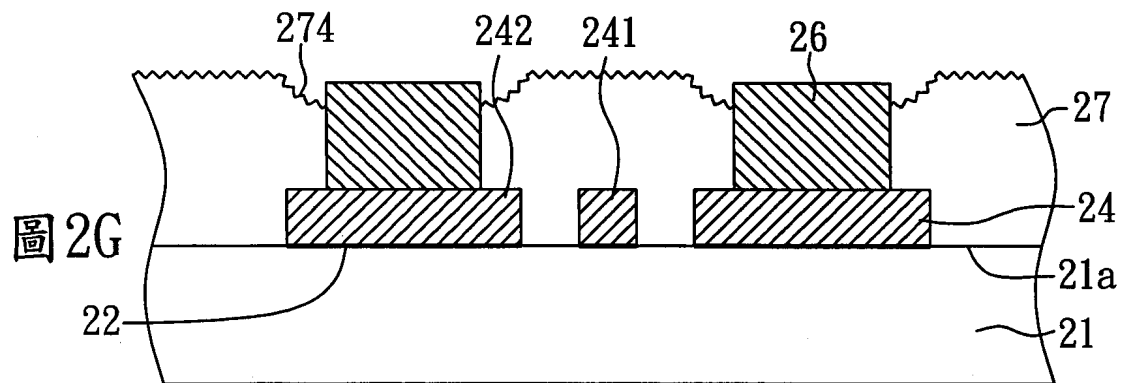
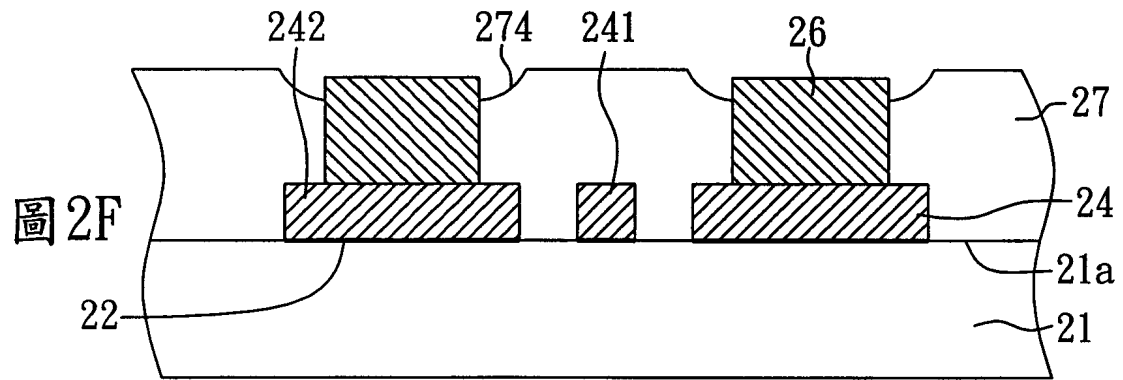
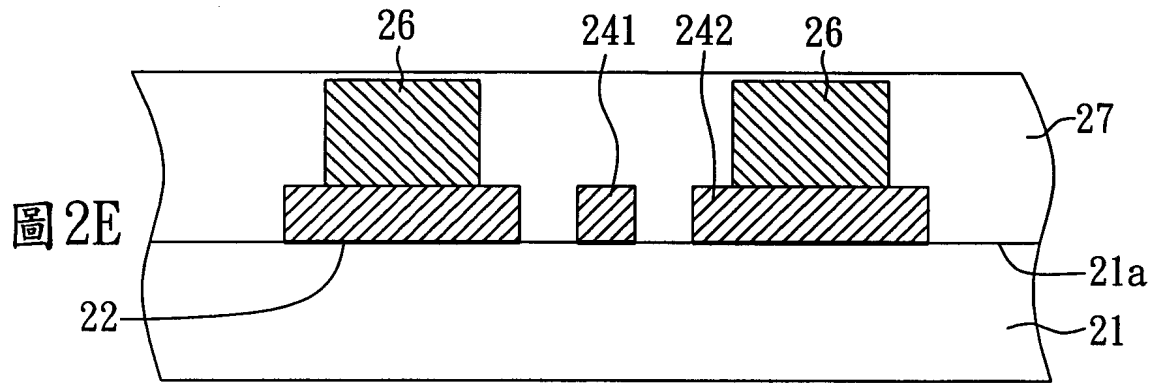
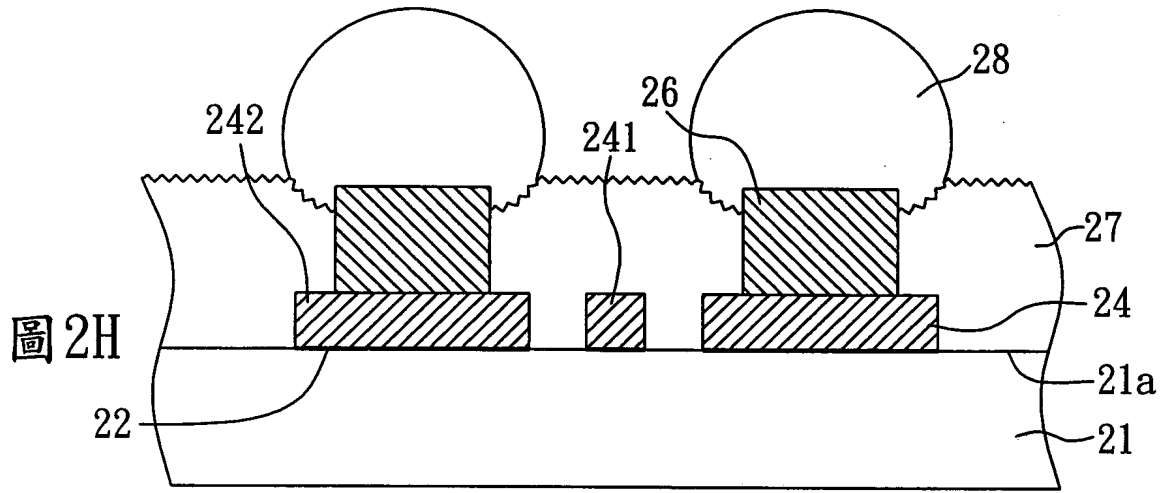


圖1





:



七、指定代表圖：

(一)本案指定代表圖為：圖 (2G)。

(二)本代表圖之元件符號簡單說明：

21	基板	21a	表面
22	晶種層	24	線路層
241	線路	242	電性連接墊
26	金屬凸塊	27	介電層
274	凹口		

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

「無」