

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4377749号
(P4377749)

(45) 発行日 平成21年12月2日(2009.12.2)

(24) 登録日 平成21年9月18日(2009.9.18)

(51) Int.Cl.	F I
HO 1 L 29/786 (2006.01)	HO 1 L 29/78 6 1 8 C
HO 1 L 21/336 (2006.01)	HO 1 L 29/78 6 1 7 N
	HO 1 L 29/78 6 1 7 S
	HO 1 L 29/78 6 1 6 A

請求項の数 5 (全 14 頁)

<p>(21) 出願番号 特願2004-169331 (P2004-169331)</p> <p>(22) 出願日 平成16年6月8日(2004.6.8)</p> <p>(65) 公開番号 特開2005-353618 (P2005-353618A)</p> <p>(43) 公開日 平成17年12月22日(2005.12.22)</p> <p>審査請求日 平成17年8月31日(2005.8.31)</p> <p>前置審査</p>	<p>(73) 特許権者 000003078 株式会社東芝 東京都港区芝浦一丁目1番1号</p> <p>(74) 代理人 100109900 弁理士 堀口 浩</p> <p>(72) 発明者 古賀 淳二 神奈川県横浜市磯子区新杉田町8番地 株式会社東芝 横浜事業所内</p> <p>(72) 発明者 木下 敦寛 神奈川県横浜市磯子区新杉田町8番地 株式会社東芝 横浜事業所内</p> <p>審査官 綿引 隆</p>
---	---

最終頁に続く

(54) 【発明の名称】 半導体装置

(57) 【特許請求の範囲】

【請求項1】

半導体基板と、
 前記半導体基板上に形成された絶縁層と、
 前記絶縁層中に形成された下部ゲートと、
 前記下部ゲート上の前記絶縁層に形成された下部ゲート絶縁膜と、
 前記下部ゲート上に前記下部ゲート絶縁膜を介して形成され、チャネル領域となる第1の半導体層と、
 前記下部ゲート上に前記下部ゲート絶縁膜を介して形成され、前記第1の半導体層をゲート長方向に挟む一对の不純物拡散層と、
 前記下部ゲート上に前記下部ゲート絶縁膜を介して形成され、前記第1の半導体層及び前記不純物拡散層をゲート長方向に挟み、前記第1の半導体層と同じ材料で構成された一对の第2の半導体層と、
 前記下部ゲート上に、前記下部ゲート絶縁膜および前記第2の半導体層を介して形成され、前記第1の半導体層及び前記不純物拡散層をゲート長方向に挟み、金属元素を含む一对の金属層と、
 前記第1の半導体層上に形成された上部ゲート絶縁膜と、
 前記上部ゲート絶縁膜上に形成され、前記下部ゲートに比して短いゲート長を有する上部ゲートとを備え、
 前記下部ゲートと前記金属層の間の実効的な絶縁層の厚さが、前記下部ゲート絶縁膜の

10

20

厚さより厚いことを特徴とする半導体装置。

【請求項 2】

半導体基板と、
 前記半導体基板上に形成された絶縁層と、
 前記絶縁層中に形成された下部ゲートと、
 前記下部ゲート上の前記絶縁層に形成された下部ゲート絶縁膜と、
 前記下部ゲート上に前記下部ゲート絶縁膜を介して形成され、チャンネル領域となる第 1
 の半導体層と、
 前記下部ゲート上に前記下部ゲート絶縁膜を介して形成され、前記第 1 の半導体層をゲ
 ート長方向に挟む一对の不純物拡散層と、
 前記下部ゲート上に前記下部ゲート絶縁膜を介して形成され、前記第 1 の半導体層及び
 前記不純物拡散層をゲート長方向に挟み、前記第 1 の半導体層を構成する半導体元素より
 比誘電率が低い低誘電率層と、
 前記下部ゲート上に前記下部ゲート絶縁膜および前記低誘電率層を介して形成され、前
 記第 1 の半導体層及び前記不純物拡散層をゲート長方向に挟み、金属元素を含む一对の金
 属層と、
 前記第 1 の半導体層上に形成された上部ゲート絶縁膜と、
 前記上部ゲート絶縁膜上に形成され、前記下部ゲートに比して短いゲート長を有する上
 部ゲートとを備えることを特徴とする半導体装置。

10

【請求項 3】

半導体基板と、
 前記半導体基板上に形成された絶縁層と、
 前記絶縁層中に形成された下部ゲートと、
 前記下部ゲート上の前記絶縁層に形成された下部ゲート絶縁膜と、
 前記下部ゲート上に前記下部ゲート絶縁膜を介して形成され、チャンネル領域となる第 1
 の半導体層と、
 前記下部ゲート絶縁膜下の前記絶縁層中に形成され、ゲート長方向に前記下部ゲートを
 挟み、前記第 1 の半導体層を構成する半導体元素より比誘電率が低い第 1 の低誘電率層と
 、
 前記第 1 の低誘電率層上に前記下部ゲート絶縁膜を介して形成され、前記第 1 の半導体
 層をゲート長方向に挟む一对の不純物拡散層と、
 前記第 1 の低誘電率層上に前記下部ゲート絶縁膜を介して形成され、前記第 1 の半導体
 層及び前記不純物拡散層をゲート長方向に挟み、前記第 1 の半導体層を構成する半導体元
 素より比誘電率が低い第 2 の低誘電率層と、
 前記第 1 の低誘電率層上に前記下部ゲート絶縁膜および前記第 2 の低誘電率層を介して
 形成され、前記第 1 の半導体層及び前記不純物拡散層をゲート長方向に挟み、金属元素を
 含む一对の金属層と、
 前記第 1 の半導体層上に形成された上部ゲート絶縁膜と、
 前記上部ゲート絶縁膜上に形成された上部ゲートと、
 を備えることを特徴とする半導体装置。

20

30

40

【請求項 4】

前記低誘電率層は、半導体元素とNもしくはOを含有することを特徴とする請求項 2 に記
 載の半導体装置。

【請求項 5】

前記上部ゲート絶縁膜、前記チャンネル領域及び前記下部ゲート絶縁膜をゲート幅方向に
 挟む側部ゲート絶縁膜と、
 前記上部ゲート絶縁膜、前記チャンネル領域及び前記下部ゲート絶縁膜を、前記側部ゲ
 ート絶縁膜を介して挟む側部ゲートとを備えることを特徴とする請求項 1 乃至 4 のいずれか
 一項に記載の半導体装置。

【発明の詳細な説明】

50

【技術分野】

【0001】

本発明は、電界効果型トランジスタを備える半導体装置に関する。

【背景技術】

【0002】

集積回路の高機能化には、その構成要素であるMOSFET (Metal-Oxide-Semiconductor Field Effect Transistor) 等の素子の高性能化が必要である。素子の高性能化は、基本的には比例縮小則により行われてきたが、 $0.1\mu\text{m}$ (ゲート長) 世代を境に様々な問題が生じている。その1つに、リーク電流の増加に代表される短チャネル効果の問題がある。

【0003】

近年、短チャネル効果抑制のため、チャネル領域を2方向乃至4方向から囲むマルチゲート構造が注目されている。マルチゲート構造は、ソース・ドレイン領域及びゲートの位置関係から、平面型、フィン型及び縦型の3種に分けられる。

【0004】

そのうち、平面型マルチゲート構造としては、上部ゲート及び下部ゲートを備える平面型ダブルゲート構造、上部ゲート、下部ゲート及びチャネル領域をゲート幅方向に挟む側部ゲートを備える平面型GAA (Gate-All-Around) 構造等が挙げられる。

【0005】

平面型マルチゲート構造の製造方法としては、汎用技術であるリソグラフィ技術及びエッチング技術を用いることが製造プロセス簡略化の観点から好ましい。しかし、この製造方法は、次に述べる問題があった。

【0006】

平面型ダブルゲート構造の場合、素子特性上、下部ゲートの上方延長上に同等の大きさの上部ゲートが形成されるのが最も好ましい。しかし、上部ゲート及び下部ゲートの正確な位置合わせは、現状の素子の大きさ及びリソグラフィ技術の精度では困難であった。特に、下部ゲート及び上部ゲートのゲート長方向の位置ずれは、素子特性を著しく劣化させるため、回避する必要がある。

【0007】

そこで、通常、上部ゲートに比して長いゲート長を有する下部ゲートを作製していた(非特許文献1参照)。しかし、このようなMOSFETの場合、下部ゲート絶縁膜において、上方に上部ゲートのない領域、すなわち、ソース・ドレイン領域と下部ゲートに挟まれる領域が不可避となる。このため、該領域にて、寄生容量が発生し、素子特性を劣化させていた。

【0008】

例えば、 20nm (ゲート長) 世代のMOSFETにおいて、リソグラフィ技術の位置合わせ精度が 20nm である場合、ゲート長距離は、下部ゲートが 60nm 、上部ゲートが 20nm となる。すると、寄生容量の発生領域は、ソース側及びドレイン側合わせてゲート長距離 40nm に及び。

【非特許文献1】S. Harrison, et al, IEDM 2003, p. 449.

【発明の開示】

【発明が解決しようとする課題】

【0009】

本発明は、上記事情に鑑みて、寄生容量を低減できる平面型マルチゲート構造の半導体装置を提供することを目的とする。

【課題を解決するための手段】

【0010】

第1の発明の半導体装置は、半導体基板と、前記半導体基板上に形成された絶縁層と、前記絶縁層中に形成された下部ゲートと、前記下部ゲート上の前記絶縁層に形成された下部ゲート絶縁膜と、前記下部ゲート上に前記下部ゲート絶縁膜を介して形成され、チャネル領域となる第1の半導体層と、前記下部ゲート上に前記下部ゲート絶縁膜を介して形成

10

20

30

40

50

され、前記第1の半導体層をゲート長方向に挟む一対の不純物拡散層と、前記下部ゲート上に前記下部ゲート絶縁膜を介して形成され、前記第1の半導体層及び前記不純物拡散層をゲート長方向に挟み、前記第1の半導体層と同じ材料で構成された一対の第2の半導体層と、前記下部ゲート上に、前記下部ゲート絶縁膜および前記第2の半導体層を介して形成され、前記第1の半導体層及び前記不純物拡散層をゲート長方向に挟み、金属元素を含む一対の金属層と、前記第1の半導体層上に形成された上部ゲート絶縁膜と、前記上部ゲート絶縁膜上に形成され、前記下部ゲートに比して短いゲート長を有する上部ゲートとを備え、前記下部ゲートと前記金属層の間の実効的な絶縁層の厚さが、前記下部ゲート絶縁膜の厚さより厚いことを特徴とする。

【0011】

また、第2の発明の半導体装置は、半導体基板と、前記半導体基板上に形成された絶縁層と、前記絶縁層中に形成された下部ゲートと、前記下部ゲート上の前記絶縁層に形成された下部ゲート絶縁膜と、前記下部ゲート上に前記下部ゲート絶縁膜を介して形成され、チャンネル領域となる第1の半導体層と、前記下部ゲート上に前記下部ゲート絶縁膜を介して形成され、前記第1の半導体層をゲート長方向に挟む一対の不純物拡散層と、前記下部ゲート上に前記下部ゲート絶縁膜を介して形成され、前記第1の半導体層及び前記不純物拡散層をゲート長方向に挟み、前記第1の半導体層を構成する半導体元素より比誘電率が低い低誘電率層と、前記下部ゲート上に前記下部ゲート絶縁膜および前記低誘電率層を介して形成され、前記第1の半導体層及び前記不純物拡散層をゲート長方向に挟み、金属元素を含む一対の金属層と、前記第1の半導体層上に形成された上部ゲート絶縁膜と、前記上部ゲート絶縁膜上に形成され、前記下部ゲートに比して短いゲート長を有する上部ゲートとを備えることを特徴とする。

【0012】

また、第3の発明の半導体装置は、半導体基板と、前記半導体基板上に形成された絶縁層と、前記絶縁層中に形成された下部ゲートと、前記下部ゲート上の前記絶縁層に形成された下部ゲート絶縁膜と、前記下部ゲート上に前記下部ゲート絶縁膜を介して形成され、チャンネル領域となる第1の半導体層と、前記下部ゲート絶縁膜下の前記絶縁層中に形成され、ゲート長方向に前記下部ゲートを挟み、前記第1の半導体層を構成する半導体元素より比誘電率が低い第1の低誘電率層と、前記第1の低誘電率層上に前記下部ゲート絶縁膜を介して形成され、前記第1の半導体層をゲート長方向に挟む一対の不純物拡散層と、前記第1の低誘電率層上に前記下部ゲート絶縁膜を介して形成され、前記第1の半導体層及び前記不純物拡散層をゲート長方向に挟み、前記第1の半導体層を構成する半導体元素より比誘電率が低い第2の低誘電率層と、前記第1の低誘電率層上に前記下部ゲート絶縁膜および前記第2の低誘電率層を介して形成され、前記第1の半導体層及び前記不純物拡散層をゲート長方向に挟み、金属元素を含む一対の金属層と、前記第1の半導体層上に形成された上部ゲート絶縁膜と、前記上部ゲート絶縁膜上に形成された上部ゲートと、を備えることを特徴とする。

【発明の効果】

【0014】

本発明は、寄生容量を低減できる平面型マルチゲート構造の半導体装置を提供できる。

【発明を実施するための最良の形態】

【0015】

以下に、本発明の各実施の形態について図面を参照しながら説明する。なお、実施の形態を通して共通の構成には同一の符号を付すものとし、重複する説明は省略する。また、各図は発明の説明とその理解を促すための模式図であり、その形状や寸法、比などは実際の装置と異なる個所があるが、これらは以下の説明と公知の技術を参酌して適宜、設計変更することができる。

【0016】

なお、各実施の形態においてはGAA構造MOSFETについて説明するが、本発明は平面型マルチゲート構造全般に適用できる。従って、チャンネル領域の上下にゲートを有する平面型

10

20

30

40

50

ダブルゲート構造の他、上下方向に加え、ソースもしくはドレイン方向にゲートを有するマルチゲート構造も、無論本発明の範囲内である。

【0017】

また、ゲート絶縁膜に酸化物を用いたn型MOSFETについて説明するが、無論、p型MOSFET、CMOSFET (complementary MOSFET) についても適用できる。また、ゲート絶縁膜は酸化物に限られず、窒化物、フッ化物等のその他の絶縁体を用いたMISFETについても、同様に各実施の形態を適用できる。

【0018】

また、EPROM (Erasable Programmable Read Only Memory)、EEPROM (Electrically EPROM)、フラッシュメモリ等のPROMについても、同様に各実施の形態を適用できる。さらに、上述した半導体素子が集積化したメモリ、ロジック回路等、並びにこれらが同一チップ上に混載されるシステムLSI等にも適用可能である。

10

【0019】

(第1の実施の形態)

第1の実施の形態に係わるGAA構造MOSFETについて図1(a)及び(b)を参照して説明する。

【0020】

図1(a)は、第1の実施形態に係るGAA構造MOSFETのゲート長方向の断面模式図である。

【0021】

図1(b)は、第1の実施形態に係るGAA構造MOSFETのゲート幅方向の断面模式図である。

20

【0022】

図1(a)に示すように、半導体基板1上に絶縁層2(SiO₂)が形成され、絶縁層2(SiO₂)上に半導体層3(Si)が形成され、所謂SOI(Silicon On Insulator)構造を為している。

【0023】

絶縁層2(SiO₂)中に下部ゲート4が形成され、絶縁層2(SiO₂)表面の下部ゲート4上には下部ゲート絶縁膜5が形成されている。下部ゲート絶縁膜5上の半導体層3(Si)にチャネル領域6が形成されている。チャネル領域6をゲート長方向に挟む第1のソース・ドレイン領域7と、チャネル領域6及び第1のソース・ドレイン領域7をゲート長方向に挟み第1のソース・ドレイン領域7より浅い第2のソース・ドレイン領域8が半導体層3(Si)に形成されている。

30

【0024】

上部ゲート絶縁膜9は、チャネル領域6上に形成され、上部ゲート10は上部ゲート絶縁膜9上に形成されている。

【0025】

図1(b)に示すように、チャネル領域6は、側部ゲート絶縁膜11を介して側部ゲート12にゲート幅方向に挟まれている。上部ゲート絶縁膜9及び下部ゲート絶縁膜5は、側部ゲート絶縁膜11を介してチャネル領域6をゲート幅方向に囲み、上部ゲート10及び下部ゲート4は側部ゲート12を介して電氣的に短絡し、所謂GAA構造を為している。

40

【0026】

第1の実施の形態によれば、第2のソース・ドレイン領域8は半導体層3(Si)にて浅く形成され、下部ゲート絶縁膜5と第2のソース・ドレイン領域8間は半導体層3(Si)が介在するため第1のソース・ドレイン領域7に比して、電極間(下部ゲート4と第2のソース・ドレイン領域8)の実効的な絶縁層が厚くなっている。一般に、寄生容量は、ソース・ドレイン領域(図1(a)では、第1のソース・ドレイン領域7及び第2のソース・ドレイン領域8)と下部ゲート4間の実効的な絶縁層層厚に反比例する。従って、第1の実施の形態のGAA構造MOSFETは寄生容量を低減することができる。

【0027】

50

また、第1の実施の形態によれば、チャンネル領域に隣接する第1のソース・ドレイン領域7は、深く形成され、チャンネル領域と第1のソース・ドレイン領域の接合を半導体層3 (Si) ゲート幅方向の全断面積で形成できる。従って、第1の実施の形態のGAA構造MOSFETはマルチゲート動作で期待される高電流駆動を維持できる。

【0028】

第1のソース・ドレイン領域7及び第2のソース・ドレイン領域8は、夫々、不純物拡散層又は金属層から選択される。特に、第1のソース・ドレイン領域7を不純物拡散層とし、第2のソース・ドレイン領域8を金属層とすることが、寄生抵抗低減の観点から好ましい。なお、必要に応じ、ソース領域とドレイン領域について、異なる材料を選択してもよい。

10

【0029】

GAA構造MOSFETは、ゲート長20 nm以降の世代で利用が期待されている。以下、ゲート長20 nm以降の世代の場合について述べる。

【0030】

第1のソース・ドレイン領域7のゲート長方向の長さは、5 nm以上10 nm以下とするのが好ましい。

【0031】

5 nm以上であることにより、チャンネル領域と第1のソース・ドレイン領域の接合を半導体層3 (Si) ゲート幅方向の全断面積で形成するのが容易となる。10 nm以下であることにより、第1のソース・ドレイン領域7と下部ゲート4に挟まれた下部ゲート絶縁膜5の領域に発生する寄生容量が許容範囲となる。なお、20 nm世代以降において、寄生容量への充放電時間を低減し、高速な回路動作を実現するため、寄生容量は、MOSFET本来のチャンネル容量に比して少なくとも半分以下であることが要求されている。

20

【0032】

第1のソース・ドレイン領域7と第2のソース・ドレイン領域8の接合深さの差は3 nm以上10 nm以下であることが好ましい。

【0033】

3 nm以上であることにより、寄生容量の低減効果が顕著となり、10 nm以下であることにより、第2のソース・ドレイン領域8の寄生抵抗が許容範囲内となる。

【0034】

なお、半導体層3 (Si) の層厚は、5 nm以上15 nm以下が好ましい。

30

【0035】

5 nm以上であることにより、半導体層3 (Si) の膜厚ゆらぎが許容範囲内となり、15 nm以下であることにより、短チャンネル効果をさらに抑制できる。

【0036】

次に、第1の実施の形態のGAA構造MOSFETの製造方法の一例について図2 (a) 乃至 (d) を参照して説明する。便宜上、20nm世代、半導体層としてSiを用い、第1のソース・ドレイン領域7及び第2のソース・ドレイン領域8として不純物拡散層を用い、下部ゲート4及び上部ゲート10として多結晶シリコンを用い、下部ゲート絶縁膜5及び上部ゲート絶縁膜9としてSiO₂を用いた場合について説明する。

40

【0037】

まず、図2 (a) に示すように、半導体基板1上に絶縁層2 (SiO₂) が埋め込まれ、その上に層厚10nmの半導体層3 (Si) を形成させる。次に、公知のリソグラフィ技術とエッチング技術を用いて、適宜、半導体層3 (Si) を加工し、素子を分離する (隣接する素子については図示しない。)。その後、公知のリソグラフィ技術とエッチング技術を用いて、絶縁層2 (SiO₂) を切削し、空洞を形成する。なお、エッチング工程では、ゲート幅方向より選択的に絶縁層2 (SiO₂) を切削するため、半導体層3 (Si) は切削されない。

【0038】

次に、図2 (b) に示すように、熱酸化を用いて、半導体層3 (Si) の表面に2nm以下の下部ゲート絶縁膜5 (SiO₂) 及び上部ゲート絶縁膜9 (SiO₂) 並びに図示されない側部

50

ゲート絶縁膜 11 (SiO₂) を形成する。

【0039】

その後、CVDを用いて多結晶シリコンを堆積する。不純物のドーピングは適宜行い、公知のリソグラフィ技術とエッチング技術を用いて、下部ゲート4 (poly-Si) 及び上部ゲート10 (poly-Si) 並びに図示されない側部ゲート12 (poly-Si) を形成する。このとき、図2 (a) の空洞部分に下部ゲート4 (poly-Si) が形成される。

【0040】

次に、図2 (c) に示すように、窒化シリコンを全面に堆積後、異方性エッチング技術を用いて、幅10nmのゲート側壁13 (SiN) を形成する。その後、Asをイオン注入し、第2のソース・ドレイン領域8を形成する。このとき、半導体層3 (Si) の上層7nmの範囲に第2のソース・ドレイン領域8が形成されるように、加速電圧を適宜調整する。

10

【0041】

次に、図2 (d) に示すように、CVDを用いてマスク14 (SiO₂) を全面に堆積し、CMP (Chemical Mechanical Polish) を用いて平坦化する。その後、高温リン酸処理等を用いてゲート側壁13 (SiN) を選択的に除去し、再度、Asをイオン注入し、第1のソース・ドレイン領域7を形成する。このとき、半導体層3 (Si) の底面まで、第1のソース・ドレイン領域7が形成されるように、加速電圧を適宜調整する。不純物の活性化には、高温短時間 (例えば、1050、5秒) のアニールを行う。

【0042】

以上の工程を経て、図1 (a) に示したGAA構造MOSFETが製造される。

20

【0043】

なお、ゲート絶縁膜にSiONを用いる際には、図2 (b) の熱酸化工程の後にプラズマ窒化の工程を行う。また、ゲート絶縁膜にHfシリケートを用いる際には、熱酸化工程の代わりに、Hf含有ガスを使ったCVD (Chemical Vapor Deposition) 法、HfCl₄+H₂OのALD (Atomic Layer Deposition) 法等を用いる。

【0044】

次に、第1の実施の形態に用いられる材料について説明する。

【0045】

便宜上、図1に示すGAA構造MOSFETの材料について説明する。なお、下記に示す種種の材料は、MOSFETの世代に応じ適宜選択される。

30

【0046】

半導体基板1及び半導体層3は、Si、SiGe、Ge、歪Si等を用いる。

【0047】

絶縁層2は、SiO₂の他、SiN等を用いることができる。

【0048】

チャネル領域6は、Si、SiGe、Ge、歪Si、あるいはその他のチャネル領域材料等を用いる。なお、As(B)等の不純物が適宜添加されたn(p)型の不純物領域であることが好ましい。

【0049】

下部ゲート絶縁膜5、上部ゲート絶縁膜9及び側部ゲート絶縁膜11は、シリコン酸化膜、高誘電体絶縁膜 (シリコン酸化膜に比して高誘電率である絶縁膜材料)、あるいはこれらの混合材料等が挙げられる。高誘電体絶縁膜としては、例えば、SiON、Zrシリケート、Hfシリケート等の金属シリケート (シリコン酸化物に金属イオンを加えた材料) の他に、Si₃N₄、Al₂O₃、Ta₂O₅、TiO₂、La₂O₅、CeO₂、ZrO₂、HfO₂、SrTiO₃、Pr₂O₃等が挙げられる。

40

【0050】

下部ゲート4、上部ゲート10及び側部ゲート12は、多結晶シリコン (poly-Si)、SiGe等の半導体化合物、耐熱性金属、耐熱性金属化合物等を用いる。

【0051】

上述したように、第1のソース・ドレイン領域7及び第2のソース・ドレイン領域8は

50

、夫々、不純物拡散層又は金属層から選択される。

【 0 0 5 2 】

不純物拡散層の場合、As(B)等の不純物が適宜添加されたn(p)型の不純物拡散層である。

【 0 0 5 3 】

金属層の場合、Ag, Al, Au, Cr, Cu, Hf, Mg, Mo, Ni, Pb, Pd, Pt, Ti, W等の単体金属や、Co, Cr, Hf, Ir, Mn, Mo, Ni, Pd, Pt, Rh, Ta, Ti, W, Zr, Er等の金属とSiからなるシリコン金属化合物(シリサイド)が挙げられる。シリサイドの成分比を含め、必要に応じて適宜、最良の材料を選択することができる。

【 0 0 5 4 】

なお、以降に示す実施の形態及び変形例のMOSFETの材料については、特に記載の無い限り、第1の実施の形態に示したこれらの材料を参照し、適宜選択する。

【 0 0 5 5 】

(変形例1.1)

変形例1.1に係わるGAA構造MOSFETについて図3(a)を参照して、第1の実施の形態と異なる箇所について説明する。

【 0 0 5 6 】

図3(a)は、変形例1.1に係るGAA構造MOSFETのゲート長方向の断面模式図である。

【 0 0 5 7 】

図3(a)に示すように、第2のソース・ドレイン領域8が形成されている面の半導体層3(Si)は、第1のソース・ドレイン領域7が形成されている面の半導体層3(Si)に比して、層が厚く、階段構造を為している。

【 0 0 5 8 】

変形例1.1によれば、第2のソース・ドレイン領域8の断面積が広いため、第1の実施の形態に比して、寄生抵抗が低減できる。

【 0 0 5 9 】

変形例1.1の製造方法について、図4(a)乃至(d)を参照し、第1の実施の形態と異なる箇所について説明する。

【 0 0 6 0 】

図4(a)及び(b)については、第1の実施の形態の図2(a)及び(b)と同様である。

【 0 0 6 1 】

図4(c)に示すように、窒化シリコンを全面に堆積後、異方性エッチング技術を用いて、ゲート側壁(SiN)13を形成する。このゲート側壁(SiN)13下が、後に第1のソース・ドレイン領域7が形成される領域となる。その後、エピタキシャル法を用いて単結晶Si層15を形成する。

【 0 0 6 2 】

最後に、図4(d)に示すように、ゲート側壁(SiN)13を除去後にAsをイオン注入する。このとき、単結晶Si層15の層厚が、第1のソース・ドレイン領域7と第2のソース・ドレイン領域8の接合深さの差となる。

【 0 0 6 3 】

(変形例1.2)

変形例1.2に係わるGAA構造MOSFETについて図3(b)を参照して、変形例1.1と異なる箇所について説明する。

【 0 0 6 4 】

図3(b)は、変形例1.2に係るGAA構造MOSFETのゲート長方向の断面模式図である。

【 0 0 6 5 】

図3(b)に示すように、第2のソース・ドレイン領域8が形成されている面の半導体

10

20

30

40

50

層 3 (Si) は、第 1 のソース・ドレイン領域 7 が形成されている面の半導体層 3 (Si) に比して、なだらかに層が厚くなり、スロープ構造を為している。

【 0 0 6 6 】

変形例 1 . 2 によれば、変形例 1 . 1 と同様に、第 2 のソース・ドレイン領域 8 の断面積が広いので、第 1 の実施の形態に比して、寄生抵抗が低減できる。

【 0 0 6 7 】

変形例 1 . 2 の製造方法としては、エピタキシャル法をファセット面 (111) について行った他は、変形例 1 . 1 と同様である。

【 0 0 6 8 】

(第 2 の実施の形態)

第 2 の実施の形態に係わるGAA構造MOSFETについて図 5 (a) 及び (b) を参照し、第 1 の実施の形態と異なる箇所について説明する。

【 0 0 6 9 】

図 5 (a) は、第 2 の実施形態に係るGAA構造MOSFETのゲート長方向の断面模式図である。

【 0 0 7 0 】

図 5 (a) に示すように、下部ゲート絶縁膜 5 と第 2 のソース・ドレイン領域 8 との間に、低誘電率領域 1 6 が形成されている。低誘電率領域 1 6 とは、比誘電率が半導体層を構成する半導体元素 (ここではSi) よりも低い領域のことを指す。

【 0 0 7 1 】

具体的には、低誘電率領域 1 6 は、N若しくはOを含有している。なお、比誘電率について、Siが11.9であるのに対し、Si₃N₄は7.8、SiO₂は3.9である。このため、N若しくはOを含有することにより、半導体層 3 (Si) は低誘電率化できる。

【 0 0 7 2 】

第 2 の実施の形態によれば、下部ゲート絶縁膜 5 と第 2 のソース・ドレイン領域 8 間には低誘電率領域 1 6 が介在している。従って、第 2 の実施の形態のMOSFETは、第 1 の実施の形態に比して、実効的な絶縁層を一層厚くできるため、寄生容量をさらに低減することができる。

【 0 0 7 3 】

第 2 の実施の形態のGAA構造MOSFETの製造方法については、第 1 の実施の形態の図 2 (b) と図 2 (c) の工程の間に、上部ゲート 1 0 をマスクとし、イオン注入を用いてN若しくはOを導入する工程を加えた他は第 1 の実施の形態と同様である。なお、第 1 の実施の形態の製造方法で説明したGAA構造MOSFETの場合、NもしくはOのDose量は、例えば $1 \times 10^{16} \text{cm}^{-2}$ である。

【 0 0 7 4 】

(変形例 2 . 1)

変形例 2 . 1 に係わるGAA構造MOSFETについて図 5 (b) を参照して、第 2 の実施の形態と異なる箇所について説明する。

【 0 0 7 5 】

図 5 (b) は、変形例 2 . 1 に係るGAA構造MOSFETのゲート長方向の断面模式図である。

【 0 0 7 6 】

図 5 (b) に示すように、チャネル領域 6 をゲート長方向に挟む下部ゲート絶縁膜 5 下に、低誘電率領域 1 6 が形成されている。また、第 2 のソース・ドレイン領域 8 は、第 1 のソース・ドレイン領域 7 と同等の深さに形成され、その接合面は、半導体層 3 (Si) の底面である。

【 0 0 7 7 】

なお、低誘電率領域 1 6 は、下部ゲート 4 の底面まで形成されている方が好ましいが、下部ゲート絶縁膜 5 直下に形成されているのみでもよい。

【 0 0 7 8 】

10

20

30

40

50

また、変形例 2 . 1 では、下部ゲート 4 の材料が半導体化合物の場合に有効である。

【 0 0 7 9 】

変形例 2 . 1 によれば、チャネル領域 6 をゲート長方向に挟む下部ゲート絶縁膜 5 下に、低誘電率領域 1 6 が形成されている。従って、第 2 の実施の形態と同等以上に寄生容量を低減できる。なお、一般に、半導体層 3 (Si) の層厚に比して、下部ゲート 4 は厚い。従って、低誘電率領域 1 6 をより確保しやすいため、第 2 の実施の形態に比して、寄生容量はさらに低減できる。

【 0 0 8 0 】

また、変形例 2 . 1 によれば、第 2 のソース・ドレイン領域 8 は浅く形成しなくともよく、断面積を広く採れる。従って、変形例 2 . 1 のMOSFETは、寄生抵抗の低減も可能となる。

10

【 0 0 8 1 】

変形例 2 . 1 のGAA構造MOSFETの製造方法については、第 2 の実施の形態と同様である。Nもしくは0のイオン注入において加速電圧を適宜調節することにより、下部ゲート絶縁膜 5 下に低誘電率領域 1 6 を形成する。

【 0 0 8 2 】

なお、無論、第 2 の実施の形態の構造と変形例 2 . 1 の構造は、組み合わせても良い。

【 0 0 8 3 】

(第 3 の実施の形態)

第 3 の実施の形態に係わるGAA構造MOSFETについて図 6 を参照し、第 1 の実施の形態と異なる箇所について説明する。

20

【 0 0 8 4 】

図 6 は、第 3 の実施形態に係るGAA構造MOSFETのゲート長方向の断面模式図である。

【 0 0 8 5 】

図 6 に示すように、下部ゲート絶縁膜 5 はチャネル領域 6 下に形成された第 1 の下部ゲート絶縁膜 5 a と、第 1 の下部ゲート絶縁膜 5 a を挟む第 2 の下部ゲート絶縁膜 5 b からなる。第 2 の下部ゲート絶縁膜 5 b は、チャネル領域 6 を囲う第 1 の下部ゲート絶縁膜 5 a 及び上部ゲート絶縁膜 9 に比して、低い比誘電率を備える。また、第 2 のソース・ドレイン領域 8 は、第 1 のソース・ドレイン領域 7 と同等の深さに形成され、その接合面は、半導体層 3 (Si) の底面である。

30

【 0 0 8 6 】

第 1 の下部ゲート絶縁膜 5 a 及び上部ゲート絶縁膜 9 並びに第 2 の下部ゲート絶縁膜 5 b の材料としては、高誘電体絶縁膜、シリコン酸化膜、低誘電体絶縁膜(シリコン酸化膜に比して低誘電率である絶縁膜材料)を適宜選択する。

【 0 0 8 7 】

高誘電体絶縁膜については、上述した材料を用いる。低誘電体絶縁膜については、多孔性シリコン酸化膜並びにSi、Ge、FもしくはCを含有したシリコン酸化膜、有機ポリマー等及びこれらを多孔性にした材料が挙げられる。なお、製造方法の観点から、Si、Ge、FもしくはCを含有したシリコン酸化膜が好ましい。

【 0 0 8 8 】

第 3 の実施の形態によれば、第 2 の下部ゲート絶縁膜 5 b は、チャネル領域 6 を囲う第 1 の下部ゲート絶縁膜 5 a 及び上部ゲート絶縁膜 9 に比して、低い比誘電率を備える。従って、第 3 の実施の形態のGAA構造MOSFETは、第 2 の下部ゲート絶縁膜 5 b に生じる寄生容量を相対的に低減できる。

40

【 0 0 8 9 】

また、第 3 の実施の形態によれば、第 2 のソース・ドレイン領域 8 は浅く形成しなくともよく、断面積を広く採れる。従って、第 3 の実施の形態のGAA構造MOSFETは、寄生抵抗も低減できる。

【 0 0 9 0 】

第 3 の実施の形態のGAA構造MOSFETの製造方法について、第 1 の下部ゲート絶縁膜 5 a

50

及び上部ゲート絶縁膜 9 としてSiO₂を用い、第 2 の下部ゲート絶縁膜 5 b としてSi若しくはGeを含有したSiO₂を用いる場合について述べる。

【 0 0 9 1 】

例えば、第 1 の実施の形態の図 2 (b) と図 2 (c) の工程の間に、上部ゲート 1 0 をマスクとし、イオン注入を用いて下部ゲート絶縁膜 5 にSi、Ge、FもしくはCを導入する工程を加えることにより、製造を行う。

【 0 0 9 2 】

以上、本発明の実施の形態を説明したが、本発明はこれらに限られず、特許請求の範囲に記載の発明の要旨の範疇において様々に変更可能である。また、本発明は、実施段階ではその要旨を逸脱しない範囲で種々に変形することが可能である。さらに、上記実施形態に開示されている複数の構成要素を適宜組み合わせることにより種々の発明を形成できる。

10

【 図面の簡単な説明 】

【 0 0 9 3 】

【 図 1 】 第 1 の実施形態に係るGAA構造MOSFETの断面模式図。

【 図 2 】 第 1 の実施形態の製造方法に係るGAA構造MOSFETのゲート長方向の断面模式図。

【 図 3 】 変形例 1 . 1 及び変形例 1 . 2 に係るGAA構造MOSFETのゲート長方向の断面模式図。

【 図 4 】 変形例 1 . 1 の製造方法に係るGAA構造MOSFETのゲート長方向の断面模式図。

【 図 5 】 第 2 の実施形態に係るGAA構造MOSFETのゲート長方向の断面模式図。

20

【 図 6 】 第 3 の実施形態に係るGAA構造MOSFETのゲート長方向の断面模式図。

【 符号の説明 】

【 0 0 9 4 】

1 半導体基板

2 絶縁層

3 半導体層

4 下部ゲート

5 下部ゲート絶縁膜

5 a 第 1 の下部ゲート絶縁膜

5 b 第 2 の下部ゲート絶縁膜

30

6 チャネル領域

7 第 1 のソース・ドレイン領域

8 第 2 のソース・ドレイン領域

9 上部ゲート絶縁膜

1 0 上部ゲート

1 1 側部ゲート絶縁膜

1 2 側部ゲート

1 3 ゲート側壁

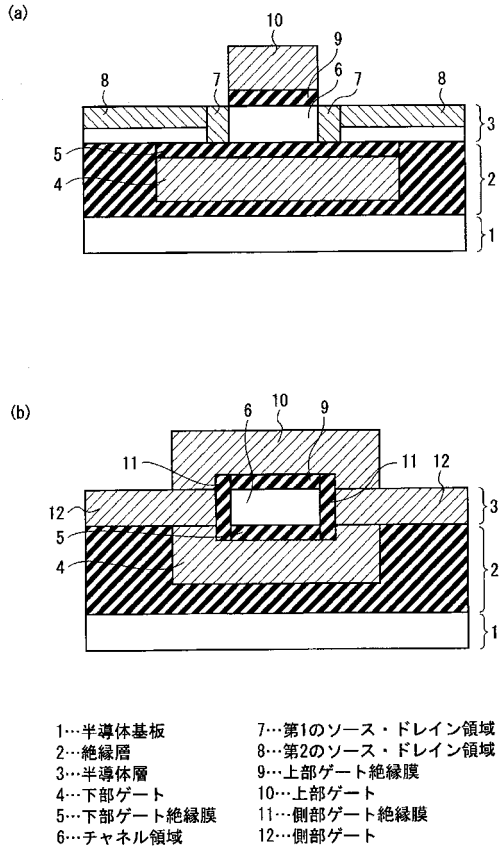
1 4 マスク

1 5 単結晶Si層

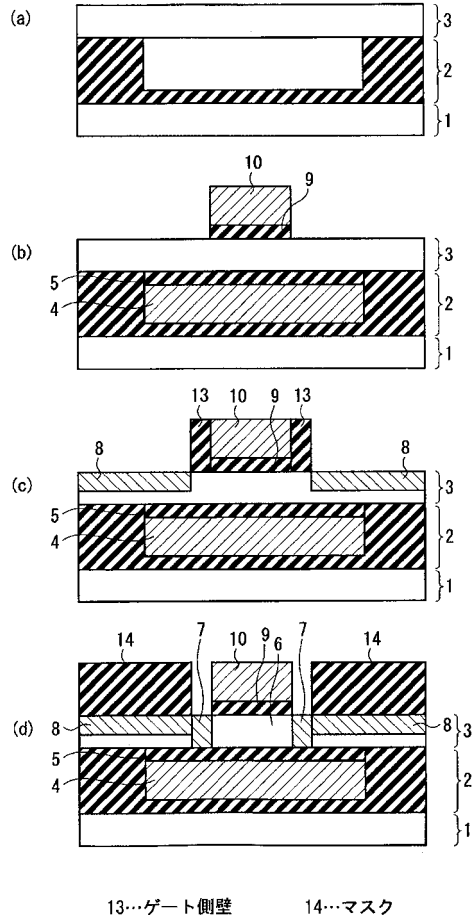
40

1 6 低誘電率領域

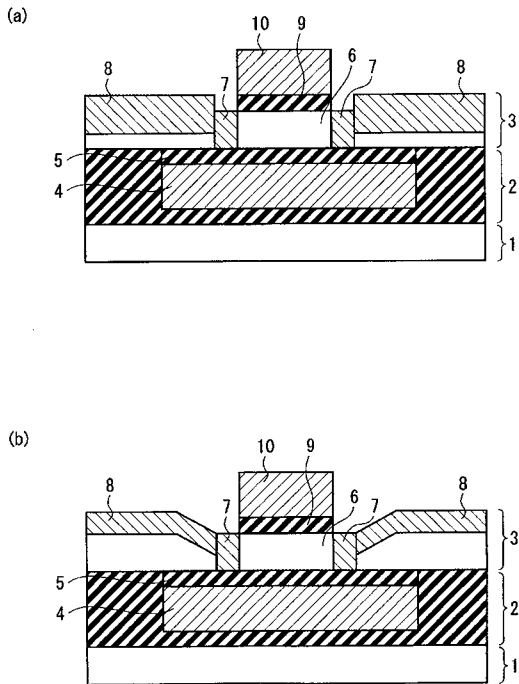
【 図 1 】



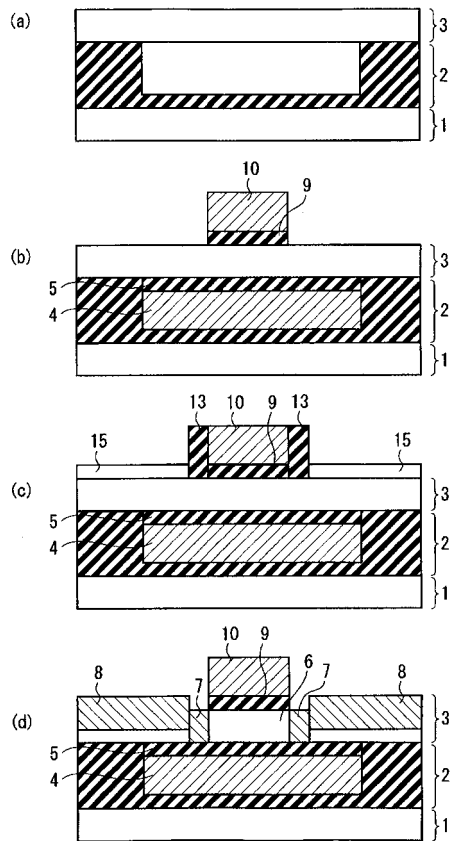
【 図 2 】



【 図 3 】

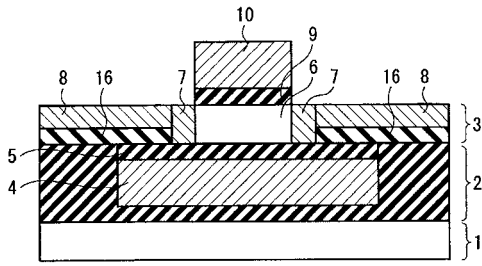


【 図 4 】

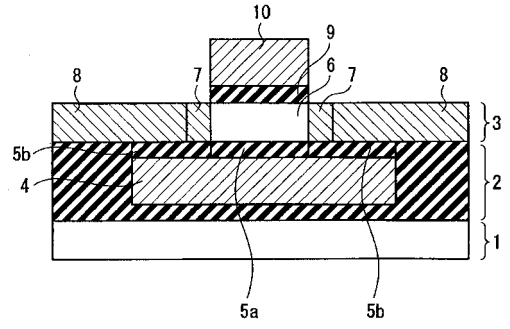


【図5】

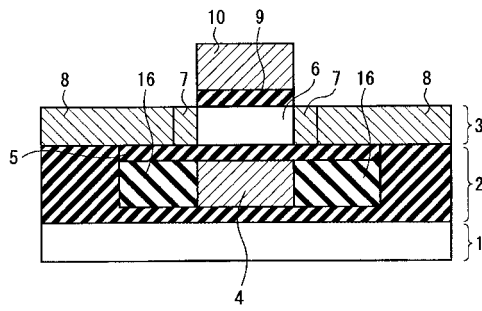
(a)



【図6】



(b)



5a...第1の下部ゲート絶縁膜
5b...第2の下部ゲート絶縁膜

16...低誘電率領域

フロントページの続き

- (56)参考文献 特開2001-053281(JP,A)
特開平08-222742(JP,A)
特開昭64-017475(JP,A)
特開平06-252403(JP,A)
国際公開第01/057930(WO,A1)

- (58)調査した分野(Int.Cl., DB名)
H01L 21/336
H01L 29/786