



**(19) 대한민국특허청(KR)**  
**(12) 공개특허공보(A)**

(11) 공개번호 10-2018-0019075  
(43) 공개일자 2018년02월23일

<p>(51) 국제특허분류(Int. Cl.)  <i>H01L 29/78</i> (2006.01) <i>H01L 29/10</i> (2006.01)  <i>H01L 29/12</i> (2006.01) <i>H01L 29/66</i> (2006.01)  <i>H01L 29/775</i> (2006.01)</p> <p>(52) CPC특허분류  <i>H01L 29/785</i> (2013.01)  <i>H01L 29/1054</i> (2013.01)</p> <p>(21) 출원번호 10-2017-7033339                  (22) 출원일자(국제) 2015년06월23일                  심사청구일자 없음                  (85) 번역문제출일자 2017년11월17일                  (86) 국제출원번호 PCT/US2015/037141                  (87) 국제공개번호 WO 2016/209210                  국제공개일자 2016년12월29일</p>	<p>(71) 출원인  <b>인텔 코퍼레이션</b>                  미합중국 캘리포니아 95054 산타클라라 미션 칼리지 블러바드 2200</p> <p>(72) 발명자  <b>모하파트라, 찬드라 에스.</b>                  미국 97006 오리건주 비버튼 아파트먼트 2105 노스웨스트 173번 애비뉴 1865  <b>머시, 아난드 에스.</b>                  미국 97229 오리건주 포틀랜드 노스웨스트 루션 코트 10934                  (뒷면에 계속)</p> <p>(74) 대리인  <b>양영준, 김연송, 백만기</b></p>
---	--

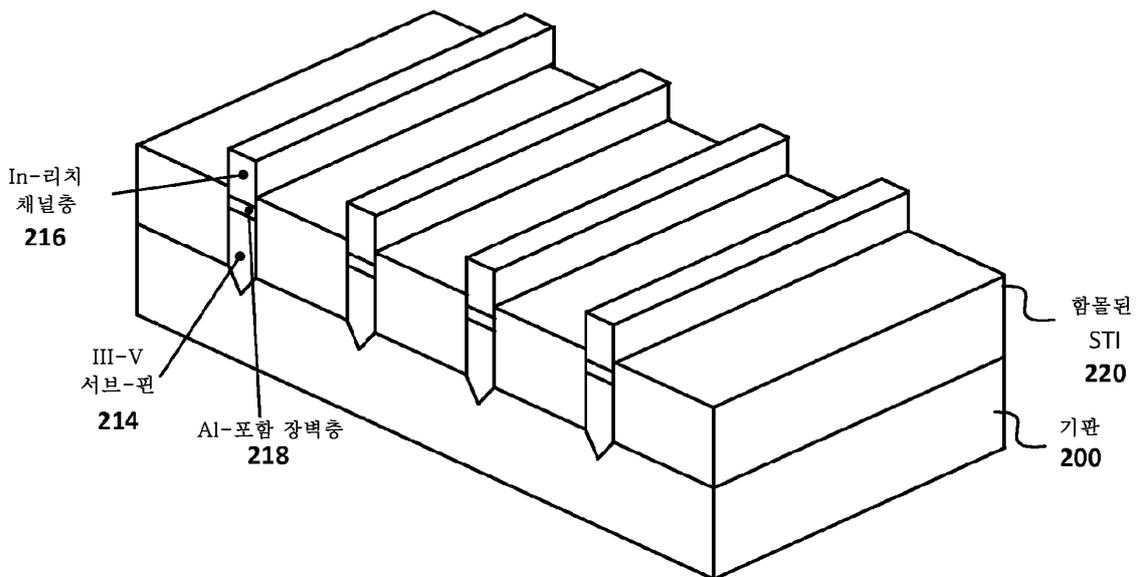
전체 청구항 수 : 총 25 항

(54) 발명의 명칭 **인듐-리치 NMOS 트랜지스터 채널들**

**(57) 요약**

알루미늄-포함층에 의해 서브-핀으로부터 전기적으로 격리되는 인듐-리치 채널 영역을 가지는 높은 이동도 NMOS 핀-기반 트랜지스터들을 형성하기 위한 기법들이 개시된다. 알루미늄 알루미늄-포함층은 인듐-리치 채널 영역을 포함하는 인듐-포함층 내에 제공될 수 있거나, 또는 인듐-포함층과 서브-핀 사이에 제공될 수 있다. 인듐-포함층의 인듐 농도는 알루미늄-포함 장벽층 근처의 인듐-푸어 농도로부터 인듐-리치 채널층에서의 인듐-리치 농도까지 등급화될 수 있다. 일부 예시적인 실시예들에 따르면, 인듐-리치 채널층은 핀의 최상부에 있거나 또는 그렇지 않은 경우 핀의 최상부에 근접한다. 등급화는 의도적일 수 있고, 그리고/또는 인듐-리치 채널층과 알루미늄-포함 장벽층의 인터페이스에서의 원자들의 재조직의 효과로 인한 것일 수 있다. 다수의 변형들 및 실시예들이 이 개시내용의 견지에서 인지될 것이다.

**대표도** - 도3b



(52) CPC특허분류

*H01L 29/125* (2013.01)

*H01L 29/66795* (2013.01)

*H01L 29/775* (2013.01)

(72) 발명자

**글래스, 글렌 에이.**

미국 97229 오리건주 포틀랜드 노스웨스트 124번  
애비뉴 5009

**가니, 타히르**

미국 97229 오리건주 포틀랜드 노스웨스트 스톤브  
리지 드라이브 14191

**라크마디, 윌리**

미국 97007 오리건주 비버튼 사우스웨스트 너트크  
래커 코트 10945

**카발리에로스, 잭 티.**

미국 97229 오리건주 포틀랜드 노스웨스트 브론슨  
크레스트 루프 3734

**듀이, 길버트**

미국 97123 오리건주 힐스버러 사우스이스트 58번  
애비뉴 920

**메츠, 매튜 브이.**

미국 97229 오리건주 포틀랜드 노스웨스트 오로라  
플레이스 18860

**커넬, 해롤드 더블유.**

미국 97223 오리건주 포틀랜드 사우스웨스트 헌트  
클럽 드라이브 7320

## 명세서

### 청구범위

#### 청구항 1

집적 회로 디바이스로서,

기관; 및

상기 기관으로부터 확장하는 복수의 핀(fin)들

을 포함하고, 각각의 핀은 III-V 재료 서브-핀, 상기 서브-핀 위의 인듐-리치(indium-rich) 채널층, 및 상기 III-V 재료 서브-핀과 상기 인듐-리치 채널 층 사이의 알루미늄-포함 장벽층을 포함하는 디바이스.

#### 청구항 2

제1항에 있어서,

상기 핀들 각각 위의 게이트 스택; 및

상기 게이트 스택에 인접하게 형성되는 소스 및 드레인 영역들

중 적어도 하나를 더 포함하는 디바이스.

#### 청구항 3

제1항에 있어서,

상기 III-V 재료 서브-핀 상에서 시작하며 상기 인듐-리치 채널 층을 포함하는 인듐-포함 층을 더 포함하고, 상기 알루미늄-포함 장벽층은 상기 인듐-포함층 내에 있는 디바이스.

#### 청구항 4

제3항에 있어서,

상기 인듐-포함층의 인듐 농도는 상기 III-V 재료 서브-핀 근처의 인듐-푸어(indium-poor) 농도로부터 상기 인듐-리치 채널층에서의 인듐-리치 농도까지 등급화되는(graded) 디바이스.

#### 청구항 5

제3항에 있어서,

상기 인듐-포함 층의 인듐 농도는 상기 알루미늄-포함 장벽층 근처의 인듐-푸어 농도로부터 상기 인듐-리치 채널층에서의 인듐-리치 농도까지 등급화되는 디바이스.

#### 청구항 6

제1항에 있어서,

상기 알루미늄-포함 장벽층은 상기 III-V 재료 서브-핀과 상기 인듐-리치 채널층 사이에 있으며, 상기 인듐-리치 채널층 내에 있지 않은 디바이스.

#### 청구항 7

제6항에 있어서,

상기 인듐-리치 채널층의 인듐 농도는 상기 알루미늄-포함 장벽층 근처의 인듐-푸어 농도로부터 상기 핀의 최상부에서의 또는 상기 핀의 최상부 쪽으로의 인듐-리치 농도까지 등급화되는 디바이스.

#### 청구항 8

제1항에 있어서,

상기 인듐-리치 채널층의 인듐 농도는 상기 알루미늄-포함 장벽층 근처의 인듐-푸어 농도로부터 상기 핀의 최상부에서의 인듐-리치 농도까지 등급화되는 디바이스.

**청구항 9**

제1항에 있어서,

상기 III-V 재료 서브-핀이 접촉하는 기관의 표면은 깎이는(faceted) 디바이스.

**청구항 10**

제1항에 있어서,

상기 III-V 재료 서브-핀은 갈륨 비화물을 포함하고, 상기 인듐-리치 채널층은 인듐 갈륨 비화물을 포함하고, 상기 알루미늄-포함 장벽층은 알루미늄 비화물을 포함하는 디바이스.

**청구항 11**

제10항에 있어서,

상기 알루미늄-포함 장벽층은 인듐 알루미늄 비화물을 포함하는 디바이스.

**청구항 12**

제11항에 있어서,

상기 알루미늄-포함 장벽층 내의 알루미늄의 비율, 및 상기 인듐-리치 채널층 내의 인듐의 비율은, 상기 알루미늄-포함 장벽층의 최대 알루미늄 농도 및 상기 인듐-리치 채널층의 최대 인듐 농도 모두가 46% 내지 52%의 범위 내에 있도록 하는 디바이스.

**청구항 13**

제12항에 있어서,

상기 알루미늄-포함 장벽층은 InAlAs이고, 상기 인듐-리치 채널층은 InGaAs인 디바이스.

**청구항 14**

제1항 내지 제12항 중 어느 한 항에 있어서,

상기 알루미늄-포함 장벽층의 알루미늄 농도 및 상기 인듐-리치 채널층의 인듐 농도는 서로의 10% 내에 있도록 구성되는 디바이스.

**청구항 15**

제1항 내지 제12항 중 어느 한 항에 있어서,

상기 알루미늄-포함 장벽층의 알루미늄 농도 및 상기 인듐-리치 채널층의 인듐 농도는 서로의 5% 내에 있도록 구성되는 디바이스.

**청구항 16**

제1항 내지 제12항 중 어느 한 항에 있어서,

알루미늄-포함 장벽층은 5nm 내지 20nm의 범위 내의 공칭 두께를 가지는 디바이스.

**청구항 17**

집적 회로 디바이스로서,

실리콘 기관;

상기 기관으로부터 확장하는 복수의 핀들 - 각각의 핀은 III-V 재료 서브-핀, 상기 서브-핀 위의 인듐-리치 채

널층, 및 상기 III-V 재료 서브-핀과 상기 인듐-리치 채널층 사이의 알루미늄-포함 장벽층을 포함하고, 상기 III-V 재료 서브-핀이 기판에 접촉하는 기판의 표면은 깎이고, 상기 알루미늄-포함 장벽층의 알루미늄 농도 및 상기 인듐-리치 채널층의 인듐 농도는 서로의 10% 내에 있도록 구성됨 -;

상기 핀들의 각각의 위의 게이트 스택; 및

상기 게이트 스택에 인접하게 형성되는 소스 및 드레인 영역들

을 포함하는 디바이스.

#### 청구항 18

제17항에 있어서,

상기 III-V 재료 서브-핀 상에서 시작하며 상기 인듐-리치 채널층을 포함하는 인듐-포함층을 더 포함하고, 상기 알루미늄-포함 장벽층은 상기 인듐-포함층 내에 있는 디바이스.

#### 청구항 19

제18항에 있어서,

상기 인듐-포함층의 인듐 농도는 상기 III-V 재료 서브-핀 근처의 인듐-푸어 농도로부터 상기 인듐-리치 채널층에서의 인듐-리치 농도까지 등급화되는 디바이스.

#### 청구항 20

제18항 또는 제19항에 있어서,

상기 인듐-리치 채널의 인듐 농도는 상기 알루미늄-포함 장벽층 근처의 인듐-푸어 농도로부터 상기 핀의 최상부에서의 또는 상기 핀의 최상부쪽으로서의 인듐-리치 농도까지 등급화되는 디바이스.

#### 청구항 21

제17항에 있어서,

상기 알루미늄-포함 장벽층은 상기 III-V 재료 서브-핀과 상기 인듐-리치 채널층 사이에 있으며, 상기 인듐-리치 채널층 내에 있지 않은 디바이스.

#### 청구항 22

제21항에 있어서,

상기 인듐-리치 채널층의 인듐 농도는 상기 알루미늄-포함 장벽층 근처의 인듐-리치 농도로부터 상기 핀의 최상부에서의 또는 상기 핀의 최상부쪽으로서의 인듐-리치 농도까지 등급화되는 디바이스.

#### 청구항 23

집적 회로 디바이스로서,

실리콘 기판;

상기 기판으로부터 확장하는 복수의 핀들 - 각각의 핀은 III-V 재료 서브-핀, 상기 서브-핀 위의 인듐-리치 채널층, 및 상기 III-V 재료 서브-핀과 상기 인듐-리치 채널층 사이의 알루미늄-포함 장벽층을 포함하고, 상기 III-V 재료 서브-핀이 상기 기판에 접촉하는 기판의 표면은 깎이고, 상기 인듐-리치 채널층의 인듐 농도는 상기 알루미늄-포함 장벽층 근처의 인듐-푸어 농도로부터 상기 핀의 최상부에서의 또는 상기 핀이 최상부쪽으로서의 인듐-리치 농도까지 등급화됨 - ;

상기 핀들 각각 위의 게이트 스택; 및

상기 게이트 스택에 인접하게 형성되는 소스 및 드레인 영역들

을 포함하는 디바이스.

#### 청구항 24

제23항에 있어서,

상기 알루미늄-포함 장벽층 내의 알루미늄의 비율, 및 상기 인듐-리치 채널층 내의 인듐의 비율은, 상기 알루미늄-포함 장벽층의 최대 알루미늄 농도 및 상기 인듐-리치 채널층의 최대 인듐 농도 모두가 46% 내지 52%의 범위 내에 있도록 하는 디바이스.

**청구항 25**

제24항에 있어서,

상기 알루미늄-포함 장벽층은 InAlAs이고, 상기 인듐-리치 채널층은 InGaAs인 디바이스.

**발명의 설명**

**배경 기술**

[0001]

마이크로전자 디바이스 디멘전들이 계속 스케일링함에 따라 이동도 개선 및 짧은 채널 제어를 유지하는 것은 디바이스 제조에 있어서 어려움(challenge)을 제공한다. 특히, 상보적 금속-산화물-반도체(CMOS) 디바이스들에서 사용되는 것들과 같은, 금속-산화물-반도체(MOS) 트랜지스터 반도체 디바이스들의 설계 및 제조 동안, n-타입 MOS 디바이스(NMOS) 채널들에서의 전자들(캐리어들)의 움직임을 증가시키고, p-타입 MOS 디바이스(PMOS) 채널들에서의 정공들(캐리어들)의 움직임을 증가시키는 것이 종종 바람직하다. 핀-기반 트랜지스터 디바이스들이 사용되어 개선된 짧은 채널 제어를 제공할 수 있다. 통상적인 CMOS 트랜지스터 디바이스들은 정공 및 전자 다수 캐리어 MOS 채널들 모두에 대한 채널 재료로서 실리콘을 이용한다. 다른 채널 재료들로의 스위칭이 이동도를 개선할 수 있다. 예를 들어, 갈륨 비화물(GaAs) 서브-핀 상의 NMOS 채널 내의 인듐-리치 인듐 갈륨 비화물(InGaAs)은, 종래의 실리콘 NMOS 트랜지스터들에 비해, 높은-이동도 및 더 양호한 성능의 NMOS 트랜지스터들을 생성한다. 그러나, 인듐-리치(indium-rich) NMOS 채널들과 연관된 다수의 중대한 이슈들이 존재한다.

**도면의 간단한 설명**

[0002]

도 1은 본 개시내용의 실시예에 따라, 인듐-리치 NMOS 트랜지스터 채널들을 형성하기 위한 방법을 예시한다.

도 2a-e는 각각 본 개시내용의 실시예에 따라, 도 1의 방법으로부터 초래되는 다양한 중간 트랜지스터 구조체들의 투시도를 예시한다.

도 2ea는 본 개시내용의 또다른 실시예에 따라, 도 1의 방법으로부터 초래되는 중간 트랜지스터 구조체의 단면 측면도를 예시한다.

도 3a-b는 각각 본 개시내용의 실시예에 따라, 도 1의 방법으로부터 초래되는 다양한 중간 트랜지스터 구조체들의 투시도를 예시한다.

도 3ba는 본 개시내용의 또다른 실시예에 따른, 도 1의 방법으로부터 초래되는 중간 집적 트랜지스터의 단면 측면도를 예시한다.

도 4a는 InGaAs 채널을 가지고 구성되는 활성 핀의 STEM 단면을 예시하고, 도 4b는 본 개시내용의 실시예에 따른 얇은 InAlAs 확산 장벽 상에 InGaAs 채널을 가지고 구성되는 활성 핀의 STEM 단면을 예시한다.

도 5a는 얇은 InAlAs 장벽층 없이 구성되는 GaAs/InGaAs 스택의 조성맵을 예시하고, 도 5b는 본 개시내용의 실시예에 따른 얇은 InAlAs 장벽층을 가지고 구성되는 GaAs/InGaAs 스택의 조성맵을 예시한다.

도 6은 본 개시내용의 실시예에 따라 구성되는 하나 이상의 집적 회로 구조체들을 가지고 구현되는 컴퓨팅 시스템을 예시한다.

인지될 바와 같이, 도면들은 반드시 축척에 맞게 그려지지 않거나 또는 본 개시내용을 도시된 특정 구성들로 제한하도록 의도되지 않는다. 예를 들어, 일부 도면들이 일반적으로 완벽한 직선들, 직각들 및 매끄러운 표면들을 표시하지만, 집적 회로 구조체의 실제 구현에는 완벽하지 않은 직선들, 직각들을 가질 수 있으며, 프로세싱 장비 및 기법들의 실제 제한들이 사용되는 경우, 일부 특징들은 표면 지형을 가질 수 있거나 또는 그렇지 않은 경우 매끄럽지 않을 수 있다. 간단히, 도면들은 단순히 예시적인 구조체들을 도시하도록 제공된다.

**발명을 실시하기 위한 구체적인 내용**

[0003] 알루미늄-포함층에 의해 서브-핀으로부터 전기적으로 격리되는 인듐-리치 채널 영역을 가지는 높은 이동도의 NMOS 핀-기반 트랜지스터들을 형성하기 위한 기법들이 개시된다. 알루미늄-포함층은 인듐-리치 채널 영역을 포함하는 인듐-포함층 내에 제공될 수 있거나, 또는 인듐-포함층과 서브-핀 사이에 제공될 수 있다. 인듐-포함층의 인듐 농도는 알루미늄-포함 장벽층 근처의 인듐-푸어 농도로부터 인듐-리치 채널층에서의 인듐-리치 농도까지 등급화될 수 있다(grade). 일부 예시적인 실시예들에 따르면, 인듐-리치 채널층은 핀의 최상부에 있거나, 또는 그렇지 않은 경우 핀의 최상부 근처에 있다. 등급화는 의도적이고 그리고/또는 인터페이스에서의 원자들의 재조직에 대한 알루미늄-포함층의 영향으로 인한 것일 수 있다. 다수의 변형들 및 실시예들이 이 개시내용의 견지에서 인지될 것이다.

[0004] 일반적 개요

[0005] 이전에 표시된 바와 같이, 인듐-리치 NMOS 트랜지스터 디바이스들은 종래의 실리콘 NMOS 트랜지스터 디바이스들에 비해 더 높은 전자 이동도 및 더 양호한 성능을 추구한다. 예를 들어, GaAs 서브-핀 상의 NMOS 트랜지스터 채널 내의 인듐-리치 InGaAs는 상대적으로 높은-이동도의 NMOS 트랜지스터들을 생성한다. GaAs가 InGaAs 채널 ( $In_xGa_{1-x}As$  내의 50-70% 인듐, 따라서  $x = 0.5$  내지  $0.7$ )에 대해  $\sim 0.4eV$ 의 도통 대역 오프셋을 가지는 높은 밴드-갭( $\sim 1.4eV$ ) 재료라는 것은, 전자 도통이 채널을 통해서만 발생함을 보장하도록 서브-핀 소스-대-드레인 누설을 차단하는데 유용하다. 따라서, 단순히 인듐 전구체 흐름을 증가시켜 InGaAs 내의 인듐 농도를 높이는 것은 길보기에는 이러한 조성 프로파일에 대한 논리적 프로세스 라우트일 것이다. 그러나 이러한 증가한 인듐 흐름은 GaAs 서브-핀에 대해 일정한 InGaAs 격자 상에서의 강한 팽창 효과를 가진다. 이는 불일치 전위(misfit dislocation)들, 스테킹 결점들, 및 GaAs/InGaAs 인터페이스로부터 나오는 다른 결함들과 같은 결함들의 명백한 소스이다. 이러한 결함들은 차례로 트랜지스터 성능을 저하시킨다.

[0006] 따라서, 그리고 본 개시내용의 실시예에 따라, 높은 이동도 낮은-결함의 III-V 트랜지스터들을 제공하기 위해, 인듐-리치 III-V 채널들 내의 인듐 농도를 높이도록 허용하는 기법들이 제공된다. 특히, 서브-핀과 인듐-리치 채널(예를 들어, InGaAs 채널들) 사이에 상대적으로 얇은 알루미늄-포함 III-V 층을 퇴적시킴으로써, 인듐-리치 채널의 인듐 농도는 상당히 증가할 수 있고(예를 들어, 3X까지 또는 그 이상만큼), 디바이스의 전체 결정질 마이크로구조를 저하시키지 않는다. 얇은 알루미늄-포함은 인듐-리치 채널에 대한  $\sim 0.4eV$ 의 그것의 도통 대역 오프셋에 의해 서브-핀에 대한 전기적 격리를 제공한다. 일부 실시예들에서, 예를 들어, 소스-대-드레인 서브-핀 누설은 적어도 10000배(4 orders of magnitude)만큼 차단된다. 단순히 (예를 들어, 인듐 전구체 흐름 비를 증가시킴으로써 또는 일부 다른 적절한 수단에 의해) 인듐 농도를 증가시키는 것에 비해, 본원에 제공되는 기법들로부터 초래되는 구조체는 훌륭한 필름 품질을 가지고 달성될 수 있다.

[0007] 하나의 특정 예시적인 구성에서, InGaAs NMOS 채널은 GaAs 서브-핀 상에 제공된다. 이러한 InGaAs 채널은 30% 내지 70%의 범위 내의 인듐 농도를 가진다( $In_xGa_{1-x}As$ , 따라서  $x = 0.3$  내지  $0.7$ ). 알루미늄 포함 재료의 얇은 층은, GaAs 서브-핀과 InGaAs 채널 사이에, InGaAs 채널 바로 아래에 퇴적된다. 알루미늄-포함 층은, 예를 들어, 인듐 알루미늄 비화물(InAlAs) 또는 알루미늄 비화물(AlAs)의 5nm 내지 15nm 두께의 층일 수 있지만, 이 개시내용의 견지에서 인지될 바와 같이 다른 호환가능한 알루미늄-포함 층들이 사용될 수 있다. 어느 경우든, 알루미늄-포함층은 InGaAs 채널(또는 다른 인듐-리치 채널)에 대한  $\sim 0.4eV$ 의 그것의 도통 대역 오프셋에 의해 서브-핀에 대한 전기적 격리를 실질적으로 제공한다. 추가로, NMOS 채널내의 전체 결정질 마이크로구조체는 동일한 인듐 농도를 가지는(예를 들어,  $53\% < In < 70\%$ , 여기서  $In_xGa_{1-x}As$ 에 대해, 따라서  $x$ 는 0.53에서 0.70까지 변경함), 그러나 알루미늄-포함층이 없는, 비교가능한 GaAs/InGaAs 채널 트랜지스터에 비해 저하되지 않는다.

[0008] 인지될 바와 같이, AlAs, InAlAs, 또는 InAlGaAs와 같은 III-V 화합물들은 화학량론적 원리들에 따라 동작한다. 예를 들어, 비화물-포함 화합물들에 대해, 비화물 컴포넌트는 항상 100%인 것으로 간주되고, 화합물 내의 다른 III-V족 원소들의 비율은 그에 따라 산출된다(등가적으로 화학량론이라 명명됨). 예를 들어, AlAs 또는 InAs와 같은 이원 III-V 화합물 내의 알루미늄 또는 인듐의 비율은 100%이며 이는 중요하지 않다.  $In_{1-x}Al_xAs$  또는  $In_xAl_{1-x}As$ 와 같은 삼원 화합물에 대해,  $x$ 는 각자 알루미늄 또는 인듐의 비율을 지칭한다(여기서  $x$ 는 0에서 1까지 변경하며, 100으로 곱해져서 비율로서 측정된다). 또다른 삼원 예는  $In_{1-x}Ga_xAs$  또는  $In_xGa_{1-x}As$ 이고, 여기서  $x$ 는 각자 갈륨 또는 인듐의 비율을 지칭한다(여기서  $x$ 는 0에서 1까지 변경하며, 100으로 곱해져서 비율로서 측정된다). 이러한 삼원 III-V 화합물들에서, 알루미늄, 인듐 및 갈륨과 같은 특정 원소들의 비율이 조절되거나 조정될 수 있다. 예를 들어, 그리고 본원의 일부 실시예들에 따르면, 알루미늄-포함층 내의 알루미늄의 비율은 InGaAs 채널에 대해 바람직한 도통 대역 오프셋(예를 들어,  $0.4eV$ )을 획득하도록 조정될 수 있다.  $In_{1-x}$ -

$y\text{Al}_x\text{Ga}_y\text{As}$ 와 같은 사원 화합물에 대해,  $x$  및  $y$ 는 각자 알루미늄 및 갈륨의 비율이다. 알루미늄의 비율( $x$ )은 InGaAs 채널을 가지고 원하는 도통 대역 오프셋(예를 들어, 0.4eV)을 달성하도록 조절될 수 있다.

[0009] 알루미늄-포함층은, 예를 들어, 인듐-포함 III-V 층 내에서, 또는 III-V 서브-핀 층과 인듐 포함 III-V 층 사이에서 구현될 수 있다. 알루미늄 전구체 흐름들은 알루미늄-포함 층의 원하는 위치를 제공하도록 선택적으로 제어될 수 있다. 스택 내의 알루미늄-포함 층의 포지션은, 원하는 채널 위치 및 높이와 같은 인자들, 및 얇은 트렌치 격리(STI) 함몰의 깊이와 같은 다른 인자들에 따라, 실시예마다 달라질 수 있다. 일부 경우들에서, 알루미늄-포함층은 STI의 최상부 표면 아래에 있는 반면, 다른 실시예들에서, 알루미늄-포함층은 STI의 최상부 면 위에 있다. 소스-대-드레인 전류 서브-핀 전류 누설이 중간 알루미늄-포함층에 의해 억제되는 한, 변형들이 이 개시내용의 견지에서 명백할 것이다.

[0010] 이 개시내용의 견지에서 추가로 인지될 바와 같이, 본원에 제공되는 기법들로부터 초래되는 하부 III-V 서브-핀과 상부 인듐-리치 채널 사이의 인터페이스는 상대적으로 낮은 결합 카운트를 가질 것이다. 더 상세히, 본 개시내용의 실시예에 따르면, 디바이스 품질은, 예를 들어, 전위들을 합산하고 인터페이스에서 그리고 에피택셜층 내에 결점들을 스테킹함으로써 획득되는 결합 카운트에 기초할 수 있으며, 핀 길이의 선형 센티미터(cm) 당 10000개 초과인 결합 카운트들은 디바이스 등급 적용들에 대해 수용가능하지 않다. 단순히 인듐 전구체 흐름을 증가시킴으로써 그리고 알루미늄-포함 장벽층을 가지지 않음으로써 획득되는 인듐-리치 채널 구조체들의 통상적인 결합 카운트 밀도들은 핀 길이의 선형 cm 당 10000개 초과이다. 반면, 선형 cm 당 1000개 미만의, 또는 선형 cm 당 500개 미만의, 또는 선형 cm 당 100개 미만의, 또는 선형 cm 당 50개 미만의 전위 및 스테킹 결점 카운트들, 및 선형 cm 당 제로만큼 낮은 결합층들은, 일부 실시예에 따라, 본원에 제공되는 바와 같은 알루미늄-포함 장벽층들을 사용할 때 인터페이스에서 초래될 수 있다. 이러한 목적으로, 본원에서 사용되는 바와 같은 "실질적으로 결합 없는"은 핀 길이의 선형 cm(또는 다른 관심있는 영역) 당 결합 카운트와 같은 견지에서 수량화될 수 있으며, 따라서, 서브-핀 재료층과 인듐-리치 채널 층 사이의 인터페이스에서의 전위 및 스테킹 결점들의 조합된 카운트는 선형 cm 당 10000개 미만이고, 일부 실시예들에서는, 선형 cm 당 5000개 미만, 또는 선형 cm 당 1000개 미만, 또는 선형 cm 당 500개 미만, 또는 선형 cm 당 100개 미만, 또는 선형 cm 당 50개 미만이고, 선형 cm 당 제로만큼 낮은 결합층들이다. 인지될 바와 같이, 이러한 결합 카운트는 선형 cm보다 더 작은 영역들에 대해 용이하게 추정될 수 있다. 예를 들어, 일부 실시예들에서, 10 나노미터(nm) 길이에서의 결합 카운트는 선형 nm 당 인터페이스 0.001개 미만의 결합들(선형 센티미터 당 10000개 결합들로부터 추정됨), 또는 선형 nm 당 0.0001개 미만의 결합들(선형 센티미터 당 1000개 결합들로부터 추정됨), 또는 선형 nm 당 0.00001개 미만의 결합들(선형 센티미터 당 100개 결합들로부터 추정됨), 또는 선형 nm 당 0.000001개 미만의 결합들(선형 센티미터 당 10개 결합들로부터 추정됨), 등의 식으로 선형 nm당 제로 개의 결합들까지 내려간다. 보다 일반적인 의미로, 본 개시내용의 실시예에 따라 알루미늄-포함 장벽층을 가지고 구성된 인듐-리치 채널과 서브-핀 재료층 사이의 인터페이스는 10K개 미만의 결합들/선형 cm, 또는 1K개 미만의 결합들/선형 cm, 또는 500개 미만의 결합들/선형 cm, 또는 100개 미만의 결합들/선형 cm, 또는 50개 미만의 결합들/선형 cm를 가진다. 따라서, 하나의 특정 예시적인 경우에서, GaAs 서브-핀과 인듐-리치 채널 사이의 알루미늄-포함 인터페이스는 10K개 미만의 결합들/선형 cm, 또는 1K개 미만의 결합들/선형 cm, 또는 500개 미만의 결합들/선형 cm, 또는 100개 미만의 결합들/선형 cm, 또는 50개 미만의 결합들/선형 cm를 가진다.

[0011] 본원에 제공되는 기법들은, 예를 들어, 메모리 디바이스들, 프로세서들 및 트랜지스터들 및 다른 능동 접합 반도체 디바이스들로 제조되는 다른 이러한 디바이스들과 같은 임의의 개수의 집적 회로들에서, 뿐만 아니라 집적 회로들이 만들어지는 제조공장들에서 수행하기에 적합한 방법론들에서 구현될 수 있다. 본원에 기술되는 기법들의 사용은 구조적 방식으로 나타난다. 예를 들어, 본 개시내용의 실시예에 따른 트랜지스터 구조체들은 투과 전자 현미경(TEM)에 의해 이미지화되어 서브-핀과 인듐-리치 채널 사이의 얇은 중간 알루미늄-포함 층을 가지는 III-V 재료 스택의 이중접합의 단면(예를 들어, GaAs/InGaAs/얇은-InAlAs/InGaAs 또는 GaAs/얇은-InAlAs/InGaAs)이 기법의 분해능 내에서는 본질적으로 결합이 없거나, 그렇지 않은 경우 결합이 낮음을 보여줄 수 있다. 채널 영역 내의 조성 맵이 사용되어, 핀의 최하부가 갈륨-리치(서브-핀)인 반면 핀의 최상부가 인듐-리치임을 보여줄 수 있다.

[0012] 일반적으로, InGaAs와 같은 인듐-리치 III-V 재료는, 갈륨-리치 InGaAs에 비해, 두 재료들 모두가 불일치 전위들 및 다른 결정질 오점들이 없는 경우, 더 높은 캐리어 이동도를 가진다. 명료함의 목적으로, '인듐-리치'가 InGaAs 내의 인듐 농도가 갈륨 농도에 비해 더 높음을 나타내며; 마찬가지로, '갈륨-리치'가 갈륨 농도가 인듐 농도보다 더 높음을 나타낸다는 것에 유의한다. 또한, 농도들이 등급화될 수 있다는 것에 유의한다. 따라서, 화합물층의 컴포넌트가 '리치'하다고 할 때, 그 화합물 층은 그 컴포넌트에 대해 컴포넌트-리치 부분 및 컴포넌트

트-푸어 부분 모두를 포함할 수 있다(즉, 컴포넌트는 전체 층에 걸쳐 계속 리치할 필요는 없다) 프로세스가 핀-기반 터널링 전계 효과 트랜지스터(T-FET)들 및 FinFET들과 같은 비-평면 트랜지스터 설계들(예를 들어, 올-어라운드 게이트들, 나노와이어 및 나노리본 게이트들과 같이 핀들로부터 전개되는 3중-게이트 또는 다른 비-평면 트랜지스터 구조체들)을 보여주지만, 인지될 바와 같이, 본원에 제공되는 기법들은 평면 트랜지스터 설계에서도 동일하게 적절히 사용될 수 있다. 어떠한 이러한 경우들에서도, 기법들은, 표준 프로세싱을 이용하여 형성된 인듐-리치 III-V 트랜지스터들에 비해, 더 높은 이동도 및 성능, 및 감소된 오프-상태 누설 전류, 뿐만 아니라 감소된 결함 카운트들을 가지는 인듐-리치 III-V 트랜지스터들을 제공한다.

[0013] 방법론 및 아키텍처

[0014] 본 개시내용의 예시적인 실시예에 따르면, 도 1은 인듐-리치 NMOS 트랜지스터 채널들을 형성하기 위한 방법(100)을 예시한다. 도 2a-e는 방법(100)으로부터 초래되는 다양한 중간 트랜지스터 구조체들의 투시도들을 예시한다. 인지될 바와 같이, 예시적인 방법(100)은 여기서 비-평면 핀-기반 트랜지스터들의 상황에서 기술되지만, 게이트-올-어라운드 트랜지스터들, 나노와이어(또는 경우에 따라 나노리본) 및 평면 트랜지스터들과 같은 다른 트랜지스터 구성들에 대해서도 용이하게 연장될 수 있다.

[0015] 방법은 얇은 트랜치 함몰(shallow trench recess) 프로세스를 수행하여 실리콘 기판 상에 복수의 핀들을 형성하는 102에서 시작한다. 하기에 추가로 논의되는 바와 같이, 다른 기판들 역시 사용될 수 있다. 핀들은, 이어서 논의될 바와 같이, 이들이 궁극적으로 제거되고 인듐-리치 채널 영역을 가지는 III-V 재료 스택으로 대체될 것이라는 점에서 속성상 희생적이다. 얇은 트랜치 에칭은 하드마스크 패터닝 및 습식 및/또는 건식 에칭을 포함하는 표준 포토리소그래피를 이용하여, 또는 때때로 수행되는 바와 같은 백본 및 스페이서 층에 의한 패터닝을 이용하여 달성될 수 있다. 트랜치들의 기하학구조(폭, 깊이, 형상 등)는 인지될 바와 같이 실시예마다 달라질 수 있으며, 본 개시내용은 임의의 특정 트랜치 기하학구조로 제한되도록 의도되지 않는다. 최하부 국부적 산화물 층 및 최상부 실리콘 질화물층을 이용하여 구현되는 실리콘 기판 및 2-층 하드마스크를 갖는 한가지 특정적 예시적인 실시예에서, 건식 에칭이 사용되어 기판의 최상부 표면 아래에 약 100Å 내지 5000Å(10nm 내지 500nm)인 트랜치들을 형성한다. 트랜치 깊이는 요구되는 희생 핀 높이 뿐만 아니라 희생 핀이 얼마나 제거될지, 및 퇴적될 STI 재료의 요구되는 두께와 같은 인자들에 기초하여 설정될 수 있다. 핀들이 형성된 이후, 평탄화 프로세스가 실행되어 후속적인 프로세싱을 위한 구조체를 준비하고 임의의 하드마스크 재료를 제거할 수 있다.

[0016] 도 2a는 102에서 얇은 트랜치 함몰 프로세스로부터 초래되는 예시적인 구조체를 도시한다. 알 수 있는 바와 같이, 기판(200)은 이로부터 확장하는 복수의 희생 핀들(210)을 가진다. 벌크 기판들, 반도체-온-절연체 기판들(XOI, 여기서 X는 실리콘, 게르마늄, SiGe 또는 III-V 재료와 같은 반도체 재료임), 및 다층형 구조체를 포함하는, 임의의 개수의 적절한 기판이 여기서 사용될 수 있다. 한 가지 특정적 예시적인 경우, 기판(200)은 벌크 실리콘 기판이다. 또다른 예시적인 경우, 기판(200)은 벌크 GaAs 기판과 같은 벌크 III-V 재료 기판이다. 또다른 예시적인 경우, 기판(200)은 실리콘-온-산화물, 또는 GaAs-온-산화물 또는 산화물 위의 갈륨 안티몬화물과 같은 III-V-온-산화물이다. 또다른 예시적인 경우, 기판(200)은 실리콘 위의 GaAs와 같은, 실리콘 층 상의 III-V 층을 가지는 다층형 기판이다. 이 개시내용의 견지에서 명백할 바와 같이, 시스템이 알루미늄-포함 장벽층을 이용하여 인듐-리치 채널 영역들을 지지할 수 있는 한, 임의의 적절한 개수의 구성들이 기판(200)에 대해 사용될 수 있다.

[0017] 예시된 실시예가 기판으로부터의 거리에 따라 달라지지 않는 폭을 가지는 것으로서 핀들(210)을 도시하지만, 핀은 다른 실시예들에서 최하부보다 최상부에서 더 좁고, 또다른 실시예에서 최하부보다 최상부에서 더 넓고, 또는 또다른 실시예들에서 임의의 다른 폭 변경률 및 균일도들(또는 불균일도들)을 가질 수 있다. 또한 폭 변경이 일부 실시예들에서 대칭적이거나 비대칭적일 수 있다는 것에 유의한다. 또한, 희생핀들(210)이 모두 동일한 폭을 가지는 것으로서 예시되지만, 일부 핀들(210)은 다른 것들보다 더 넓고 그리고/또는 그렇지 않은 경우 다른 것들과는 상이하게 성형될 수 있다. 예를 들어, 희생 핀들의 폭이 활성 핀들에 대해 실제 사용될 것임에 따라, 희생 핀의 폭은 그 활성 핀들의 폭을 설정하도록 사용될 수 있다. 따라서, 예를 들어, 희생 핀들(210) 중 일부가 좁은 활성 핀들을 제공하도록 더 좁을 수 있는 반면, 희생 핀들(210) 중 다른 것들은 더 넓은 활성 핀들을 제공하도록 더 넓을 수 있다. 일부 예시적인 실시예들에서, 핀-기반 트랜지스터 디바이스의 확산 영역의 폭을 정의하는 핀 폭은 50 nm 미만, 또는 40 nm 미만, 또는 30 nm 미만, 또는 20 nm 미만, 또는 10 nm 미만일 수 있다. 더 일반적인 의미로, 핀들은, 예를 들어, 심지어 동일한 프로세스 노드 상에서 평면 트랜지스터 기술들에 비해 훨씬 더 좁은 폭들을 가지도록 패터닝될 수 있다. 이 개시내용의 견지에서 인지될 바와 같이, 다수의

다른 배열들이 구현될 수 있다.

[0018] 도 1을 더 참조하면, 방법(100)은 얇은 트렌치 격리(STI) 재료를 홈들 내에 퇴적시키고 핀들의 최상부까지 평탄화하는 104에서 계속된다. 일 실시예에 따르면, 도 2b는 결과적인 구조체의 예를 도시한다. 트렌치들은 임의의 개수의 표준 퇴적 프로세스들을 사용하여, 임의의 적절한 절연체 재료(예를 들어, 산화물, 질화물, 폴리머, 또는 다른 적절한 절연체)로 채워져서 STI 구조체들(220)을 형성할 수 있다. 실리콘 기판을 가지는 한 가지 특정 예시적인 실시예에서, 퇴적된 절연체 재료는 실리콘 이산화물( $\text{SiO}_2$ )이다. 또다른 실시예들에서, 낮은-k 유전체가 사용될 수 있다. 낮은-k 유전체 재료들의 예들은, 예를 들어,  $\text{SiO}_2$ 와 같은 다공성 산화물들, 탄소-도핑된  $\text{SiO}_2$  또는 불소-도핑된  $\text{SiO}_2$ 와 같은 도핑된 산화물들 또는 어느 정도(a degree of)의 다공성, 폴리이미드들 및 폴리머들을 가지고 구성되는 임의의 이러한 도핑된 재료들, 예컨대 스핀-온 실리콘 기반 폴리머 유전체들 및 스핀-온 유기 폴리머 유전체들, 불소-도핑된 비정질 탄소, 스핀-온 테프론/PTFE를 포함한다. 일부 실시예들에서, 어닐링 프로세스가 유전층 상에서 수행되어 낮은-k 재료가 사용될 때 그것의 품질을 개선할 수 있다. 트렌치들을 채우기 위한 퇴적된 절연체 재료는, 예를 들어, 프로세스에서 추후 추가될 대체 핀 재료와의 호환성에 기초하여 선택될 수 있다. 추가로 알 수 있는 바와 같이, 실시예에 따르면, 도 2b는 STI 재료(220)가, 예를 들어, 화학적 기계 연마(CMP) 또는 구조체를 평탄화할 수 있는 다른 적절한 프로세스를 사용하여, 희생 핀들(210)의 최상부까지 아래로 평탄화된 이후의 구조체를 보여준다.

[0019] 도 1 및 2c를 추가로 참조하면, 방법(100)은 희생 핀들(210)을 함몰시켜 트렌치들(212)을 형성하는 106에서 계속된다. 예칭은 사용되는 예칭 화학물질 및 기관(200)의 결정질 구조체와 같은 인자들에 따라, 제어된 크기 및 형상의 트렌치들을 형성하도록 조정될 수 있다(tailor). 예칭은 건식 또는 습식 예칭 또는 둘의 조합일 수 있다. 일 예시적인 실시예에서, 기관(200)은 벌크 결정질 실리콘 기관이고, 예칭은 트렌치들(212)의 최하부(212a)에서 {111} 깎임을 제공하기 위해 표준 수산화 암모늄을 이용하여 달성된다. 이러한 깎인 트렌치 최하부(212a)는 일부 실시예들에 따른 III-V 에피택셜 층의 성장을 용이하게 할 것이지만, 다른 트렌치 최하부 기하학 구조들이 가능하다. 더 일반적인 의미로, 트렌치 형태학은 주어진 재료 시스템에 대한 요구되는 형태학을 가지는 트렌치 최하부 인터페이스를 제공하도록 조정될 수 있다. 따라서, 예를 들어, III-V 재료로 채워진 깎인 실리콘 트렌치는 일 예시적인 재료 시스템이며, 다른 트렌치 형태학들 및 재료 시스템들 역시 사용될 수 있다.

[0020] 도 1 및 2d를 추가로 참조하면, 방법(100)은 일반적으로 인듐-리치 채널 영역을 포함할, 대체 핀들을 퇴적시키는 108 내지 112에서 계속된다. 이 퇴적은 선택적으로 수행될 수 있고, 따라서, 대체 재료는 트렌치들(212) 내로 지향적으로 퇴적된다. 퇴적된 대체 채널은, 예를 들어, 단일 III-V 재료, 이층 스택, 또는 삼층 스택으로 만들어질 수 있지만, 이 개시내용의 견지에서 인지될 바와 같이, 임의의 개수의 다층 구성들이 사용되어 인듐-리치 채널들을 제공할 수 있다.

[0021] 더 상세히, 그리고 도 1에 도시된 예시적인 실시예를 참조하면, 방법(100)은, III-V 서브-핀(214)에 선행하여 선택적 III-V 핵발생층을 퇴적시키는 108에서 계속된다. 핵발생층의 사용은 기관 재료에 대한 III-V 서브-핀 재료의 친화도 및 기관과 서브-핀 재료들 사이의 호환성(예를 들어, 격자 매칭 및 결정질 구조체, 전위들, 및 스테킹 결점들에 대한)에 의존할 수 있다. 예를 들어, 한가지 특정 예시적인 실시예에서, 기관(200)은 벌크 실리콘 기관이고, 서브-핀은 에피택셜 GaAs이다. 이러한 경우들에서, 에피택셜 성장이 GaAs 핵발생층을 이용하여 시작하여, GaAs 서브-핀(214)에 선행하는, {111} 깎인 트렌치를 적신다(wet). 이러한 예시적인 경우, 핵발생층은 GaAs 서브-핀(214)으로부터 궁극적으로 구별-불가능한 서브-핀(214) 재료의 실질적으로 단층 또는 그렇지 않은 경우 상대적으로 얇은 초기층이다. 다른 경우들에서, 핵발생층은, 등급화되든 아니든 간에, 기관(200)과 서브-핀(214) 재료들 사이에 적절한 천이를 제공하는 과도 재료의 단층 또는 그렇지 않은 경우 상대적으로 얇은 초기층일 수 있다. 이러한 목적으로, 일부 실시예들에 따라, 기관(200)과 서브-핀(214) 재료들 사이의 인터페이스의 품질은 핵발생층을 이용하여 개선되거나 또는 그렇지 않은 경우 조작될 수 있다. 다른 실시예들은 핵발생층을 필요로하지 않을 수 있다. 다수의 구성들이 이루어질 수 있다.

[0022] 도 1 및 2d를 추가로 참조하면, 방법(100)은 활성 채널 바로 아래까지 트렌치(212)를 부분적으로 채우도록 인듐-포함 III-V 층(216)을 선택적으로 퇴적시키는 110에서 계속된다. 대안적으로, 도 3a의 예시적인 실시예에서 도시되는 바와 같이, 108에서 퇴적되는 III-V 서브-핀 재료는 활성 채널 바로 아래까지 트렌치(212)를 채우도록 제공될 수 있다. 이러한 후자의 경우, 트렌치(212)를 부분적으로 채우기 위한 인듐-포함 III-V 층(216)의 선택적 퇴적은 요구되지 않는다. 인듐-포함 층(216)을 이용한 이러한 부분적 채움이 이용되는 경우, 그 부분적 채움의 인듐 농도가 서브-핀과 더욱 호환가능한 낮은 농도(예를 들어, 5% In, 또는 그보다 더 낮음)로부터 알루미늄-포함층(218)과 더욱 호환가능한 더 높은 농도(예를 들어, ~50%)까지 등급화될 수 있다는 것에 유의해야

한다. 그러나, 이러한 등급화는 요구되지 않으며, 다른 실시예들은 인듐-포함층(216) 내에 알루미늄-포함층(218)을 가지고, 전반에 걸쳐 인듐의 일관적인 리치 농도를 가질 수 있다. 방법(100)은 활성 채널 아래에 알루미늄-포함층(218)을 최적시키는 112에서 계속되고, 대체 핀의 활성 채널 부분을 형성하기 위해 트렌치(212)의 나머지를 채우도록 인듐-리치 채널층(216)을 퇴적시키는 114에서 추가로 계속된다. 따라서, 알루미늄-포함층(218)은 일부 실시예들(예를 들어, 도 2d)에 따라 인듐-포함층(216) 내에, 또는 다른 실시예들(예를 들어, 도 3a)에 따라 서브-핀(214)과 인듐-포함층(216) 사이에 제공될 수 있다.

[0023] 실리콘 기판(200) 및 인듐-포함층(216) 내에 제공되는 알루미늄-포함층(218)을 가지는 한 가지 특정 예시적인 실시예에서(도 2d에 도시된 것과 유사함), 인듐-포함 III-V 층(216)은 GaAs 서브-핀(214)으로부터 시작하여 STI(220)의 평면 상에 상당한 {111} 깎인 과성장(216a)을 가지고 트렌치(222)를 채우는 InGaAs의 에피택셜방식으로 성장된 층이며, 상대적으로 얇은 InAlAs(예를 들어, ~50% Al, 여기서  $In_{1-x}Al_xAs$ , 따라서  $x = 0.45$  내지 0.55) 층(218)은 InGaAs 층(216) 내에 제공되거나 또는 그렇지 않은 경우 끼이고, 대체 핀의 활성 채널 부분 바로 아래에 적절하게 위치되는 것을 예외로 한다. 인듐-포함층(216) 내의 알루미늄-포함층(218)의 에피택셜 퇴적 이전의 안정화 단계 동안 갈륨 및 알루미늄 전구체 흐름들에 대한 적절한 조절들이 이루어질 수 있다. 예를 들어, 활성 채널 바로 아래의 알루미늄-포함층의 에피택셜 성장 이전의 안정화 단계 동안 인듐 농도는 감소되고, 알루미늄 농도는 동시에 증가한다. 또한, 이전에 설명된 바와 같이, 알루미늄-포함 성장의 시작 이전의 인듐 농도가 등급화될 수 있지만, 그럴 필요는 없다는 것에 유의한다.

[0024] 실리콘 기판(200)을 가지는 또다른 특정 예시적인 실시예에서, 알루미늄-포함층(218)은 서브-핀(214)과 인듐-리치층(216) 사이에 제공된다(도 3a에 도시된 것과 유사함). 한 가지 이러한 예시적인 실시예에서, 서브-핀(214)은 GaAs이고, 대체 핀의 활성 채널 바로 아래까지 트렌치(222) 내에서 에피택셜방식으로 성장된다. 이후, 알루미늄-포함층(218)이 상대적으로 얇은  $In_{1-x}Al_xAs$ (예를 들어, ~50% Al, 여기서  $x = 0.45$  내지 0.55) 층을 가지는 서브-핀(214) 상에 에피택셜 방식으로 성장되거나 또는 그렇지 않은 경우 제공된다. 이후, 인듐-리치층(216)은 STI(220)의 평면 상에 상당한 {111} 깎인 과성장(216a)으로 트렌치(212)의 나머지를 채우기 위해  $In_xGa_{1-x}As$  층(예를 들어, ~50% In, 여기서  $x = 0.45$  내지 0.55)을 가지는 층(218) 상에 에피택셜 방식으로 성장되거나 또는 그렇지 않은 경우 제공된다. 채널의 크기는 달라질 수 있다. 예를 들어, 일 예시적인 시나리오에서, 서브-핀(214)은 트렌치(222)의 약 3/4를 채우고, 인듐-리치층(216)은 중재 알루미늄-포함층(218)의 두께보다 더 적은, 나머지를 채운다.

[0025] 임의의 이러한 실시예들에서, 알루미늄-포함층(218)은 예를 들어, 2nm 내지 25nm, 또는 4nm 내지 20nm, 또는 5nm 내지 20nm, 또는 5nm 내지 1nm, 또는 5nm 내지 10nm의 범위 내의 공칭 두께를 가질 수 있고; 요구되는 전류 누설 및 결함 밀도 목표들을 만족시키기 위해, 다른 적절한 두께들 역시 사용될 수 있다. 이 개시내용의 견지에서 또한 인지될 바와 같이, 알루미늄-포함 III-V 층(218) 내의 알루미늄의 농도는 또한 실시예마다 달라질 수 있지만, 일부 경우들에서, 예를 들어, 40% 내지 60%, 또는 45% 내지 55%, 또는 46% 내지 52%의 범위 내에 있다. 층(218)의 알루미늄 비율이 인듐-포함 III-V 층(216)의 인듐 비율에 대한 호환성을 위해 선택될 수 있다는 것에 유의한다. 또한, 여기서 사용되는 바와 같은 비율들은  $In_{1-x}Al_xAs$ 의 삼원 화합물 내의 원소(여기서, 알루미늄)의 화학량론적 농도를 지칭하며, 여기서  $x$ (100으로 곱해짐)는 지칭되는 알루미늄의 비율이다.

[0026] 예를 들어, 한 가지 특정 예시적 실시예에서, 인듐-포함 III-V 층(216)은  $In_{0.53}Ga_{0.47}As$ 이고, 알루미늄-포함 III-V 층(218)은  $In_{0.52}Al_{0.48}As$ 이다.  $In_{0.53}Ga_{0.47}As$  층(216) 및  $In_{0.52}Al_{0.48}As$  층(218)이 서로에 대해 정확하게 격자 매칭된다는 것에 유의한다. 이러한 목적으로, 일부 실시예들에 따라, 이종-구조체에 걸친 총 격자 부정합이 존재하지 않거나 적도록, 약 ~50%(예를 들어, 40% 내지 60%, 또는 45% 내지 55%, 또는 45% 내지 54%, 또는 45% 내지 53%, 또는 46% 내지 53%, 또는 46% 내지 52%)의 알루미늄-포함층(218) 내의 알루미늄 및 인듐-포함층(216) 내의 인듐의 농도들을 타겟으로 하는 것이 가능하다. 일부 실시예들에서, 알루미늄-포함층(218)의 알루미늄 농도 및 인듐-리치층(216)의 인듐 농도는 서로의 20% 내, 또는 서로의 10% 내, 또는 서로의 5% 내이도록 구성된다. 층들(216 및 218) 내에 포함되는 원자들에 따라, 원자들의 자연스러운 재-조직이 주어지는 경우 자연스러운 등급화 효과가 발생할 수 있다는 것에 유의한다. 이는 불일치-전위들, 스택킹-결점들, 및 NMOS 채널 내의 전자 이동도를 방해할 수 있는 인터페이스로부터 오는 다른 결함들을 감소시킨다. 그러나, 정확한 격자 정합이 모든 실시예들에서 요구되지는 않는다는 것에 유의한다. 이러한 목적으로, 수용가능한 결함 카운트들의 범위(예를 들어, 핀 길이의 선형 cm 당 10000개 결함들, 또는 그 미만)가 사용되어 알루미늄-포함 III-V 층(218)과 인듐-포함 III-V 층(216) 사이의 인터페이스의 품질 및 재료 농도들을 결정할 수 있다.

[0027] 이러한 실시예들에서, 그리고 이 개시내용의 견지에서 추가로 이해될 바와 같이, InAlAs 및 GaAs 모두가 InGaAs 채널(216)에 대한 더 높은 도통 대역 오프셋(~0.4eV)로 인해 몇 차수 크기(several orders of magnitude)만큼 서브-핀 누설을 차단하는데 적합하다. InAlAs 확산 장벽(218)의 적절한 위치는, 활성 핀(218 위의 216의 일부)이 서브-핀(214)으로부터 전기적으로 격리됨을 보장한다. 다른 실시예들이 유사한 결과들을 달성하기 위해 사용될 수 있는데, 여기서 알루미늄 포함 III-V 층(218)이 인듐-리치 층(216)의 채널 아래에 제공된다. 예를 들어, 서브-핀(214)은 GaAs를 이용하여 구현될 수 있고, 알루미늄-포함층(218)은 AlAs일 수 있고, 인듐-포함 층(216)은 InGaAs 또는 인듐 비화물(InAs)일 수 있다. 또다른 실시예에서, 서브-핀(214)은 갈륨 안티몬화물(GaSb)을 이용하여 구현될 수 있고, 알루미늄-포함층(218)은 알루미늄 안티몬화물(AlSb)일 수 있고, 인듐-포함 층(216)은 인듐 안티몬화물(InSb)일 수 있다. 또다른 실시예에서, 서브-핀(214)은 갈륨 인화물(GaP)을 이용하여 구현될 수 있고, 알루미늄-포함층(218)은 알루미늄 인화물(AlP)일 수 있고, 인듐-포함층(216)은 인듐 인화물(InP)일 수 있다. 또다른 실시예에서, 서브-핀(214)은 GaAs를 이용하여 구현될 수 있고, 알루미늄-포함층(218)은 알루미늄 인듐 비화물(AlInAs)일 수 있고, 인듐-포함층(216)은 InGaAs일 수 있다. 또 다른 실시예에서, 서브-핀(214)은 갈륨 비화물 안티몬화물(GaAsSb)로 구현될 수 있고, 알루미늄-포함 층(218)은 알루미늄 갈륨 비화물 안티몬화물(AlGaAsSb)일 수 있고, 인듐-포함 층(216)은 인듐 갈륨 비화물 안티몬화물(InGaAsSb)일 수 있다. 임의의 이러한 시스템들은 벌크 실리콘 기판 상에서 구현될 수 있다. 다수의 다른 변형들 및 실시예들이 명백할 것이며, 본 개시내용은 임의의 특정 III-V 시스템들로 제한되도록 의도되지 않는다. 이전에 설명된 바와 같이, III-V 재료 시스템 변형들은 실질적으로 다양한 인터페이스들에서의 재료 호환불가능성들 및 허용불가능한 결합 밀도들에 대해서만 제한된다. 임의의 이러한 변형들은, 인듐-리치 채널층에 대한 도통 대역 오프셋에 의해, 서브-핀 누설을 감소시키도록 중재 알루미늄-포함층이 인듐-리치 채널 아래에 제공되는 본 개시내용의 실시예에 따라 사용될 수 있다.

[0028] 층(216)의 인듐 농도가 다양한 인자들로 인해 등급화될 수 있다는 것에 유의한다. 예를 들어, InGaAs 층의 인듐 농도가 증가함에 따라, 그 층의 갈륨 농도는 그에 따라 감소한다. 이 개시내용의 견지에서 인지될 바와 같이, 인듐 농도의 일부 등급화는, 인듐-포함층(216) 내에 있든, 또는 인듐-포함층(216)과 III-V 서브-핀(214) 사이에 있든, 알루미늄-포함층(218)의 존재로 인해 발생할 수 있다. 도 4a-b에 대해 차례로 논의될 바와 같이, 알루미늄-포함층(218)의 존재는 등급화되는 방식으로 InGaAs 채널 내의 인듐-갈륨 원자들의 제조직을 실질적으로 추진한다.

[0029] 도 1을 추가로 참조하면, 방법(100)은 STI(220)를 함몰시켜 인듐-리치 채널층(216)을 노출시키는 116에서 계속된다. 연마 프로세스가, 필요한 경우, 116에서의 함몰 이전에, 임의의 과도한 대체 채널 재료 과성장(216a)을 제거하도록 수행될 수 있다는 것에 유의한다. 다양한 구조체들이 이 STI 함몰 프로세스로부터 초래될 수 있다. 예를 들어, 도 2e는 일 실시예에 따른 결과적인 구조체를 도시하며, 여기서 알루미늄-포함층(218)은 인듐-포함 층(216) 내에 있다. 도 3b는 또다른 실시예에 따른 결과적인 구조체를 도시하며, 여기서 알루미늄-포함층(218)은 상대적으로 더 긴 서브-핀(214)과 상대적으로 더 짧은 인듐-리치층(216) 사이에 제공된다. 이러한 예시적인 실시예들 중 어느 것에서라도, STI 함몰의 깊이가 달라질 수 있다는 것에 추가로 유의한다. 예를 들어, STI(220)는 도 2e 및 3b에 도시된 것과 같은 일부 경우들에서 알루미늄-포함층(218) 바로 위까지 함몰될 수 있는 반면, 다른 경우들에서, STI(220)는 도 2ea 및 3b'에 도시된 바와 같이, 알루미늄-포함층(218) 바로 아래까지 함몰될 수 있다. 또다른 경우들에서, 함몰 깊이는 알루미늄-포함층(218)과 일치할 수 있다.

[0030] 도 1을 추가로 참조하면, 방법(100)은 트랜지스터 형성 프로세스를 완료하는 118에서 계속된다. 도 2e는 게이트 스택들 및 소스/드레인 영역들이 구조체 상의 어디에서 형성되는지를 일반적으로 도시한다. 따라서, 알루미늄-포함 장벽층(218)을 가지는 인듐-리치 대체 채널들(216)이 형성된 이후, 프로세스 흐름은, 일부 실시예들에서는 표준 방식으로, 또는 또다른 실시예들에서는 커스텀 또는 독점 방식으로 계속될 수 있다. 일부 흐름들은 소스/드레인 프로세싱에 선행하여 먼저 게이트를 프로세싱할 수 있는 반면, 다른 흐름들은 게이트-추후 프로세스 또는 소위 대체 금속 게이트(RMG) 프로세스를 사용할 수 있는데 여기서 더미 게이트 구조체가 초기에 제공되고 실제 게이트가 프로세스에서 나중에 형성된다. 예를 들어, RMG 흐름은, 더미 게이트 산화물 및 더미 폴리실리콘 게이트 전극과 함께 실리콘 및/또는 금속 및/또는 금속 산화물과 같은 패시베이션 층의 퇴적, 그 다음에 폴리실리콘 패터닝, 소스 드레인 프로세싱, 절연체 최상위(insulator over everything), 평탄화, 더미 게이트 전극 폴리실리콘의 제거, 및 더미 게이트 산화물의 제거, 그 다음에 게이트 산화물 스택의 퇴적 및 금속 게이트 채움, 및 그 다음에 다시 평탄화를 포함할 수 있다. 접촉 패터닝 및 프로세싱은 임의의 표준 프로세스들을 사용하여 진행할 수 있다. 추가로, 소스/드레인들은 일부 실시예들에서 대체 핀들에 대해 고유할 수 있는 반면, 다른 실시예들에서 대체 소스/드레인 재료들을 이용하여 구현된다. 전체 구조체는 이후 캡슐화되거나 평탄화된다.

절연체 층으로 덮일 수 있고, 임의의 필요한 접촉들 및 상호접속 층들이 이후 형성될 수 있다.

[0031] 도 4a는 GaAs 서브-핀 상의 InGaAs 채널을 가지고 구성되는 활성 핀의 STEM 단면을 예시하고, 도 4b는 본 개시내용의 실시예에 따라 활성 채널 아래에 얇은 InAlAs 확산 장벽을 가지는 GaAs 서브-핀 상에 InGaAs 채널을 가지고 구성되는 활성 핀의 STEM 단면을 예시한다. 참조 라벨들(A 및 B)은 각각의 이미지의 최하부 패널 상에 각자 도시되는 대응하는 수평 및 수직 에너지-분산 X-레이 분광(EDS) 스캔(scan)들을 지칭한다. 도 4a의 수평 EDS 스캔(A)은 ~25%(즉,  $x \approx 0.25$ )에서의  $In_xGa_{1-x}As$  내의 인듐을 도시하는 반면, 도 4b의 EDS 스캔(A)은 ~70%(즉,  $x \approx 0.7$ )에서의 인듐을 도시한다. InGaAs 영역 내의 인듐의 비율에서의 이러한 증가는 채널 바로 아래의 얇은  $In_{x-1}Al_xAs$  장벽층 때문일 수 있고, 여기서 알루미늄의 농도는 40% 내지 60%(예를 들어,  $x = 0.4$  내지 0.6)의 범위 내에 있다.

[0032] 결론은 핀의 최상부로부터 핀의 하부 부분까지 진행되는 수직 EDS 스캔(B)에 의해 추가로 지원된다. 도 4b의 스캔 B는 InAlAs 표면에 가장 가까운 핀의 하부 부분이 인듐-푸어인 반면 핀의 최상부는 인듐-리치임을 결론적으로 보여준다. 그러나, 도 4a의 스캔 B는 GaAs 서브-핀 표면에 가장 가까운 핀의 최하부가 핀의 최상부 부분보다 인듐이 실제로 더 풍부함을 도시한다. EDS 스캔들은 인듐 전구체가 갈륨 전구체에 비해 더 낮은 균열 온도를 가지기 때문에 타당하며, 따라서, GaAs 표면 상의 InGaAs의 처음 몇몇 단층들은 인듐-리치인 경향이 있다. 그러나, 도 4b에 도시된 특이한 EDS 스캔 B는 단지, 이러한 등급화된 방식으로 InGaAs 채널 내의 인듐-갈륨 원자들의 재조직을 추진하는 얇은 InAlAs 층의 존재 때문일 수 있다. 이 개시내용의 견지에서 인지될 바와 같이, 유사한 효과가 다른 알루미늄-포함 III 재료 스택들을 이용하여 발생한다.

[0033] 따라서, 도 4a-b에 도시된 구조체들 모두 상의 InGaAs에서 동일한 인듐 흐름을 사용함에도, 핀의 최상부 내의 인듐 농도는, 채널 바로 아래의 얇은 InAlAs 장벽층의 존재로 인해 도 4b에서의 거의 3X만큼 명백하게 증가한다. 이는 도 4b에 도시된 구성을 이용하여 만들어진 디바이스에 대해 거의 3X만큼 트랜지스터 디바이스의 이동도를 구동한다. 본 개시내용의 예시적인 실시예에 따르면, 도 5a는 도 4a에 도시된 얇은 InAlAs 장벽층 없이 구성되는 GaAs/InGaAs의 조성 맵을 예시하고, 도 5b는 도 4b에 도시된 얇은 InAlAs 장벽층을 가지고 구성되는 GaAs/InGaAs 스택의 조성 맵을 예시한다.

[0034] 예시적인 시스템

[0035] 도 6은 본 개시내용의 예시적인 실시예에 따라 구성되는 하나 이상의 집적 회로 구조체들을 가지고 구현되는 컴퓨팅 시스템을 예시한다. 알 수 있는 바와 같이, 컴퓨팅 시스템(1000)은 마더보드(1002)를 하우징한다. 마더보드(1002)는, 프로세서(1004) 및 적어도 하나의 통신 칩(1006)(이 예에서 두 개가 도시됨)을 포함하지만 이에 제한되지 않는 다수의 컴포넌트들을 포함할 수 있고, 그 각각은 마더보드(1002)에 물리적으로 그리고 전기적으로 커플링될 수 있거나, 또는 그렇지 않은 경우 그 내에 집적된다. 인지될 바와 같이, 마더보드(1002)는, 예를 들어, 메인보드, 메인보드 상에 장착되는 도터보드, 또는 시스템(1000)의 유일한 보드 등이든 간에, 임의의 인쇄 회로 보드일 수 있다. 그것의 응용예들에 따라, 컴퓨팅 시스템(1000)은 마더보드(1002)에 물리적으로 그리고 전기적으로 커플링될 수 있거나 커플링되지 않을 수 있는 하나 이상의 다른 컴포넌트들을 포함할 수 있다. 이러한 다른 컴포넌트들은, 휘발성 메모리(예를 들어, DRAM), 비-휘발성 메모리(예를 들어, ROM), 그래픽 프로세서, 디지털 신호 프로세서, 암호화 프로세서, 칩셋, 안테나, 디스플레이, 터치스크린 디스플레이, 터치스크린 제어기, 배터리, 오디오 코덱, 비디오 코덱, 전력 증폭기, 글로벌 포지셔닝 시스템(GPS) 디바이스, 나침반, 가속계, 자이로스코프, 스피커, 카메라, 및 대용량 저장 디바이스(예컨대, 하드 디스크 드라이브, 콤팩트 디스크(CD), 디지털 다목적 디스크(DVD) 등)를 포함할 수 있지만, 이에 제한되지 않는다. 컴퓨팅 시스템(1000) 내에 포함되는 컴포넌트들 중 임의의 것은 본원에서 다양하게 제공되는 바와 같이, 알루미늄-포함 장벽층에 의해 서브-핀으로부터 전기적으로 격리되는 인듐-리치 채널 영역을 가지고 구성되는 하나 이상의 집적 회로 구조체들을 포함할 수 있다. 일부 실시예들에서, 다수의 기능들이 하나 이상의 칩들 내에 집적될 수 있다(예를 들어, 예컨대, 통신 칩(1006)이 프로세서(1004)의 일부일 수 있거나 또는 그렇지 않은 경우 프로세서(1004) 내에 집적될 수 있음에 유의한다).

[0036] 통신 칩(1006)은 컴퓨팅 시스템(1000)으로의 그리고 컴퓨팅 시스템(1000)으로부터의 데이터의 전달을 위한 무선 통신들을 가능하게 한다. 용어 "무선" 및 그 파생어들은 비-고체 매체를 통한 변조된 전자기 복사의 사용을 통해 데이터를 통신할 수 있는 회로들, 디바이스들, 시스템들, 방법들, 기법들, 통신 채널들 등을 기술하기 위해 사용될 수 있다. 용어는 연관된 디바이스들이 어떠한 와이어들도 포함하지 않음을 내포하지는 않지만, 일부 실시예들에서, 이들은 그렇지 않을 수도 있다. 통신 칩(1006)은, Wi-Fi (IEEE 802.11 계열), WiMAX (IEEE

802.16 계열), IEEE 802.20, 롱 텀 에볼루션(LTE), Ev-DO, HSPA+, HSDPA+, HSUPA+, EDGE, GSM, GPRS, CDMA, TDMA, DECT, 블루투스, 이들의 파생물들, 뿐만 아니라, 3G, 4G, 5G, 및 그 이상으로 지정되는 임의의 다른 무선 프로토콜들을 포함하는, 그러나 이에 제한되지 않는, 다수의 무선 표준들 또는 프로토콜들 중 임의의 것을 구현할 수 있다. 컴퓨팅 시스템(1000)은 복수의 통신 칩들(1006)을 포함할 수 있다. 예를 들어, 제1 통신 칩(1006)은 Wi-Fi 및 블루투스와 같은 보다 단거리의 무선 통신들에 전용될 수 있고, 제2 통신 칩(1006)은 GPS, EDGE, GPRS, CDMA, WiMAX, LTE, Ev-DO 등과 같은 보다 장거리의 무선 통신들에 전용될 수 있다. 컴퓨팅 시스템(1000)의 프로세서(1004)는 프로세서(1004) 내에 패키징되는 집적 회로 다이를 포함한다. 본 개시내용의 일부 예시적인 실시예들에서, 본원에서 다양하게 제공되는 바와 같이, 프로세서(1004)의 집적 회로 다이는 알루미늄-포함 장벽층에 의해 서브-핀으로부터 전기적으로 격리되는 인듐-리치 채널 영역을 가지고 구성되는 하나 이상의 트랜지스터들을 포함한다. 용어 "프로세서"는 예를 들어, 레지스터들 및/또는 메모리로부터의 전자 데이터를 프로세싱하여 그 전자 데이터를 레지스터들 및/또는 메모리에 저장될 수 있는 다른 전자 데이터로 변환시키는 임의의 디바이스 또는 디바이스의 일부분을 지칭할 수 있다.

[0037] 통신 칩(1006)은 통신 칩(1006) 내에 패키징되는 집적 회로를 또한 포함할 수 있다. 일부 이러한 예시적인 실시예들에 따르면, 본원에 다양하게 제공되는 바와 같이, 통신 칩(1006)의 집적 회로 다이는 알루미늄-포함 장벽층에 의해 서브-핀으로부터 전기적으로 격리되는 인듐-리치 채널 영역들을 가지는 하나 이상의 트랜지스터들을 포함한다. 이 개시내용의 견지에서 인지될 바와 같이, 멀티-표준 무선 능력이 프로세서(1004) 내에 직접 집적될 수 있다는 것에 유의한다(여기서, 임의의 칩(1006)의 기능성은, 별도의 통신 칩들을 가지기 보다는, 프로세서(1004) 내로 집적된다). 또한, 그 프로세서(1004)가 이러한 무선 능력을 가지는 칩 셋일 수 있다는 것에 유의한다. 간단히, 임의의 개수의 프로세서(들)(1004) 및/또는 통신 칩(들)(1006)이 사용될 수 있다. 마찬가지로, 임의의 하나의 칩 또는 칩셋은 그 내에 집적되는 다수의 기능들을 가질 수 있다.

[0038] 다양한 구현예들에서, 컴퓨팅 시스템(1000)은 랩톱, 넷북, 노트북, 스마트폰, 태블릿, 개인용 디지털 보조단말(PDA), 울트라-모바일 PC, 모바일 폰, 데스크톱 컴퓨터, 서버, 프린터, 스캐너, 모니터, 셋톱 박스, 엔터테인먼트 제어 유닛, 디지털 카메라, 휴대용 음악 플레이어, 또는 디지털 비디오 레코더일 수 있다. 추가적인 구현예들에서, 시스템(1000)은 본원에 기술되는 바와 같이 데이터를 프로세싱하거나 트랜지스터 디바이스들을 사용하는 임의의 다른 전자 디바이스일 수 있다. 이 개시내용의 견지에서 인지될 바와 같이, 본 개시내용의 실시예들은 동일한 다이 상에 커스터마이징된 높은 이동도 및 다양한 채널 구성들을 가지는 핀-기반 트랜지스터들의 사용을 허용함으로써 임의의 프로세스 노드에서 제조되는 제품들에 대한 성능을 (예를 들어, 미크론 범위 내에, 또는 미크론 미만 및 이를 초과하여) 개선하도록 사용될 수 있다.

[0039] 추가적인 예시적인 실시예들

[0040] 후속하는 예들은 추가적인 실시예들에 관한 것이고, 이로부터 다수의 치환들 및 구성들이 명백할 것이다.

[0041] 예 1은: 기관; 및 기관으로부터 확장하는 복수의 핀들을 포함하는 집적 회로 디바이스이고, 각각의 핀은 III-V 재료 서브-핀, 서브-핀 위의 인듐-리치 채널층, 및 III-V 재료 서브핀과 인듐-리치 채널층 사이의 알루미늄-포함 장벽층을 포함한다.

[0042] 예 2는 예 1의 발명 대상을 포함하고, 핀들 각각 위의 게이트 스택; 및 게이트 스택에 인접하게 형성되는 소스 및 드레인 영역들 중 적어도 하나를 더 포함한다.

[0043] 예 3은 예 1 또는 2의 발명 대상을 포함하고, III-V 재료 서브-핀 상에서 시작하는 인듐-포함층을 더 포함하고, 인듐-리치 채널층을 포함하고, 알루미늄-포함 장벽층은 인듐-포함층 내에 있다.

[0044] 예 4는 예 3의 발명 대상을 포함하고, 인듐-포함층의 인듐 농도는 III-V 재료 서브-핀 근처의 인듐-푸어 농도로부터 인듐-리치 채널층에서의 인듐-리치 농도까지 등급화된다. 일부 예시적인 실시예들에 따르면, 인듐-리치 채널층은 핀의 최상부에 있거나 또는 그렇지 않은 경우 핀의 최상부에 근접한다.

[0045] 예 5는 예 3의 발명 대상을 포함하고, 인듐-포함층의 인듐 농도는 알루미늄-포함 장벽층 근처의 인듐-푸어 농도로부터 인듐-리치 채널층에서의 인듐-리치 농도까지 등급화된다. 일부 예시적인 실시예들에 따르면, 인듐-리치 채널층은 핀의 최상부에 있거나 또는 그렇지 않은 경우 핀의 최상부에 근접한다.

[0046] 예 6은 예 1 또는 2의 발명 대상을 포함하고, 알루미늄-포함 장벽층은 III-V 재료 서브-핀과 인듐-리치 채널층 사이에 있으며, 인듐-리치 채널층 내에 있지 않다.

[0047] 예 7은 예 6의 발명 대상을 포함하고, 인듐-리치 채널층의 인듐 농도는 알루미늄-포함 장벽층 근처의 인듐-푸어

농도로부터 핀의 최상부에서의 또는 핀의 최상부 쪽으로의 인듐-리치 농도까지 등급화된다.

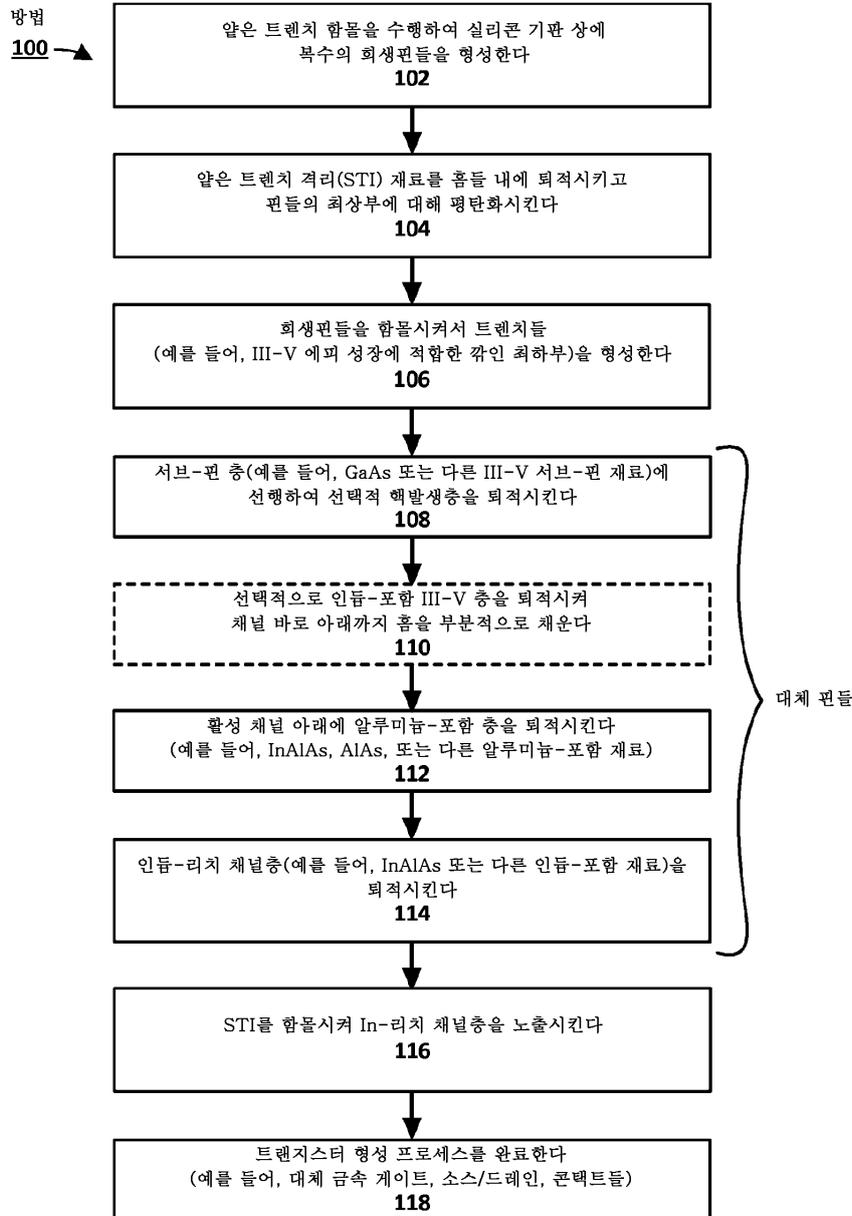
- [0048] 예 8은 이전 예들 중 임의의 것의 발명 대상을 포함하고, 인듐-리치 채널층의 인듐 농도는 알루미늄-포함 장벽층 근처의 인듐-푸어 농도로부터 핀의 최상부에서의 인듐-리치 농도까지 등급화된다. 인듐-리치 농도가, 일부 핀 중간점으로부터 핀 최상부까지와 같이, 핀의 소정 거리에 걸쳐 계속될 수 있다는 것에 유의한다. 그 인듐-리치 핀 거리 내의 인듐 농도는 (예를 들어, 경우에 따라서 위 및/또는 아래로) 달라질 수 있지만, 인듐-리치 층 내의 다른 컴포넌트들에 비해 여전히 그것의 리치 상태를 유지한다. 또한, 최대 인듐 농도가 최상부에 있을 필요는 없다는 것에 유의한다(즉, 인듐-리치 농도가 반드시 최대 인듐 농도일 필요는 없다).
- [0049] 예 9는 이전 예들 중 임의의 것의 발명 대상을 포함하고, 여기서 III-V 재료 서브-핀이 기관에 접촉하는 기관의 표면은 깎인다.
- [0050] 예 10는 이전 예들 중 임의의 것의 발명 대상을 포함하고, III-V 재료 서브-핀은 갈륨 비화물을 포함하고, 인듐-리치 채널층은 인듐 갈륨 비화물을 포함하고, 알루미늄-포함 장벽층은 알루미늄 비화물을 포함한다.
- [0051] 예 11은 예 10의 발명 대상을 포함하고, 알루미늄-포함 장벽층은 인듐 알루미늄 비화물을 포함한다.
- [0052] 예 12는 예 11의 발명 대상을 포함하고, 알루미늄-포함 장벽층 내의 알루미늄의 비율, 및 인듐-리치 채널층 내의 인듐의 비율은, 알루미늄-포함 장벽층의 최대 알루미늄 농도 및 인듐-리치 채널층의 최대 인듐 농도 모두가 45% 내지 55%의 범위 내에 있도록 한다. 따라서, 예를 들어, 알루미늄-포함층에 대한  $In_{1-x}Al_xAs$  및 인듐-리치 채널층에 대한  $In_xGa_{1-x}As$ 가 주어지면,  $x$ 는 알루미늄-포함층 내의 알루미늄 및 인듐-리치 채널층 내의 인듐의 비율을 지칭한다(여기서,  $x$ 는 .45 내지 .55까지 달라지고, 100으로 곱해져서 비율로서 측정된다).
- [0053] 예 13은 예 11의 발명 대상을 포함하고, 알루미늄-포함 장벽층 내의 알루미늄의 비율, 및 인듐-리치 채널층 내의 인듐의 비율은, 알루미늄-포함 장벽층의 최대 알루미늄 농도 및 인듐-리치 채널층의 최대 인듐 농도 모두가 46% 내지 52%의 범위 내에 있도록 한다. 따라서, 예를 들어, 알루미늄-포함층에 대한  $In_{1-x}Al_xAs$  및 인듐-리치 채널층에 대한  $In_xGa_{1-x}As$ 가 주어지면,  $x$ 는 알루미늄-포함층 내의 알루미늄 및 인듐-리치 채널층 내의 인듐의 비율을 지칭한다(여기서,  $x$ 는 .46 내지 .52까지 달라지고, 100으로 곱해져서 비율로서 측정된다).
- [0054] 예 14는 예 13의 발명 대상을 포함하고, 알루미늄-포함 장벽층은  $InAlAs$ 이고, 인듐-리치 채널층은  $InGaAs$ 이다.
- [0055] 예 15는 이전 예들 중 임의의 것의 발명 대상을 포함하고, 알루미늄-포함 장벽층의 알루미늄 농도 및 인듐-리치 채널층의 인듐 농도는 선형 cm 당 10000개 미만의 결함들의 결함 밀도를 제공하도록 구성된다.
- [0056] 예 16은 이전 예들 중 임의의 것의 발명 대상을 포함하고, 알루미늄-포함 장벽층의 알루미늄 농도 및 인듐-리치 채널층의 인듐 농도는 선형 cm 당 1000개 미만의 결함들의 결함 밀도를 제공하도록 구성된다.
- [0057] 예 17은 이전 예들 중 임의의 것의 발명 대상을 포함하고, 알루미늄-포함 장벽층의 알루미늄 농도 및 인듐-리치 채널층의 인듐 농도는 선형 cm 당 100개 미만의 결함들의 결함 밀도를 제공하도록 구성된다.
- [0058] 예 18은 이전 예들 중 임의의 것의 발명 대상을 포함하고, 알루미늄-포함 장벽층의 알루미늄 농도 및 인듐-리치 채널층의 인듐 농도는 서로의 10% 내이도록 구성된다.
- [0059] 예 19는 이전 예들 중 임의의 것의 발명 대상을 포함하고, 알루미늄-포함 장벽층의 알루미늄 농도 및 인듐-리치 채널층의 인듐 농도는 서로의 5% 내이도록 구성된다.
- [0060] 예 20은 이전 예들 중 임의의 것의 발명 대상을 포함하고, 알루미늄-포함 장벽층은 5nm 내지 20 nm의 범위 내의 공칭 두께를 가진다.
- [0061] 예 21은 이전 예들 중 임의의 것의 발명 대상을 포함하고, 기관은 실리콘이다. 한 가지 이러한 경우, 기관은, 실리콘 웨이퍼와 같은 벌크 실리콘 기관이다.
- [0062] 예 22는 실리콘 기관; 기관으로부터 확장하는 복수의 핀들 - 각각의 핀은 III-V 재료 서브-핀, 서브-핀 위의 인듐-리치 채널층, 및 III-V 재료 서브-핀과 인듐-리치 채널층 사이의 알루미늄-포함 장벽층을 포함하고, III-V 재료 서브-핀이 기관에 접촉하는 기관의 표면은 깎이고, 알루미늄-포함 장벽층의 알루미늄 농도 및 인듐-리치 채널층의 인듐 농도는 서로의 10% 내이도록 구성됨 - ; 핀들 각각 위의 게이트 스택; 및 게이트 스택에 인접하게 형성되는 소스 및 드레인 영역들을 포함하는, 집적 회로 디바이스이다.
- [0063] 예 23은 예 22의 발명 대상을 포함하고, III-V 재료 서브-핀 상에서 시작하는 인듐-포함층을 더 포함하고, 인듐

-리치 채널층을 포함하고, 알루미늄-포함 장벽층은 인듐-포함층 내에 있다.

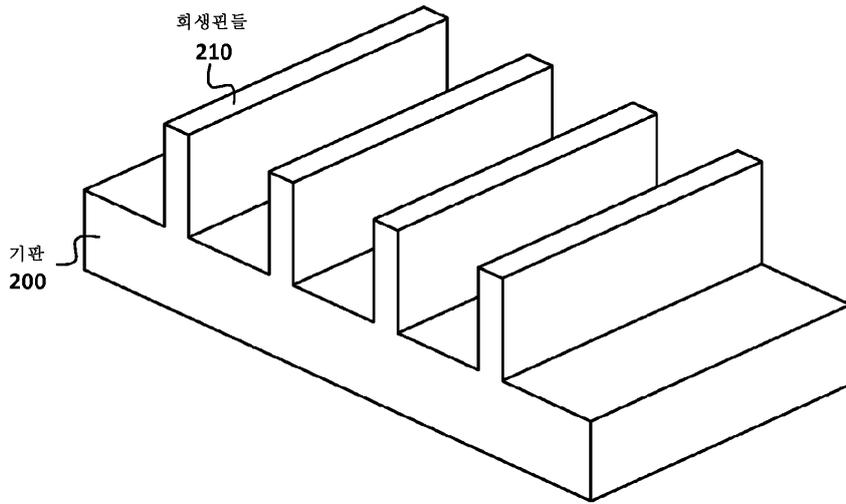
- [0064] 예 24는 예 23의 발명 대상을 포함하고, 인듐-포함층의 인듐 농도는 III-V 재료 서브-핀 근처의 인듐-푸어 농도로부터 인듐-리치 채널 층에서의 인듐-리치 농도까지 등급화된다. 일부 예시적인 실시예들에 따르면, 인듐-리치 채널층은 핀의 최상부에 있거나 그렇지 않은 경우 핀의 최상부에 근접한다.
- [0065] 예 25는 예 23 또는 24의 발명 대상을 포함하고, 인듐-리치 채널층의 인듐 농도는 알루미늄-포함 장벽층 근처의 인듐-푸어 농도로부터 핀의 최상부에서의 또는 핀의 최상부쪽으로서의 인듐-리치 농도까지 등급화된다.
- [0066] 예 26은 예 22의 발명 대상을 포함하고, 알루미늄-포함 장벽층은 III-V 재료 서브-핀과 인듐-리치 채널층 사이에 있고, 인듐-리치 채널층 내에 있지 않다.
- [0067] 예 27은 예 26의 발명 대상을 포함하고, 인듐-리치 채널층의 인듐 농도는 알루미늄-포함 장벽층 근처의 인듐-푸어 농도로부터 핀의 최상부에서의 또는 핀의 최상부쪽으로서의 인듐-리치 농도까지 등급화된다.
- [0068] 예 28은 예 22 내지 27 중 임의의 것의 발명 대상을 포함하고, 알루미늄-포함 장벽층 내의 알루미늄의 비율, 및 인듐-리치 채널층 내의 인듐의 비율은, 알루미늄-포함 장벽층의 최대 알루미늄 농도 및 인듐-리치 채널층의 최대 인듐 농도 모두가 46% 내지 52%의 범위 내에 있도록 한다. 따라서, 예를 들어, 알루미늄-포함층에 대한  $In_{1-x}Al_xAs$  및 인듐-리치 채널층에 대한  $In_xGa_{1-x}As$ 이 주어지면, x는 알루미늄-포함층 내의 알루미늄 및 인듐-리치 채널층 내의 인듐의 비율을 지칭한다(여기서, x는 .46 내지 .52까지 달라지고, 100으로 곱해져서 비율로서 측정된다).
- [0069] 예 29는 예 28의 발명 대상을 포함하고, 알루미늄-포함 장벽층은 InAlAs이고, 인듐-리치 채널층은 InGaAs이다.
- [0070] 예 30은, 실리콘 기관; 기관으로부터 확장하는 복수의 핀들 - 각각의 핀은 III-V 재료 서브-핀, 서브-핀 위의 인듐-리치 채널층, 및 III-V 재료 서브-핀과 인듐-리치 채널층 사이의 알루미늄-포함 장벽층을 포함하고, III-V 재료 서브-핀이 기관에 접촉하는 기관의 표면은 깎이고, 인듐-리치 채널층의 인듐 농도는 알루미늄-포함 장벽층 근처의 인듐-푸어 농도로부터 핀의 최상부에서의 또는 핀의 최상부쪽으로서의 인듐-리치 농도까지 등급화됨 - ; 핀들 각각 위의 게이트 스택; 및 게이트 스택에 인접하게 형성되는 소스 및 드레인 영역들을 포함하는, 집적 회로 디바이스이다.
- [0071] 예 31은 예 30의 발명 대상을 포함하고, 알루미늄-포함 장벽층의 알루미늄 농도 및 인듐-리치 채널층의 인듐 농도는 서로의 10% 내이도록 구성된다.
- [0072] 예 32는 예 30 또는 31의 발명 대상을 포함하고, 알루미늄-포함 장벽층의 알루미늄 농도 및 인듐-리치 채널층의 인듐 농도는 서로의 5% 이내 이도록 구성된다.
- [0073] 예 33은 예 30 내지 32 중 임의의 것의 발명 대상을 포함하고, 알루미늄-포함 장벽층은 5nm 내지 20nm의 범위 내의 공칭 두께를 가진다.
- [0074] 예 34는 예 30 내지 33 중 임의의 것의 발명 대상을 포함하고, 알루미늄-포함 장벽층 내의 알루미늄의 비율, 및 인듐-리치 채널층 내의 인듐의 비율은, 알루미늄-포함 장벽층의 최대 알루미늄 농도 및 인듐-리치 채널층의 최대 인듐 농도 모두가 46% 내지 52% 내에 있도록 한다. 따라서, 예를 들어, 알루미늄-포함층에 대한  $In_{1-x}Al_xAs$  및 인듐-리치 채널층에 대한  $In_xGa_{1-x}As$ 이 주어지면, x는 알루미늄-포함층 내의 알루미늄 및 인듐-리치 채널층 내의 인듐의 비율을 지칭한다(여기서, x는 .46 내지 .52까지 달라지고, 100으로 곱해져서 비율로서 측정된다).
- [0075] 예 35는 예 35의 발명 대상을 포함하고, 알루미늄-포함 장벽층은 InAlAs이고, 인듐-리치 채널층은 InGaAs이다.
- [0076] 본 개시내용의 예시적인 실시예들의 이전 기재는 예시 및 기재의 목적으로 제시되었다. 그것은 완전한 것으로 의도되지도, 개시내용을 개시된 정확한 형태들로 제한하도록 의도되지도 않는다. 이 개시내용의 견지에서 많은 수정들 및 변형들이 가능하다. 예를 들어, 기법들은 주로 FET들과 같은 트랜지스터들의 형성의 상황에서 논의되지만, 다이오드들, 가변 커패시터들, 동작 저항기들 등과 같은 다른 디바이스들 역시 만들어질 수 있다. 본 개시내용의 범위가 이러한 상세한 설명에 의해서가 아니라, 오히려 본원에 첨부되는 청구항들에 의해 제한되는 것이 의도된다.

도면

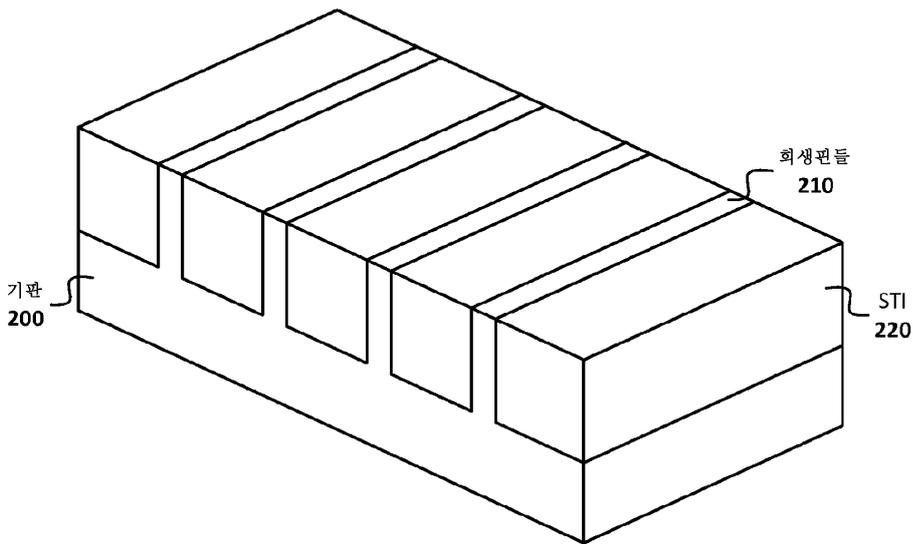
도면1



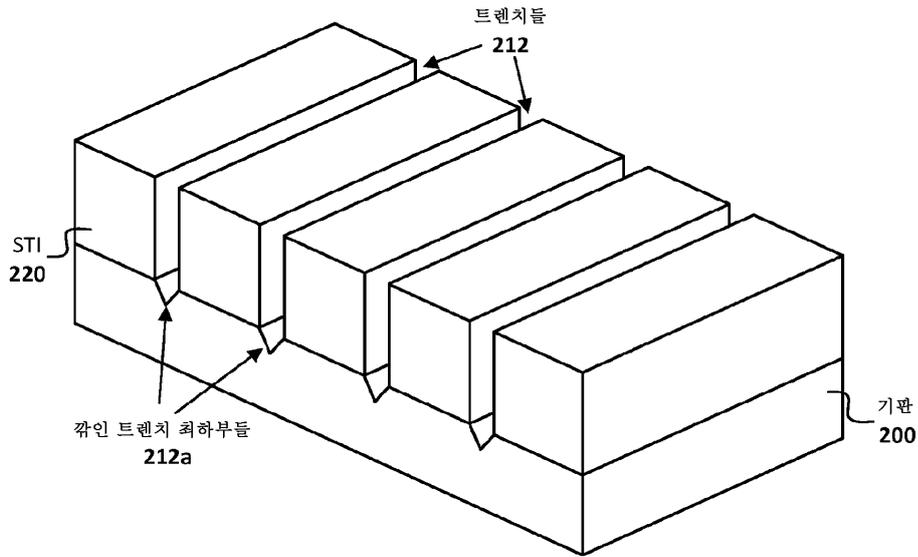
도면2a



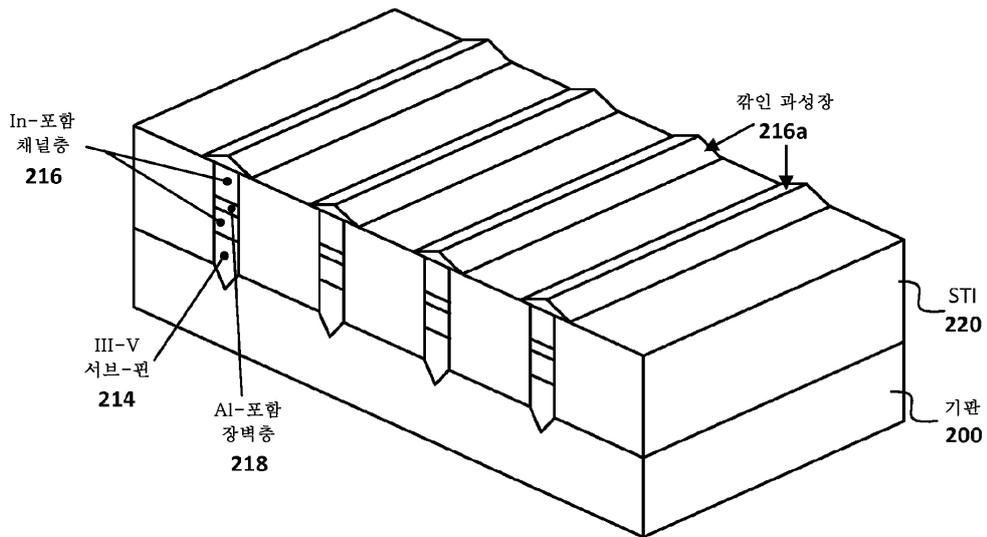
도면2b



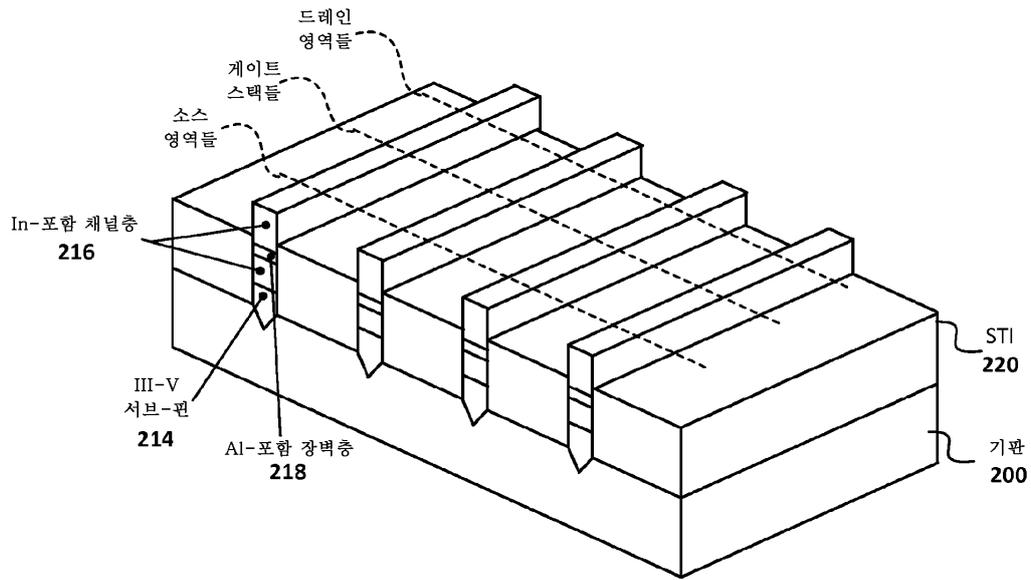
도면2c



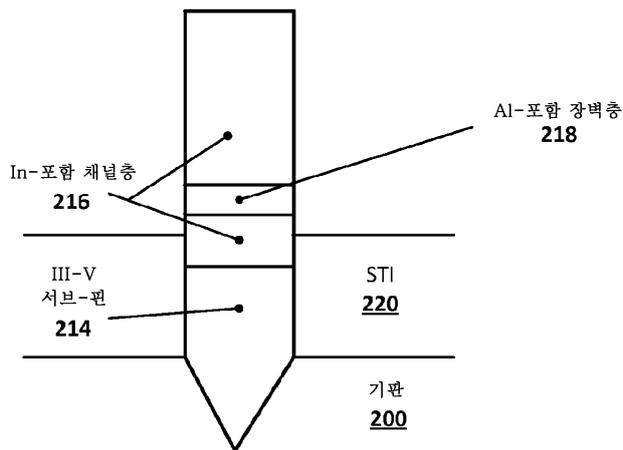
도면2d



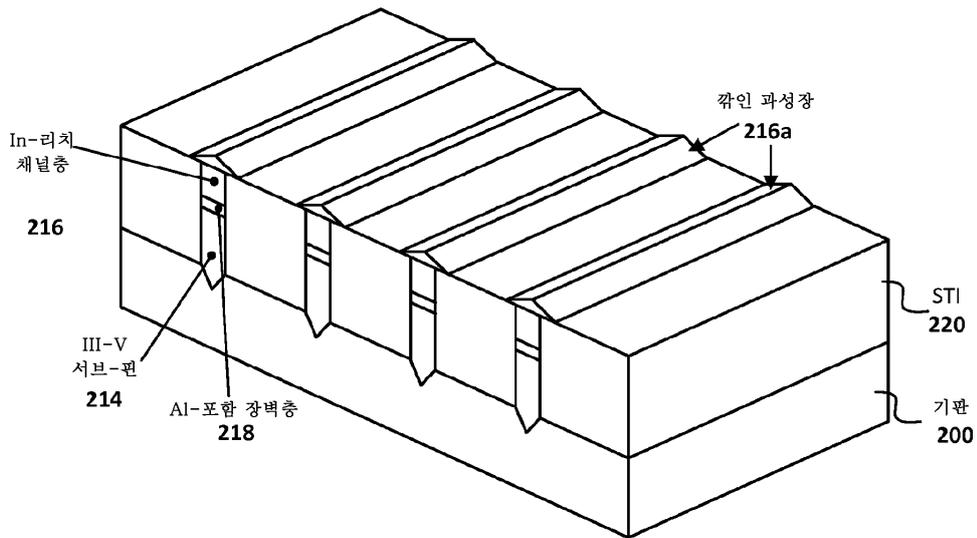
도면2e



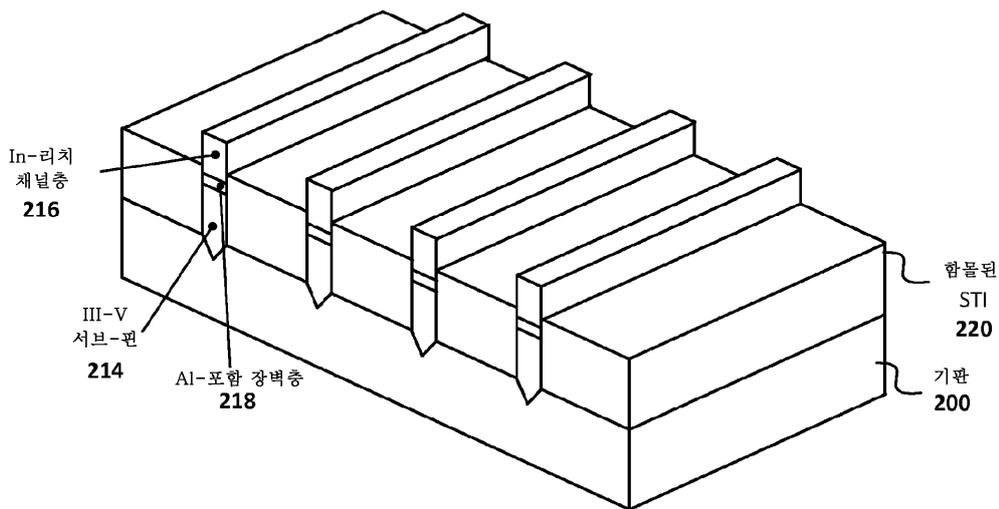
도면2ea



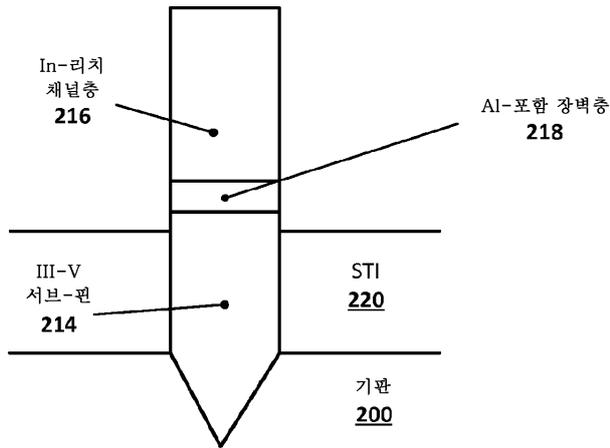
도면3a



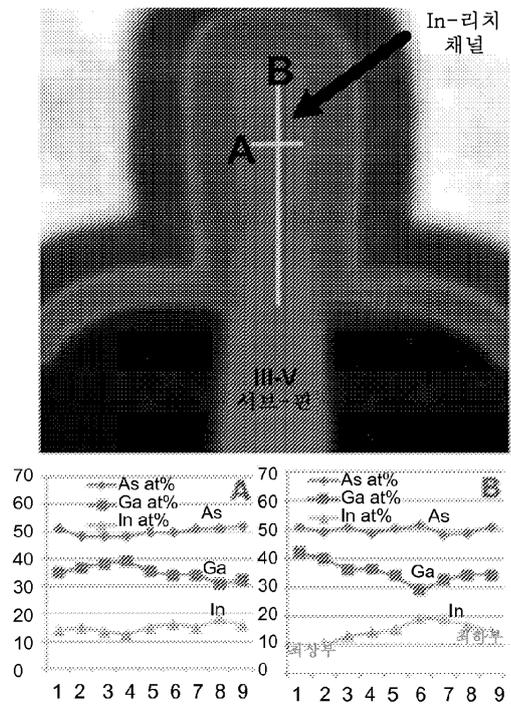
도면3b



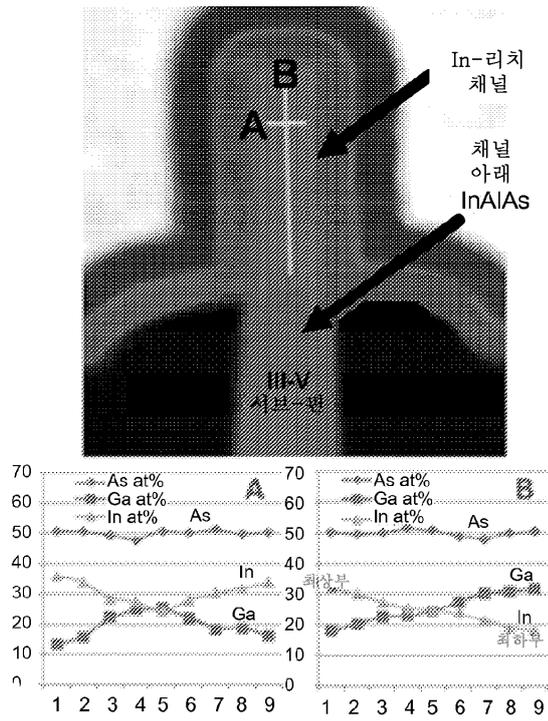
도면3ba



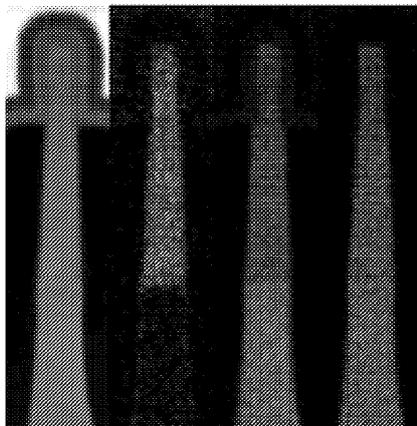
도면4a



도면4b

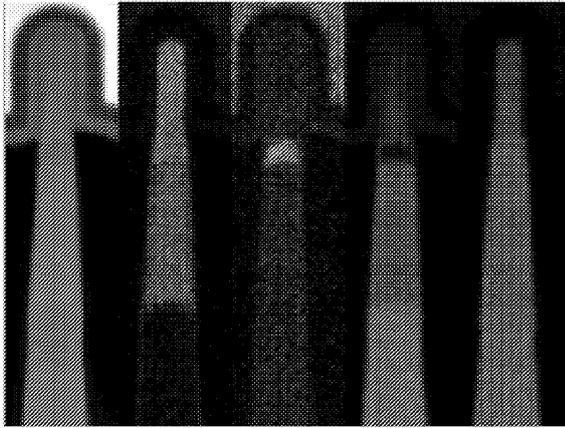


도면5a



핀 A 인듐 갈륨 비화물

도면5b



편 B    인듐    알루미늄    갈륨    비화물

도면6

