



(19)  
**Bundesrepublik Deutschland**  
**Deutsches Patent- und Markenamt**

(10) **DE 102 20 922 B4** 2006.09.28

(12)

## Patentschrift

(21) Aktenzeichen: **102 20 922.7**  
 (22) Anmeldetag: **10.05.2002**  
 (43) Offenlegungstag: **27.11.2003**  
 (45) Veröffentlichungstag  
 der Patenterteilung: **28.09.2006**

(51) Int Cl.<sup>8</sup>: **H01L 27/115** (2006.01)  
**H01L 21/8247** (2006.01)

Innerhalb von drei Monaten nach Veröffentlichung der Patenterteilung kann nach § 59 Patentgesetz gegen das Patent Einspruch erhoben werden. Der Einspruch ist schriftlich zu erklären und zu begründen. Innerhalb der Einspruchsfrist ist eine Einspruchsgebühr in Höhe von 200 Euro zu entrichten (§ 6 Patentkostengesetz in Verbindung mit der Anlage zu § 2 Abs. 2 Patentkostengesetz).

(73) Patentinhaber:  
**Infineon Technologies AG, 81669 München, DE**

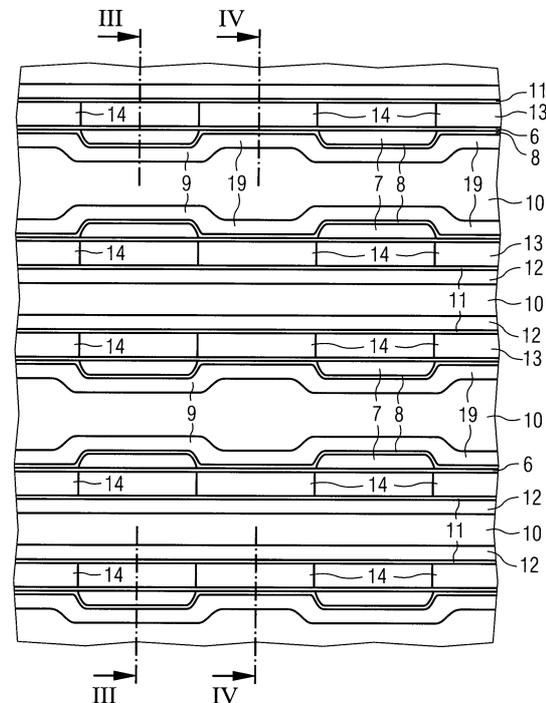
(74) Vertreter:  
**Epping Hermann Fischer,**  
**Patentanwalts-gesellschaft mbH, 80339 München**

(72) Erfinder:  
**Hofmann, Franz, Dr., 80995 München, DE; Specht,**  
**Michael, Dr., 80799 München, DE**

(56) Für die Beurteilung der Patentfähigkeit in Betracht  
 gezogene Druckschriften:  
**US 60 43 122 A**  
**US 56 33 519 A**  
**US 53 15 142 A**  
**US 61 98 125 B1**

(54) Bezeichnung: **Flash-Speicherzelle, Anordnung von Flash-Speicherzellen und Verfahren zur Herstellung von Flash-Speicherzellen**

(57) Hauptanspruch: Flash-Speicherzelle mit einem an einer Oberseite eines Halbleiterkörpers oder einer Halbleiterschicht (3) ausgebildeten Graben (5), einer in dem Graben (5) angeordneten, allseits begrenzten Floating-Gate-Elektrode (7), die von dem Halbleitermaterial einer Seitenwand des Grabens durch eine erste Dielektrikumschicht (6) getrennt ist, einer in dem Graben angeordneten Control-Gate-Elektrode (9), die von der Floating-Gate-Elektrode (7) durch eine zweite Dielektrikumschicht (8) getrennt und mit einer elektrischen Zuleitung versehen ist, und dotierten Bereichen (14) für Source und Drain in dem Halbleitermaterial der Seitenwand, die mit einer jeweiligen Bitleitung (18) elektrisch leitend verbunden sind, dadurch gekennzeichnet, dass die dotierten Bereiche (14) in einer Längsrichtung des Grabens in einem Abstand zueinander beidseits der Floating-Gate-Elektrode (7) angeordnet und mit Kontaktierungen versehen sind, ein zu dem Graben (5) parallel angeordneter weiterer Graben (15) vorhanden ist, der in geringem Abstand zu der mit der Floating-Gate-Elektrode (7) versehenen Seitenwand angeordnet ist, so dass zwischen...



### Beschreibung

**[0001]** Flash-Speicherzelle, Anordnung von Flash-Speicherzellen und Verfahren zur Herstellung von Flash-Speicherzellen

**[0002]** Die vorliegende Erfindung betrifft eine Flash-Speicherzelle und eine Matrixanordnung derartiger Speicherzellen als Halbleiterspeicher sowie ein zugehöriges Herstellungsverfahren.

### Stand der Technik

**[0003]** Eine Flash-Speicherzelle besitzt eine Transistorstruktur, bei der eine Floating-Gate-Elektrode und eine Control-Gate-Elektrode vorhanden sind, die von dem Halbleitermaterial und voneinander jeweils durch dünne Schichten eines Dielektrikums getrennt sind. Bei Anlegen einer geeigneten Spannung an die Control-Gate-Elektrode tunneln Ladungsträger aus dem Kanalbereich des Transistors durch das dünne Dielektrikum auf die Floating-Gate-Elektrode, wodurch die Speicherzelle programmiert wird. Da sich durch die Ladungsträger auf der Floating-Gate-Elektrode die Einsatzspannung des Transistors ändert, kann der programmierte Zustand von dem ursprünglichen Zustand unterschieden werden, d. h. die Zelle kann ausgelesen werden. Bei dem Vorgang des Löschens wird durch entgegengesetzt angelegte Potentiale die Ladung von der Floating-Gate-Elektrode entfernt, so dass der ursprüngliche (ungeladene) Zustand des Speichertransistors zumindest näherungsweise wieder erreicht wird. Bei den bisherigen Flash-Speicherzellen gibt es Probleme mit der Verkleinerung der Transistoren, da die Dicke des Tunneloxids zwischen dem Halbleitermaterial und der Floating-Gate-Elektrode aus Gründen einer ausreichenden Datenhaltung nicht unter 8 nm reduziert werden kann. Eine maßstabgetreue Verkleinerung dieses Transistors bei gleich bleibender Dicke des Gate-Oxids ist nicht möglich.

**[0004]** In der US 5,315,142 ist eine EEPROM-Zelle beschrieben, bei der in einem in Halbleitermaterial ausgebildeten Graben eine mit einem Mittelsteg strukturierte Floating-Gate-Elektrode angeordnet ist, wobei die Source-/Drain-Bereiche an den Grabenwänden seitlich angrenzen und der Kanalbereich am Boden des Grabens vorgesehen ist. Eine Control-Gate-Elektrode ist über der Floating-Gate-Elektrode angeordnet und überdeckt den Mittelsteg. Mit dieser Ausgestaltung der Floating-Gate-Elektrode und der Control-Gate-Elektrode soll eine bessere kapazitive Kopplung dieser Elektroden erreicht werden.

**[0005]** In der US 6,198,125 B1 ist ein Verfahren zur Herstellung nichtflüchtiger Speicherzellen beschrieben, bei dem parallel im Abstand zueinander angeordnete Gräben hergestellt und deren Flanken jeweils mit einer vertikalen Floating-Gate-Elektrode

und einer vertikalen Control-Gate-Elektrode versehen werden. Bei vorgesehenen Auswahltransistoren werden die Floating-Gate-Elektroden weggelassen. Source-/Drain-Bereiche werden abwechselnd an der Oberseite zwischen den Gräben und am Boden der Gräben ausgebildet. In jeder Grabenwand wird ein gesonderter Kanalbereich vorgesehen.

**[0006]** Anordnungen mit Floating-Gate-Elektroden und Control-Gate-Elektroden an aufeinander folgenden Grabenwänden beziehungsweise an beiden Flanken von Halbleiterstegen sind auch in der US 5,633,519 und der US 6,043,122 beschrieben.

### Aufgabenstellung

**[0007]** Aufgabe der vorliegenden Erfindung ist es, eine Flash-Speicherzelle und eine Anordnung von Flash-Speicherzellen anzugeben, die trotz kleinerer Abmessungen eine Performance aufweisen, die herkömmlichen Flash-Speicherzellen bzw. Anordnungen von Flash-Speicherzellen vergleichbar ist. Außerdem soll ein zugehöriges Herstellungsverfahren angegeben werden.

**[0008]** Diese Aufgabe wird mit der Flash-Speicherzelle mit den Merkmalen des Anspruchs 1, mit der Anordnung von Flash-Speicherzellen mit den Merkmalen des Anspruchs 2 bzw. mit dem Verfahren zur Herstellung von Flash-Speicherzellen mit den Merkmalen des Anspruchs 4 gelöst. Ausgestaltungen ergeben sich aus den abhängigen Ansprüchen.

**[0009]** Die Flash-Speicherzelle weist einen Double-Gate-Transistor mit einem sehr dünnen Halbleitersteg auf, auf dessen einer Seite eine Floating-Gate-Elektrode sowie eine Control-Gate-Elektrode und auf der anderen Seite eine weitere Gate-Elektrode angeordnet sind. Bei dieser Anordnung wird die Transistoreigenschaft durch beide Gates bestimmt. Der zwischen den Elektroden vorhandene Halbleitersteg ist völlig an Ladungsträgern verarmt. Wenn die Gates getrennt angesteuert werden, wird das Kanalpotential von beiden Seiten des Halbleiterstegs unterschiedlich beeinflusst. Auf der einen Seite des Halbleiterstegs hat man eine Struktur eines gewöhnlichen Feldeffekttransistors, auf der anderen Seite einen Floating-Gate-Transistor, der über ein Control-Gate angesteuert wird. Die gewöhnliche Transistorstruktur ist für das Auslesen der Speicherzelle vorgesehen; seine Einsatzspannung kann über das elektrische Potential auf dem Gate des Floating-Gate-Transistors gesteuert werden.

### Ausführungsbeispiel

**[0010]** Es folgt eine genauere Beschreibung von Beispielen einer Flash-Speicherzelle und eines Herstellungsverfahrens anhand der beigefügten Figuren.

**[0011]** Die [Fig. 1](#) bis [Fig. 4](#) zeigen Querschnitte durch Zwischenprodukte von Flash-Speicherzellen nach verschiedenen Schritten eines bevorzugten Herstellungsverfahrens.

**[0012]** Die [Fig. 5](#) zeigt die Anordnung von Flash-Speicherzellen in Aufsicht.

**[0013]** Die [Fig. 6](#) zeigt ein Schaltungsdiagramm sowie eine Tabelle typischer elektrischer Potentiale zum Betrieb der Schaltung.

**[0014]** Es folgt die Beschreibung eines bevorzugten Ausführungsbeispiels der Flash-Speicherzelle anhand eines bevorzugten Herstellungsverfahrens. Die [Fig. 1](#) zeigt einen Querschnitt durch ein Zwischenprodukt nach den ersten Schritten des Verfahrens. Vorzugsweise wird von einem SOI-Substrat ausgegangen, das eine Bulk-Siliziumschicht **1**, eine dünne Isolationsschicht **2** aus Siliziumdioxid und eine dünne Body-Siliziumschicht **3** umfasst. Vorzugsweise wird hier zunächst auf die Body-Siliziumschicht **3** eine Hilfsschicht **4** aufgebracht, die z. B. Siliziumnitrid sein kann. Diese Hilfsschicht **4** wird mit einer geeigneten Maskentechnik, z. B. einer Fotomaske oder einer Lackmaske so strukturiert, dass die verbleibenden Anteile als Maske zum Ätzen von parallel zueinander ausgerichteten Gräben **5** verwendet werden können. Die Gräben **5** werden so tief hergestellt, dass die Body-Siliziumschicht **3** von jedem Graben vollständig durchtrennt wird. Die Gräben werden vorzugsweise wie in der [Fig. 1](#) gezeigt bis in die Isolationsschicht **2** hinein hergestellt, damit man eine stärkere Kopplung zwischen der Floating-Gate-Elektrode und der Control-Gate-Elektrode erhält. Ein gegebenenfalls verwendeter Fotolack wird danach entfernt. Eine Mehrzahl parallel zueinander angeordneter Gräben **5** ist dafür vorgesehen, nicht nur eine Flash-Speicherzelle, sondern eine matrixartige Anordnung eines Speicherzellenfeldes herzustellen.

**[0015]** Anschließend wird die als Gate-Dielektrikum vorgesehene erste Dielektrikumschicht **6** hergestellt, vorzugsweise ein Oxid, insbesondere Siliziumdioxid, wozu das Halbleitermaterial oberflächlich in geringer Dicke oxidiert werden kann. Es ist hierbei nicht von Bedeutung, ob die erste Dielektrikumschicht **6** auch auf der Oberseite der Hilfsschicht **4** aufgebracht wird. Angrenzend an die erste Dielektrikumschicht **6** werden die Floating-Gate-Elektroden **7** hergestellt, indem zunächst das für die Floating-Gate-Elektroden **7** vorgesehene Material, vorzugsweise dotiertes Polysilizium, in die Gräben **5** abgeschieden wird. Das abgeschiedene Material wird in an sich bekannter Weise zu spacerartigen Anteilen an den Seitenwänden der Gräben **5** rückgeätzt. Mit einer weiteren Maske, die mit quer zu den Gräben verlaufenden Öffnungen versehen ist, werden Abschnitte zwischen Anteilen von der Größenordnung eines einzelnen Transistors weggeätzt, so dass die für die Floating-Gate-Elektro-

den vorgesehenen verbleibenden spacerartigen Anteile in der Längsrichtung der Gräben **5**, d. h. senkrecht zur Zeichenebene der [Fig. 1](#), abschnittsweise unterbrochen sind.

**[0016]** Die nächsten Verfahrensschritte führen zu der Anordnung gemäß der [Fig. 2](#). Zunächst wird eine zweite Dielektrikumschicht **8** aufgebracht und strukturiert, die als Dielektrikum zwischen der Floating-Gate-Elektrode und der Control-Gate-Elektrode vorgesehen ist und vorzugsweise als ONO-Schicht (Oxid-Nitrid-Oxid-Schicht) aus aufeinander folgend  $\text{SiO}_2$ ,  $\text{Si}_3\text{N}_4$  und  $\text{SiO}_2$  aufgebracht wird. Danach wird das Material der Control-Gate-Elektroden **9** abgeschieden, das vorzugsweise wieder dotiertes Polysilizium ist. Dieses Material wird ebenfalls rückgeätzt, allerdings nicht in der Längsrichtung der Gräben unterbrochen. Die Control-Gate-Elektroden der einzelnen Speicherzellen bleiben somit längs der Gräben untereinander elektrisch leitend verbunden, so dass jeweilige Wortleitungen des Speicherzellenfeldes gebildet sind.

**[0017]** Die Gräben werden dann mit einer Grabenfüllung **10** aus einem elektrisch isolierenden Material aufgefüllt, z. B. mit Siliziumdioxid. Bevor die Grabenfüllung eingebracht wird, kann das Polysilizium an den Enden der Gräben mit einer weiteren Maskentechnik zumindest teilweise entfernt werden, um die einzelnen Wortleitungen voneinander zu trennen. Die Grabenfüllung wird auf der Oberseite z. B. mittels CMP (Chemical Mechanical Polishing) planarisiert. Mit einem weiteren Ätzschritt wird die Hilfsschicht **4** so weit entfernt, dass nur an den Flanken der Grabenfüllung **10** jeweils ein restlicher Anteil der Hilfsschicht als Spacer stehen bleibt.

**[0018]** Gemäß dem in der [Fig. 3](#) dargestellten Querschnitt werden unter Verwendung der restlichen Anteile der Hilfsschicht **4** als Maske weitere Gräben **15** in die Body-Siliziumschicht **3** geätzt, die parallel zwischen den bereits vorhandenen und gefüllten Gräben **5** verlaufen. Die Tiefe der weiteren Gräben **15** reicht nur bis zur Oberseite der Isolationsschicht (**2**). An den Seitenwänden dieser weiteren Gräben **15** wird dann jeweils eine dritte Dielektrikumschicht **11**, z. B. aus Siliziumdioxid, hergestellt. Daran angrenzend werden Gate-Elektroden **12** hergestellt, vorzugsweise, indem wieder dotiertes Polysilizium abgeschieden und zu spacerartigen Anteilen strukturiert wird.

**[0019]** Die zwischen den Gräben verbliebenen Halbleiterstege **13** sind so bemessen, dass es möglich ist, die Ladungsträger in dem Halbleitermaterial der Halbleiterstege **13** von beiden Seiten durch elektrische Potentiale auf den Control-Gate-Elektroden **9** und den Gate-Elektroden **12** zu steuern. Das für die Gate-Elektroden **12** vorgesehene Material wird an den Enden der weiteren Gräben **15** weggeätzt, so dass auch hier die Gate-Elektroden **12**, die an jeweils

einer Seitenwand eines weiteren Grabens **15** aufeinander folgen, elektrisch leitend untereinander verbunden sind und voneinander getrennte weitere Wortleitungen bilden, die für das Lesen der Speicherzellen vorgesehen sind. Auch die weiteren Gräben werden mit einer Grabenfüllung **10** aufgefüllt, die anschließend planarisiert wird.

**[0020]** Die [Fig. 4](#) zeigt einen Querschnitt durch die Anordnung im Bereich zwischen den Floating-Gate-Elektroden, wo sich bei diesem Ausführungsbeispiel die zweite Dielektrikumschicht **8** direkt auf der ersten Dielektrikumschicht **6** befindet. Die Zwischenabschnitte **19** der die Control-Gate-Elektroden **9** miteinander verbindenden Wortleitungen sind nahe den Seitenwänden der Gräben angeordnet. In den Bereichen zwischen den Floating-Gate-Elektroden **7** werden die Anteile der Hilfsschicht entfernt, und durch die entstehenden Öffnungen hindurch werden Implantationen von Dotierstoff in die Halbleiterstege **13** eingebracht, um dotierte Bereiche **14** für Source und Drain auszubilden. Diese dotierten Bereiche **14** werden durch die Öffnungen hindurch kontaktiert, indem vorzugsweise zunächst eine Diffusionsbarriere **16** aus Titan und/oder Titanitrid aufgebracht wird und anschließend Kontaktlochfüllungen **17** z. B. aus Wolfram in an sich bekannter Weise eingebracht werden. Die jeweils auf einer Linie, die quer zu der Längsrichtung der Gräben verläuft, vorhandenen Source- und Drain-Bereiche werden mit einer streifenförmig strukturierten Bitleitung **18** auf der Oberseite elektrisch leitend miteinander verbunden.

**[0021]** Die [Fig. 5](#) zeigt die Anordnung der Flash-Speicherzellen in einer Speicherzellenmatrix in Aufsicht. In der [Fig. 5](#) sind die Schnittpositionen der Querschnitte der [Fig. 3](#) und [Fig. 4](#) angegeben. Die Bezugszeichen entsprechen den Bezugszeichen der vorhergehenden Figuren. Es ist hier erkennbar, dass die Floating-Gate-Elektroden **7** jeweils an den Wänden der zwischen zwei aufeinander folgenden dotierten Bereichen **14** liegenden Anteile der Halbleiterstege **13** über den dort vorgesehenen Kanalbereichen angeordnet sind. Die Control-Gate-Elektroden **9** sind durch die Zwischenabschnitte **19** elektrisch leitend zu Wortleitungen miteinander verbunden. Auf der jeweils der Floating-Gate-Elektrode **7** gegenüberliegenden Seite eines Halbleitersteges **13** ist eine zugehörige Gate-Elektrode **12** für beidseitige Ansteuerung des Kanalbereichs angeordnet. Die Bitleitungen, die in dieser Aufsicht nicht eingezeichnet sind, verlaufen auf der Oberseite in parallelen Streifen quer zu der Längsrichtung der Gräben, also in der [Fig. 5](#) jeweils in senkrechten Streifen.

**[0022]** In der [Fig. 6](#) ist das Schaltschema für diese Speicherzellenmatrix dargestellt. Jede Speicherzelle ist durch einen Transistor mit doppeltem Gate gebildet. Die Source- und Drain-Bereiche sind mit den in der [Fig. 6](#) senkrecht verlaufenden Bitleitungen spal-

tenweise miteinander verbunden. Statt einer Wortleitung sind hier zeilenweise jeweils zwei Ansteuerleitungen vorhanden, und zwar jeweils eine Leitung CG-Gate zur Ansteuerung der Control-Gate-Elektroden und jeweils eine Ansteuerleitung Tr-Gate zur Ansteuerung der den Floating-Gate-Elektroden gegenüberliegenden Gate-Elektroden der gewöhnlichen Transistorstrukturen.

**[0023]** Oberhalb des Schaltungsschemas der [Fig. 6](#) ist eine Tabelle mit geeigneten und typischen Spannungswerten für das Programmieren (Prog), das Löschen (Erase) und das Lesen (Read) der Speicherzellen angegeben. Die dort eingetragenen Spannungswerte liegen jeweils am Drain-Bereich, an der Control-Gate-Elektrode, an der Gate-Elektrode der gewöhnlichen Transistorstruktur beziehungsweise am Source-Bereich an. Die Speicherzellenmatrix stellt eine "Virtual-Ground"-Architektur dar. Die Aufteilung der Flash-Speicherzellen in einen Lesetransistor, für den die Gate-Elektroden **12** vorgesehen sind, und in einen Programmier-/Lösch-Transistor, für den die Control-Gate-Elektroden **9** vorgesehen sind, hat den Vorteil, dass der Lese-Transistor mit einem besonders dünnen Gate-Oxid (dritte Dielektrikumschicht **11**) realisiert werden kann. Der Lesestrom ist beim Auslesen der Speicherzellen über die Tr-Gate-Leitung wesentlich größer als der Lesestrom beim Auslesen herkömmlicher Flash-Speicherzellen, wodurch eine deutliche Verkleinerung der Speicherzellen ermöglicht wird.

#### Bezugszeichenliste

|           |  |
|-----------|--|
| <b>1</b>  | Bulk-Siliziumschicht                         |
| <b>2</b>  | Isolationsschicht                            |
| <b>3</b>  | Body-Siliziumschicht                         |
| <b>4</b>  | Hilfsschicht                                 |
| <b>5</b>  | Graben                                       |
| <b>6</b>  | erste Dielektrikumschicht                    |
| <b>7</b>  | Floating-Gate-Elektrode                      |
| <b>8</b>  | zweite Dielektrikumschicht                   |
| <b>9</b>  | Control-Gate-Elektrode                       |
| <b>10</b> | Grabenfüllung                                |
| <b>11</b> | dritte Dielektrikumschicht                   |
| <b>12</b> | Gate-Elektrode                               |
| <b>13</b> | Halbleitersteg                               |
| <b>14</b> | dotierter Bereich                            |
| <b>15</b> | weiterer Graben                              |
| <b>16</b> | Diffusionsbarriere                           |
| <b>17</b> | Kontaktlochfüllung                           |
| <b>18</b> | Bitleitung                                   |
| <b>19</b> | Zwischenabschnitt der Control-Gate-Elektrode |

#### Patentansprüche

1. Flash-Speicherzelle mit einem an einer Oberseite eines Halbleiterkörpers oder einer Halbleiterschicht (**3**) ausgebildeten Gra-

ben (5), einer in dem Graben (5) angeordneten, allseits begrenzten Floating-Gate-Elektrode (7), die von dem Halbleitermaterial einer Seitenwand des Grabens durch eine erste Dielektrikumschicht (6) getrennt ist, einer in dem Graben angeordneten Control-Gate-Elektrode (9), die von der Floating-Gate-Elektrode (7) durch eine zweite Dielektrikumschicht (8) getrennt und mit einer elektrischen Zuleitung versehen ist, und dotierten Bereichen (14) für Source und Drain in dem Halbleitermaterial der Seitenwand, die mit einer jeweiligen Bitleitung (18) elektrisch leitend verbunden sind,

**dadurch gekennzeichnet**, dass die dotierten Bereiche (14) in einer Längsrichtung des Grabens in einem Abstand zueinander beidseits der Floating-Gate-Elektrode (7) angeordnet und mit Kontaktierungen versehen sind, ein zu dem Graben (5) parallel angeordneter weiterer Graben (15) vorhanden ist, der in geringem Abstand zu der mit der Floating-Gate-Elektrode (7) versehenen Seitenwand angeordnet ist, so dass zwischen den Gräben (5, 15) ein Halbleitersteg (13) vorhanden ist, in dem weiteren Graben (15) auf einer der Floating-Gate-Elektrode (7) gegenüberliegenden Seitenwand des Halbleitersteges (13) eine von der Floating-Gate-Elektrode (7) und der Control-Gate-Elektrode (9) elektrisch isolierte Gate-Elektrode (12) angeordnet ist, die von dem Halbleitermaterial durch eine dritte Dielektrikumschicht (11) getrennt und mit einer weiteren elektrischen Zuleitung versehen ist, und der Halbleitersteg (13) so schmal bemessen ist, dass eine Steuerung eines zwischen den dotierten Bereichen (14) in dem Halbleitersteg (13) vorgesehenen Kanalbereiches von beiden Seiten des Halbleitersteges (13) durch elektrische Potenziale auf der Control-Gate-Elektrode (9) und der Gate-Elektrode (12) erfolgt.

2. Anordnung von Flash-Speicherzellen nach Anspruch 1, bei der die Flash-Speicherzellen eine Matrixanordnung eines Halbleiterspeichers in Virtual-Ground-Architektur bilden, die dotierten Bereiche (14) für Source bzw. Drain jeweils in einer Spalte der Matrixanordnung elektrisch leitend miteinander verbunden sind, die Control-Gate-Elektroden (9), die jeweils in einer Zeile der Matrixanordnung in demselben Graben (5) vorhanden sind, elektrisch leitend miteinander verbunden sind und die Gate-Elektroden (12), die den Floating-Gate-Elektroden (7) einer Zeile von elektrisch leitend miteinander verbundenen Control-Gate-Elektroden (9) gegenüberliegen, ebenfalls elektrisch leitend miteinander verbunden sind.

3. Anordnung nach Anspruch 2, bei der jeweils beide Seitenwände eines Grabens (5) mit Floating-Gate-Elektroden (7) und Control-Gate-Elektroden (9) versehen sind und zu beiden Seiten eines jeweiligen Grabens weitere Gräben (15) mit jeweiligen, den betreffenden Floating-Gate-Elektroden gegenüberliegend angeordneten Gate-Elektroden (12) vorhanden sind.

4. Verfahren zur Herstellung von Flash-Speicherzellen, bei dem an einer Oberseite eines Halbleiterkörpers oder einer Halbleiterschicht (3) im Abstand zueinander Gräben (5, 15) hergestellt werden, zumindest auf eine Seitenwand des einen Grabens (5), die dem anderen Graben (15) zugewandt ist, eine als Gate-Dielektrikum vorgesehene erste Dielektrikumschicht (6) aufgebracht wird und darauf eine Floating-Gate-Elektrode (7) aufgebracht und strukturiert wird, eine zweite Dielektrikumschicht (8) auf die Floating-Gate-Elektrode (7) aufgebracht wird und darauf eine Control-Gate-Elektrode (9) aufgebracht wird, an einer Seitenwand des anderen Grabens (15), die dem mit der Control-Gate-Elektrode (9) versehenen Graben (5) zugewandt ist, eine dritte Dielektrikumschicht (11) und eine Gate-Elektrode (12) angeordnet werden, die Gräben (5, 15) mit einer elektrisch isolierenden Grabenfüllung (10) aufgefüllt werden und eine Implantation von Dotierstoff zur Ausbildung dotierter Bereiche (14) für Source und Drain abschnittsweise in das Halbleitermaterial zwischen den Gräben vorgenommen wird, dadurch gekennzeichnet, dass die dritte Dielektrikumschicht (11) auf die Seitenwand des anderen Grabens (15) und darauf die Gate-Elektrode (12) aufgebracht werden, die Gräben (5, 15) in so geringem Abstand zueinander angeordnet werden, dass ein zwischen der Control-Gate-Elektrode (9) und der Gate-Elektrode (12) vorgesehener Kanalbereich durch elektrische Potenziale auf der Control-Gate-Elektrode (9) und der Gate-Elektrode (12) gesteuert werden kann, und die für Source und Drain vorgesehenen dotierten Bereiche (14) jeweils in dem zwischen den Gräben (5, 15) vorhandenen Halbleitermaterial ausgebildet werden.

5. Verfahren nach Anspruch 4, bei dem vor dem ersten Schritt auf die Oberseite des Halbleiterkörpers oder der Halbleiterschicht (3) eine Hilfsschicht (4) aufgebracht wird und diese Hilfsschicht (4) zur Herstellung des Grabens (5) und des weiteren Grabens (15) jeweils als Maske strukturiert und vor der Implantation von Dotierstoff zumindest teilweise entfernt wird.

6. Verfahren nach Anspruch 4 oder 5, bei dem von einem SOI-Substrat ausgegangen wird, das eine

Bulk-Siliziumschicht (1), eine dünne Isolationsschicht (2) aus Siliziumdioxid und eine dünne Body-Siliziumschicht (3) umfasst, und der Graben (5) bis in die Isolationsschicht (2) hinein hergestellt wird.

Es folgen 4 Blatt Zeichnungen

FIG 1

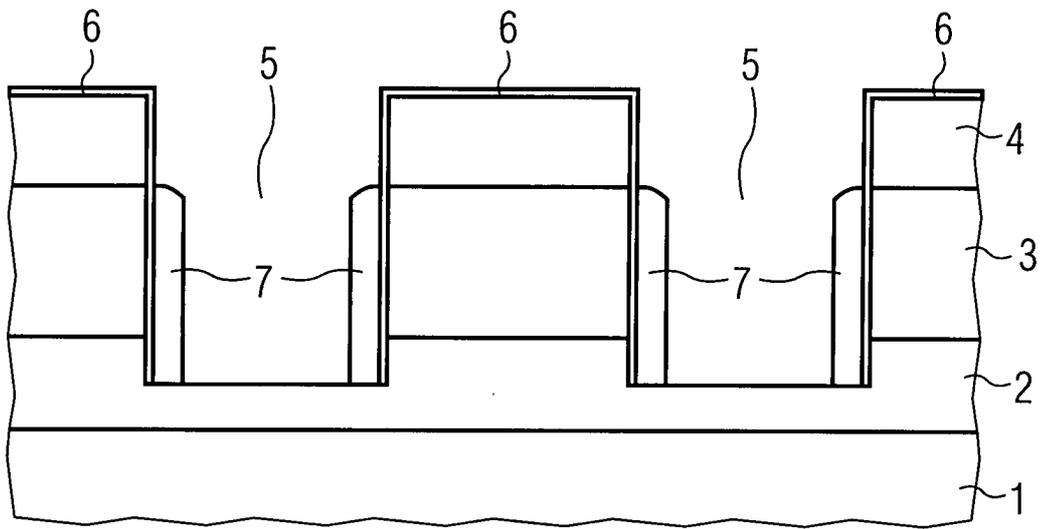


FIG 2

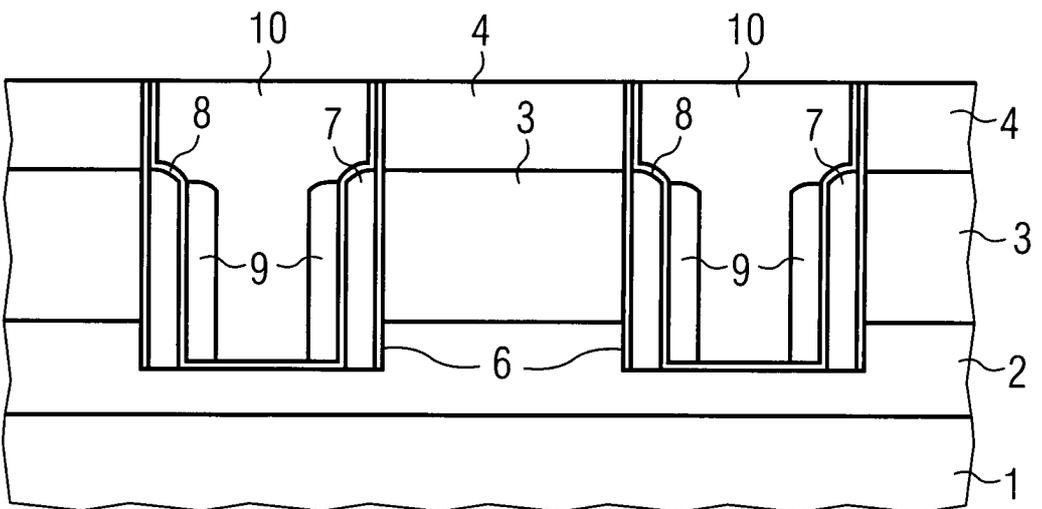


FIG 3

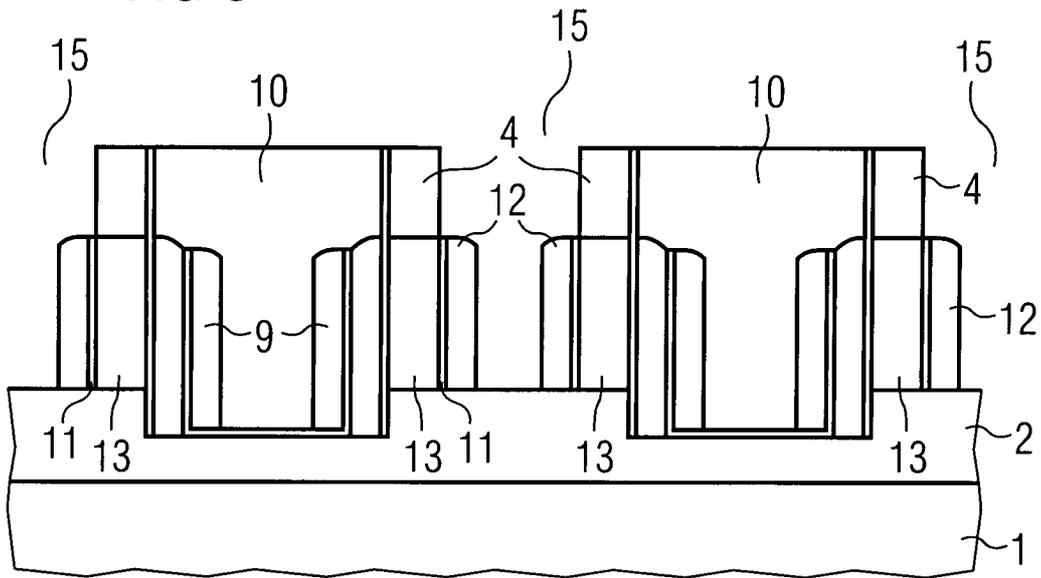


FIG 4

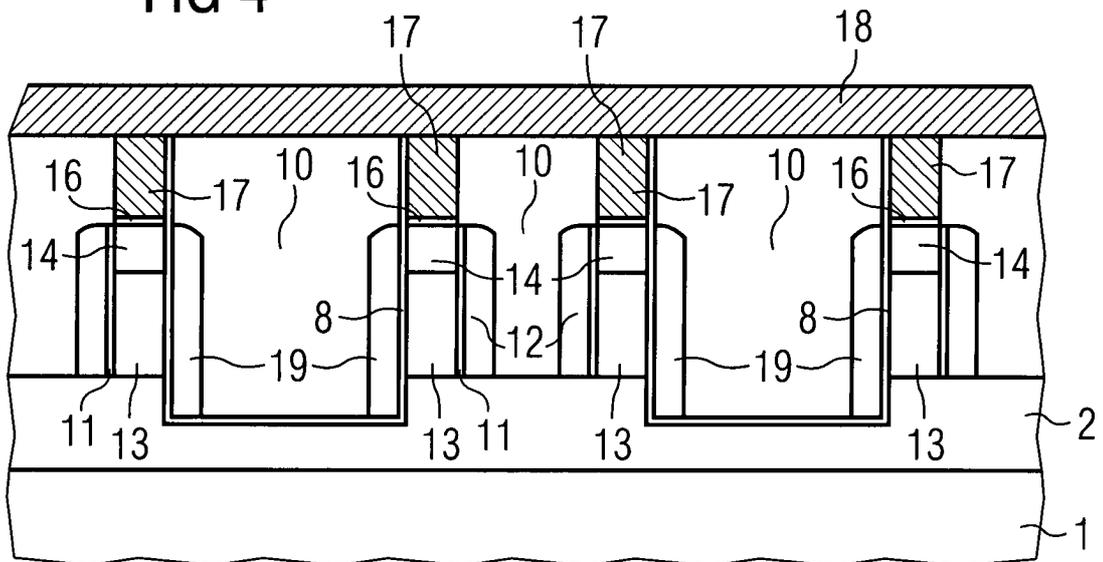


FIG 5

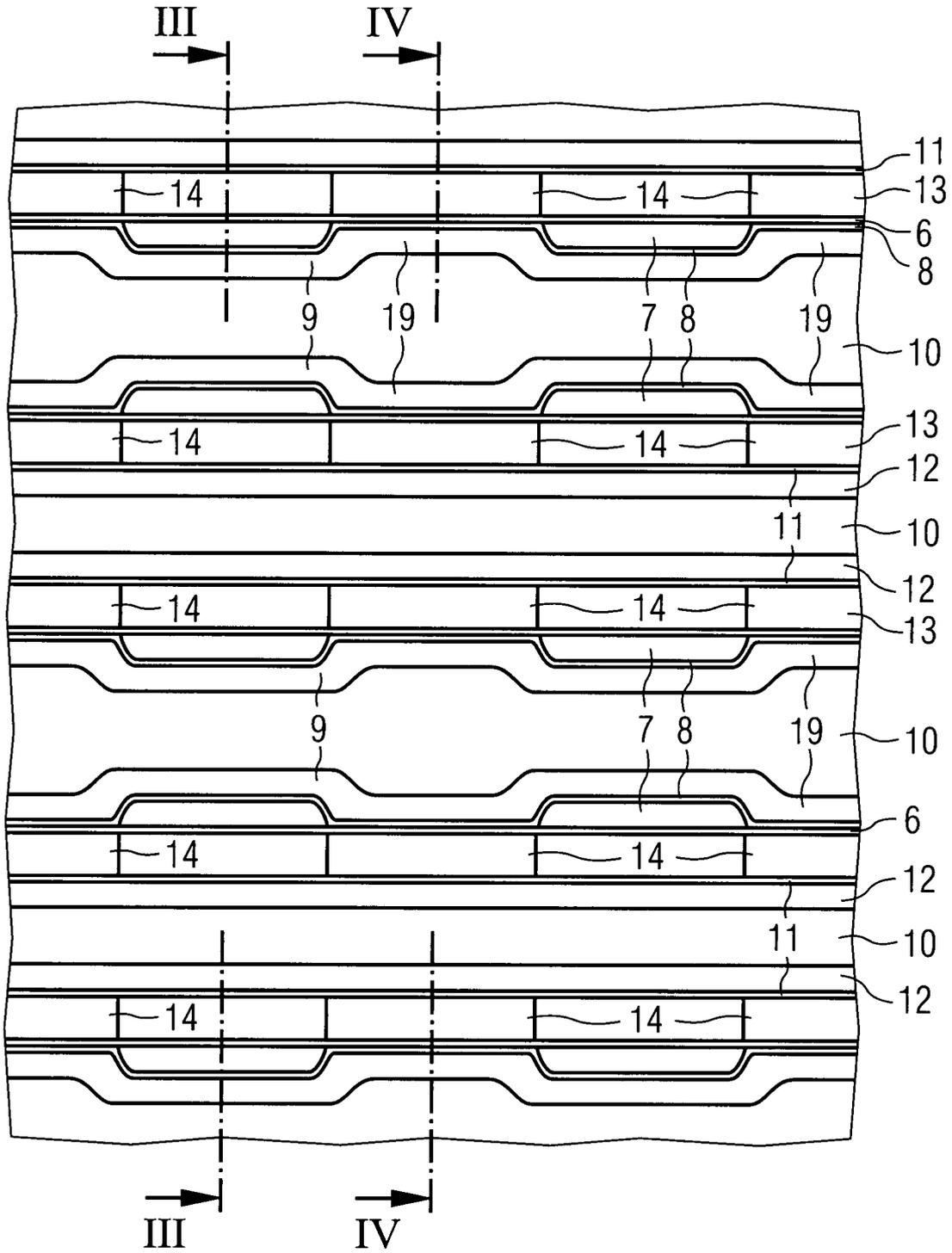


FIG 6

|       | Drain | CG-Gate | Tr-Gate | Source |
|-------|-------|---------|---------|--------|
| Prog  | 3 V   | 8 V     | 0       | 0      |
| Erase | 0     | -15 V   | 0       | 0 V    |
| Read  | 1 V   | 2.5 V   | 2 V     | 0      |

