

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.

H01L 21/768 (2006.01)



# [12] 发明专利说明书

专利号 ZL 200680008967.8

[45] 授权公告日 2009年12月2日

[11] 授权公告号 CN 100565833C

[22] 申请日 2006.3.20

[21] 申请号 200680008967.8

[30] 优先权

[32] 2005.3.22 [33] EP [31] 05300202.8

[86] 国际申请 PCT/IB2006/050846 2006.3.20

[87] 国际公布 WO2006/100632 英 2006.9.28

[85] 进入国家阶段日期 2007.9.20

[73] 专利权人 NXP 股份有限公司

地址 荷兰艾恩德霍芬

[72] 发明人 威廉·费雷德里克·艾德里安勒斯·  
贝斯令

[56] 参考文献

CN1502123A 2004.6.2

US6063714A 2000.5.16

US5103288A 1992.4.7

US6008540A 1999.12.28

US5895263A 1999.4.20

审查员 潘 军

[74] 专利代理机构 中科专利商标代理有限责任公  
司

代理人 朱进桂

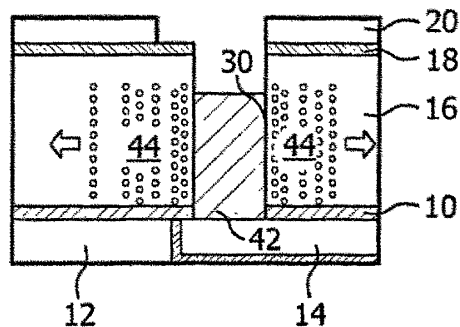
权利要求书 1 页 说明书 8 页 附图 6 页

[54] 发明名称

用于低 K 电介质的侧壁孔密封

[57] 摘要

一种用于在集成电路管芯上形成导电互连的双镶嵌工艺。该工艺包括：提供多孔超低 k (ULK) 电介质材料层 (16)，其中随后形成通孔开口 (30)。在开口 (30) 的侧壁上涂敷可热降解聚合物 (“生孔剂”) 材料 (42)，以使生孔剂材料深深地渗入到多孔 ULK 电介质材料 (由此密封孔和增加其密度)。一旦导电材料 (36) 已经配置开口 (30) 并且通过化学机械抛光 (CMP) 背抛光后，完成的结构经受固化步骤以使 ULK 电介质层 (16) 的生孔剂材料 (44) 分解并蒸发，由此恢复电介质层 (16) 的多孔性 (和低 k 值)。



1. 一种在集成电路管芯上形成导电互连结构的方法，该方法包括：
  - 提供多孔低 k 电介质材料层 (16)，
  - 除去所述电介质材料的选定部分以形成各个开口 (30)，
  - 在所述电介质材料上涂敷生孔剂材料 (42) 以使所述生孔剂材料 (42) 渗入到所述电介质材料中，其中所述生孔剂材料 (42) 被涂敷到所述开口 (30) 的侧壁上；
  - 在所述开口 (30) 中提供导电材料 (36) 以形成所述互连，并且随后
  - 进行固化步骤以从所述电介质材料 (16) 除去所述生孔剂材料 (44) 从而恢复所述电介质材料 (16) 的多孔性。
2. 如权利要求 1 的方法，其中所述生孔剂材料 (42) 包括可热降解的聚合物材料。
3. 如权利要求 1 的方法，包括双镶嵌工艺，其中开口 (30) 是通孔开口，并且对于沟槽蚀刻工艺，以抗蚀剂层的形式提供生孔剂材料 (42)。
4. 如权利要求 1 的方法，包括双镶嵌工艺，其中开口 (30) 是通孔开口，并且在通孔开口 (30) 的侧壁上提供生孔剂材料，对于沟槽蚀刻工艺，随后在开口中提供抗蚀剂层 (32)。
5. 如权利要求 1 的方法，其中，在将生孔剂材料 (42) 涂敷到开口 (30) 的侧壁上之后，在所述开口 (30) 中提供导电材料 (36) 之前，将阻挡材料层提供到所述侧壁上。
6. 如权利要求 5 的方法，其中通过原子层沉积工艺提供所述阻挡材料层 (35)。
7. 如权利要求 1 的方法，其中所述导电材料 (36) 是铜。

## 用于低 K 电介质的侧壁孔密封

### 技术领域

本发明一般地涉及用于超低 k 电介质的侧壁孔密封，以防止在多孔低 k 电介质材料中形成互连结构劣化。

### 背景技术

在单片集成电路（IC）技术的持续发展中的一个长期公认的目标是 IC 尺寸的按比例缩小。IC 尺寸的按比例缩小减小了区域电容，并且对于得到更高速性能的集成电路是极为关键的。并且，减小 IC 管芯的面积能够实现 IC 制造中的更高产量。这种优势是 IC 尺寸持续按比例缩小的驱动力。然而，随着 IC 尺寸的按比例缩小，互连结构之间的距离减小，因此有必要使其中形成有互连结构的绝缘层的介电常数最小化，以最大化集成电路的性能并且最小化在互连结构之间的功率消耗和串扰（cross-talk）。因为这个原因，现在通常在互连叠层中多孔的集成超低 k(ULK)材料。

在互连叠层中集成多孔 ULK 材料的一个主要考虑因素是在制造过程中多孔性的作用以及多孔性对可靠性能的影响。众所周知，在电介质材料中形成孔以减小介电常数，在随后的工艺如阻挡层或金属沉积、化学机械抛光（CMP）、热循环和封装期间会出现该结构的机械和电集成的问题。在加工期间应该尽量避免材料的穿透。为了减轻这些孔的负面影响，需要找到方法密封金属低 k 界面中的孔。多孔低 k 金属界面的改变通常被称为“孔密封”。需要孔密封以避免：

- 前体从化学气相沉积(CVD)或原子层沉积(ALD)的阻挡层扩散到 ULK，会降低介质击穿并增加漏电流，
- 蚀刻后，周围环境中吸收的湿气被吸收到 ULK 中，
- 用于剥离蚀刻残留物和通过底部清洗铜 Cu 的清洗液的渗入，

-在热应力期间，由于在多孔 ULK 侧壁上不连续的阻挡层沉积，Cu 很容易渗入到 ULK 中。

文献上已经提出了许多方法来避免化学试剂扩散到多孔电介质中。这些方法可以分成以下三种主要类型：

首先，可以使用非常薄的衬垫阻挡孔。可以通过等离子体增强化学气相沉积 (PECVD) 例如 PECVD SiC，旋转涂敷例如苯并环丁烯 (BCB) 聚合物，或者通过 CVD 例如聚对二甲苯 (p xylilene) 而形成这些衬垫。已经示出需要至少 10nm 厚的 PECVD SiC 衬垫以密封孔，由此对有效介电常数 (有效 k) 和 / 或 Cu 电阻有负面效应。如果需要足够厚的衬垫来密封孔，中间金属电介质的相对大的部分具有大的 k 值，该 k 值对总的 k 值会有负面影响。这些聚合物膜部分渗入到孔中，形成均匀的膜。其缺点在于要么需要选择性，要么需要等离子体蚀刻打开通孔的底部，而等离子体蚀刻会破坏 / 或者完全除去沉积的薄膜。通常，优化蚀刻和剥离配方以完全除去聚合物残留物以提高通孔电阻、产量和互连可靠性。因此在通孔平面控制一定量的聚合物很难实现。并且，额外的集成步骤会使整个集成非常昂贵。

在文献中，已经广泛地提出等离子体表面处理以改性和重构界面，并且由此进行孔密封。等离子体基于采用  $N_2$ 、 $H_2$  和  $O_2$  气和其混合物的间接反应等离子体，或者基于反应离子蚀刻。通过使用蚀刻副产品已经完成了孔密封。其他的方案使用气体簇离子束 (GCIB) 以致密化和封闭侧壁表面。GCIB 是高能气体分子的簇碰撞表面、分裂，并且沿横向转移其动量的技术。表面改性基于按照蚀刻剂的扩散不再产生的方式使侧壁上的多孔材料的致密化。需要某些惰性和化学反应性以完成这个重构。总是存在着不能保持蚀刻到易碎电介质中蚀刻的线尺寸的危险。特别是对于具有大孔隙率和大孔隙直径的材料，需要重构/再次沉积的材料量不够封闭表面。并且，在使用等离子体时，ULK 的介电常被改变的急迫的危险是急迫的。

总之，衬垫和表面改性技术都依赖于材料的沉积和 / 或再沉积，由此可能改性低 k 材料的介电常数。

防止扩散的第三种相对较新的方法是在阻挡层和 Cu 金属沉积后产

生多孔结构。在旋转涂敷电介质时，通常在低 k 电介质沉积后在固化步骤中，才会直接产生孔。为了这样做，在固化步骤期间，称为“生孔剂”的可降解分子或聚合物加入到低 k 旋涂配方中并且分解 / 蒸发，由此留下多孔结构。例如在美国专利 NO.6,528,409 中所述，这种方法的一个很明显的优点是在剥离期间通孔清洗液不能渗入到多孔低 k 材料中，在阻挡层沉积期间 ALD 前体不能扩散到电介质材料中。其缺点是 ULK 膜不会完全固化，而附加的收缩会导致集成期间的机械应力。另一显著的缺点是所谓的固体第一方法不能用于 PECVD SiOC 沉积的低 k 材料。现在，与旋转涂敷方法相反，PECVD 是优选的沉积技术。因此，需要用于利用 PECVD 沉积的 ULK 电介质的孔密封方法以避免与衬垫和表面处理相关的问题，并利用固体第一方法的优势。

## 发明内容

因此本发明的目的是提供用于密封层间电介质 (ILD) 多孔侧壁以避免反应剂 / 溶剂向多孔超低 k 电介质中的扩散，由此不需要随后的固化步骤来产生多孔 ILD。

因此，根据本发明，提供一种在集成电路管芯上形成导电互连结构方法，该方法包括提供多孔低 k 电介质材料层，除去所述电介质材料的选定部分以形成各个开口，在电介质材料上涂敷生孔剂材料以使所述生孔剂材料渗入到所述电介质材料中，在所述开口中提供导电材料以形成所述互连，并且随后进行固化步骤以从所述电介质材料除去所述生孔剂材料以恢复其多孔性。

在一个实施例中，在形成开口之前，即，在覆盖方式的多孔 ULK 材料沉积之后，在电介质材料上涂敷生孔剂材料。如果孔尺寸足够大并且渗入深度等于叠层高度，这就是相对简单的方法以涂敷生孔剂。这种方法的一个潜在缺点是对于特定 ULK 材料，会存在孔隙率梯度，由此沉积的薄膜在顶上相对致密，随着深度的增加变得更加多孔。在这种情况下，优选在形成开口后把生孔剂涂敷到电介质材料上，优选涂敷到其侧壁上。

因此，通过如上所述的本发明的工艺，通过利用可热降解聚合物材

料(“生孔剂”)“填充”多孔结构,然后在完全集成工艺完成后,在随后的固化步骤中使可热降解聚合物分解并蒸发,由此剩下多孔(SiOC)基质(matrix)的结构,防止了化学反应剂/溶液扩散到多孔超低k电介质材料中。在第一实施例中,可以在完成集成工艺后进行通过固化步骤除去生孔剂材料,在这种情况下,所有残留的电介质材料(例如SiC电介质阻挡层)需要具有一定的孔隙率以能够除去所有的生孔剂,并且已经示出了利用可能需要覆盖金属衬垫的SiC基电介质阻挡层这是可能的。互连结构的进一步发展可想到自对准阻挡层CoWP等,其会消除上述的烘烤问题。在替代实施例中,可以在每次铜CMP步骤后,通过进行固化或烘烤步骤除去生孔剂。

在一个典型实施例中,在双镶嵌工艺中,开口是通孔开口,并且对于沟槽蚀刻工艺以抗蚀剂层的形式提供生孔剂材料。在替代典型实施例中,对于沟槽蚀刻工艺,在通孔开口的侧壁上提供生孔剂材料,并且在其中提供抗蚀剂层。在优选典型实施例中,在涂敷生孔剂材料到开口侧壁上后,在所述开口中提供导电材料之前,将阻挡材料层涂敷在所述侧壁上。优选通过原子沉积工艺提供阻挡材料。导电材料优选为铜。

本发明扩展到通过上述方法形成的导电互连,并且扩展到其上包括多个所述导电互连的集成电路管芯。

通过参考这里所述的实施例的说明,本发明的这些和其它方面会更清楚。

## 附图说明

现在将仅通过示例并且参考附图说明本发明的实施例,其中:

图1a至1h示意性地说明了根据现有技术的互连制造工艺;

图2a至2i示意性地说明了根据本发明典型实施例的互连制造工艺。

## 具体实施方式

对于本领域技术人员,称为“双镶嵌”的制造工艺通常用于产生先进、高性能集成电路所需的多层、高密度的金属互连,在上述超低k电介质减小线之间的寄生电容的同时,相对于铝,使用铜作为互连金属减小了

互连线之间的电阻（并且增加了它们的可靠性）。因为铜不会形成挥发性的副产品，因此相对较难蚀刻，因此使用传统的用于形成铝金属线的减去蚀刻方法不能实现铜金属化方案。上述双镶嵌技术通过蚀刻柱状孔（或通孔）和沟槽到层间电介质（ILD）中，然后利用铜填充两种结构，克服了这种问题，随后抛光（使用 CMP）回到 ILD 表面。由此得到了垂直铜通孔互连，和镶嵌的铜金属线。可以在双镶嵌工艺中先蚀刻沟槽或通孔。

参考图 1a 至 1h，在已知的部分沟槽第一集成方法中，在第一 ILD12 和第一互连层的金属互连 14 上提供蚀刻停止层 10、典型为氮化硅(SiN)或碳化硅(SiC)层，在其上提供包括多孔超低 k 电介质的第二 ILD16 层。在第二 ILD16 层上提供绝缘层 18（典型为 SiO<sub>2</sub>）和硬掩模层 20（典型为 TiN）。在 ILD16 顶部上的硬掩模层 20 主要为了构图的原因而提供：利用 TiN 硬掩模，线宽被限定，由于 TiN 硬掩模对 ULK 好的选择性，可以得到直的蚀刻轮廓。另外，在随后的铜抛光期间，硬掩模 20 的表面用作 CMP 停止层。

然后，在被剥离以在硬掩模 20 中形成开口之前，在硬掩模层 20 沉积光致抗蚀剂层 22 并光刻构图。在残留的硬掩模 20 上和开口 24 中提供有机底部抗反射涂层（BARC）26，如所示，在被剥离之前，沉积第二光致抗蚀剂层 28 并且光刻构图。然后进行蚀刻工艺以形成穿过蚀刻停滞层 10 延伸到金属互连 14 的通孔 30。利用树脂材料 32 填充通孔 30，并进行蚀刻工艺以产生沟槽 34。然后，在沟槽的侧壁和底部上，并且通过通孔开口，在残留的掩模 20 上沉积阻挡层 35，在整个结构上提供铜材料层 36，然后经过 CMP 产生如图 1h 所述的互连结构。

因此，如上面解释的那样，在通孔中形成树脂材料以用作随后沟槽蚀刻的蚀刻停止层。该树脂在沟槽蚀刻期间被消耗并保护通孔底部。这种方法的问题在于树脂会部分地渗入到超低 k 电介质层 16 的孔中，并且留下不能被除去的聚合物。

因此，根据本发明的典型实施例，在树脂被沉积之前，优选涂敷可热降解“生孔剂”材料，或者在替代典型实施例中，可热降解聚合物可以实际上替代上述工艺中的树脂。

因此，参考附图 2a 至 2i，在根据本发明示例实施例的工艺中，在第一 ILD 12 和第一互连层的金属互连 14 上提供蚀刻停止层 10，通常由氮化硅 (SiN) 或碳化硅 (SiC) 形成，在其上提供第二 ILD 16，其包括多孔超低 k 电介质层。在第二 ILD 16 上提供绝缘层 18 (典型为 SiO<sub>2</sub>) 和硬掩模层 20 (典型为 TiN)。需要在 ILD 16 顶部上的硬掩模层 20 以保护 ILD 不受光致抗蚀剂剥离工艺的影响。这是因为形成 ILD 16 的低 k 材料易于受到剥离光致抗蚀剂的相同的化学试剂的影响。另外，在随后的铜抛光期间表面硬掩模 20 用作 CMP 停止层。

然后，在硬掩模层 20 上沉积光致抗蚀剂层 22，并光刻构图，在被剥离以前在硬掩模层 20 中形成开口 24。在残留的硬掩模 20 和开口 24 中提供有机底部抗反射涂层 (BARC) 26，并且沉积第二光致抗蚀剂层 28 和进行光刻构图，在被剥离之前如图所示。然后进行蚀刻工艺以产生穿过蚀刻停止层 10 延伸到金属互连 14 的通孔 30。利用可热降解的“生孔剂”材料 (即易于产生孔的材料) 42 填充通孔 30，例如，基于 PMAA (聚甲基丙烯酸甲酯) 或 DMAEMA (二甲氨基甲基丙烯酸甲酯) 的共聚物材料。这种生孔剂材料 42 通过通孔侧壁深度渗入到 ULK ILD 体中。这具有填充或“密封”ULK ILD 体的孔的作用，并且因此显著增加了临近通孔侧壁的 ULK ILD 材料的密度的作用，如附图标记 44 所表示。在另一实施例中，首先生孔剂材料可以涂敷到通孔 30 的侧壁上，以使其能够穿过通孔侧壁深深地渗入到 ULK ILD 体中，在其之后在通孔 30 中提供树脂抗蚀剂。其优点是在通孔蚀刻工艺之后涂敷生孔剂，可以确保 ULK ILD 暴露到空气的时间并且最小化吸收的湿气。然而，在覆盖方式的多孔 ULK 沉积之后，可以涂敷可热降解生孔剂材料。如果孔尺寸足够大，而渗入深度等于叠层高度，这是涂敷生孔剂的相对直接的方法。在这种情况下，潜在的缺点是对于某些 ULK 材料，会存在孔隙率的梯度：这种膜在顶部相对较致密，随着深度的增加变得更加多孔。在这种情况下，最好在通孔或线蚀刻之后涂敷生孔剂。

在任一情况下，进行蚀刻工艺以产生沟槽 34，在沟槽和通孔开口的侧壁和底部上，以及在残留的硬掩模层 20 上沉积阻挡层 35。对于 100nm 工艺，利用传统的物理气相沉积技术，在 0.10 $\mu$ m 宽的通孔中均



匀阻挡沉积很困难。这样做的目的是为了为了避免由于非保形的 PVD 阻挡沉积而在通孔顶部形成的特征突出物 (characteristic overhang)。由于阻挡层的非保形覆盖可能产生的问题是：在铜电镀期间会形成孔洞，并且侧壁上有限的阻挡层厚度，从而使铜能迅速扩散到电介质材料中。进一步的按比例缩小甚至会导致侧壁上的薄膜不连续，在电介质内部很容易产生铜渗入路径以及铜扩散到有源区域中。因此，对于完成铜填充通孔，需要保形、连续和薄的阻挡层。可以使用 ALD 以用于沉积非常保形的阻挡层。ALD 技术显示出在高纵横比的沟槽和通孔中优异的台阶覆盖。因此，制备薄和保形的扩散阻挡层或成核层的方法是 ALD。然而，当 ALD 技术与多孔低 k 材料集成时，出现了其它的问题。主要涉及到在 ALD 沉积期间反应剂扩散到低 k 电介质中的问题。然而，如果发生扩散，ALD 工艺能够覆盖整个内表面。因此，通过使用更致密的材料（如在生孔剂渗入到 ULK ILD 体中之后提供的那样）以沉积在多孔电介质上，可以防止 ALD 反应剂扩散到电介质中。因此，在不在电介质内渗入任何材料的情况下，沉积可以仅仅发生在蚀刻后的侧壁上。仅有的限制是阻挡层沉积温度应当低于热降解聚合物的分解温度。使用 ALD 技术的优势在于可以使用高反应性的化学药品（与 CVD 相反），从而实现低沉积温度。300°C 的沉积温度是可行的，这低于大部分通常使用的生孔剂的分解温度。

然后，在整个结构上提供铜材料层 36，然后进行 CMP。最后，在每个铜层 CMP 步骤后或在上述的整个集成工艺之后，该结构经过固化步骤，其会导致可热分解聚合生孔剂材料分解并蒸发（即导致生孔剂被除去），剩下多孔 SiOC 基质（即有效的多孔低 k 材料），并产生如图 2i 中所示的互连结构。

应当注意上述实施例不是为了限制本发明，本领域技术人员能够在不脱离所附权利要求限定的本发明范围的情况下，设计许多其它的实施例。在权利要求中，括号内的附图标记不应该解释为限制权利要求。术语“包括”和“包含”等，除了那些在权利要求和说明书中列出的元件或步骤，并不排除其它步骤的存在。单数提及的元件并不排除多个这样的元件，反之亦然。本发明也可以通过包含几个明显元件的硬件，或通过适

---

当编程的计算机实施。在列举几种装置的装置权利要中，这些装置的其中几个可以通过一个或相同的硬件实现。唯一的事实是：在相互不同的从属权利要求中描述的某些装置并不意味着不能使用这些措施的组合。

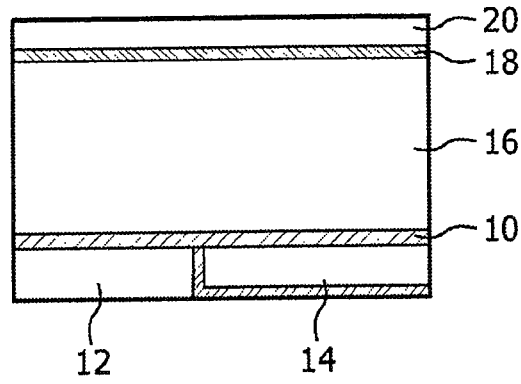


图 1a

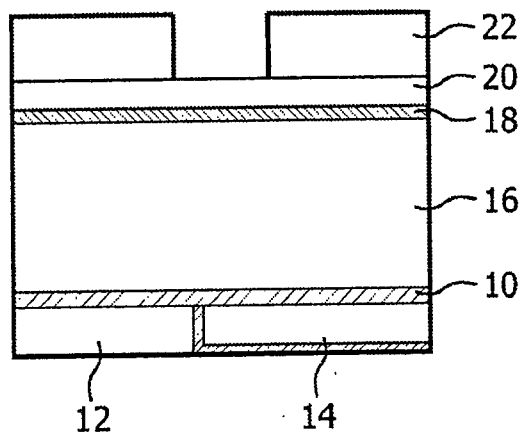


图 1b

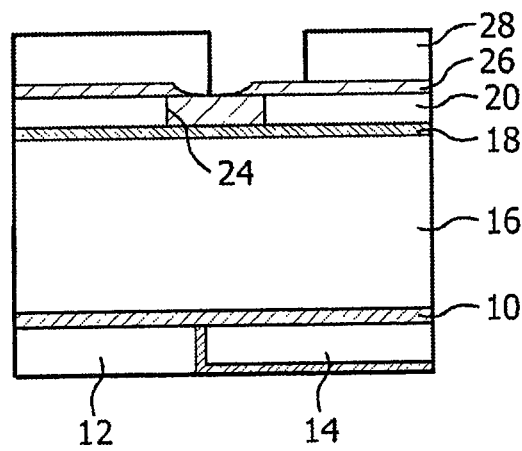


图 1c

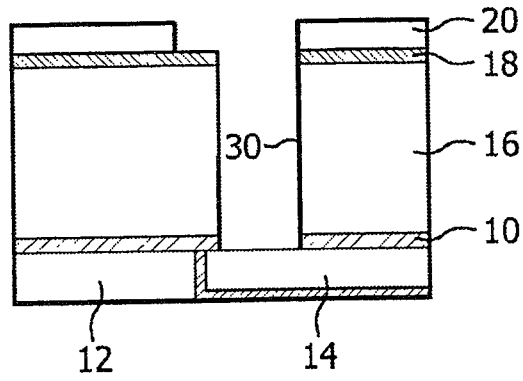


图 1d

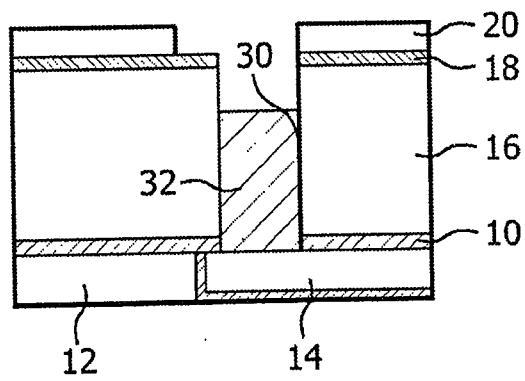


图 1e

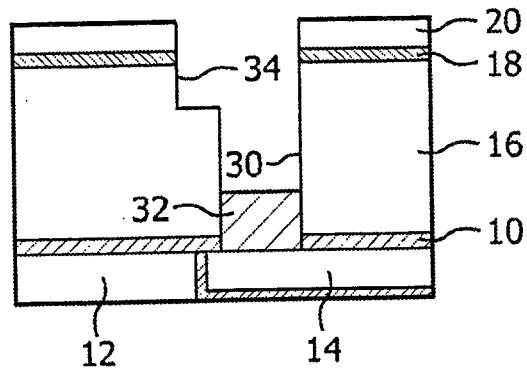


图 1f

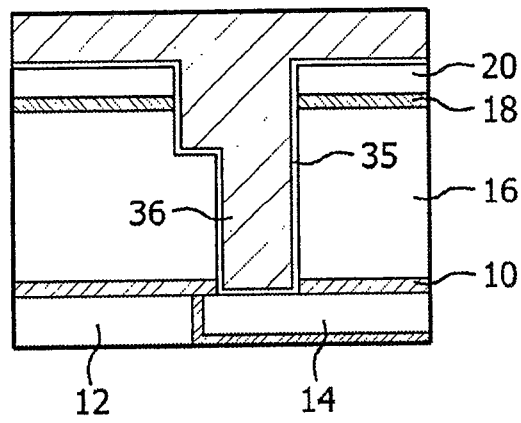


图 1g

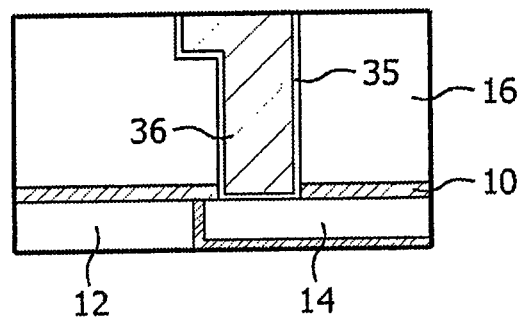


图 1h

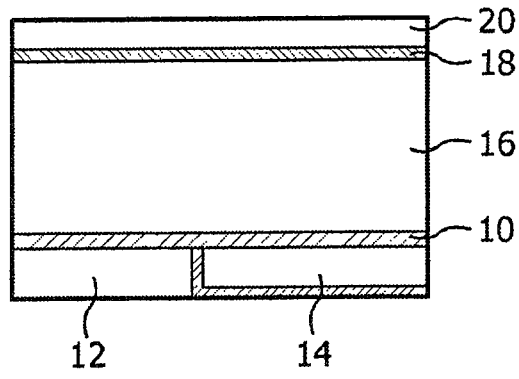


图 2a

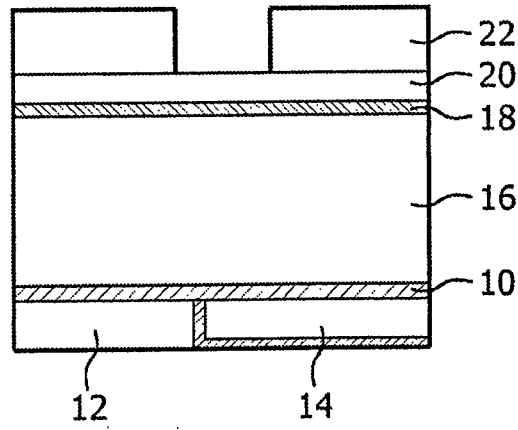


图 2b

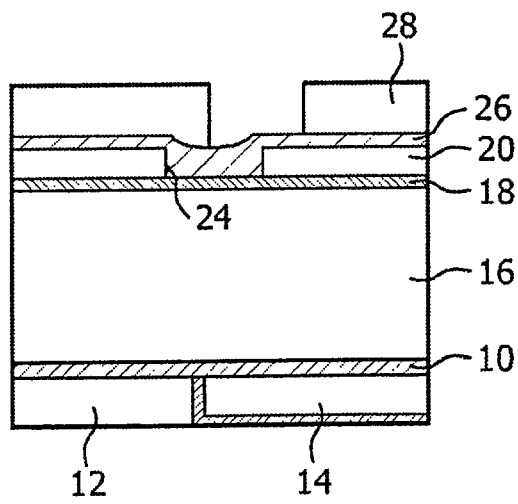


图 2c

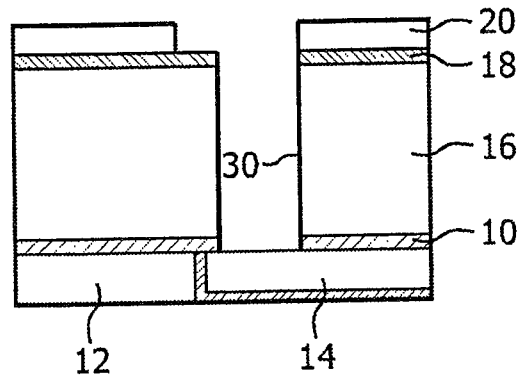


图 2d

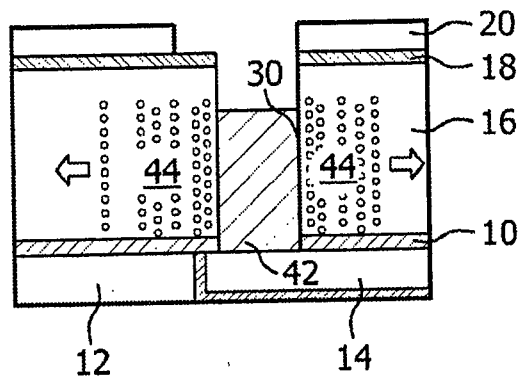


图 2e

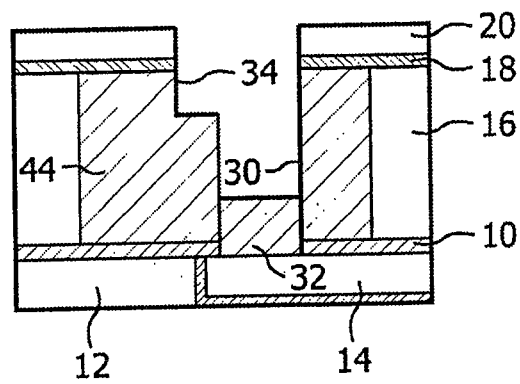


图 2f

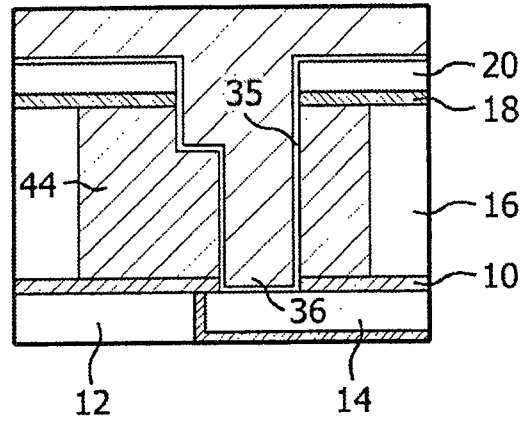


图 2g

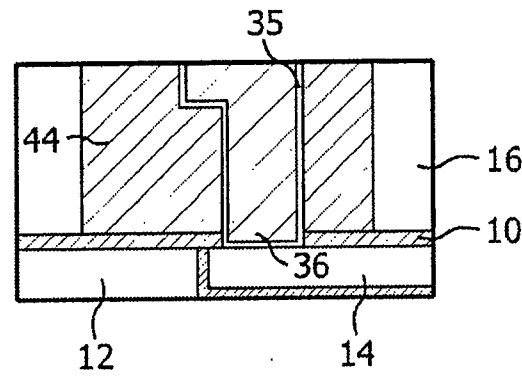


图 2h

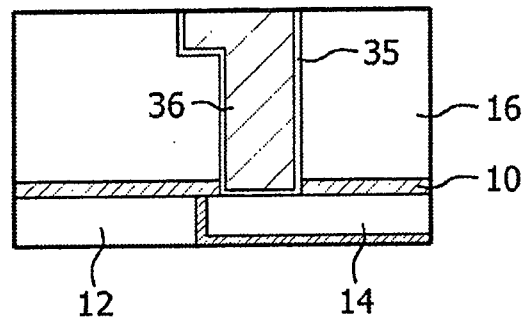


图 2i