

(19)대한민국특허청(KR)  
(12) 등록특허공보(B1)

(51) 。 Int. Cl. <sup>8</sup> H01L 21/76 (2006.01)	(45) 공고일자 (11) 등록번호 (24) 등록일자	2006년02월22일 10-0552849 2006년02월09일
--	-------------------------------------	--

(21) 출원번호 (22) 출원일자	10-2003-0098368 2003년12월27일	(65) 공개번호 (43) 공개일자	10-2005-0066884 2005년06월30일
------------------------	--------------------------------	------------------------	--------------------------------

(73) 특허권자	동부아남반도체 주식회사 서울 강남구 대치동 891-10
(72) 발명자	정성문 경기도여주군가남면현진아파트103동1403호  김점수 경기도이천시부발읍신하리409-5성광아파트3동516호
(74) 대리인	유미특허법인

심사관 : 김수미

(54) 소자 분리 및 산화막 형성 방법

**요약**

소자 분리 및 산화막 형성 방법을 제시한다. 본 발명의 일 관점에 따르면, 반도체 기판에 패드 산화막 및 하드 마스크를 형성하고, 반도체 기판을 선택적으로 식각하여 트렌치(trench)를 형성한 후, 트렌치의 입구 부위에 국부적 비정질화를 위해 선택적으로 이온 주입을 수행한다. 트렌치를 메우는 소자 분리막을 형성하고 하드 마스크 및 패드 산화막을 제거한 후, 소자 분리막에 의해 설정되는 반도체 기판 상에 산화막을 성장시킨다.

**대표도**

도 3

**색인어**

터널 산화막, 박화 현상, 이온 주입, 비정질화, STI

**명세서**

**도면의 간단한 설명**

도 1a 및 도 1b는 종래의 소자 분리 형성 방법을 설명하기 위해서 개략적으로 도시한 단면도들이다.

도 2 내지 도 5는 본 발명의 실시예에 의한 소자 분리 및 산화막 형성 방법을 설명하기 위해서 개략적으로 도시한 단면도들이다.

## 발명의 상세한 설명

### 발명의 목적

#### 발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체 소자에 관한 것으로, 특히, 반도체 소자의 소자 분리 및 산화막 형성 방법에 관한 것이다.

비활성 메모리(non volatile memory) 소자인 플래시(Flash) 메모리 셀(cell)은 데이터 보유(data retention) 특성이 매우 중요하게 평가된다. 데이터 보유 특성은 플로팅 게이트(floating gate)에 있는 전자들이 ONO(Oxide Nitride Oxide) 및 터널 산화막(tunnel oxide)을 통해 빠져나가는 것을 평가하는 것인데, 특히, 반도체 기판의 활성 영역(active region)의 에지(edge)쪽을 통해 리키지(leakage)가 발생한다. 그 이유는 에지 쪽의 터널 산화막의 두께가 정상적인 산화막의 두께보다 얇기 때문이다.

이와 같이 터널 산화막의 두께가 활성 영역의 에지 쪽에서 얇아지는 박화 현상은, 소자 분리막을 형성할 때, 소자 분리막에 의해 설정되는 활성 영역의 에지 부위가 노출되기 때문이다. 이러한 활성 영역의 에지 부위의 노출에 의해서 활성 영역 상에 터널 산화막이 형성될 때, 에지 부위에서 산화막의 성장 속도(oxide growth rate)가 상대적으로 낮아져, 이러한 터널 산화막의 에지쪽 박화 현상이 발생한다.

도 1a 및 도 1b는 종래의 소자 분리 형성 방법을 설명하기 위해서 개략적으로 도시한 단면도들이다.

도 1a 및 도 1b를 참조하면, 종래의 소자 분리 형성 방법은, 반도체 기판(10)에 트렌치(trench)를 형성하고, 트렌치를 메우는 소자 분리막(15)을 형성하는 방법, 예컨대, 얇은 트렌치 소자 분리(STI)로 수행된다.

이때, 도 1a에 제시된 바와 같이 소자 분리막(15)에 의해 설정되는 활성 영역의 반도체 기판(10) 상에 형성되는 플로팅 게이트(30) 아래의 터널 산화막(20)은 활성 영역의 에지 쪽이 상대적으로 얇아지는 현상이 발생된다. 이는 도 1b에 제시된 바와 같이 소자 분리막(15)을 화학 기계적 연마(CMP) 등으로 평탄화한 후 연마 종료점 등으로 이용된 하드 마스크(hard mask) 등을 제거할 때, 소자 분리막(15)과 반도체 기판(10)의 계면 부위가 취약하여 덴트(dent:11) 등이 발생되기 때문이다.

이에 따라, 활성 영역의 반도체 기판(10) 상에 터널 산화막을 성장시킬 때, 활성 영역의 에지 부위가 노출되므로, 이러한 부위에서의 터널 산화막의 성장 속도가 결정 구조의 차이에 의해서 상대적으로 느려진다. 따라서, 터널 산화막(20)의 얇아지는 현상(25)이 발생된다.

#### 발명이 이루고자 하는 기술적 과제

본 발명이 이루고자 하는 기술적 과제는, 터널 산화막과 같은 활성 영역의 반도체 기판 상에 형성되는 산화막이 활성 영역의 에지 부위에서 상대적으로 얇아지는 것을 방지할 수 있는 소자 분리 및 산화막 형성 방법을 제공하는 데 있다.

### 발명의 구성 및 작용

상기의 기술적 과제들을 달성하기 위한 본 발명의 일 관점은, 반도체 기판에 패드 산화막 및 하드 마스크를 형성하는 단계, 상기 반도체 기판을 선택적으로 식각하여 트렌치(trench)를 형성하는 단계, 상기 트렌치의 입구 부위에 국부적 비정질화를 위해 선택적으로 이온 주입을 수행하는 단계, 상기 트렌치를 메우는 소자 분리막을 형성하고 상기 하드 마스크 및 패드 산화막을 제거하는 단계, 및 상기 소자 분리막에 의해 설정되는 상기 반도체 기판 상에 산화막을 성장시키는 단계를 포함하는 소자 분리 및 산화막 형성 방법을 제시한다.

상기 이온 주입은 상기 하드 마스크에 의해서 선택적으로 주입될 이온이 차단되어 상기 트렌치 입구 부위에 선택적으로 이온 주입되도록 하기 위해 경사 이온 주입으로 수행될 수 있다.

상기 경사(tilt) 이온 주입은 상기 반도체 기판 면에 대해 수직인 방향에 대해 20° 내지 70° 기울어지게 수행되는 것일 수 있다.

상기 이온 주입은 실리콘(Si) 또는 게르마늄(Ge) 이온을 주입하는 것일 수 있다.

상기 이온 주입은 아르곤(Ar), 크세논(Xe) 또는 크립톤(Kr) 이온을 주입하는 것일 수 있다.

상기 이온 주입은 1E12 내지 1E15 도즈/cm<sup>2</sup>의 도즈량으로 수행되는 것일 수 있다.

상기 이온 주입은 4KeV 내지 50KeV의 가속 에너지로 수행되는 것일 수 있다.

상기 이온 주입을 수행하기 이전에 상기 트렌치 내벽을 산화하는 산화 단계를 더 포함할 수 있다.

상기 이온 주입을 수행하기 이후에 상기 소자 분리막을 형성하기 이전에 상기 트렌치 내벽을 산화하는 산화 단계를 더 포함할 수 있다.

본 발명에 따르면, 터널 산화막과 같은 활성 영역의 반도체 기판 상에 형성되는 산화막이 활성 영역의 에지 부위에서 상대적으로 얇아지는 것을 방지할 수 있는 소자 분리 및 산화막 형성 방법을 제공할 수 있다.

이하, 첨부 도면을 참조하여 본 발명의 실시예를 상세히 설명한다. 그러나, 본 발명의 실시예들은 여러 가지 다른 형태로 변형될 수 있으며, 본 발명의 범위가 아래에서 상술하는 실시예들로 인해 한정되어지는 것으로 해석되어서는 안되며, 당 업계에서 평균적인 지식을 가진 자에게 본 발명을 보다 완전하게 설명하기 위해서 제공되어지는 것으로 해석되는 것이 바람직하다.

도 2 내지 도 5는 본 발명의 실시예에 의한 소자 분리 및 산화막 형성 방법을 설명하기 위해서 개략적으로 도시한 단면도들이다.

도 2를 참조하면, 본 발명의 실시예에 따른 소자 분리 형성 방법은, 반도체 기판(100) 상에 대략 100Å 두께의 패드 산화막(pad oxide:200)을 형성하고, 패드 산화막(200) 상에 하드 마스크(300)로 사용될 실리콘 질화물층을 바람직하게 형성한다. 이후에, 하드 마스크(300) 상에 식각 마스크(400)로서의 포토레지스트 패턴을 형성하고, 이에 노출되는 부분을 순차적으로 식각하여 반도체 기판(100)에 트렌치(150)를 형성한다.

도 3을 참조하면, 포토레지스트 패턴(400)을 제거한 후, 트렌치(150)의 입구 부위에 이온 주입을 실시한다. 이러한 이온 주입에 의해서 트렌치(150) 입구 부위의 반도체 기판(100)의 실리콘을 비정질화(amorphization)한다.

이러한 이온 주입은 원소 주기율표 상의 4족 원소인 실리콘(Si) 또는 게르마늄(Ge)을 주입되는 이온 원소, 즉, 도펀트(dopant)로 이용할 수 있고, 또는 주기율표 상의 8족 원소인 아르곤(ar), 크세논(Xe) 또는 크립톤(Kr) 등을 도펀트로 이용할 수 있다.

이때, 이온 주입의 도즈(dose)량은 1E12 내지 1E15도즈/cm<sup>2</sup> 일 수 있다. 또한, 이때 이온 가속 에너지(energy)는 대략 4KeV 내지 50KeV일 수 있다. 그리고, 이러한 이온 주입은 반도체 기판(100) 면에 수직인 방향, 즉 면 방향을 기준으로 대략 20° 내지 70° 기울어진 경사 이온 주입으로 수행되는 것이 바람직하다. 이와 같이 경사 이온 주입을 실시하면, 대부분의 이온은 하드 마스크(300)에 의해서 차단(blocking)되고 트렌치(150)의 내부 깊은 부분은 손상(damage)을 주지 않고, 필요한 부위, 즉, 트렌치(150) 입구 부위에 선택적으로 이온 주입을 실시할 수 있다. 이러한 이온 주입에 의해서 트렌치(150) 입구 부위(170)는 비정질화 되게 된다.

도 4를 참조하면, 트렌치(150)를 채우는 소자 분리막(155)을 형성한다. 이때, 소자 분리막(155)은 화학 기상 증착(CVD)으로 증착되는 실리콘 산화물 또는 고밀도 플라즈마 증착(HDP)에 의해서 증착되는 실리콘 산화물로 형성될 수 있다. 이와 같이 소자 분리막(155)을 증착한 후, 하드 마스크(300)를 연마 종료로 이용하여 소자 분리막(155)을 CMP한다.

이때, 소자 분리막(155)을 형성하기 이전에 트렌치(150) 내벽을 산화시켜 주는 산화 과정을 더 수행할 수 있다. 이러한 산화 과정을 수행할 때, 상기한 이온 주입 과정은 상기 산화 과정 전 또는 후에 수행될 수 있다.

도 5를 참조하면, 하드 마스크(300)를 인산 습식 식각 등으로 제거한 후, 패드 산화막(200)을 제거하고, 터널 산화막(250)을 반도체 기판(100) 상에 성장시킨다.

이때, 상기한 바와 같은 이온 주입에 의해서 비정질화된 부분(170)에서의 산화물 성장 속도는 비정질화된 특성 때문에 상대적으로 향상되게 된다. 따라서, 목표 산화막 대비 상대적으로 두꺼운 산화막을 얻을 수 있다. 따라서, 종래와 같은 터널 산화막의 에지 부위에서의 두께 얇아짐 현상을 보상할 수 있다.

한편, 이러한 터널 산화막(250) 플래시 메모리 소자에 산화막이 이용될 경우에 해당되는 명칭으로 설명하였으나, 논리 트랜지스터(logic transistor) 등의 게이트 산화막을 형성하는 데에도 응용될 수 있다.

이상, 본 발명을 구체적인 실시예를 통하여 상세히 설명하였으나, 본 발명은 이에 한정되지 않고, 본 발명의 기술적 사상 내에서 당 분야의 통상의 지식을 가진 자에 의해 그 변형이나 개량이 가능함이 명백하다.

### 발명의 효과

상술한 본 발명에 따르면, 소자 분리에 의해 설정되는 활성 영역의 에지 부위에서 산화막이 얇아지는 것을 효과적으로 방지할 수 있다.

### (57) 청구의 범위

#### 청구항 1.

반도체 기판에 패드 산화막 및 하드 마스크를 형성하는 단계;

상기 반도체 기판을 선택적으로 식각하여 트렌치(trench)를 형성하는 단계;

상기 트렌치의 입구 부위에 국부적 비정질화를 위해 선택적으로 이온 주입을 수행하는 단계;

상기 트렌치를 메우는 소자 분리막을 형성하고 상기 하드 마스크 및 패드 산화막을 제거하는 단계; 및

상기 소자 분리막에 의해 정의되는 상기 반도체 기판의 활성 영역 상에 산화막을 성장시키는 단계를 포함하는 것을 특징으로 하는 소자 분리 및 산화막 형성 방법.

#### 청구항 2.

제1 항에 있어서,

상기 이온 주입은 상기 하드 마스크에 의해서 선택적으로 주입될 이온이 차단되어 상기 트렌치 입구 부위에 선택적으로 이온 주입되도록 하기 위해 경사 이온 주입으로 수행되는 것을 특징으로 하는 소자 분리 및 산화막 형성 방법.

#### 청구항 3.

제2 항에 있어서,

상기 경사(tilt) 이온 주입은 상기 반도체 기판 면에 대해 수직한 방향에 대해 20° 내지 70° 기울어지게 수행되는 것을 특징으로 하는 소자 분리 및 산화막 형성 방법.

#### 청구항 4.

제1 항에 있어서,

상기 이온 주입은 실리콘(Si) 또는 게르마늄(Ge) 이온을 주입하는 것을 특징으로 하는 소자 분리 및 산화막 형성 방법.

#### 청구항 5.

제1 항에 있어서,

상기 이온 주입은 아르곤(Ar), 크세논(Xe) 또는 크립톤(Kr) 이온을 주입하는 것을 특징으로 하는 소자 분리 및 산화막 형성 방법.

#### 청구항 6.

제1 항에 있어서,

상기 이온 주입은 1E12 내지 1E15 도즈/cm<sup>2</sup>의 도즈량으로 수행되는 것을 특징으로 하는 소자 분리 및 산화막 형성 방법.

#### 청구항 7.

제1 항에 있어서,

상기 이온 주입은 4KeV 내지 50KeV의 가속 에너지로 수행되는 것을 특징으로 하는 소자 분리 및 산화막 형성 방법.

#### 청구항 8.

제1 항에 있어서,

상기 이온 주입을 수행하기 이전에 상기 트렌치 내벽을 산화하는 산화 단계를 더 포함하는 것을 특징으로 하는 소자 분리 및 산화막 형성 방법.

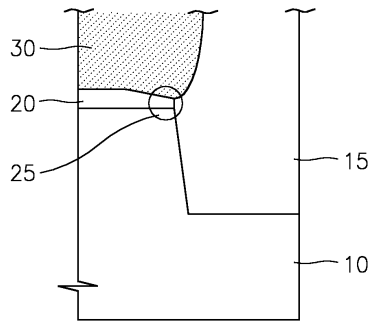
#### 청구항 9.

제1 항에 있어서,

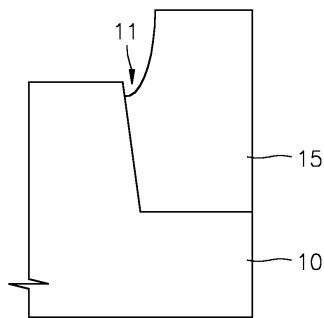
상기 이온 주입을 수행하기 이후에 상기 소자 분리막을 형성하기 이전에 상기 트렌치 내벽을 산화하는 산화 단계를 더 포함하는 것을 특징으로 하는 소자 분리 및 산화막 형성 방법.

도면

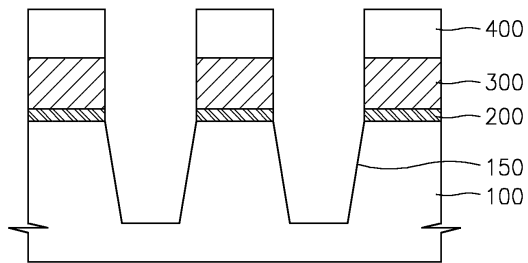
도면1a



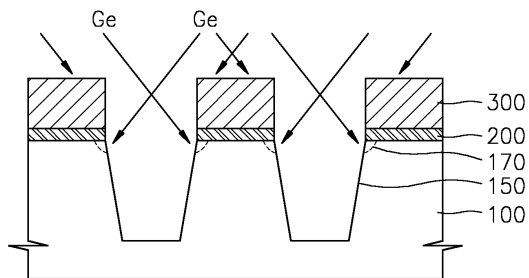
도면1b



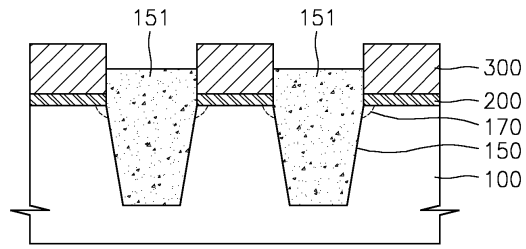
도면2



도면3



도면4



도면5

