(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2019년04월26일
(11) 등록번호 10-1973212
(24) 등록일자 2019년04월22일

(51) 국제특허분류(Int. Cl.)
G11C 11/401 (2006.01)
(21) 출원번호 10-2013-7009073
(22) 출원일자(국제) 2011년10월19일
심사청구일자 2016년10월12일
(85) 번역문제출일자 2013년04월09일
(65) 공개번호 10-2013-0139260
(43) 공개일자 2013년12월20일
(86) 국제출원번호 PCT/JP2011/074600
(87) 국제공개번호 WO 2012/060253
국제공개일자 2012년05월10일
(30) 우선권주장
JP-P-2010-249111 2010년11월05일 일본(JP)
JP-P-2011-113176 2011년05월20일 일본(JP)
(56) 선행기술조사문헌
US06133640 A*
*는 심사관에 의하여 인용된 문헌

(73) 특허권자
가부시키가이샤 한도오따이 에네루기 켄큐쇼
일본국 가나가와켄 아쓰기시 하세 398
(72) 발명자
가토 기요시
일본 2430036 가나가와켄 아쓰기시 하세 398 가부시키가이샤 한도오따이 에네루기 켄큐쇼 내
(74) 대리인
장수길, 박충범, 이중희

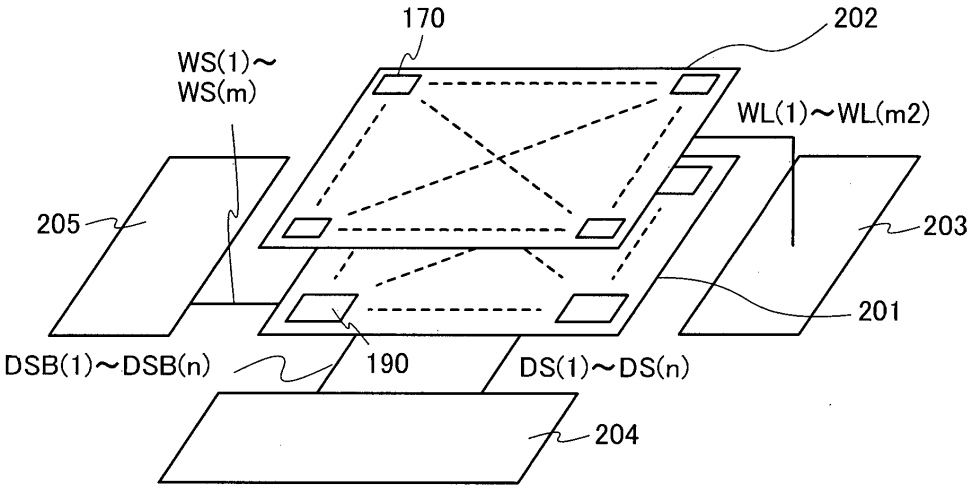
전체 청구항 수 : 총 10 항 심사관 : 손윤식

(54) 발명의 명칭 **반도체 장치**

(57) 요 약

전력이 공급되지 않을 때에도 저장 데이터가 유지될 수 있고, 기입 횟수에 제한이 없는 신규한 구조의 반도체 장치가 제공된다. 반도체 장치는, 산화물 반도체를 포함하는 트랜지스터(보다 광의로는, 오프 전류가 충분히 작은 트랜지스터)를 포함하는 메모리 회로와, 산화물 반도체 이외의 재료를 포함하는 트랜지스터(즉, 충분히 고속으로 동작할 수 있는 트랜지스터)를 포함하는 구동 회로 등의 주변 회로를 둘 다 포함한다. 또한, 주변 회로는 하부에 설치되고 메모리 회로는 상부에 설치됨으로써, 반도체 장치의 면적 및 크기를 감소시킬 수 있다.

대 표 도 - 도1a



명 세 서

청구범위

청구항 1

반도체 장치로서,

반도체 기판을 사용하여 형성된 주변 회로,

상기 주변 회로 위의 메모리 셀 어레이, 및

개구를 포함하는, 상기 주변 회로와 상기 메모리 셀 어레이 사이의 절연층을 포함하고,

상기 주변 회로는 매트릭스로 배열된 복수의 센스 래치(sense latch)를 포함하고,

상기 메모리 셀 어레이는 매트릭스로 배열된 복수의 메모리 셀을 포함하고,

상기 복수의 메모리 셀 각각은,

게이트 전극, 소스 전극, 드레인 전극, 게이트 절연층, 및 산화물 반도체층을 포함하는 트랜지스터, 및

용량 소자를 포함하고,

상기 복수의 센스 래치 각각은 제1 단자 및 제2 단자를 포함하고,

상기 복수의 센스 래치 중 각 센스 래치의 상기 제1 단자는 상기 절연층의 상기 개구 내의 적어도 하나의 전극을 통해 상기 복수의 메모리 셀 중 상기 각 센스 래치와 같은 행(row) 및 같은 열(column)의 메모리 셀의 상기 트랜지스터의 상기 소스 전극 및 상기 드레인 전극 중 하나에 전기적으로 접속되는, 반도체 장치.

청구항 2

삭제

청구항 3

삭제

청구항 4

삭제

청구항 5

반도체 장치로서,

반도체 기판을 사용하여 형성된 주변 회로,

상기 주변 회로 위에 적층된 복수의 메모리 셀 어레이, 및

개구를 포함하는, 상기 주변 회로와 상기 복수의 메모리 셀 어레이 사이의 절연층을 포함하고,

상기 주변 회로는 매트릭스로 배열된 복수의 센스 래치를 포함하고,

상기 복수의 메모리 셀 어레이 각각은 매트릭스로 배열된 복수의 메모리 셀을 포함하고,

상기 복수의 메모리 셀 각각은,

게이트 전극, 소스 전극, 드레인 전극, 게이트 절연층, 및 산화물 반도체층을 포함하는 트랜지스터, 및

용량 소자를 포함하고,

상기 복수의 센스 래치 각각은 제1 단자 및 제2 단자를 포함하고,

상기 복수의 센스 래치 중 각 센스 래치의 상기 제1 단자는 상기 절연층의 상기 개구 내의 적어도 하나의 전극

을 통해 상기 복수의 메모리 셀 어레이 각각의 상기 복수의 메모리 셀 중 상기 각 센스 래치와 같은 행 및 같은 열의 메모리 셀의 상기 트랜지스터의 상기 소스 전극 및 상기 드레인 전극 중 하나에 전기적으로 접속되는, 반도체 장치.

청구항 6

삭제

청구항 7

제1항 또는 제5항에 있어서,

제1 워드선 구동 회로,

제2 워드선 구동 회로, 및

데이터선 구동 회로를 더 포함하고,

상기 제1 워드선 구동 회로는 상기 복수의 메모리 셀에 제1 워드선들을 통해 전기적으로 접속되고,

상기 제2 워드선 구동 회로는 상기 복수의 센스 래치에 제2 워드선들을 통해 전기적으로 접속되고,

상기 데이터선 구동 회로는 상기 복수의 센스 래치에 제1 데이터선들 및 제2 데이터선들을 통해 전기적으로 접속되는, 반도체 장치.

청구항 8

제5항에 있어서,

상기 복수의 메모리 셀 어레이 내의 상기 트랜지스터 내의 상기 산화물 반도체층들 각각은 동일한 산화물 반도체 재료를 포함하는, 반도체 장치.

청구항 9

제5항에 있어서,

상기 반도체 기판은 상기 산화물 반도체층의 재료와는 다른 반도체 재료를 포함하는, 반도체 장치.

청구항 10

반도체 장치로서,

반도체 기판을 사용하여 형성된 주변 회로,

상기 주변 회로 위에 적층된 제1 메모리 셀 어레이 및 제2 메모리 셀 어레이, 및

개구를 포함하는, 상기 주변 회로와 상기 제1 메모리 셀 어레이 사이의 절연층을 포함하고,

상기 주변 회로는 매트릭스로 배열된 복수의 센스 래치를 포함하고,

상기 제1 메모리 셀 어레이 및 상기 제2 메모리 셀 어레이 각각은 매트릭스로 배열된 복수의 메모리 셀을 포함하고,

상기 제1 메모리 셀 어레이에 포함된 상기 복수의 메모리 셀 각각은,

제1 게이트 전극, 제1 소스 전극, 제1 드레인 전극, 제1 게이트 절연층, 및 제1 산화물 반도체층을 포함하는 제1 트랜지스터, 및

제1 용량 소자를 포함하고,

상기 제2 메모리 셀 어레이에 포함된 상기 복수의 메모리 셀 각각은,

제2 게이트 전극, 제2 소스 전극, 제2 드레인 전극, 제2 게이트 절연층, 및 제2 산화물 반도체층을 포함하는 제2 트랜지스터, 및

제2 용량 소자를 포함하고,

상기 복수의 센스 래치 각각은 제1 단자 및 제2 단자를 포함하고,

상기 복수의 센스 래치 중 각 센스 래치의 상기 제1 단자는 상기 절연층의 상기 개구 내의 적어도 하나의 전극을 통해 상기 제1 메모리 셀 어레이에 포함된 상기 복수의 메모리 셀 중 상기 각 센스 래치와 같은 행 및 같은 열의 메모리 셀의 상기 제1 트랜지스터의 상기 제1 소스 전극 및 상기 제1 드레인 전극 중 하나, 및 상기 제2 메모리 셀 어레이에 포함된 상기 복수의 메모리 셀 중 상기 각 센스 래치와 같은 행 및 같은 열의 메모리 셀의 상기 제2 트랜지스터의 상기 제2 소스 전극 및 상기 제2 드레인 전극 중 하나에 전기적으로 접속되는, 반도체 장치.

청구항 11

제1항, 제5항, 및 제10항 중 어느 한 항에 있어서,

상기 주변 회로는 센스 래치 어레이인, 반도체 장치.

청구항 12

제10항에 있어서,

제1 워드선 구동 회로,

제2 워드선 구동 회로, 및

데이터선 구동 회로를 더 포함하고,

상기 제1 워드선 구동 회로는 상기 제1 메모리 셀 어레이 및 상기 제2 메모리 셀 어레이에 포함된 상기 복수의 메모리 셀 각각에 제1 워드선들을 통해 전기적으로 접속되고,

상기 제2 워드선 구동 회로는 상기 복수의 센스 래치에 제2 워드선들을 통해 전기적으로 접속되고,

상기 데이터선 구동 회로는 상기 복수의 센스 래치에 제1 데이터선들 및 제2 데이터선들을 통해 전기적으로 접속되는, 반도체 장치.

청구항 13

제10항에 있어서,

상기 제1 산화물 반도체층 및 상기 제2 산화물 반도체층은 동일한 산화물 반도체 재료를 포함하는, 반도체 장치.

청구항 14

제10항에 있어서,

상기 반도체 기판은 상기 제1 산화물 반도체층 및 상기 제2 산화물 반도체층의 재료와는 다른 반도체 재료를 포함하는, 반도체 장치.

발명의 설명

기 술 분 야

[0001] 개시된 발명은 반도체 소자를 이용하는 반도체 장치 및 반도체 장치의 구동 방법에 관한 것이다.

배 경 기 술

[0002] 반도체 소자를 이용하는 메모리 장치들은 2개의 카테고리, 즉, 전력 공급이 정지될 때 저장 데이터를 상실하는 휘발성 장치와, 전력이 공급되지 않을 때에도 저장 데이터를 유지하는 불휘발성 장치로 크게 구별된다.

[0003] 휘발성 메모리 장치의 대표적인 예는 다이내믹 랜덤 액세스 메모리(dynamic random access memory: DRAM)이다. DRAM은 저장 소자에 포함되는 트랜지스터를 선택해서 용량 소자에 전하를 축적함으로써 데이터를 저장한다.

[0004] DRAM으로부터 데이터를 판독할 때, 전술한 원리에 따라 용량 소자의 전하가 상실되기 때문에, 데이터를 판독할 때마다 또 하나의 기입 동작이 필요하다. 또한, 메모리 소자에 포함되는 트랜지스터가 오프 상태일 때 그 트랜

지스터의 소스와 드레인 사이에 누설 전류(오프 전류(off-state current)) 등이 흐르기 때문에, 트랜지스터가 선택되지 않더라도 전하가 유입 또는 유출되어, 데이터 유지 기간을 짧게 만든다. 이로 인해, 소정의 주기로 또 하나의 기입 동작(리프레시 동작)이 필요하여, 소비 전력을 충분히 감소시키는 것이 곤란하다. 또한, 전력 공급이 정지될 때, 저장 데이터가 상실되기 때문에, 장기간 동안 데이터를 유지하기 위해서 자성 재료 또는 광학 재료를 이용하는 부가적인 메모리 장치가 필요해진다.

[0005] 휘발성 메모리 장치의 다른 예는 스태틱 랜덤 액세스 메모리(static random access memory: SRAM)이다. SRAM은 플립플롭 등의 회로를 사용해서 저장 데이터를 유지하기 때문에, 리프레시 동작이 불필요하다. 이것은 SRAM이 DRAM보다 이점이 있다는 것을 의미한다. 그러나, 플립플롭 등의 회로를 사용하기 때문에, 저장 용량당 비용이 증가한다. 또한, DRAM과 마찬가지로, 전력 공급이 정지될 때 SRAM의 저장 데이터가 상실된다.

[0006] 불휘발성 메모리 장치의 대표적인 예는 플래시 메모리이다. 플래시 메모리는 트랜지스터의 게이트 전극과 채널 형성 영역 사이에 플로팅 게이트를 포함하고, 플로팅 게이트에 전하를 유지시킴으로써 데이터를 저장한다. 그러므로, 플래시 메모리는 데이터 유지 기간이 극히 길고(거의 영구적), 휘발성 메모리 장치에 필수적인 리프레시 동작이 불필요하다는 이점이 있다(예를 들어, 특허문헌 1 참조).

[0007] 그러나, 기입시에 발생하는 터널 전류에 의해 저장 소자에 포함된 게이트 절연층이 열화되어, 소정 횟수의 기입 동작 후에 저장 소자가 그의 기능을 정지한다. 이 문제의 악영향을 완화하기 위해서, 예를 들어, 저장 소자들의 기입 동작의 횟수를 균일화하는 방법이 채택된다. 그러나, 이 방법을 실현하기 위해서 복잡한 주변 회로가 필요하게 된다. 또한, 그러한 방법을 채택해도 근본적인 수명의 문제를 해결하는 것은 아니다. 즉, 플래시 메모리는 데이터의 재기입 빈도가 높은 응용에는 부적합하다.

[0008] 또한, 플로팅 게이트에 전하를 주입시키기 위해서 또는 그 전하를 제거하기 위해서 높은 전압이 필요하고, 높은 전압을 생성하기 위한 회로도 필요하다. 또한, 전하의 주입 또는 제거를 위해서 비교적 긴 시간이 걸리고, 기입 및 소거를 고속으로 행하는 것이 쉽지 않다.

[0009] 불휘발성 메모리 장치의 다른 예는 자성 재료를 포함한 메모리 장치인 자기저항 랜덤 액세스 메모리(magnetoresistive random access memory: MRAM)이다. MRAM은 기입 동작시에 비교적 많은 양의 전류를 소비하기 때문에, MRAM은 복수의 메모리 셀에 병렬로 기입 동작을 행하는 것이 어렵다는 문제가 있다.

선행기술문헌

특허문헌

[0010] (특허문헌 0001) 일본 공개 특허 출원 소57-105889호

발명의 내용

해결하려는 과제

[0011] 전술한 문제의 관점에서, 개시된 발명의 일 실시 형태의 과제는 전력이 공급되지 않을 때에도 저장 데이터가 유지될 수 있고, 기입 동작의 횟수에도 제한이 없는 신규한 구조의 반도체 장치를 제공하는 것이다.

과제의 해결 수단

[0012] 본 발명의 일 실시 형태에 있어서, 트랜지스터의 오프 전류를 충분히 감소시킬 수 있는 재료, 예를 들어, 와이드 밴드갭 반도체인 산화물 반도체 재료를 사용해서 메모리 회로를 형성한다. 트랜지스터의 오프 전류를 충분히 감소시킬 수 있는 반도체 재료를 메모리 회로에 사용할 때, 장시간 동안 저장 데이터를 유지할 수 있다. 또한, 산화물 반도체 이외의 반도체 재료를 사용해서 구동 회로 또는 제어 회로 등의 주변 회로를 형성한다. 산화물 반도체 재료보다 더 고속의 동작이 가능한, 산화물 반도체 이외의 반도체 재료를 주변 회로에 사용할 때, 메모리 회로를 고속으로 동작시킬 수 있다.

[0013] 본 발명의 일 실시 형태는 반도체 기판을 이용하여 설치된 센스 래치 어레이와, 센스 래치 어레이 위에 설치된 메모리 셀 어레이를 포함하는 반도체 장치이다. 센스 래치 어레이는 매트릭스로 배열된 복수의 센스 래치를 포함한다. 메모리 셀 어레이는 매트릭스로 배열된 복수의 메모리 셀을 포함한다. 복수의 메모리 셀 각각은 게이트 전극, 소스 전극, 드레인 전극, 게이트 절연층, 및 산화물 반도체층을 포함하는 트랜지스터와, 용량 소자를

포함한다. 센스 래치들 각각의 제1 단자 및 제2 단자 중 적어도 하나는 센스 래치 위에 설치된 당해 트랜지스터의 소스 전극 또는 드레인 전극에 전기적으로 접속된다.

[0014] 본 발명의 다른 실시 형태는 반도체 기판을 사용하여 설치된 센스 래치 어레이와, 센스 래치 어레이 위에 적층된 복수의 메모리 셀 어레이를 포함하는 반도체 장치이다. 센스 래치 어레이는 매트릭스로 배열된 복수의 센스 래치를 포함한다. 복수의 메모리 셀 어레이 각각은 매트릭스로 배열된 복수의 메모리 셀을 포함한다. 복수의 메모리 셀 각각은 게이트 전극, 소스 전극, 드레인 전극, 게이트 절연층, 및 산화물 반도체층을 포함하는 트랜지스터와, 용량 소자를 포함한다. 센스 래치들 각각의 제1 단자 및 제2 단자 중 적어도 하나는 복수의 메모리 셀 어레이 각각에 있어서, 센스 래치 위에 설치된 당해 트랜지스터의 소스 전극 또는 드레인 전극에 전기적으로 접속된다.

[0015] 상기 반도체 장치들 각각은 제1 워드선 구동 회로, 제2 워드선 구동 회로, 및 데이터선 구동 회로를 더 포함할 수 있다. 제1 워드선 구동 회로는 복수의 메모리 셀에 제1 워드선들을 통해 전기적으로 접속될 수 있다. 제2 워드선 구동 회로는 복수의 센스 래치에 제2 워드선들을 통해 전기적으로 접속될 수 있다. 데이터선 구동 회로는 복수의 센스 래치에 제1 데이터선들 및 제2 데이터선들을 통해 전기적으로 접속될 수 있다.

[0016] 본 발명의 다른 실시 형태는 반도체 기판을 이용하여 설치된 센스 래치 어레이와, 센스 래치 어레이 위에 적층된 제1 메모리 셀 어레이 및 제2 메모리 셀 어레이를 포함하는 반도체 장치이다. 센스 래치 어레이는 매트릭스로 배열된 복수의 센스 래치를 포함한다. 제1 메모리 셀 어레이 및 제2 메모리 셀 어레이 각각은 매트릭스로 배열된 복수의 메모리 셀을 포함한다. 제1 메모리 셀 어레이에 포함된 복수의 메모리 셀 각각은 제1 게이트 전극, 제1 소스 전극, 제1 드레인 전극, 제1 게이트 절연층, 및 제1 산화물 반도체층을 포함하는 제1 트랜지스터와, 제1 용량 소자를 포함한다. 제2 메모리 셀 어레이에 포함된 복수의 메모리 셀 각각은 제2 게이트 전극, 제2 소스 전극, 제2 드레인 전극, 제2 게이트 절연층, 및 제2 산화물 반도체층을 포함하는 제2 트랜지스터와, 제2 용량 소자를 포함한다. 센스 래치들 각각의 제1 단자 및 제2 단자 중 적어도 하나는 센스 래치 위에 설치된, 당해 제1 트랜지스터의 제1 소스 전극 또는 제1 드레인 전극, 및 당해 제2 트랜지스터의 제2 소스 전극 또는 제2 드레인 전극에 전기적으로 접속된다.

[0017] 상기 반도체 장치는 제1 워드선 구동 회로, 제2 워드선 구동 회로, 및 데이터선 구동 회로를 더 포함할 수 있다. 제1 워드선 구동 회로는 제1 메모리 셀 어레이 및 제2 메모리 셀 어레이에 포함된 복수의 메모리 셀 각각에 제1 워드선들을 통해 전기적으로 접속될 수 있다. 제2 워드선 구동 회로는 복수의 센스 래치에 제2 워드선들을 통해 전기적으로 접속될 수 있다. 데이터선 구동 회로는 복수의 센스 래치에 제1 데이터선들 및 제2 데이터선들을 통해 전기적으로 접속될 수 있다.

[0018] 또한, 상기 반도체 장치에 있어서, 제1 산화물 반도체층과 제2 산화물 반도체층은 동일한 산화물 반도체 재료를 포함하는 것이 바람직하다.

[0019] 또한, 상기 반도체 장치에 있어서, 반도체 기판은 산화물 반도체층들의 재료와는 다른 반도체 재료를 포함하는 것이 바람직하다.

[0020] 전술한 반도체 장치들 중 임의의 것에 있어서 산화물 반도체 재료를 사용해서 트랜지스터를 형성할 수 있지만, 개시된 발명은 그것에 한정되지 않는다는 것을 유의한다. 산화물 반도체 재료의 오프 전류 특성과 동등한 오프 전류 특성을 실현할 수 있는 재료, 예를 들어, 탄화 실리콘을 비롯한 와이드 밴드갭 재료(보다 구체적으로, 에너지 갭 Eg가 3eV보다 큰 반도체 재료) 등을 사용할 수 있다.

[0021] 본 명세서 등에 있어서 "위" 또는 "아래" 등의 용어는 반드시 구성 요소가 다른 구성 요소의 "바로 위" 또는 "바로 아래"에 배치되는 것을 의미하는 것은 아니라는 것을 유의한다. 예를 들어, "게이트 절연층 위의 게이트 전극"이란 표현은 게이트 절연층과 게이트 전극 사이에 구성 요소가 배치되는 경우를 배제하지 않는다. 또한, "위" 및 "아래" 등의 용어는 단순히 설명의 편의를 위해서 사용된다.

[0022] 또한, 본 명세서 등에 있어서 "전극" 또는 "배선" 등의 용어는 구성 요소의 기능을 한정하지 않는다. 예를 들어, "전극"은 "배선"의 일부로서 사용되는 경우가 있고, 그 반대의 경우도 있다. 또한, "전극" 또는 "배선"이란 용어는 복수의 "전극" 또는 "배선"이 일체로 형성되는 경우도 포함할 수 있다.

[0023] "소스" 및 "드레인"의 기능들은 반대 극성의 트랜지스터를 사용할 때, 또는 회로 동작에 있어서 전류 흐름의 방향이 변화될 때, 서로 교체되는 경우가 있다. 그러므로, 본 명세서 등에 있어서 "소스"와 "드레인"이라는 용어들은 서로 교체될 수 있다.

[0024] 본 명세서 등에 있어서, "전기적으로 접속된다"라는 용어는 임의의 전기적 기능을 갖는 대상을 통해 구성 요소들이 접속되는 경우를 포함한다는 것을 유의한다. 상기 대상을 통해 접속되는 구성 요소들 간에 전기 신호가 송신될 수 있고 수신될 수 있는 한, "임의의 전기적 기능을 갖는 대상"에 대해 특별한 제한은 없다.

발명의 효과

[0025] 산화물 반도체 재료를 포함하는 트랜지스터의 오프 전류가 극히 작기 때문에, 그 트랜지스터를 메모리 회로에 사용함으로써 극히 장시간 동안 저장 데이터를 유지할 수 있다. 즉, 리프레시 동작이 불필요하게 되거나, 리프레시 동작의 빈도를 극히 낮게 할 수 있기 때문에, 소비 전력을 충분히 감소시킬 수 있다. 또한, 전력이 공급되지 않을 때에도(전위는 고정되는 것이 바람직하다는 것을 유의한다) 장시간 동안 저장 데이터를 유지할 수 있다.

[0026] 또한, 산화물 반도체 재료를 포함하는 트랜지스터를 포함하는 메모리 회로는 데이터의 기입을 위해서 높은 전압을 필요로 하지 않고, 메모리 소자의 열화의 문제가 없다. 예를 들어, 종래의 불휘발성 메모리 장치와는 달리, 플로팅 게이트로의 전자의 주입이나, 플로팅 게이트로부터의 전자의 인출을 행할 필요가 없기 때문에, 게이트 절연층의 열화 등의 문제가 전혀 발생하지 않는다. 즉, 산화물 반도체 재료를 포함하는 트랜지스터를 포함하는 메모리 회로는 종래의 불휘발성 메모리 장치의 문제인 기입 횟수에 제한은 없고, 그의 신뢰성이 비약적으로 향상된다. 또한, 트랜지스터의 온 상태와 오프 상태에 따라 데이터가 기입됨으로써, 고속의 동작이 용이하게 실현될 수 있다. 또한, 데이터를 소거하기 위한 동작이 불필요하다는 이점이 있다.

[0027] 또한, 산화물 반도체 이외의 반도체 재료를 포함하는 트랜지스터는 산화물 반도체 재료를 포함하는 트랜지스터보다 훨씬 고속으로 동작을 행할 수 있다. 따라서, 산화물 반도체 이외의 반도체 재료를 포함하는 트랜지스터를 주변 회로(예를 들면, 제어 회로 또는 구동 회로)에 사용할 때, 충분히 고속으로 동작을 행하는 주변 회로를 유리하게 실현할 수 있다. 따라서, 그러한 주변 회로를, 산화물 반도체 재료를 포함하는 트랜지스터를 포함하는 메모리 회로와 조합할 때, 반도체 장치의 동작(예를 들어, 데이터 판독 동작 또는 데이터 기입 동작)을 충분히 고속으로 행할 수 있다.

[0028] 산화물 반도체 이외의 반도체 재료를 포함하는 트랜지스터(즉, 충분히 고속으로 동작할 수 있는 트랜지스터)를 포함하는 주변 회로와, 산화물 반도체 재료를 포함하는 트랜지스터(보다 광의로는, 오프 전류가 충분히 작은 트랜지스터)를 포함하는 메모리 회로를 둘 다 설치함으로써, 신규한 특징을 갖는 반도체 장치를 실현할 수 있다.

도면의 간단한 설명

[0029] 첨부 도면에 있어서,

도 1a 및 도 1b는 각각 반도체 장치의 개략도이다.

도 2는 반도체 장치의 회로도이다.

도 3은 반도체 장치의 회로도이다.

도 4의 (a) 내지 도 4의 (d)는 타이밍도이다.

도 5의 (a) 내지 도 5의 (d)는 타이밍도이다.

도 6은 반도체 장치의 회로도이다.

도 7은 반도체 장치의 단면도이다.

도 8의 (a) 내지 도 8의 (e)는 반도체 장치의 제조 단계들을 도시하는 단면도이다.

도 9의 (a) 내지 도 9의 (d)는 반도체 장치의 제조 단계들을 도시하는 단면도이다.

도 10의 (a) 내지 도 10의 (c)는 반도체 장치의 제조 단계들을 도시하는 단면도이다.

도 11의 (a) 및 도 11의 (b)는 반도체 장치의 제조 단계들을 도시하는 단면도이다.

도 12의 (a) 내지 도 12의 (d)는 반도체 장치의 제조 단계들을 도시하는 단면도이다.

도 13의 (a) 내지 도 13의 (f)는 각각 전자 장치를 도시한다.

도 14는 반도체 장치의 단면도이다.

도 15의 (a) 내지 도 15의 (e)는 산화물 재료의 결정 구조를 도시하는 도면이다.

도 16의 (a) 내지 도 16의 (c)는 산화물 재료의 결정 구조를 도시하는 도면이다.

도 17의 (a) 내지 도 17의 (c)는 산화물 재료의 결정 구조를 도시하는 도면이다.

도 18은 계산에 의해 얻어진 이동도의 게이트 전압 의존성을 도시한다.

도 19의 (a) 내지 도 19의 (c)는 계산에 의해 얻어진 드레인 전류와 이동도의 게이트 전압 의존성을 도시한다.

도 20의 (a) 내지 도 20의 (c)는 계산에 의해 얻어진 드레인 전류와 이동도의 게이트 전압 의존성을 도시한다.

도 21의 (a) 내지 도 21의 (c)는 계산에 의해 얻어진 드레인 전류와 이동도의 게이트 전압 의존성을 도시한다.

도 22의 (a) 및 도 22의 (b)는 계산에 사용되는 트랜지스터의 단면 구조를 도시한다.

도 23의 (a) 내지 도 23의 (c)는 각각 산화물 반도체층을 포함하는 트랜지스터의 특성을 도시하는 그래프이다.

도 24의 (a) 및 도 24의 (b)는 샘플 1의 트랜지스터의 BT 시험 후의 V_g-I_d 특성을 도시한다.

도 25의 (a) 및 도 25의 (b)는 샘플 2의 트랜지스터의 BT 시험 후의 V_g-I_d 특성을 도시한다.

도 26은 샘플 A 및 샘플 B의 XRD 스펙트럼을 도시한다.

도 27은 트랜지스터의 오프 전류와 측정시 기판 온도 간의 관계를 도시하는 그래프이다.

도 28은 I_d 및 전계 효과 이동도의 V_g 의존성을 도시하는 그래프이다.

도 29의 (a)는 기판 온도와 임계 전압 간의 관계를 도시하는 그래프이고, 도 29의 (b)는 기판 온도와 전계 효과 이동도 간의 관계를 도시하는 그래프이다.

도 30의 (a) 및 도 30의 (b)는 반도체 장치의 상면도 및 단면도이다.

도 31의 (a) 및 도 31의 (b)는 반도체 장치의 상면도 및 단면도이다.

발명을 실시하기 위한 구체적인 내용

[0030] 이하, 본 발명의 실시 형태들에 대해서 도면을 참조하여 설명한다. 본 발명이 하기의 설명에 한정되지 않고, 당업자는 본 발명의 사상 및 범위로부터 일탈하지 않고 그 형태 및 상세를 다양하게 변경할 수 있다는 것을 용이하게 이해할 것이라는 것을 유의한다. 따라서, 본 발명은 다음의 실시 형태들의 설명에 한정되는 것으로서 해석되지 말아야 한다.

[0031] 도면 등에 있어서 도시되는 각 구성의 위치, 크기, 또는 범위 등은 이해의 용이함을 위하여 정확하게 표현되지 않을 경우가 있다는 것을 유의한다. 그러므로, 개시된 발명은 반드시 도면 등에 개시된 위치, 크기, 또는 범위 등에 한정되지 않는다.

[0032] 본 명세서 등에 있어서의 "제1", "제2", 및 "제3" 등의 서수들은 구성 요소들 간의 혼동을 피하기 위해서 사용되며, 그 용어들이 구성 요소들을 수적으로 한정하는 것을 의미하지 않는다.

[0033] (실시 형태 1)

[0034] 본 발명의 일 실시 형태에 따른 반도체 장치의 구성에 대해서 도 1a 및 도 1b, 도 2, 도 3, 도 4의 (a) 내지 도 4의 (d), 도 5의 (a) 내지 도 5의 (d), 및 도 6을 참조하여 설명한다.

[0035] <반도체 장치의 구성>

[0036] 도 1a 및 도 1b는 각각 본 발명의 일 실시 형태에 따른 반도체 장치의 구성의 예를 도시하는 개략도이다. 본 발명의 일 실시 형태에 따른 반도체 장치는 상부에 메모리 회로를 포함하고, 하부에 메모리 회로를 구동시키기 위해서 고속 동작이 필요한 구동 회로 및 제어 회로 등의 주변 회로를 포함하고, 적층 구조를 갖는다. 구동 회로 또는 제어 회로는 논리 회로일 수 있다는 것을 유의한다. 구동 회로 또는 제어 회로는 아날로그 회로 또는 연산 회로를 포함할 수 있다.

[0037] 도 1a에 도시된 반도체 장치는 하부에 매트릭스로 배열된 복수의 센스 래치(190)를 포함하는 센스 래치 어레이(201)와, 상부에 매트릭스로 배열된 복수의 메모리 셀(170)(메모리 소자라고도 일컬음)을 포함한 메모리 셀 어

레이(202)(메모리 회로라고도 일컬음)를 포함한다. 하부에는 센스 래치 어레이(201) 외에도, 제1 워드선 구동 회로(203), 데이터선 구동 회로(204), 및 제2 워드선 구동 회로(205) 등의 주변 회로가 설치된다. 센스 래치 어레이(201)를 제외하고, 제1 워드선 구동 회로(203), 데이터선 구동 회로(204), 및 제2 워드선 구동 회로(205)를 외부 회로라고도 일컫는다는 것을 유의한다.

[0038] 데이터선 구동 회로(204)는 판독 회로 및 기입 회로를 포함한다. 또한, 데이터선 구동 회로(204)는 센스 래치 어레이(201)에 포함된 복수의 센스 래치(190)에 n개의 제1 데이터선 DS(1) 내지 DS(n), 및 n개의 제2 데이터선 DSB(1) 내지 DSB(n)를 통해 접속된다. 데이터선 구동 회로(204)는 어드레스 신호에 따라 센스 래치 어레이(201)로부터 센스 래치(190)를 포함하는 소정의 열을 선택한다. 판독 회로는 선택된 열의 센스 래치(190)의 출력 신호를 입력 신호로서 수신하고, 센스 래치(190)에 저장된 데이터를 판독한다. 기입 회로는 선택된 열의 센스 래치(190)에 기입되는 데이터에 대응하는 신호를 출력한다. 데이터선 구동 회로(204)는 프리차지 회로를 포함할 수 있다는 것을 유의한다. 프리차지 회로는 선택된 열의 센스 래치의 입력/출력 단자에 소정의 전위(프리차지 전위 V_{pc})를 공급한다.

[0039] 제1 워드선 구동 회로(203)는 메모리 셀 어레이(202)에 포함된 복수의 메모리 셀(170)에 m2개의 제1 워드선 WL(1) 내지 WL(m2)을 통해 접속된다. 제1 워드선 구동 회로(203)는 어드레스 신호에 따라 메모리 셀 어레이(202)의 메모리 셀(170)을 포함하는 소정의 행을 선택한다. 일 행 또는 복수의 행이 선택될 수 있다.

[0040] 제2 워드선 구동 회로(205)는 센스 래치 어레이(201)에 포함된 복수의 센스 래치(190)에 m개의 제2 워드선 WS(1) 내지 WS(m)를 통해 접속된다. 제2 워드선 구동 회로(205)는 어드레스 신호에 따라 센스 래치 어레이(201)로부터 센스 래치(190)를 포함하는 소정의 행을 선택한다. 일 행 또는 복수의 행이 선택될 수 있다.

[0041] 도 1b는 도 1a에 도시된 반도체 장치와는 부분적으로 다른 반도체 장치의 예를 도시한다. 도 1b에 도시된 반도체 장치는 하부에 매트릭스로 배열된 복수의 센스 래치(190)를 포함하는 센스 래치 어레이(201)를 포함하고, 상부에 매트릭스로 배열된 복수의 메모리 셀(170)을 각각 포함하는 복수의 메모리 셀 어레이(202(1) 내지 202(k))를 포함한다. 하부에는 센스 래치 어레이(201) 외에도, 제1 워드선 구동 회로(203), 데이터선 구동 회로(204), 및 제2 워드선 구동 회로(205) 등의 주변 회로가 설치된다. 도 1b에 도시된 반도체 장치에 있어서, 제1층은 센스 래치 어레이(201)이고, 제2층은 메모리 셀 어레이(202(1))이고, 제(k+1)층은 메모리 셀 어레이(202(k))라는 것을 유의한다. 여기에서, k는 자연수이다.

[0042] 데이터선 구동 회로(204)는 판독 회로 및 기입 회로를 포함한다. 또한, 데이터선 구동 회로(204)는 센스 래치 어레이(201)에 포함된 복수의 센스 래치(190)에 n개의 제1 데이터선 DS(1) 내지 DS(n) 및 n개의 제2 데이터선 DSB(1) 내지 DSB(n)를 통해 접속된다. 데이터선 구동 회로(204)는 어드레스 신호에 따라 센스 래치 어레이(201)로부터 센스 래치(190)를 포함하는 소정의 열을 선택한다. 판독 회로는 선택된 열의 센스 래치(190)의 출력 신호를 입력 신호로서 수신하고, 센스 래치(190)에 저장된 데이터를 판독한다. 기입 회로는 선택된 열의 센스 래치(190)에 기입되는 데이터에 대응하는 신호를 출력한다. 데이터선 구동 회로(204)는 프리차지 회로를 포함할 수 있다는 것을 유의한다. 프리차지 회로는 선택된 행의 센스 래치의 입력/출력 단자에 소정의 전위(프리차지 전위 V_{pc})를 공급한다.

[0043] 제1 워드선 구동 회로(203)는 메모리 셀 어레이(202(1) 내지 202(k)) 각각에 포함된 복수의 메모리 셀(170)에 k×m2개의 제1 워드선 WL(1) 내지 WL(k×m2)을 통해 접속된다. 제1 워드선 구동 회로(203)는 층을 선택하는 어드레스 신호에 따라 메모리 셀 어레이(202(1) 내지 202(k))로부터 소정의 메모리 셀 어레이를 선택하고, 행을 선택하는 어드레스 신호에 따라 선택된 층 내의 메모리 셀 어레이의 메모리 셀(170)을 포함하는 소정의 행을 선택한다. 일 행 또는 복수의 행의 메모리 셀(170)이 선택될 수 있다.

[0044] 제2 워드선 구동 회로(205)는 센스 래치 어레이(201)에 포함된 복수의 센스 래치(190)에 m개의 제2 워드선 WS(1) 내지 WS(m)를 통해 접속된다. 제2 워드선 구동 회로(205)는 어드레스 신호에 따라 센스 래치 어레이(201)로부터 센스 래치(190)를 포함하는 소정의 행을 선택한다. 일 행 또는 복수의 행이 선택될 수 있다.

[0045] <메모리 셀 및 센스 래치의 구성>

[0046] 도 2는 도 1a 및 도 1b에 도시된 반도체 장치에 있어서 제(iz+1)층의 메모리 셀 어레이(202(iz))의 제ix행 제iy열에 있어서의 메모리 셀(170(ix, iy, iz))과, 제1층의 센스 래치 어레이(201)의 제ix행 제iy열에 있어서의 센스 래치(190(ix, iy, 1))의 회로 구성을 도시한다.

[0047] 도 2에 도시된 메모리 셀(170(ix, iy, iz))은 산화물 반도체 재료를 포함하는 트랜지스터(162)와, 용량 소자

(164)를 포함한다. 도 2에 있어서, 트랜지스터(162)가 산화물 반도체 재료를 포함하는 것을 나타내기 위해서 "OS"의 부호를 부가한다는 것을 유의한다.

[0048] 도 2에 도시된 메모리 셀(170(ix, iy, iz))에 있어서, 제1 워드선 WL(ix, iz)은 트랜지스터(162)의 게이트 전극에 전기적으로 접속되고, 용량선 CP(ix, iz)은 용량 소자(164)의 일 단자에 전기적으로 접속되고, 용량 소자(164)의 타 단자는 트랜지스터(162)의 소스 전극 또는 드레인 전극에 전기적으로 접속되고, 트랜지스터(162)의 소스 전극 또는 드레인 전극은 센스 래치(190(ix, iy, 1))의 노드 p에 전기적으로 접속된다. 제1 워드선 WL(ix, iz)은 메모리 셀 어레이(202(iz))에 있어서 제ix행의 제1 워드선 WL이고, 용량선 CP(ix, iz)은 메모리 셀 어레이(202(iz))에 있어서 제ix행의 용량선 CP인 것을 유의한다.

[0049] 도 2에 도시된 센스 래치(190(ix, iy, 1))는 산화물 반도체 이외의 반도체 재료를 사용하여 형성된 트랜지스터(181 내지 188)를 포함한다. 산화물 반도체 이외의 반도체 재료로서, 예를 들어, 실리콘 등을 사용할 수 있다. 트랜지스터(181 내지 183)는 p 채널 트랜지스터이고, 트랜지스터(184 내지 188)는 n 채널 트랜지스터이다.

[0050] 도 2에 도시된 센스 래치(190(ix, iy, 1))에 있어서, 제1 데이터선 DS(iy)는 트랜지스터(184)의 소스 전극 또는 드레인 전극에 전기적으로 접속되고, 제2 데이터선 DSB(iy)는 트랜지스터(185)의 소스 전극 또는 드레인 전극에 전기적으로 접속된다. 신호선 Sp(ix)는 트랜지스터(181)의 게이트 전극에 전기적으로 접속된다. 제2 워드선 WS(ix)는 트랜지스터(184)의 게이트 전극 및 트랜지스터(185)의 게이트 전극에 전기적으로 접속된다. 신호선 Sn(ix)은 트랜지스터(188)의 게이트 전극에 전기적으로 접속된다.

[0051] CMOS 회로 A는 p 채널 트랜지스터인 트랜지스터(182)와, n 채널 트랜지스터인 트랜지스터(186)에 의해 형성된다. 마찬가지로, CMOS 회로 B는 p 채널 트랜지스터인 트랜지스터(183)와, n 채널 트랜지스터인 트랜지스터(187)에 의해 형성된다. CMOS 회로 A의 출력 단자는 CMOS 회로 B의 입력 단자, 및 트랜지스터(185)의 소스 전극 또는 드레인 전극에 접속되고, CMOS 회로 A의 입력 단자는 CMOS 회로 B의 출력 단자, 및 트랜지스터(184)의 소스 전극 또는 드레인 전극에 접속된다. 또한, 트랜지스터(182)의 소스 전극 및 트랜지스터(183)의 소스 전극은 트랜지스터(181)의 드레인 전극에 접속되고, 트랜지스터(186)의 소스 전극 및 트랜지스터(187)의 소스 전극은 트랜지스터(188)의 드레인 전극에 접속된다.

[0052] 여기에서, CMOS 회로 A의 출력 단자와, 트랜지스터(184)의 소스 전극 또는 드레인 전극 사이의 노드는 노드 p이다. CMOS 회로 B의 출력 단자와, 트랜지스터(185)의 소스 전극 또는 드레인 전극 사이의 노드는 노드 q이다.

[0053] 메모리 셀(170(ix, iy, iz))이 센스 래치(190(ix, iy, 1))의 노드 p에 접속되는 경우에 대해서 도 2를 참조하여 설명했지만, 메모리 셀(170)이 센스 래치(190(ix, iy, 1))의 노드 q에 접속될 수 있거나, 메모리 셀(170)이 센스 래치(190(ix, iy, 1))의 노드 p 및 노드 q에 접속될 수 있다. 메모리 셀이 센스 래치(190(ix, iy, 1))의 노드 p 및 노드 q에 접속될 때, 메모리 셀 어레이(202)의 집적도를 증가시킬 수 있다.

[0054] 또한, 도 2는 메모리 셀(170(ix, iy, iz))이 센스 래치(190(ix, iy, 1))의 노드 p에 접속되는 경우에 대해서 도시하지만, 본 발명의 일 실시 형태는 그것에 한정되지 않는다. 복수의 메모리 셀이 센스 래치(190(ix, iy, 1))의 노드 p에 접속될 수 있다. 예를 들어, 센스 래치 어레이(201) 위에 복수의 메모리 셀 어레이가 적층되는 경우에, 복수의 메모리 셀 어레이에 포함된 메모리 셀 각각은 센스 래치(190(ix, iy, 1))의 노드 p에 접속될 수 있다. 구체적으로, iz개의 메모리 셀 어레이가 적층되는 경우에, 메모리 셀(170(ix, iy, 2) 내지 170(ix, iy, iz+1)) 각각은 센스 래치(190(ix, iy, 1))의 노드 p에 접속될 수 있다. 노드 q에 있어서도 마찬가지로 적용될 수 있다는 것을 유의한다.

[0055] 이어서, 도 2에 도시된 메모리 셀(170(ix, iy, iz))에 데이터를 기입 및 유지하는 것에 대해서 설명한다.

[0056] 우선, 제1 워드선 WL(ix, iz)의 전위를 트랜지스터(162)가 턴 온되는 전위로 설정하고, 트랜지스터(162)를 턴 온한다. 이에 의해, 센스 래치(190(ix, iy, 1))의 노드 p의 전위가 용량 소자(164)의 제1 단자에 공급된다(기입). 그 후, 제1 워드선 WL(ix, iz)의 전위를 트랜지스터(162)가 턴 오프되는 전위로 설정하고, 트랜지스터(162)를 턴 오프한다. 따라서, 용량 소자(164)의 제1 단자의 전위(또는 용량 소자(164)에 축적된 전하)가 유지된다(유지).

[0057] 트랜지스터(162)는 채널 형성 영역에 산화물 반도체 재료를 포함한다. 채널 형성 영역에 산화물 반도체 재료를 포함하는 트랜지스터는 오프 전류가 상당히 작다는 특징이 있다. 이 때문에, 트랜지스터(162)가 오프 상태에 있을 때, 용량 소자(164)의 제1 단자의 전위(또는 용량 소자(164)에 축적된 전하)를 극히 장시간 동안 유지할 수 있다. 또한, 채널 형성 영역에 산화물 반도체 재료를 포함하는 트랜지스터(162)에 있어서, 단채널 효과

(short channel effect)가 발생하기 어렵다는 이점도 있다.

[0058] 이어서, 메모리 셀(170(ix, iy, iz))에 유지된 데이터의 판독에 대해서 설명한다. 우선, 제1 워드선 WL(ix, iz)의 전위를 트랜지스터(162)가 턴 온되는 전위로 설정하고, 트랜지스터(162)를 턴 온한다. 이에 의해, 부유 상태의 노드 p와, 용량 소자(164)가 서로 전기적으로 접속되고, 노드 p와 용량 소자(164) 사이에서 전하가 재분배된다. 그 결과, 노드 p의 전위가 변화한다. 노드 p의 전위의 변화량은 용량 소자(164)의 제1 단자의 전위(또는 용량 소자(164)에 축적된 전하)에 따라 변화한다.

[0059] 예를 들어, 용량 소자(164)의 제1 단자의 전위를 V라고 하고, 용량 소자(164)의 용량을 C라고 하고, 노드 p의 용량(이하, 노드 p의 용량이라고 일컬음)을 C_B라고 하고, 전하 재분배 전의 노드 p의 전위를 V_{B0}라고 하면, 전하 재분배 후의 노드 p의 전위 V_p는 $(C_B \times V_{B0}+C \times V)/(C_B+C)$이다. 따라서, 메모리 셀(170(ix, iy, iz))이 용량 소자(164)의 제1 단자의 전위가 V_1과 V_0($V_1>V_0$)인 2개의 상태 중 어느 하나라고 가정하면, 전위 V_1을 유지하는 경우의 노드 p의 전위 V_{p1}($=(C_B \times V_{B0}+C \times V_1)/(C_B+C)$)은 전위 V_0을 유지하는 경우의 노드 p의 전위 V_{p0}($=(C_B \times V_{B0}+C \times V_0)/(C_B+C)$)보다 높아지는 것을 알 수 있다.

[0060] 그리고, 노드 p의 전위를 소정의 전위와 비교함으로써 데이터를 판독할 수 있다. 센스 래치(190(ix, iy, 1))에 있어서, 노드 p의 전위 V_p를 노드 q의 전위 V_q와 비교한다. 노드 q의 전위 V_q는 노드 p의 전위 V_{p0}와 V_{p1} 사이의 값일 수 있다.

[0061] 산화물 반도체 재료를 포함하는 트랜지스터의 오프 전류가 극히 작기 때문에, 이 트랜지스터를 메모리 셀에 사용함으로써 극히 장시간 동안 저장 데이터를 유지할 수 있다. 즉, 리프레시 동작이 불필요하게 되거나, 리프레시 동작의 빈도를 극히 낮게 할 수 있기 때문에, 소비 전력을 충분히 감소시킬 수 있다. 또한, 전력이 공급되지 않을 때(전위는 고정되는 것이 바람직하다는 것을 유의한다)에도 장시간 동안 저장 데이터를 유지할 수 있다. 이에 의해, 자성 재료 또는 광학 재료를 포함하는 추가적인 메모리 장치가 불필요하기 때문에, 반도체 장치의 소형화를 달성할 수 있다.

[0062] 또한, 산화물 반도체 재료를 포함하는 트랜지스터를 포함하는 메모리 셀은 데이터의 기입에 높은 전압을 필요로 하지 않고, 메모리 셀의 열화의 문제가 없다. 예를 들어, 종래의 불휘발성 메모리 장치와는 달리, 플로팅 게이트로의 전자의 주입과, 플로팅 게이트로부터의 전자의 인출을 행할 필요가 없기 때문에, 게이트 절연층의 열화 등의 문제가 전혀 발생하지 않는다. 즉, 산화물 반도체 재료를 포함하는 트랜지스터를 포함하는 메모리 셀은 종래의 불휘발성 메모리 장치의 문제인 기입 횟수의 제한이 없고, 그 신뢰성이 비약적으로 향상된다. 또한, 트랜지스터의 온 상태 및 오프 상태에 따라 데이터가 기입됨으로써, 고속 동작이 용이하게 실현될 수 있다. 또한, 데이터를 소거하기 위한 동작이 불필요하다는 이점이 있다.

[0063] 또한, 산화물 반도체 이외의 반도체 재료를 포함하는 트랜지스터는 산화물 반도체 재료를 포함하는 트랜지스터보다 훨씬 고속의 동작을 행할 수 있다. 따라서, 산화물 반도체 이외의 반도체 재료를 포함하는 트랜지스터를 포함하는 센스 래치가, 산화물 반도체 재료를 포함하는 트랜지스터를 포함하는 메모리 셀과 조합될 때, 반도체 장치의 동작(예를 들어, 데이터 판독 동작 또는 데이터 기입 동작)을 충분히 고속으로 행할 수 있다.

[0064] <반도체 장치의 구동 방법>

[0065] 이어서, 도 2에 도시된 반도체 장치에 있어서, 메모리 셀 어레이로부터 센스 래치 어레이로의 데이터의 판독, 센스 래치 어레이로부터 메모리 셀 어레이로의 데이터의 기입, 및 메모리 셀 어레이의 데이터의 유지에 대해서 도 3, 도 4a 내지 도 4d, 도 5a 내지 도 5d, 및 도 6을 참조하여 설명한다. 메모리 셀은 용량 소자의 제1 단자에 있어서 전위 V_{DD}와 전위 V_{SS}를 유지하는 2개의 상태 중 어느 하나에 있고, 전위 V_{DD}를 유지하는 상태가 데이터 "1"이고, 전위 V_{SS}를 유지하는 상태를 데이터 "0"이라고 가정한다는 것을 유의한다.

[0066] 도 3은 데이터선 구동 회로(204), 센스 래치 어레이(201), 및 메모리 셀 어레이(202(iz))를 도시한다. 도 3은 도 1b에 도시된 반도체 장치의 일부를 도시한다. 메모리 셀 어레이(202(iz))는 m개의 제1 워드선 WL(1, iz) 내지 WL(m, iz), m개의 용량선 CP(1, iz) 내지 CP(m, iz), 및 m(세로 방향)×n(가로 방향)의 매트릭스로 배열된 메모리 셀(170(1, 1, iz) 내지 170(m, n, iz))을 포함한다. 또한, 센스 래치 어레이(201)는 m개의 신호선 Sp(1) 내지 Sp(m), m개의 신호선 Sn(1) 내지 Sn(m), m개의 제2 워드선 WS(1) 내지 WS(m), 및 m(세로 방향)×n(가로 방향)의 매트릭스로 배열된 센스 래치(190(1, 1, 1) 내지 190(m, n, 1))를 포함한다. 여기에서, 제1 워드선의 개수와 제2 워드선의 개수는 동등한 m(도 1b에 있어서의 m2는 도 3의 m이다)이라는 것을 유의한다. 신

호선은 용량선 CP(1, iz) 내지 CP(m, iz)으로서 기능할 수 있다는 것을 유의한다.

[0067] 제(1+iz)층의 메모리 셀 어레이(202(iz))에 있어서 제ix행 제iy열의 메모리 셀(170(ix, iy, iz))은 제1층의 센스 래치 어레이(201)에 있어서 제ix행 제iy열의 센스 래치(190(ix, iy, 1))의 노드 p에 접속된다. 다른 메모리 셀 및 센스 래치에 있어서도 마찬가지로 적용될 수 있다.

[0068] 또한, 데이터선 구동 회로(204)는 제1 데이터선 DS(1) 내지 DS(n), 및 제2 데이터선 DSB(1) 내지 DSB(n)를 통해 센스 래치 어레이(201)에 접속된다. 데이터선 구동 회로(204)는 신호선 ϕpc, n개의 판독 회로(241(1) 내지 241(n)), n개의 기입 회로(242(1) 내지 242(n)), 및 n개의 프리차지 회로(243(1) 내지 243(n))를 포함한다. 예를 들어, 제iy열에 있어서, 판독 회로(241(iy)), 기입 회로(242(iy)), 프리차지 회로(243(iy)), 및 센스 래치(190(1, iy, 1) 내지 190(m, iy, 1))는 제1 데이터선 DS(iy) 및 제2 데이터선 DSB(iy)를 통해 서로 전기적으로 접속된다.

[0069] 여기에서, 제(iz+1)층의 메모리 셀 어레이(202(iz))에 있어서 제ix행의 메모리 셀(170(ix, 1, iz) 내지 170(ix, n, iz))로부터 데이터를 판독하고, 거기에 데이터를 기입하고, 유지하는 경우에 대해서 도 4의 (a) 내지 도 4의 (d)의 타이밍도를 참조하여 설명한다.

[0070] 도 4의 (a)는 신호선 ϕpc 및 제2 워드선 WS(ix)의 타이밍도이다. 도 4의 (b)는 신호선 Sp(ix), 신호선 Sn(ix), 및 제1 워드선 WL(ix, iz)의 타이밍도이다. 도 4의 (c)는 데이터 "1"을 판독하거나 기입하는 경우에, 메모리 셀(170)에 접속되는 노드 p 및 노드 q의 타이밍도이다. 도 4의 (d)는 데이터 "0"을 판독하거나 기입하는 경우에, 메모리 셀(170)에 접속되는 노드 p 및 노드 q의 타이밍도이다.

[0071] 메모리 셀 어레이(202(iz))에 있어서, 제ix행의 메모리 셀(170(ix, 1, iz) 내지 170(ix, n, iz))로부터 데이터를 판독할 때, 우선, 신호선 Sp(ix)에 전위 V_{DD}를 공급하고, 신호선 Sn(ix)에 전위 V_{SS}를 공급함으로써, 제ix행의 센스 래치(190(ix, 1, 1) 내지 190(ix, n, 1))를 비활성화한다.

[0072] 제ix행의 센스 래치(190(ix, 1, 1) 내지 190(ix, n, 1)) 각각의 노드 p 및 노드 q에 전위 V_{pc}를 공급함으로써 프리차지를 행한다. 예를 들어, 신호선 ϕpc에 전위 V_{DD}를 공급하고 제2 워드선 WS(ix)에 전위 V_{DD}를 공급함으로써, 센스 래치(190(ix, 1, 1) 내지 190(ix, n, 1)) 각각의 노드 p 및 노드 q에 전위 V_{pc}가 공급된다. 전위 V_{pc}는 예를 들어, (V_{DD}/2)이다. 그리고, 신호선 ϕpc 및 제2 워드선 WS(ix)에 전위 V_{SS}가 공급됨으로써 프리차지를 종료시킨다.

[0073] 이어서, 제ix행의 제1 워드선 WL(ix, iz)을 활성화함으로써, 메모리 셀(170(ix, 1, iz) 내지 170(ix, n, iz)) 각각의 트랜지스터를 턴 온한다. 여기에서, 제1 워드선 WL(ix, iz)에 전위 V_{DD}보다 높은 전위 V_{DDH}를 공급한다.

[0074] 그 결과, 메모리 셀(170(ix, 1, iz) 내지 170(ix, n, iz)) 중 데이터 "1"이 저장된 메모리 셀(170)에 접속되는 노드 p의 전위는, 노드 p의 용량과 메모리 셀(170)의 용량 소자 사이에서 전하가 분배되기 때문에, 약간 상승한다. 메모리 셀(170(ix, 1, iz) 내지 170(ix, n, iz)) 중 데이터 "0"이 저장된 메모리 셀(170)에 접속되는 노드 p의 전위는, 노드 p의 용량과 메모리 셀(170)의 용량 소자 사이에서 전하가 분배되기 때문에, 약간 하강한다.

[0075] 이어서, 제ix행의 센스 래치(190(ix, 1, 1) 내지 190(ix, n, 1))를 활성화한다. 구체적으로, 신호선 Sn(ix)에 공급되는 전위를 전위 V_{SS}로부터 전위 V_{DD}로 변경하고, 신호선 Sp(ix)에 공급되는 전위를 전위 V_{DD}로부터 전위 V_{SS}로 변경한다.

[0076] 그 결과, 제ix행의 센스 래치(190(ix, 1, 1) 내지 190(ix, n, 1))는 활성화되고, 노드 p와 노드 q 간의 전위차를 증폭한다. 데이터 "1"이 저장된 메모리 셀(170)에 접속되는 센스 래치(190)의 노드 p의 전위는 전하의 재분배로 인해 노드 q의 전위보다 약간 높아진다. 이에 의해, 이 전위차가 센스 래치에 의해 증폭되고, 센스 래치에 저장된다. 즉, 노드 p에 전위 V_{DD}가 공급되고, 노드 q에 전위 V_{SS}가 공급된다. 또한, 데이터 "0"이 저장된 메모리 셀(170)에 접속되는 센스 래치(190)의 노드 p의 전위는 전하의 재분배로 인해 노드 q의 전위보다 약간 낮아진다. 이에 의해, 이 전위차가 센스 래치에 의해 증폭되고, 센스 래치에 저장된다. 즉, 노드 p에 전위 V_{SS}가 공급되고, 노드 q에 전위 V_{DD}가 공급된다. 따라서, 메모리 셀(170(ix, 1, iz) 내지 170(ix, n, iz))로부터 센스 래치(190(ix, 1, 1) 내지 190(ix, n, 1))에 데이터가 판독된다.

[0077] 그 후, 제1 워드선 WL(ix, iz)을 비활성화하여(여기에서는, 전위 V_{SS}를 공급한다), 메모리 셀(170(ix, 1, iz) 내지 170(ix, n, iz)) 각각의 트랜지스터를 턴 오프한다. 이때, 메모리 셀(170(ix, 1, iz) 내지 170(ix, n, iz))에 원래 저장되어 있었던 데이터가 메모리 셀(170(ix, 1, iz) 내지 170(ix, n, iz))에 다시 저장된다.

[0078] 이상과 같이 하여, 메모리 셀(170(ix, 1, iz) 내지 170(ix, n, iz))로부터 센스 래치(190(ix, 1, 1) 내지 190(ix, n, 1))에 데이터를 판독할 수 있다.

[0079] 이어서, 제(iz+1)층의 메모리 셀 어레이(202(iz))에 있어서 제ix행의 메모리 셀(170(ix, 1, iz) 내지 170(ix, n, iz))에 센스 래치(190(ix, 1, 1) 내지 190(ix, n, 1))에 저장된 데이터를 기입하는 경우에 대해서 도 4의 (a) 내지 도 4의 (d)의 타이밍도를 참조하여 설명한다.

[0080] 메모리 셀 어레이(202(iz))에 있어서 제ix행의 메모리 셀(170(ix, 1, iz) 내지 170(ix, n, iz))에, 센스 래치(190(ix, 1, 1) 내지 190(ix, n, 1))에 저장된 데이터를 기입하기 위해서 제ix행의 제1 워드선 WL(ix, iz)을 활성화할 수 있다. 여기에서, 제1 워드선 WL(ix, iz)에 전위 V_{DD}보다 높은 전위 V_{DDH}를 공급한다.

[0081] 그 결과, 센스 래치(190)에 데이터 "1"이 저장된 경우에, 노드 p에 V_{DD}가 공급되고, 노드 q에 V_{SS}가 공급된다. 이에 의해, 데이터 "1"이 저장된 센스 래치(190)의 노드 p에 접속된 메모리 셀(170)의 용량 소자의 제1 단자에 V_{DD}가 공급된다. 대안적으로, 센스 래치(190)에 데이터 "0"이 저장된 경우에, 노드 p에 V_{SS}가 공급되고, 노드 q에 V_{DD}가 공급된다. 이에 의해, 데이터 "0"이 저장된 센스 래치(190)의 노드 p에 접속된 메모리 셀(170)의 용량 소자의 제1 단자에 V_{SS}가 공급된다.

[0082] 그 후, 제1 워드선 WL(ix, iz)을 비활성화하여(여기에서는, 전위 V_{SS}를 공급한다), 메모리 셀(170(ix, 1, iz) 내지 170(ix, n, iz)) 각각의 트랜지스터를 턴 오프한다.

[0083] 이상과 같이 하여, 센스 래치(190(ix, 1, 1) 내지 190(ix, n, 1))로부터 메모리 셀(170(ix, 1, iz) 내지 170(ix, n, iz))에 데이터를 기입할 수 있다.

[0084] 메모리 셀(170(ix, 1, iz) 내지 170(ix, n, iz))에 저장된 데이터를 유지할 경우에, 메모리 셀(170(ix, 1, iz) 내지 170(ix, n, iz))에 접속되는 제1 워드선 WL(ix, iz)을 비활성화(여기에서는, 전위 V_{SS}를 공급한다)할 수 있다. 이에 의해, 메모리 셀(170(ix, 1, iz) 내지 170(ix, n, iz)) 각각의 트랜지스터가 턴 오프되기 때문에, 용량 소자의 제1 단자의 전위(또는 용량 소자에 축적된 전하)는 유지된다.

[0085] 이어서, 제(iz+1)층의 메모리 셀 어레이(202(iz))에 있어서, 제1행 내지 제m행의 메모리 셀(170(1, 1, iz) 내지 170(m, n, iz))로부터 데이터를 판독하고, 거기에 데이터를 기입하고, 유지하는 경우에 대해서 도 5의 (a) 내지 도 5의 (d)의 타이밍도를 참조하여 설명한다.

[0086] 도 5의 (a)는 신호선 ϕpc 및 제2 워드선 WS(1) 내지 WS(m)의 타이밍도이다. 도 5의 (b)는 신호선 Sp(1) 내지 Sp(m), 신호선 Sn(1) 내지 Sn(m), 및 제1 워드선 WL(1, iz) 내지 WL(m, iz)의 타이밍도이다. 도 5의 (c)는 데이터 "1"이 저장된 메모리 셀(170)에 접속되는 노드 p 및 노드 q의 타이밍도이다. 도 5의 (d)는 데이터 "0"이 저장된 메모리 셀(170)에 접속되는 노드 p 및 노드 q의 타이밍도이다.

[0087] 메모리 셀 어레이(202(iz))에 있어서, 제1행 내지 제m행의 메모리 셀(170(1, 1, iz) 내지 170(m, n, iz))로부터 데이터를 판독하기 위해서, 우선, 신호선 Sp(1) 내지 Sp(m)에 전위 V_{DD}를 공급하고, 신호선 Sn(1) 내지 Sn(m)에 전위 V_{SS}를 공급함으로써, 제1행 내지 제m행의 메모리 셀(170(1, 1, iz) 내지 170(m, n, iz))을 비활성화한다.

[0088] 이어서, 센스 래치(190(1, 1, 1) 내지 190(m, n, 1)) 각각의 노드 p 및 노드 q에 전위 V_{pc}를 공급함으로써 프리차지를 행한다. 예를 들어, 신호선 ϕpc에 전위 V_{DD}를 공급하고, 제2 워드선 WS(1) 내지 WS(m)에 전위 V_{DD}를 공급함으로써, 센스 래치(190(1, 1, 1) 내지 190(m, n, 1)) 각각의 노드 p 및 노드 q에 전위 V_{pc}가 공급된다. 전위 V_{pc}는 예를 들어, (V_{DD}/2)이다. 따라서, 신호선 ϕpc 및 제2 워드선 WS(1) 내지 WS(m)에 전위 V_{SS}가 공급됨으로써 프리차지를 종료시킨다.

[0089] 이어서, 제1행 내지 제m행의 제1 워드선 WL(1, iz) 내지 WL(m, iz)을 활성화하여, 메모리 셀(170(1, 1, iz) 내지 170(m, n, iz)) 각각의 트랜지스터를 턴 온한다. 여기에서, 제1 워드선 WL(1, iz) 내지 WL(m, iz)에 전위

V_{DD}보다 높은 전위 V_{DDH}를 공급한다.

[0090] 그 결과, 메모리 셀(170(1, 1, iz) 내지 170(m, n, iz)) 중 데이터 "1"이 저장된 메모리 셀(170)에 접속되는 노드 p의 전위는, 노드 p의 용량과 메모리 셀(170)의 용량 소자 사이에서 전하가 분배되기 때문에, 약간 상승한다. 메모리 셀(170(1, 1, iz) 내지 170(m, n, iz)) 중 데이터 "0"이 저장된 메모리 셀(170)에 접속되는 노드 p의 전위는, 노드 p의 용량과 메모리 셀(170)의 용량 소자 사이에서 전하가 분배되기 때문에, 약간 하강한다.

[0091] 이어서, 제1행 내지 제m행의 센스 래치(190(1, 1, 1) 내지 190(m, n, 1))를 활성화한다. 구체적으로, 신호선 Sn(1) 내지 Sn(m)에 공급되는 전위를 전위 V_{SS}로부터 전위 V_{DD}로 변경하고, 신호선 Sp(1) 내지 Sp(m)에 공급되는 전위를 전위 V_{DD}로부터 전위 V_{SS}로 변경한다.

[0092] 그 결과, 센스 래치(190(1, 1, 1) 내지 190(m, n, 1))는 활성화되고, 노드 p와 노드 q 간의 전위차를 증폭한다. 데이터 "1"이 저장된 메모리 셀(170)에 접속되는 센스 래치(190)의 노드 p의 전위는 전하의 재분배로 인해 노드 q의 전위보다 약간 높아진다. 이에 의해, 이 전위차가 센스 래치에 의해 증폭되고, 센스 래치에 저장된다. 즉, 노드 p에 전위 V_{DD}가 공급되고, 노드 q에 전위 V_{SS}가 공급된다. 또한, 데이터 "0"이 저장된 메모리 셀(170)에 접속되는 센스 래치(190)의 노드 p의 전위는 전하의 재분배로 인해 노드 q의 전위보다 약간 낮아진다. 이에 의해, 이 전위차가 센스 래치에 의해 증폭되고, 센스 래치에 저장된다. 즉, 노드 p에 전위 V_{SS}가 공급되고, 노드 q에 전위 V_{DD}가 공급된다. 이와 같이 하여, 메모리 셀(170(1, 1, iz) 내지 170(m, n, iz))로부터 센스 래치(190(1, 1, 1) 내지 190(m, n, 1))에 데이터가 판독된다.

[0093] 그 후, 제1 워드선 WL(1, iz) 내지 WL(m, iz)을 비활성화하여(여기에서는, 전위 V_{SS}를 공급한다), 메모리 셀(170(1, 1, iz) 내지 170(m, n, iz)) 각각의 트랜지스터를 턴 오프한다. 이때, 메모리 셀(170(1, 1, iz) 내지 170(m, n, iz))에 원래 저장되어 있었던 데이터가 메모리 셀(170(1, 1, iz) 내지 170(m, n, iz))에 다시 저장된다.

[0094] 이상과 같이 하여, 메모리 셀(170(1, 1, iz) 내지 170(m, n, iz))로부터 센스 래치(190(1, 1, 1) 내지 190(m, n, 1))에 데이터를 판독할 수 있다.

[0095] 이어서, 제(iz+1)층의 메모리 셀 어레이(202(iz))에 있어서, 제1행 내지 제m행의 메모리 셀(170(1, 1, iz) 내지 170(m, n, iz))에, 센스 래치(190(1, 1, 1) 내지 190(m, n, 1))에 저장된 데이터를 기입하는 경우에 대해서 도 5의 (a) 내지 도 5의 (d)의 타이밍도를 참조하여 설명한다.

[0096] 메모리 셀 어레이(202(iz))에 있어서 제1행 내지 제m행의 메모리 셀(170(1, 1, iz) 내지 170(m, n, iz))에, 센스 래치(190(1, 1, 1) 내지 190(m, n, 1))에 저장된 데이터를 기입하기 위해서 제1행 내지 제m행의 제1 워드선 WL(1, iz) 내지 WL(m, iz)을 활성화할 수 있다. 여기에서, 제1 워드선 WL(1, iz) 내지 WL(m, iz)에 전위 V_{DD}보다 높은 전위 V_{DDH}를 공급한다.

[0097] 그 결과, 센스 래치(190)에 데이터 "1"이 저장된 경우에, 노드 p에 V_{DD}가 공급되고, 노드 q에 V_{SS}가 공급된다. 이에 의해, 데이터 "1"이 저장된 센스 래치(190)의 노드 p에 접속된 메모리 셀(170)의 용량 소자의 제1 단자에 V_{DD}가 공급된다. 그렇지 않고, 센스 래치(190)에 데이터 "0"이 저장된 경우에, 노드 p에 V_{SS}가 공급되고, 노드 q에 V_{DD}가 공급된다. 이에 의해, 데이터 "0"이 저장된 센스 래치(190)의 노드 p에 접속된 메모리 셀(170)의 용량 소자의 제1 단자에 V_{SS}가 공급된다.

[0098] 그 후, 제1 워드선 WL(1, iz) 내지 WL(m, iz)을 비활성화(여기에서는, 전위 V_{SS}를 공급한다)하여, 메모리 셀(170(1, 1, iz) 내지 170(m, n, iz)) 각각의 트랜지스터를 턴 오프한다.

[0099] 이상과 같이 하여, 센스 래치(190(1, 1, 1) 내지 190(m, n, 1))로부터 메모리 셀(170(1, 1, iz) 내지 170(m, n, iz))에 데이터를 기입할 수 있다.

[0100] 메모리 셀(170(1, 1, iz) 내지 170(m, n, iz))에 저장된 데이터를 유지할 경우에, 메모리 셀(170(1, 1, iz) 내지 170(m, n, iz))에 접속되는 제1 워드선 WL(1, iz) 내지 WL(m, iz)을 비활성화(여기에서는, 전위 V_{SS}를 공급한다)할 수 있다. 이에 의해, 메모리 셀(170(1, 1, iz) 내지 170(m, n, iz)) 각각의 트랜지스터가 턴 오프됨으로써, 용량 소자의 제1 단자의 전위(또는 용량 소자에 축적된 전하)가 유지된다.

[0101] 이어서, 도 6은 도 1b에 도시된 반도체 장치의 일부를 도시한다. 도 6에 도시된 센스 래치(190)는 도 3에 도시된 센스 래치(190)와는 부분적으로 상이하다. 즉, 도 3에 도시된 센스 래치(190)는 8개의 트랜지스터를 포함하는 것에 반해, 도 6에 도시된 센스 래치(190)는 6개의 트랜지스터를 포함한다. 또한, 도 6에 도시된 센스 래치(190)에서는, 도 2에 있어서의 트랜지스터들(181, 188)에 상당하는 트랜지스터들이 각 행에 설치된다. 그러한 구성에 의해, 센스 래치 어레이(201)가 점유하는 면적을 도 3의 것에 비해 축소할 수 있다.

[0102] 또한, 도 6에 도시된 센스 래치(190)의 노드 p 및 노드 q에 대해 각각 메모리 셀을 설치한다. 이에 의해, 메모리 셀 어레이(202)의 집적화가 도 3의 것에 비해 높아질 수 있다.

[0103] 도 6에 있어서, 메모리 셀 어레이(202(iz))는 노드 p에 접속되는 m개의 제1 워드선 WL(1, iz, 1) 내지 WL(m, iz, 1), 노드 p에 접속되는 m개의 용량선 CP(1, iz, 1) 내지 CP(m, iz, 1), 및 노드 p에 접속되고 m(세로 방향)×n(가로 방향)의 매트릭스로 배열된 메모리 셀(170(1, 1, iz, 1) 내지 170(m, n, iz, 1))을 포함한다. 또한, 메모리 셀 어레이(202(iz))는 노드 q에 접속되는 m개의 제1 워드선 WL(1, iz, 2) 내지 WL(m, iz, 2), 노드 q에 접속되는 m개의 용량선 CP(1, iz, 2) 내지 CP(m, iz, 2), 및 노드 q에 접속되고 m(세로 방향)×n(가로 방향)의 매트릭스로 배열된 메모리 셀(170(1, 1, iz, 2) 내지 170(m, n, iz, 2))을 포함한다. 즉, 메모리 셀 어레이(202(iz))는 m×2개의 제1 워드선 WL, m×2개의 용량선 CP, 및 (m×2)(세로 방향)×n(가로 방향)개의 메모리 셀(170)을 포함한다. 또한, 센스 래치 어레이(201)는 m개의 신호선 Sp(1) 내지 Sp(m), m개의 신호선 Sn(1) 내지 Sn(m), m개의 제2 워드선 WS(1) 내지 WS(m), 및 m(세로 방향)×n(가로 방향)의 매트릭스로 배열된 센스 래치(190(1, 1, 1) 내지 190(m, n, 1))를 포함한다. 즉, 여기에서는, 제1 워드선 WL의 개수는 제2 워드선 WS의 개수의 2배이다(도 1b에 있어서의 m2는 도 6에 있어서의 2×m이다). 용량선 CP(1, iz, 1) 내지 CP(m, iz, 1) 및 CP(1, iz, 2) 내지 CP(m, iz, 2)는 신호선으로서 기능할 수 있다는 것을 유의한다.

[0104] 또한, 제(1+iz)층의 메모리 셀 어레이(202(iz))에 있어서 제ix행 제iy열의 메모리 셀(170(ix, iy, iz, 1)은 제1층의 센스 래치 어레이(201)에 있어서 제ix행 제iy열의 센스 래치(190(ix, iy, 1))의 노드 p에 접속된다. 제ix행 제iy열의 메모리 셀(170(ix, iy, iz, 2))은 제1층의 센스 래치 어레이(201)에 있어서, 제ix행 제iy열의 센스 래치(190(ix, iy, 1))의 노드 q에 접속된다. 다른 메모리 셀 및 센스 래치에 있어서도 마찬가지로 적용될 수 있다.

[0105] 또한, 데이터선 구동 회로(204)는 제1 데이터선 DS(1) 내지 DS(n) 및 제2 데이터선 DSB(1) 내지 DSB(n)를 통해 센스 래치 어레이(201)에 접속된다. 데이터선 구동 회로(204)는 n개의 판독 회로(241(1) 내지 241(n)), n개의 기입 회로(242(1) 내지 242(n)), 및 n개의 프리차지 회로(243(1) 내지 243(n))를 포함한다. 예를 들어, 제iy열에 있어서, 판독 회로(241(iy)), 기입 회로(242(iy)), 프리차지 회로(243(iy)), 및 센스 래치(190(1, iy, 1) 내지 190(m, iy, 1))는 제1 데이터선 DS(iy) 및 제2 데이터선 DSB(iy)를 통해 서로 전기적으로 접속된다.

[0106] 도 6에 도시된 회로의 동작은 도 3에 도시된 회로의 동작과 마찬가지이다. 즉, 제(iz+1)층의 메모리 셀 어레이(202(iz))에 있어서, 제ix행의 메모리 셀(170(ix, 1, iz, 1) 내지 170(ix, n, iz, 1))로부터 데이터를 판독하고, 거기에 데이터를 기입하고, 유지하는 경우에 대해서 도 4의 (a) 내지 도 4의 (d)의 타이밍도가, 제1 워드선 WL(ix, iz)을 제1 워드선 WL(ix, iz, 1)로 치환하여, 적용될 수 있다. 또한, 제(iz+1)층의 메모리 셀 어레이(202(iz))에 있어서, 제ix행의 메모리 셀(170(ix, 1, iz, 2) 내지 170(ix, n, iz, 2))로부터 데이터를 판독하고, 거기에 데이터를 기입하고, 유지하는 경우에 대해서는 도 4의 (a) 내지 도 4의 (d)의 타이밍도가, 제1 워드선 WL(ix, iz)을 제1 워드선 WL(ix, iz, 2)로 치환하여, 적용될 수 있다.

[0107] 또한, 제(iz+1)층의 메모리 셀 어레이(202(iz))에 있어서, 노드 p에 접속된 제1행 내지 제m행의 메모리 셀(170(1, 1, iz, 1) 내지 170(m, n, iz, 1))로부터 데이터를 판독하고, 거기에 데이터를 기입하고, 유지하는 경우에 대해서 도 5의 (a) 내지 도 5의 (d)에 도시된 타이밍도가, 제1 워드선 WL(1, iz) 내지 WL(m, iz)을 제1 워드선 WL(1, iz, 1) 내지 WL(m, iz, 1)로 치환하여, 적용될 수 있다. 또한,제(iz+1)층의 메모리 셀 어레이(202(iz))에 있어서, 노드 q에 접속된 제1행 내지 제m행의 메모리 셀(170(1, 1, iz, 2) 내지 170(m, n, iz, 2))로부터 데이터를 판독하고, 거기에 데이터를 기입하고, 유지하는 경우에 대해서는 도 5의 (a) 내지 도 5의 (d)의 타이밍도가, 제1 워드선 WL(1, iz) 내지 WL(m, iz)을 제1 워드선 WL(1, iz, 2) 내지 WL(m, iz, 2)로 치환하여, 적용될 수 있다.

[0108] 본 실시 형태에 있어서, 제(iz+1)층의 메모리 셀 어레이(202(iz))가 m(행)×n(열)개의 메모리 셀을 포함하는 경우와, 제(iz+1)층의 메모리 셀 어레이(202(iz))가 (m×2)(행)×n(열)개의 메모리 셀을 포함하는 경우를 설명한다는 것을 유의한다. 그러나, 본 발명의 일 실시 형태에 따른 반도체 장치는 이것에 한정되지 않는다. 제(iz+1)층의 메모리 셀 어레이(202(iz))에 있어서, 센스 래치들 각각의 노드 p에 ip개의 메모리 셀이 접속될 수

있고, 센스 래치들 각각의 노드 q에 iq개의 메모리 셀이 접속될 수 있다(ip와 iq는 자연수이다). 이 경우에, 제(iz+1)층의 메모리 셀 어레이(202(iz))에 접속되는 제1 워드선 WL의 개수는 제2 워드선 WS의 개수의 (ip+iq)배가 된다(도 1b에 있어서 m2 = (ip+iq)×m).

[0109] 이상과 같이, 본 발명의 일 실시 형태에 따른 반도체 장치는 제1층에 산화물 반도체 이외의 반도체 재료를 포함하는 센스 래치 어레이와, 제2층(또는 제2층 및 그 이상의 층)에 산화물 반도체 재료를 포함하는 메모리 셀 어레이를 포함함으로써, 고속으로 기입 및 판독을 행할 수 있는 실질적으로 불휘발성인 메모리를 얻을 수 있다. 특히, 전술한 바와 같이, 센스 래치의 수(m(세로 방향)×n(가로 방향))와 같은 수의 워드선에 대해 병렬로 배열된 메모리 셀로부터 데이터를 판독할 수 있거나 거기에 데이터를 기입할 수 있기 때문에, 메모리 셀로부터 센스 래치로의 비트당의 판독 속도 또는 기입 속도가 매우 빨라질 수 있다. 물론, 외부 회로로부터 센스 래치 어레이로의 기입 동작과, 센스 래치 어레이로부터 외부 회로로의 판독 동작도 고속으로 행할 수 있다.

[0110] 또한, 산화물 반도체를 포함하는 트랜지스터를 포함하는 메모리 셀은 종래의 플래시 메모리에 비해, 동작 원리의 차이로 인해, 비트당 기입 동작을 고속으로 행할 수 있다. 예를 들어, 종래의 플래시 메모리를 메모리 회로에 사용하고 하나의 메모리 셀에 착안할 때, 터널 전류를 사용하여 기입을 행하는 경우에, 미소한 양의 전류를 사용해서 전하가 주입 및 인출되기 때문에 고속의 동작은 곤란하다. 핫-일렉트론(hot-electron) 기입을 행하는 경우에, 보다 고속으로 기입을 행할 수 있지만, 많은 양의 전류를 소비하므로, 한번에 많은 비트수의 기입을 행하는 것은 곤란하다. 또한, 어느 경우에도, 기입 동작에 고전위가 필요함에 따라 고전위를 생성하기 위한 승압 회로가 필요하다. 또한, 자성 재료를 포함하는 메모리 장치인 MRAM은 기입 동작에 있어서 비교적 많은 양의 전류를 소비한다는 문제가 있다. 따라서, MRAM을 메모리 회로에 사용하고, 한번에 많은 비트수의 기입을 행하는 경우에, 매우 많은 양의 전류를 소비한다는 문제가 있다.

[0111] 이와 대조적으로, 산화물 반도체를 포함하는 트랜지스터를 포함하는 메모리 셀은 터널 전류를 흘리는 고전압을 필요로 하지 않고, 매우 적은 양의 전류를 소비한다. 따라서, 본 발명의 일 실시 형태에 따른 반도체 장치는 한번에 제1층의 센스 래치 어레이(201)와 같은 수의 비트를 상층의 메모리 셀 어레이(202)에 기입할 수 있다. 이에 의해, 비트당 기입 속도가 매우 빠른 메모리 셀 어레이를 얻을 수 있다.

[0112] 또한, 산화물 반도체를 포함하는 트랜지스터는 오프 전류가 극히 작기 때문에, 종래의 DRAM과 같은, 리프레시 동작을 행하지 않으면, 1초 내에 저장 데이터가 상실되는 휘발성 메모리 장치가 아니다. 이러한 메모리 장치는 종래의 DRAM에 비해 극히 장시간 동안 저장 데이터를 유지할 수 있다. 따라서, 산화물 반도체를 포함하는 트랜지스터를 메모리 셀에 사용함으로써, 실질적으로 불휘발성인 메모리 셀을 얻을 수 있다.

[0113] 또한, 산화물 반도체 이외의 반도체 재료를 포함하는 트랜지스터는 산화물 반도체 재료를 포함하는 트랜지스터보다 고속으로 동작할 수 있다. 따라서, 산화물 반도체 이외의 반도체 재료를 포함하는 트랜지스터를 센스 래치에 사용할 때, 충분히 고속으로 동작하는 센스 래치 어레이, 및 데이터선 구동 회로 등의 주변 회로를 바람직하게 얻을 수 있다. 따라서, 그러한 센스 래치 어레이를, 산화물 반도체 재료를 포함하는 트랜지스터를 포함하는 메모리 셀 어레이와 조합할 때, 반도체 장치의 동작(예를 들어, 데이터 판독 동작 또는 데이터 기입 동작)을 충분히 고속으로 행할 수 있다.

[0114] 산화물 반도체 이외의 반도체 재료를 포함하는 트랜지스터(즉, 충분히 고속으로 동작할 수 있는 트랜지스터)를 포함하는 구동 회로 등의 주변 회로와, 산화물 반도체를 포함하는 트랜지스터(보다 광의로는, 오프 전류가 충분히 작은 트랜지스터)를 포함하는 메모리 회로를 둘 다 구비함으로써, 신규한 특징을 갖는 반도체 장치를 실현할 수 있다.

[0115] 본 실시 형태는 다른 실시 형태들에 설명하는 구성과 적절히 조합해서 실시될 수 있다.

[0116] (실시 형태 2)

[0117] 본 실시 형태에 있어서, 본 발명의 일 실시 형태에 따른 반도체 장치의 구성 및 그 제조 방법에 대해서 도 7, 도 8의 (a) 내지 도 8의 (e), 도 9의 (a) 내지 도 9의 (d), 도 10의 (a) 내지 도 10의 (c), 및 도 11의 (a) 및 도 11의 (b)를 참조하여 설명한다.

[0118] <반도체 장치의 단면 구성>

[0119] 도 7은 본 발명의 일 실시 형태에 따른 반도체 장치의 단면도이다. 도 7에 있어서, A1-A2는 트랜지스터의 채널 길이 방향에 수직한 단면이고, B1-B2는 노드 p의 단면이다. 도 7에 도시된 반도체 장치는 하부에 센스 래치 어레이(201)를 포함하고, 상부에 메모리 셀 어레이(202(1) 내지 202(k))를 포함한다. 하부의 센스 래치 어레이

(201)는 산화물 반도체 이외의 반도체 재료를 포함하는 트랜지스터(180)를 포함하고, 상부의 메모리 셀 어레이(202(1) 내지 202(k)) 각각은 산화물 반도체 재료를 포함하는 트랜지스터(162)를 포함한다.

[0120] 도 7에 도시된 반도체 장치의 제1층에는 산화물 반도체 이외의 반도체 재료를 포함하는 트랜지스터(180)가 포함된다. 트랜지스터(180)는 반도체 재료(예를 들어, 실리콘)를 포함하는 기판(100)에 설치된 채널 형성 영역(116), 채널 형성 영역(116)을 사이에 개재시켜 설치된 불순물 영역들(120), 불순물 영역들(120)에 접촉하는 금속 화합물 영역들(124), 채널 형성 영역(116) 위에 설치된 게이트 절연층(108), 게이트 절연층(108) 위에 설치된 게이트 전극(110), 및 금속 화합물 영역들(124)에 전기적으로 접속되는 소스 또는 드레인 전극(130a) 및 소스 또는 드레인 전극(130b)을 포함한다. 또한, 트랜지스터(180)를 덮도록 절연층(128)이 설치된다. 소스 또는 드레인 전극(130a) 및 소스 또는 드레인 전극(130b)은 절연층(128)에 형성된 개구를 통해 금속 화합물 영역들(124)에 전기적으로 접속된다. 절연층(128) 위에, 소스 또는 드레인 전극(130a)에 접촉해서 도전층(136a)이 형성되고, 소스 또는 드레인 전극(130b)에 접촉해서 도전층(136b)이 형성된다. 트랜지스터(180)는 n 채널 트랜지스터 또는 p 채널 트랜지스터 중 어느 것일 수 있다는 것을 유의한다. 산화물 반도체 이외의 반도체 재료를 포함하는 트랜지스터(180)를 각각 포함하는 센스 래치(190)를 매트릭스로 배열할 때, 센스 래치 어레이(201)를 형성할 수 있다. 또한, 산화물 반도체 이외의 반도체 재료를 각각 포함하는 복수의 트랜지스터(180)를 조합할 때, 제1 워드선 구동 회로(203) 등의 주변 회로를 형성할 수 있다.

[0121] 기판(100)에는 트랜지스터(180)를 둘러싸는 소자 분리 절연층(106)이 설치된다. 고집적화를 위해서, 도 7에서와 같이, 트랜지스터(180)가 측벽 절연층을 포함하지 않는 것이 바람직하다는 것을 유의한다. 한편, 트랜지스터(180)의 특성을 중시하는 경우에, 게이트 전극(110)의 측면에 측벽 절연층을 설치할 수 있고, 불순물 영역들(120)은 측벽 절연층과 중첩하는 영역에 불순물 농도가 상이한 영역을 포함할 수 있다.

[0122] 메모리 셀 어레이(202(1))는 센스 래치 어레이(201) 위에 절연층(140)을 그 사이에 개재시켜 설치된다. 메모리 셀 어레이(202(1))는 메모리 셀(170)을 포함하고, 메모리 셀(170)은 트랜지스터(162) 및 용량 소자(164)를 포함한다. 트랜지스터(162)는 절연층(140) 등의 위에 설치된 산화물 반도체층(144), 산화물 반도체층(144)에 전기적으로 접속되는 소스 또는 드레인 전극(142a) 및 소스 또는 드레인 전극(142b), 산화물 반도체층(144), 소스 또는 드레인 전극(142a), 및 소스 또는 드레인 전극(142b)을 덮는 게이트 절연층(146), 및 게이트 절연층(146) 위에 산화물 반도체층(144)과 중첩하도록 설치된 게이트 전극(148a)을 포함한다. 산화물 반도체 재료를 포함하는 트랜지스터(162)를 각각 포함하는 메모리 셀들(170)을 매트릭스로 설치할 때, 메모리 셀 어레이(202(1))를 형성할 수 있다. 메모리 셀 어레이(202(k))에 있어서의 트랜지스터(172)의 구성은 트랜지스터(162)의 구성과 마찬가지이다.

[0123] 여기에서, 메모리 셀(170)의 트랜지스터에 사용되는 산화물 반도체층(144)은 수소 등의 불순물을 충분히 제거함으로써 또는 거기에 산소를 충분히 공급함으로써, 순도화되는 것이 바람직하다. 구체적으로, 산화물 반도체층(144)의 수소 농도는 5×10^{19}atoms/cm^3 이하이고, 바람직하게는 5×10^{18}atoms/cm^3 이하이고, 보다 바람직하게는 5×10^{17}atoms/cm^3 이하이다. 산화물 반도체층(144) 중의 수소 농도는 2차 이온 질량 분석법(secondary ion mass spectrometry: SIMS)에 의해 측정된다는 것을 유의한다. 수소 농도를 충분히 감소시켜 순도화되고, 충분한 양의 산소를 공급하여 산소 결손에 기인하는 에너지 갭 중의 결함 준위들이 감소된 산화물 반도체층(144)에 있어서, 캐리어 농도는 $1\times10^{12}/cm^3$ 미만이고, 바람직하게는 $1\times10^{11}/cm^3$ 미만이고, 보다 바람직하게는 $1.45\times10^{10}/cm^3$ 미만이다. 예를 들어, 실온(25℃)에서의 오프 전류(여기에서는, 채널 폭의 마이크로미터(μm)당의 전류)는 100zA(1zA(젭토암페어)는 1×10^{-21}A이다) 이하이고, 바람직하게는 10zA 이하이다. 이와 같이, i형(진성) 산화물 반도체 또는 실질적 i형 산화물 반도체로 만들어진 산화물 반도체 재료를 트랜지스터(트랜지스터(162))에 사용함으로써, 극히 우수한 오프 전류 특성을 얻을 수 있다.

[0124] 또한, 산화물 반도체층(144)에 있어서 알칼리 금속 및 알칼리 토금속의 농도가 충분히 감소되는 것이 바람직하다. SIMS 분석법에 의해 측정될 때, 알칼리 금속 또는 알칼리 토금속의 농도는, 예를 들어, Na의 농도가 $5\times10^{16}cm^{-3}$ 이하이고, 바람직하게는 $1\times10^{16}cm^{-3}$ 이하이고, 더욱 바람직하게는 $1\times10^{15}cm^{-3}$ 이하이고, Li의 농도가 $5\times10^{15}cm^{-3}$ 이하이고, 바람직하게는 $1\times10^{15}cm^{-3}$ 이하이고, K의 농도가 $5\times10^{15}cm^{-3}$ 이하이고, 바람직하게는 $1\times10^{15}cm^{-3}$ 이하인 정도로 감소된다.

[0125] 산화물 반도체는 불순물에 대하여 둔감해서, 막 중에 상당한 양의 금속 불순물이 포함될 때에도 문제가 없으므로, 나트륨 등의 알칼리 금속이 다량으로 포함되는 저렴한 소다-석회 유리도 사용할 수 있다고 지적되어 있다

(Kamiya, Nomura, and Hosono, "Carrier Transport Properties and Electronic Structures of Amorphous Oxide Semiconductors(비정질 산화물 반도체의 캐리어 수송 특성과 전자 구조): The present status(현재 상황)", KOTAI BUTSURI (SOLID STATE PHYSICS), 2009, Vol. 44, pp. 621-633). 그러나, 그러한 고려는 적절하지 않다. 알칼리 금속 및 알칼리 토금속은 산화물 반도체에 대해서 악성 불순물이며, 가능한 한 적게 포함되는 것이 바람직하다. 알칼리 금속, 특히, Na는 산화물 반도체에 접촉하는 절연막이 산화물일 때, 산화물 내에 확산하고 Na^+가 된다. 또한, Na는 산화물 반도체 내에서 금속과 산소 간의 결합을 절단하거나, 산화물 반도체의 결합 중에 들어간다. 그 결과, 트랜지스터 특성이 열화한다(예를 들어, 트랜지스터가 노멀리 온이 되거나(임계 전압의 네거티브측으로의 시프트), 이동도가 저하한다). 또한, 이것은 특성의 변동을 유발하기도 한다. 그러한 문제는 산화물 반도체 중의 수소의 농도가 극히 낮은 경우에 있어서 특히 현저하다. 따라서, 산화물 반도체 중의 수소의 농도가 $5\times10^{19}cm^{-3}$ 이하이고, 특히 $5\times10^{18}cm^{-3}$ 이하인 경우에, 알칼리 금속의 농도를 상기 값으로 설정하는 것이 강하게 요구된다.

[0126] 용량 소자(164)는 소스 또는 드레인 전극(142a), 게이트 절연층(146), 및 도전층(148b)을 포함한다. 즉, 소스 또는 드레인 전극(142a)은 용량 소자(164)의 한쪽의 전극으로서 기능하고, 도전층(148b)은 용량 소자(164)의 다른 쪽의 전극으로서 기능한다. 그러한 구성에 의해, 용량을 충분히 확보할 수 있다. 산화물 반도체층(144)과 게이트 절연층(146)을 적층시킬 경우에, 소스 또는 드레인 전극(142a)과 도전층(148b) 간의 절연성을 충분히 확보할 수 있다. 또한, 용량 소자가 불필요한 경우에는 용량 소자(164)를 생략할 수 있다. 메모리 셀 어레이(202(k))에 있어서의 용량 소자(174)의 구성은 용량 소자(164)의 구성과 마찬가지이다.

[0127] 트랜지스터(162) 및 용량 소자(164) 위에 절연층(150) 및 절연층(152)이 설치된다. 그리고, 게이트 절연층(146), 절연층(150), 및 절연층(152) 등에 형성된 개구에 전극(154a)과 전극(154b)이 설치되고, 절연층(152) 위에는 전극(154a)과 전극(154b)에 접속되도록 배선(156)이 형성된다. 배선(156)은 하나의 메모리 셀을 다른 메모리 셀에 접속하기 위한 것이며, 제1층에 형성되는 센스 래치(190)의 노드 p에 접속된다. 또한, 배선(156)은 전극(154b), 전극(142c), 및 전극(126)을 통해 도전층(136c)에 접속된다. 이에 의해, 하부의 센스 래치 어레이(201)는 상층의 메모리 셀 어레이(202(1))에 접속될 수 있다. 도 7은 전극(142c)이 전극(126)을 통해 도전층(136c)에 전기적으로 접속되는 경우를 도시하지만, 절연층(140)에 개구를 형성할 수 있고, 전극(142c)과 도전층(136c)이 서로 직접 접촉될 수 있다. 도 7에 있어서 노드 p의 구조가 도시되지만, 노드 q도 마찬가지의 구조를 갖는다는 것을 유의한다.

[0128] 도 7에 있어서, 배선(156)을 통해 센스 래치(190)의 노드 p가 메모리 셀(170)에 접속되는 예가 도시되지만, 도 14에 도시된 바와 같이, 도전층(136c), 전극(126), 및 소스 또는 드레인 전극(142b)을 서로 접속함으로써 센스 래치(190)의 노드 p가 메모리 셀(170)에 접속될 수 있다.

[0129] 또한, 도 7에 있어서, k개의 메모리 셀 어레이를 적층한 예가 도시된다. 종래의 DRAM의 제조 단계와 비교하면, 산화물 반도체 재료를 포함하는 메모리 셀 어레이의 제조 단계는 다음과 같이 간략화될 수 있다.

[0130] 종래의 DRAM은 비트선에 접속되는 다수의 메모리 셀을 포함하고, 큰 비트선 용량을 갖기 때문에, 메모리 셀에는 큰 용량 소자가 필요하다. 그러므로, 용량 소자의 높이가 크고, 그 제조 단계들도 복잡하다.

[0131] 한편, 본 발명의 일 실시 형태에 따른 반도체 장치에 있어서, 노드 p 또는 노드 q에 접속되는 메모리 셀의 수가 크지 않고(예를 들어, 64개 이하, 바람직하게는 32개 이하), 노드 p 또는 노드 q의 용량이 작다.

[0132] 판독 동작에 있어서, 메모리 셀의 용량 소자와 노드 p 또는 노드 q의 용량 사이에서의 전하 재분배로 인해 전위 변동이 검출된다. 이것은 노드 p 또는 노드 q의 용량이 작을수록 메모리 셀의 용량 소자를 작게 할 수 있다는 것을 의미한다.

[0133] 따라서, 본 발명의 일 실시 형태에 따른 반도체 장치에 있어서, 종래의 DRAM의 용량 소자의 제조 단계들에 비해 용량 소자의 제조 단계들을 간략화할 수 있다. 또한, 메모리 셀의 용량을 충분히 작게 할 때, 용량 소자가 평면 구조에 있어서 작은 면적을 가질 수 있다. 그 결과, 용량 소자의 제조 단계들이 간략화될 수 있고, 메모리 셀들을 용이하게 적층할 수 있다.

[0134] 이와 같이, 산화물 반도체 재료를 사용해서 메모리 셀 어레이를 형성함으로써, 2개 이상의 메모리 셀 어레이를 적층할 수 있다. 이에 의해, 반도체 장치의 고집적화를 도모할 수 있다.

[0135] <반도체 장치의 제조 방법>

[0136] 이어서, 반도체 장치의 제조 방법의 예에 대해서 설명한다. 하기에서는 우선, 하부의 트랜지스터(180)의 제조 방법에 대해서 도 8의 (a) 내지 도 8의 (e), 및 도 9의 (a) 내지 도 9의 (d)를 참조하여 설명한 후, 상부의 트랜지스터(162) 및 용량 소자(164)의 제조 방법에 대해서 도 10의 (a) 내지 도 10의 (c), 및 도 11의 (a) 및 도 11의 (b)를 참조하여 설명한다.

[0137] <하부의 트랜지스터의 제조 방법>

[0138] 우선, 기판(100)을 준비한다(도 8의 (a)를 참조). 기판(100)으로서, 실리콘 또는 탄화 실리콘 등을 포함하는 단결정 반도체 기판 또는 다결정 반도체 기판, 또는 실리콘 게르마늄, 갈륨 비소, 또는 인듐 인 등을 포함하는 화합물 반도체 기판을 사용할 수 있다. 대안적으로, 기판(100)으로서 SOI 기판을 사용할 수 있다. 여기에서는, 기판(100)으로서 단결정 실리콘 기판을 사용한다. 일반적으로 "SOI 기판"이란 용어는 절연 표면 위에 실리콘층이 설치된 기판을 의미한다는 것을 유의한다. 본 명세서 등에 있어서, "SOI 기판"이란 용어는 절연 표면 위에 실리콘 이외의 재료를 포함하는 반도체층이 설치된 기판도 의미한다. 즉, "SOI 기판"에 포함된 반도체층은 실리콘층에 한정되지 않는다. 또한, "SOI 기판"은 유리 기판 등의 절연 기판 위에 절연층을 그 사이에 개재시켜 반도체층이 설치된 기판도 포함한다. 기판(100)은 산화물 반도체 재료를 포함하지 않기 때문에, 산화물 반도체 이외의 반도체 재료를 포함하는 기판(100)도 기판(100)이라 일컫는다.

[0139] 기판(100)으로서, 특히 실리콘 등을 포함하는 단결정 반도체 기판을 사용하는 것이 바람직한데, 왜냐하면 실시형태 1에 설명된 센스 래치 어레이(201) 등의 주변 회로가 더 고속으로 동작할 수 있기 때문이다.

[0140] 이어서, 기판(100) 위에 소자 분리 절연층을 형성하기 위한 마스크로서 기능하는 보호층(102)을 형성한다(도 8의 (a)를 참조). 보호층으로서, 예를 들어, 산화 실리콘, 질화 실리콘, 또는 산화질화 실리콘 등을 사용하여 형성되는 절연층을 사용할 수 있다. 이 단계 전에 또는 후에, 트랜지스터의 임계 전압을 제어하기 위해서, n형 도전성을 부여하는 불순물 원소 또는 p형 도전성을 부여하는 불순물 원소를 기판(100)에 첨가할 수 있다는 것을 유의한다. 기판(100)에 실리콘이 사용되는 경우에, n형 도전성을 부여하는 불순물 원소로서, 예를 들어, 인 또는 비소 등을 사용할 수 있다. 한편, p형 도전성을 부여하는 불순물 원소로서, 예를 들어, 붕소, 알루미늄, 또는 갈륨 등을 사용할 수 있다.

[0141] 이어서, 보호층(102)을 마스크로서 사용하여 에칭을 행함으로써 보호층(102)으로 덮어져 있지 않은 영역(노출된 영역)의 기판(100)의 일부를 제거한다. 이에 의해, 다른 반도체 영역과 분리된 반도체 영역(104)이 형성된다(도 8의 (b)를 참조). 에칭을 위해, 건식 에칭을 행하는 것이 바람직하지만, 습식 에칭을 행할 수도 있다. 에칭 가스 및 에칭액은 에칭되는 층의 재료에 따라 적절히 선택될 수 있다.

[0142] 이어서, 반도체 영역(104)을 덮도록 절연층을 형성하고, 반도체 영역(104)에 중첩하는 영역의 절연층을 선택적으로 제거함으로써, 소자 분리 절연층(106)을 형성한다(도 8의 (c)를 참조). 절연층으로서, 산화 실리콘, 질화 실리콘, 또는 산화질화 실리콘 등을 사용하여 형성된 절연층을 사용할 수 있다. 절연층의 제거 방법으로서, 화학적 기계 연마(CMP: Chemical Mechanical Polishing)(이하, CMP 처리라고도 일컬음) 등의 연마 처리 또는 에칭 처리 등이 있을 수 있고, 상기 처리 중 임의의 것을 사용할 수 있다. 반도체 영역(104)의 형성 후에 또는 소자 분리 절연층(106)의 형성 후에 보호층(102)을 제거한다는 것을 유의한다.

[0143] 여기에서, CMP 처리는 피가공물의 표면을 기준으로 사용하여 화학적 작용과 기계적 작용의 복합에 의해 그 표면을 평탄화하는 처리이다. 보다 구체적으로, 연마 스테이지에 연마 천을 부착하고, 피가공물과 연마 천 사이에 슬러리(연마제)를 공급하면서 연마 스테이지와 피가공물을 각각 회전 또는 요동시켜서, 슬러리와 피가공물의 표면 간의 화학 반응과, 연마 천의 피가공물로의 기계적 연마 작용에 의해 피가공물의 표면을 연마한다.

[0144] 소자 분리 절연층(106)은, 예를 들어, 절연성의 영역을 형성하기 위해서 절연층을 선택적으로 제거하는 것 대신에 산소 또는 질소를 주입하는 것에 의해 형성될 수 있다는 것을 유의한다.

[0145] 이어서, 반도체 영역(104)의 표면 위에 절연층을 형성하고, 절연층 위에 도전 재료를 포함하는 층을 형성한다.

[0146] 절연층은 후에 게이트 절연층이 되며, 예를 들어, 반도체 영역(104)의 표면의 열처리(열산화 처리 또는 열 질화 처리 등)에 의해 형성될 수 있다. 열처리 대신에 고밀도 플라즈마 처리를 채택할 수 있다. 고밀도 플라즈마 처리는, 예를 들어, He, Ar, Kr, 또는 Xe 등의 희가스, 산소, 산화 질소, 암모니아, 질소, 및 수소 등 중 임의의 것의 혼합 가스를 사용해서 행할 수 있다. 물론, CVD법 또는 스퍼터링법 등에 의해 절연층을 형성할 수 있다. 절연층은 산화 실리콘, 산화질화 실리콘, 질화 실리콘, 산화 하프늄, 산화 알루미늄, 산화 탄탈륨, 산화 이트륨, 하프늄 실리케이트($HfSi_xO_y$(x>0, y>0)), 질소가 첨가된 하프늄 실리케이트($HfSi_xO_yN_z$(x>0, y>0, z>0)),

및 질소가 첨가된 하프늄 알루미네이트($HfAl_xO_yN_z$(x>0, y>0, z>0)) 등 중 임의의 것을 포함하는 막을 포함하는 단층 구조 또는 적층 구조를 갖는 것이 바람직하다. 절연층의 두께는, 예를 들어, 1nm 이상 100nm 이하일 수 있고, 바람직하게는 10nm 이상 50nm 이하일 수 있다.

[0147] 도전 재료를 포함하는 층은 후에 게이트 전극이 되며, 알루미늄, 구리, 티타늄, 탄탈륨, 또는 텅스텐 등의 금속 재료를 사용해서 형성될 수 있다. 다결정 실리콘 등의 반도체 재료를 사용하여 도전 재료를 포함하는 층을 형성할 수 있다. 도전 재료를 포함하는 층의 형성 방법에는 특별한 제한이 없고, 증착법, CVD법, 스퍼터링법, 또는 스핀 코트법 등의 각종 성막 방법을 채택할 수 있다. 본 실시 형태에 있어서, 도전 재료를 포함하는 층이 금속 재료를 사용해서 형성되는 경우의 예를 설명한다는 것을 유의한다.

[0148] 이어서, 절연층 및 도전 재료를 포함하는 층을 선택적으로 에칭하여 게이트 절연층(108) 및 게이트 전극(110)을 형성한다(도 8의 (c)를 참조).

[0149] 이어서, 반도체 영역(104)에 인 또는 비소 등을 첨가하여, 채널 형성 영역(116) 및 불순물 영역들(120)을 형성한다(도 8의 (d)를 참조). n채널 트랜지스터를 형성하는 경우에, 인 또는 비소를 첨가할 수 있고, p형 트랜지스터를 형성하는 경우에, 붕소 또는 알루미늄 등의 불순물 원소를 첨가할 수 있다. 여기에서, 첨가되는 불순물 원소의 농도는 적절히 설정될 수 있다. 반도체 소자가 고도로 미세화되는 경우에, 첨가되는 불순물 원소의 농도를 증가시키는 것이 바람직하다.

[0150] 게이트 전극(110)의 주위에 측벽 절연층을 형성할 수 있고, 불순물 원소가 다른 농도로 첨가된 불순물 영역들을 형성할 수 있다는 것을 유의한다.

[0151] 이어서, 게이트 전극(110) 및 불순물 영역들(120) 등을 덮도록 금속층(122)을 형성한다(도 8의 (e)를 참조). 금속층(122)을 형성하기 위해서 진공 증착법, 스퍼터링법, 또는 스핀 코트법 등의 각종 성막 방법을 채택할 수 있다. 금속층(122)은 반도체 영역(104)에 포함되는 반도체 재료와 반응하여 저저항 금속 화합물이 되는 금속 재료를 사용해서 형성되는 것이 바람직하다. 그러한 금속 재료의 예는 티타늄, 탄탈륨, 텅스텐, 니켈, 코발트, 및 백금을 포함한다.

[0152] 이어서, 열처리가 행해져서, 금속층(122)이 반도체 재료와 반응한다. 이에 의해, 불순물 영역들(120)에 접촉하는 금속 화합물 영역들(124)이 형성된다(도 8의 (e)를 참조). 게이트 전극(110)이 다결정 실리콘 등을 사용하여 형성될 때, 게이트 전극(110)의 금속층(122)에 접촉하는 부분에도 금속 화합물 영역이 형성된다는 것을 유의한다.

[0153] 열처리로서, 예를 들면, 플래시 램프의 조사가 채택될 수 있다. 물론, 다른 열처리 방법을 사용할 수 있지만, 금속 화합물의 형성에 있어서의 화학 반응의 제어성을 향상시키기 위해서 극히 단시간의 열처리를 실현할 수 있는 방법을 사용하는 것이 바람직하다. 금속 화합물 영역들은 금속 재료와 반도체 재료의 반응에 의해 형성되며, 충분히 높은 도전성을 갖는다는 것을 유의한다. 금속 화합물 영역들의 형성에 의해 전기 저항을 충분히 감소시킬 수 있고, 소자 특성을 향상시킬 수 있다. 금속 화합물 영역들(124)을 형성한 후에 금속층(122)을 제거한다는 것을 유의한다.

[0154] 이어서, 전술한 단계들에서 형성된 구성 요소들을 덮도록 절연층(128)을 형성한다(도 9의 (a)를 참조). 절연층(128)은 산화 실리콘, 산화질화 실리콘, 질화 실리콘, 또는 산화 알루미늄 등의 무기 절연 재료를 포함하는 재료를 사용해서 형성될 수 있다. 특히, 절연층(128)에 유전율이 낮은(로우-k) 재료를 사용하는 것이 바람직한데, 왜냐하면 전극 또는 배선의 중첩에 기인하는 용량을 충분히 감소시킬 수 있기 때문이다. 그러한 재료를 사용한 다공질의 절연층을 절연층(128)으로서 채택할 수 있다는 것을 유의한다. 다공질의 절연층은 밀도가 높은 절연층보다 낮은 유전율을 갖기 때문에, 전극 또는 배선에 기인하는 용량을 더 감소시킬 수 있다. 또한, 절연층(128)은 폴리이미드 또는 아크릴 등의 유기 절연 재료를 사용해서 형성될 수 있다. 도 9의 (a)에 있어서 절연층(128)은 단층 구조를 갖지만, 절연층(128)은 2층 이상을 포함하는 적층 구조를 가질 수 있다.

[0155] 이어서, 절연층(128)에 금속 화합물 영역들(124)에 도달하는 개구를 형성하고, 개구를 충전하도록 도전 재료를 포함하는 층을 형성한다. 도전 재료를 포함하는 층은 소스 또는 드레인 전극(130a) 및 소스 또는 드레인 전극(130b)이 되며, 알루미늄, 구리, 티타늄, 탄탈륨, 또는 텅스텐 등의 금속 재료를 사용해서 형성될 수 있다. 다결정 실리콘 등의 반도체 재료를 사용하여, 도전 재료를 포함하는 층을 형성할 수 있다. 형성 방법에는 특별한 제한이 없고, 증착법, CVD법, 스퍼터링법, 또는 스핀 코트법 등의 각종 성막 방법을 채택할 수 있다.

[0156] 이어서, 도전 재료를 포함하는 층을 선택적으로 에칭하여 소스 또는 드레인 전극(136a), 소스 또는 드레인 전극

(136b), 및 도전층(136c)을 형성한다(도 9의 (c)를 참조).

[0157] 이상의 단계들을 통해, 산화물 반도체 이외의 반도체 재료를 포함하는 기판(100)을 사용하여 트랜지스터(180)가 형성된다(도 9의 (c)를 참조). 또한, 복수개의 그러한 트랜지스터(180)를 형성할 때, 센스 래치 어레이(201)를 포함하는 주변 회로를 형성할 수 있다. 트랜지스터(180)는 고속으로 동작할 수 있다. 그러므로, 트랜지스터(180)를 센스 래치 어레이(201) 등의 주변 회로에 사용할 때, 센스 래치 어레이(201) 등의 주변 회로는 고속으로 동작할 수 있어서, 바람직하다.

[0158] 이어서, 상기 단계들에서 형성된 구성 요소들을 덮도록 절연층(140)을 형성한다(도 9의 (d)를 참조). 절연층(140)은 절연층(128)의 재료 및 형성 방법을 사용하여 형성될 수 있다.

[0159] 이어서, 도전층(136c)에 도달하는 개구를 절연층(140)에 형성하고, 개구를 충전하도록 도전 재료를 포함하는 층을 형성한다. 도전 재료를 포함하는 층은 게이트 전극층(110), 소스 또는 드레인 전극(136a), 또는 소스 또는 드레인 전극(136b)의 재료 및 형성 방법을 사용하여 형성될 수 있다.

[0160] 그 후, 트랜지스터(162) 및 용량 소자(164)의 형성 전의 처리로서, 절연층(140)에 CMP 처리를 실시하여 절연층(140)의 표면을 평탄화시킨다. 이에 의해, 절연층(140)에 매립된 전극(126)이 형성된다. 이때, 전극(126)의 상면을 노출시키는 것이 바람직하다(도 9의 (d)를 참조). 절연층(140)의 평탄화 처리로서는, CMP 처리 대신에 에칭 처리 등을 채택할 수 있다. 트랜지스터(162)의 특성을 향상시키기 위해서, 절연층(140)의 표면은 가능한 한 평탄하게 만드는 것이 바람직하다.

[0161] 상기 단계들 각각의 전에 또는 후에, 전극, 배선, 반도체층, 또는 절연층 등을 형성하는 단계도 실시할 수 있다는 것을 유의한다. 예를 들어, 배선 구조로서, 절연층 및 도전층이 적층되는 다층 배선 구조를 채택함으로써, 고도로 집적화한 반도체 장치를 제공할 수 있다.

[0162] <상부의 트랜지스터의 제조 방법>

[0163] 우선, 절연층(140) 및 전극(126) 등의 위에 산화물 반도체층을 형성한다.

[0164] 산화물 반도체층은 스퍼터링법 등에 의해 적어도 아연을 포함하는 금속 산화물 타깃을 사용하여 두께를 5nm 이상 50㎛ 이하가 되도록 형성된다.

[0165] 사용되는 산화물 반도체는 적어도 인듐(In) 또는 아연(Zn)을 포함하는 것이 바람직하다. 특히, In과 Zn을 포함하는 것이 바람직하다. 또한, 상기 산화물 반도체를 포함하는 트랜지스터의 전기 특성의 변동을 감소시키기 위한 스태빌라이저로서 갈륨(Ga)을 추가적으로 포함하는 것이 바람직하다. 스태빌라이저로서 주석(Sn)을 포함하는 것이 바람직하다. 스태빌라이저로서 하프늄(Hf)을 포함하는 것이 바람직하다. 스태빌라이저로서 알루미늄(Al)을 포함하는 것이 바람직하다.

[0166] 다른 스태빌라이저로서 란타늄(La), 세륨(Ce), 프라세오디뮴(Pr), 네오디뮴(Nd), 사마륨(Sm), 유로퓸(Eu), 가돌리늄(Gd), 테르븀(Tb), 디스프로슘(Dy), 홀뮴(Ho), 에르븀(Er), 툴륨(Tm), 이테르븀(Yb), 및 루테튬(Lu)을 포함하는 란타노이드 중 하나 이상을 포함할 수 있다.

[0167] 산화물 반도체층에, 예를 들어, 산화 인듐, 산화 주석, 산화 아연, In-Zn계 산화물, Sn-Zn계 산화물, Al-Zn계 산화물, Zn-Mg계 산화물, Sn-Mg계 산화물, In-Mg계 산화물, 또는 In-Ga계 산화물 등의 2원계 금속 산화물, In-Ga-Zn계 산화물(IGZO라고도 일컬음), In-Al-Zn계 산화물, In-Sn-Zn계 산화물, Sn-Ga-Zn계 산화물, Al-Ga-Zn계 산화물, Sn-Al-Zn계 산화물, In-Hf-Zn계 산화물, In-La-Zn계 산화물, In-Ce-Zn계 산화물, In-Pr-Zn계 산화물, In-Nd-Zn계 산화물, In-Sm-Zn계 산화물, In-Eu-Zn계 산화물, In-Gd-Zn계 산화물, In-Tb-Zn계 산화물, In-Dy-Zn계 산화물, In-Ho-Zn계 산화물, In-Er-Zn계 산화물, In-Tm-Zn계 산화물, In-Yb-Zn계 산화물, 또는 In-Lu-Zn계 산화물 등의 3원계 금속 산화물, 또는 In-Sn-Ga-Zn계 산화물, In-Hf-Ga-Zn계 산화물, In-Al-Ga-Zn계 산화물, In-Sn-Al-Zn계 산화물, In-Sn-Hf-Zn계 산화물, 또는 In-Hf-Al-Zn계 산화물 등의 4원계 금속 산화물을 사용할 수 있다.

[0168] 여기에서, 예를 들어, "In-Ga-Zn계 산화물"이란 In, Ga, 및 Zn을 그의 주성분으로서 포함하는 산화물을 의미하며, In:Ga:Zn의 비율에 특별한 제한이 없다. 또한, In, Ga, 및 Zn 이외의 금속 원소가 포함될 수 있다는 것을 유의한다.

[0169] 또한, 산화물 반도체로서 $InMO_3(ZnO)_m$ (m>0)에 의해 표현되는 재료를 사용할 수 있다. M은 Ga, Fe, Mn, 및 Co로부터 선택된 하나 이상의 금속 원소를 나타낸다는 것을 유의한다. 대안적으로, 산화물 반도체로서

$In_3SnO_5(ZnO)_n$ (n>0)에 의해 표현되는 재료를 사용할 수 있다.

[0170] 예를 들어, In:Ga:Zn=1:1:1(=1/3:1/3:1/3) 또는 In:Ga:Zn=2:2:1(=2/5:2/5:1/5)의 원자수 비를 갖는 In-Ga-Zn계 산화물, 또는 상기 원자수 비에 가까운 원자수 비를 갖는 산화물을 사용할 수 있다. 대안적으로, In:Sn:Zn=1:1:1(=1/3:1/3:1/3), In:Sn:Zn=2:1:3(=1/3:1/6:1/2), 또는 In:Sn:Zn=2:1:5(=1/4:1/8:5/8)의 원자수 비의 In-Sn-Zn계 산화물, 또는 상기 원자수 비에 가까운 원자수 비를 갖는 산화물을 사용할 수 있다.

[0171] 그러나, 조성은 전술한 것에 한정되지 않고, 필요한 반도체 특성(이동도, 임계 전압, 및 편차 등)에 따라 적절한 조성을 갖는 재료를 사용할 수 있다. 필요한 반도체 특성을 얻기 위해서, 캐리어 밀도, 불순물 농도, 결함 밀도, 금속 원소와 산소의 원자수 비, 원자간 거리, 및 밀도 등을 적절하게 설정하는 것이 바람직하다.

[0172] 예를 들어, In-Sn-Zn계 산화물을 이용하여, 비교적 용이하게 높은 이동도를 얻을 수 있다. 그러나, In-Ga-Zn계 산화물을 이용하는 경우에도, 벌크내 결함 밀도를 감소시킴으로써 이동도를 증가시킬 수 있다.

[0173] 예를 들어, "In, Ga, 및 Zn을 원자수 비 In:Ga:Zn=a:b:c (a+b+c=1)로 포함하는 산화물의 조성이, In, Ga, 및 Zn을 원자수 비 In:Ga:Zn=A:B:C (A+B+C=1)로 포함하는 산화물의 조성의 근방이다"라는 표현은 a, b, c가 수학식 1을 충족시킨다는 것을 의미한다는 것을 유의한다.

수학식 1

[0174] $(a-A)^2+(b-B)^2+(c-C)^2 \leqq r^2$

[0175] 예를 들어, r은 0.05일 수 있다. 다른 산화물에도 마찬가지로 적용된다.

[0176] 산화물 반도체는 단결정 또는 비-단결정 중 어느 하나일 수 있다. 후자의 경우에, 산화물 반도체는 비정질 또는 다결정 중 어느 하나일 수 있다. 또한, 산화물 반도체는 결정성 부분을 포함하는 비정질 구조, 또는 비-비정질 구조(non-amorphous structure) 중 어느 하나일 수 있다.

[0177] 비정질 산화물 반도체는 비교적 용이하게 평탄한 표면을 가질 수 있기 때문에, 그 산화물 반도체를 사용해서 트랜지스터를 제조할 때, 계면 산란을 감소시킬 수 있고, 비교적 용이하게 비교적 높은 이동도를 얻을 수 있다.

[0178] 결정성 산화물 반도체에 있어서, 벌크 내의 결함을 더 감소시킬 수 있고, 표면의 평탄성을 향상시킬 때, 비정질 산화물 반도체의 이동도보다 높은 이동도를 얻을 수 있다. 표면의 평탄성을 향상시키기 위해서, 평탄한 표면 위에 산화물 반도체를 형성하는 것이 바람직하다. 구체적으로, 평균 표면 거칠기(R_a)가 1nm 이하, 바람직하게는 0.3nm 이하, 보다 바람직하게는 0.1nm 이하인 표면 위에 산화물 반도체를 형성하는 것이 바람직하다.

[0179] R_a는 JIS B 0601로 정의되어 있는 중심선 평균 거칠기를 면에 대하여 적용할 수 있도록 삼차원으로 확장함으로써 얻어진다는 것을 유의한다. R_a는 "기준면으로부터 지정면까지의 편차들의 절대값들의 평균값"이라고 표현될 수 있고, 다음의 수학식에 의해 정의된다.

수학식 2

[0180] $$Ra = \frac{1}{S_0}\int_{y_1}^{y_2}\int_{x_1}^{x_2}\left| f(x,y) - Z_0 \right| dxdy$$

[0181] 상기 수학식에 있어서, S_0는 측정 표면(좌표 (x_1,y_1), (x_1,y_2), (x_2,y_1), (x_2,y_2)로 표현되는 4개의 점에 의해 정의되는 직사각형 영역)의 면적을 나타내고, Z_0는 측정 표면의 평균 높이를 나타낸다는 것을 유의한다. R_a는 원자간력 현미경(AFM: atomic force microscope)을 이용하여 측정될 수 있다.

[0182] 본 실시 형태에서는, c축 배향을 갖고, a-b면, 표면, 또는 계면의 방향으로부터 볼 때 삼각형 또는 육각형의 원자 배열을 갖는 결정(c축 배향 결정(CAAC: c axis aligned crystal)이라고도 일컬음)을 포함하는 산화물에 대해서 설명한다. 이 결정에서는, c축을 따라 금속 원자가 층상(層狀)으로 배열되거나, 금속 원자와 산소 원자가 층상으로 배열되고, a-b면에 있어서 a축 또는 b축의 방향이 변화한다(이 결정은 c축을 중심으로 회전한다).

[0183] 광의로, CAAC를 포함하는 산화물이란, a-b면에 수직인 방향으로부터 볼 때 삼각형, 육각형, 정삼각형, 또는 정육각형의 원자 배열을 갖고, c축 방향에 수직인 방향으로부터 볼 때 금속 원자가 층상으로 배열되거나, 금속 원자와 산소 원자가 층상으로 배열되는 상(phase)을 포함하는 비-단결정 산화물을 의미한다.

[0184] CAAC는 단결정이 아니지만, 이것은 CAAC가 비정질 성분만으로 구성된다는 것을 의미하지 않는다. CAAC는 결정화된 부분(결정 부분)을 포함하지만, 하나의 결정 부분과 다른 결정 부분 간의 경계가 명확하지 않은 어떤 경우들도 있다.

[0185] CAAC에 산소가 포함되는 경우에, CAAC에 포함된 산소의 일부는 질소로 치환될 수 있다. CAAC에 포함되는 개개의 결정 부분들의 c축들은 한 방향(예를 들어, CAAC가 형성되는 기판의 표면 또는 CAAC의 표면에 수직인 방향)으로 정렬될 수 있다. 대안적으로, CAAC에 포함되는 개개의 결정 부분들의 a-b면들의 법선들은 한 방향(예를 들어, CAAC가 형성되는 기판의 표면 또는 CAAC의 표면에 수직인 방향)으로 정렬될 수 있다.

[0186] CAAC는 그의 조성 등에 따라 도체, 반도체, 또는 절연체로 된다. CAAC는 그의 조성 등에 따라 가시광을 투과시키거나 투과시키지 않는다.

[0187] 그러한 CAAC의 예로서, 막 형상으로 형성되고, 막의 표면 또는 지지 기판의 표면에 수직인 방향으로부터 관찰할 때 삼각형 또는 육각형의 원자 배열을 갖고, 또한 막의 단면을 관찰할 때 금속 원자가 층상으로 배열되거나, 금속 원자와 산소 원자(또는 질소 원자)가 층상으로 배열되는 결정이 있다.

[0188] CAAC의 결정 구조의 예에 대해서 도 15의 (a) 내지 도 15의 (e), 도 16의 (a) 내지 도 16의 (c), 및 도 17의 (a) 내지 도 17의 (c)를 참조해서 상세하게 설명한다. 도 15의 (a) 내지 도 15의 (e), 도 16의 (a) 내지 도 16의 (c), 및 도 17의 (a) 내지 도 17의 (c)에 있어서, 달리 명시하지 않는 한, 세로 방향은 c축 방향에 해당하고, c축 방향에 직교하는 면은 a-b면에 해당한다. 간단히 "상반부" 및 "하반부"라는 표현을 사용할 때, 그들은 a-b면 위의 상반부와 a-b면 아래의 하반부를 일컫는다(a-b면에 대한 상반부와 하반부). 또한, 도 15의 (a) 내지 도 15의 (e)에 있어서, 원으로 둘러싸인 O는 4 배위의 O를 나타내고, 이중 원으로 둘러싸인 O는 3 배위의 O를 나타낸다.

[0189] 도 15의 (a)는 1개의 6 배위의 In 원자와, In 원자에 근접한 6개의 4 배위의 산소(이하 4 배위의 O라고 일컬음) 원자를 포함하는 구조를 도시한다. 여기에서, 1개의 금속 원자와 그에 근접한 산소 원자들을 포함하는 구조를 소그룹이라고 일컫는다. 도 15의 (a)의 구조는 실제로 팔면체 구조이지만, 간단화를 위하여 평면 구조로서 도시된다. 도 15의 (a)의 상반부 및 하반부 각각에 3개의 4 배위의 O 원자가 존재한다는 것을 유의한다. 도 15의 (a)에 도시된 소그룹에 있어서 전하는 0이다.

[0190] 도 15의 (b)는 1개의 5 배위의 Ga 원자와, Ga 원자에 근접한 3개의 3 배위의 산소(이하 3 배위의 O라고 일컬음) 원자와, Ga 원자에 근접한 2개의 4 배위의 O 원자를 포함하는 구조를 도시한다. 3 배위의 O 원자는 모두 a-b면에 존재한다. 도 15의 (b)의 상반부 및 하반부 각각에는 1개의 4 배위의 O 원자가 존재한다. 또한, In 원자가 5개의 리간드를 가질 수 있기 때문에, In 원자도 도 15의 (b)에 도시된 구조를 가질 수 있다. 도 15의 (b)에 도시된 소그룹에 있어서, 전하는 0이다.

[0191] 도 15의 (c)는 1개의 4 배위의 Zn 원자와, Zn 원자에 근접한 4개의 4 배위의 O 원자를 포함하는 구조를 도시한다. 도 15의 (c)에 있어서, 상반부에 1개의 4 배위의 O 원자가 존재하고, 하반부에 3개의 4 배위의 O 원자가 존재한다. 대안적으로, 도 15의 (c)에 있어서, 상반부에 3개의 4 배위의 O 원자가 존재할 수 있고, 하반부에 1개의 4 배위의 O 원자가 존재할 수 있다. 도 15의 (c)에 도시된 소그룹에서, 전하는 0 원자이다.

[0192] 도 15의 (d)는 1개의 6 배위의 Sn 원자와, Sn 원자에 근접한 6개의 4 배위의 O 원자를 포함하는 구조를 도시한다. 도 15의 (d)에 있어서, 상반부와 하반부 각각에 3개의 4 배위의 O 원자가 존재한다. 도 15의 (d)에 도시된 소그룹에 있어서, 전하는 +1이다.

[0193] 도 15의 (e)는 2개의 Zn 원자를 포함하는 소그룹을 도시한다. 도 15의 (e)에 있어서, 상반부와 하반부 각각에 1개의 4 배위의 O 원자가 존재한다. 도 15의 (e)에 도시된 소그룹에 있어서, 전하는 -1이다.

[0194] 여기에서, 복수의 소그룹은 중그룹을 형성하고, 복수의 중그룹은 대그룹(유닛 셀이라고도 일컬음)을 형성한다.

[0195] 이제, 소그룹들 간의 결합의 규칙에 대해서 설명한다. 도 15의 (a)의 6 배위의 In 원자에 대해 상반부의 3개의 O 원자는 각각 하측 방향에 3개의 근접한 In 원자를 갖고, 하반부의 3개의 O 원자는 각각 상측 방향에 3개의 근접한 In 원자를 갖는다. 도 15의 (b)의 5 배위의 Ga 원자에 대해 상반부의 1개의 O 원자는 하측 방향에 1개의 근접한 Ga 원자를 갖고, 하반부의 1개의 O 원자는 상측 방향에 1개의 근접한 Ga 원자를 갖는다. 도 15의 (c)의

4 배위의 Zn 원자에 대해 상반부의 1개의 O 원자는 하측 방향에 1개의 근접한 Zn 원자를 갖고, 하반부의 3개의 O 원자는 각각 상측 방향에 3개의 근접한 Zn 원자를 갖는다. 이와 같이, 금속 원자 위의 4 배위의 O 원자의 수는, 그 4 배위의 O 원자 각각의 아래에 근접한 금속 원자의 수와 동등하다. 마찬가지로, 금속 원자의 아래의 4 배위의 O 원자의 수는, 그 4 배위의 O 원자 각각의 위에 근접한 금속 원자의 수와 동등하다. 4 배위의 O 원자의 배위수는 4이기 때문에, O 원자의 아래에 근접한 금속 원자의 수와, O 원자의 위에 근접한 금속 원자의 수의 합은 4이다. 따라서, 금속 원자 위의 4 배위의 O 원자의 수와, 다른 금속 원자의 아래의 4 배위의 O 원자의 수의 합이 4일 때, 금속 원자들을 포함하는 2종류의 소그룹이 결합될 수 있다. 예를 들어, 6 배위의 금속(In 또는 Sn) 원자가 하반부의 3개의 4 배위의 O 원자를 통해 결합하는 경우에, 5 배위의 금속(Ga 또는 In) 원자 또는 4 배위의 금속(Zn) 원자에 결합된다.

[0196] 배위수가 4, 5, 또는 6인 금속 원자는 c축 방향에 있어서 4 배위의 O 원자를 통해 다른 금속 원자에 결합된다. 이외에도, 적층 구조의 합계의 전하가 0이 되도록 복수의 소그룹을 결합해서 다른 방식으로 중그룹을 형성할 수 있다.

[0197] 도 16의 (a)는 In-Sn-Zn-O계 재료의 층 구조에 포함되는 중그룹의 모델을 도시한다. 도 16의 (b)는 3개의 중그룹을 포함하는 대그룹을 도시한다. 도 16의 (c)는 도 16의 (b)의 적층 구조를 c축 방향으로부터 관찰하는 경우의 원자 배열을 도시한다는 것을 유의한다.

[0198] 도 16의 (a)에 있어서, 간단화를 위하여, 3 배위의 O 원자를 생략하고, 4 배위의 O 원자를 원으로 도시하고, 원내의 숫자는 4 배위의 O 원자의 수를 나타낸다. 예를 들어, Sn 원자에 대해 상반부 및 하반부 각각에 존재하는 3개의 4 배위의 O 원자는 원문자 3으로 나타낸다. 마찬가지로, 도 16의 (a)에 있어서, In 원자에 대해 상반부 및 하반부 각각에 존재하는 1개의 4 배위의 O 원자는 원문자 1로 나타낸다. 또한, 도 16의 (a)는 하반부의 1개의 4 배위의 O 원자와 상반부의 3개의 4 배위의 O 원자에 근접한 Zn 원자와, 상반부의 1개의 4 배위의 O 원자와 하반부의 3개의 4 배위의 O 원자에 근접한 Zn 원자를 도시한다.

[0199] 도 16의 (a)에 있어서, In-Sn-Zn-O계 재료의 적층 구조에 포함되는 중그룹에 있어서, 최상부로부터 시작하여 순서대로, 상반부 및 하반부 각각의 3개의 4 배위의 O 원자에 근접한 Sn 원자는, 상반부 및 하반부 각각의 1개의 4 배위의 O 원자에 근접한 In 원자와 결합되고, In 원자는, 상반부의 3개의 4 배위의 O 원자에 근접한 Zn 원자와 결합되고, Zn 원자는, Zn 원자에 대해 하반부의 1개의 4 배위의 O 원자를 통해 상반부 및 하반부 각각의 3개의 4 배위의 O 원자에 근접한 In 원자와 결합되고, In 원자는, 상반부의 1개의 4 배위의 O 원자에 근접하고 2개의 Zn 원자를 포함하는 소그룹에 결합되고, 소그룹은, 소그룹에 대해 하반부의 1개의 4 배위의 O 원자를 통해 상반부 및 하반부 각각의 3개의 4 배위의 O 원자에 근접한 Sn과 결합된다. 복수의 그러한 중그룹이 결합되어, 대그룹을 형성한다.

[0200] 여기에서, 3 배위의 O 원자의 하나의 결합당 전하와 4 배위의 O 원자의 하나의 결합당 전하는 각각 -0.667과 -0.5라고 가정할 수 있다. 예를 들어, (6 배위 또는 5 배위)In 원자의 전하, (4 배위)Zn 원자의 전하, 및 (5 배위 또는 6 배위)Sn 원자의 전하는 각각 +3, +2, 및 +4이다. 따라서, Sn 원자를 포함하는 소그룹의 전하는 +1이다. 그로 인해, Sn 원자를 포함하는 적층 구조를 형성하기 위해서 +1의 전하를 상쇄하는 -1의 전하가 필요해진다. 전하 -1을 갖는 구조로서, 도 15의 (e)에 도시된 바와 같이, 2개의 Zn 원자를 포함하는 소그룹을 들 수 있다. 예를 들어, 2개의 Zn 원자를 포함하는 1개의 소그룹에 의해, Sn 원자를 포함하는 1개의 소그룹의 전하가 상쇄될 수 있으므로, 적층 구조의 합계의 전하는 0이 될 수 있다.

[0201] 도 16의 (b)에 도시된 대그룹이 반복될 때, In-Sn-Zn계 산화물 결정($In_2SnZn_3O_8$)을 얻을 수 있다. 얻어지는 In-Sn-Zn계 산화물의 적층 구조는 조성식 $In_2SnZn_2O_7(ZnO)_m$(m은 0 또는 자연수이다)으로서 표현될 수 있다는 것을 유의한다.

[0202] 전술한 규칙은 다음의 산화물에도 적용된다: In-Sn-Ga-Zn계 산화물 등의 4원계 금속 산화물; In-Ga-Zn계 산화물(IGZO라고도 일컬음), In-Al-Zn계 산화물, Sn-Ga-Zn계 산화물, Al-Ga-Zn계 산화물, Sn-Al-Zn계 산화물, In-Hf-Zn계 산화물, In-La-Zn계 산화물, In-Ce-Zn계 산화물, In-Pr-Zn계 산화물, In-Nd-Zn계 산화물, In-Sm-Zn계 산화물, In-Eu-Zn계 산화물, In-Gd-Zn계 산화물, In-Tb-Zn계 산화물, In-Dy-Zn계 산화물, In-Ho-Zn계 산화물, In-Er-Zn계 산화물, In-Tm-Zn계 산화물, In-Yb-Zn계 산화물, 또는 In-Lu-Zn계 산화물 등의 3원계 금속 산화물; In-Zn계 산화물, Sn-Zn계 산화물, Al-Zn계 산화물, Zn-Mg계 산화물, Sn-Mg계 산화물, In-Mg계 산화물, 또는 In-Ga계 산화물 등의 2원계 금속 산화물 등.

[0203] 예를 들어, 도 17의 (a)는 In-Ga-Zn계 산화물의 적층 구조에 포함되는 중그룹의 모델을 도시한다.

[0204] 도 17의 (a)의 In-Ga-Zn계 산화물의 적층 구조에 포함되는 중그룹에 있어서, 최상부로부터 시작하여 순서대로, 상반부 및 하반부 각각의 3개의 4 배위의 O 원자에 근접한 In 원자는, 상반부의 1개의 4 배위의 O 원자에 근접한 Zn과 결합되고, Zn 원자는, Zn 원자에 대해 하반부의 3개의 4 배위의 O 원자를 통해 상반부 및 하반부 각각의 1개의 4 배위의 O 원자에 근접한 Ga 원자와 결합되고, Ga 원자는, Ga 원자에 대해 하반부의 1개의 4 배위의 O 원자를 통해 상반부 및 하반부 각각의 3개의 4 배위의 O 원자에 근접한 In 원자와 결합된다. 복수의 그러한 중그룹이 결합되어, 대그룹을 형성한다.

[0205] 도 17의 (b)는 3개의 중그룹을 포함하는 대그룹을 도시한다. 도 17의 (c)는 도 17의 (b)의 적층 구조를 c축 방향으로부터 관찰한 경우의 원자 배열을 도시한다는 것을 유의한다.

[0206] 여기에서, (6 배위 또는 5 배위)In 원자의 전하, (4 배위)Zn 원자의 전하, 및 (5 배위)Ga 원자의 전하는 각각 +3, +2, 및 +3이기 때문에, In 원자, Zn 원자, 및 Ga 원자 중 임의의 것을 포함하는 소그룹의 전하는 0이다. 그 결과, 그러한 소그룹들의 조합을 갖는 중그룹의 합계의 전하는 항상 0이다.

[0207] In-Ga-Zn계 산화물의 층 구조를 형성하기 위해서, 도 17의 (a)에 도시된 중그룹뿐만 아니라, In 원자, Ga 원자, 및 Zn 원자의 배열이 도 17의 (a)의 것과는 다른 중그룹도 사용하여 대그룹을 형성할 수 있다.

[0208] 타깃으로서, In-Sn-Ga-Zn계 산화물 등의 4원계 금속 산화물, In-Ga-Zn계 산화물, In-Sn-Zn계 산화물, In-Al-Zn계 산화물, Sn-Ga-Zn계 산화물, Al-Ga-Zn계 산화물, 또는 Sn-Al-Zn계 산화물 등의 3원계 금속 산화물, 또는 In-Zn계 산화물 또는 Sn-Zn계 산화물 등의 2원계 금속 산화물 등을 사용할 수 있다.

[0209] 타깃의 예로서, In, Ga, 및 Zn을 포함하고 In_2O_3:Ga_2O_3:ZnO=1:1:1 [몰비]의 조성비를 갖는 타깃을 사용한다. 대안적으로, In_2O_3:Ga_2O_3:ZnO=1:1:2 [몰비]의 조성비를 갖는 타깃, In_2O_3:Ga_2O_3:ZnO=1:1:4 [몰비]의 조성비를 갖는 타깃, 또는 In_2O_3:Ga_2O_3:ZnO=2:1:8 [몰비]의 조성비를 갖는 타깃을 사용할 수 있다. In, Ga, 및Zn을 포함하는 타깃을 사용한 스퍼터링법에 의해 얻어지는 산화물 반도체는 In-Ga-Zn-O로 표기되고, 그의 산화물 반도체 재료는 $InGaO_3(ZnO)m$ (m>0)이다. m이 자연수가 아니라는 사실은 유도 결합 플라즈마 질량 분석법(inductively coupled plasma mass spectrometry: ICP-MS) 또는 Rutherford 후방 산란(Rutherford back-scattering: RBS)을 사용하는 분석에 의해 확인할 수 있다.

[0210] 또한, In-Sn-Zn계 산화물은 ITZO라고 일컬어질 수 있다. 원자수 비로 In:Sn:Zn=1:2:2, 2:1:3, 1:1:1, 또는 20:45:35 등인 조성비를 갖는 타깃을 사용한다.

[0211] 또한, 산화물 반도체층의 형성시에, 스퍼터링 장치의 처리실의 압력을 0.4Pa 이하로 설정함으로써, 대상물 또는 대상물의 표면으로의 알칼리 금속 또는 수소 등의 불순물의 혼입을 억제할 수 있다. 수소 원자 외에도 수소 분자, 물, 수산기, 또는 수소화물로서 수소가 대상물에 포함될 수 있는 어떤 경우들도 있다는 것을 유의한다.

[0212] 또한, 산화물 반도체층의 형성시에, 타깃과 기판 간의 거리(T-S 거리)는 40mm 이상 300mm 이하(바람직하게는 60mm 이상)이다.

[0213] 스퍼터링법에 의해 산화물 반도체층을 형성하는 경우에, 막이 형성되는 표면의 온도는 250℃ 이상이고 기판의 열처리 상한 온도 이하이다. 형성되는 막에 수소 또는 물 등의 불순물의 혼입을 방지하고, 챔버 내의 기상에 불순물을 방출하는 온도는 250℃이다. 또한, 스퍼터링법에 의해 산화물 반도체층을 형성하는 경우에, 막이 형성되는 표면의 온도의 상한은 기판의 열처리 상한 온도, 또는 형성되는 막의 상한 온도(온도가 후자의 상한을 초과하면, 막의 성분들이 크게 변화함)이다.

[0214] 성막실 내의 잔류 수분을 제거하면서, 수소, 물, 수산기, 또는 수소화물 등의 불순물이 충분히 제거된 고순도 가스를 도입하고, 타깃을 사용해서 기판 위에 산화물 반도체층을 형성한다. 성막실 내의 잔류 수분을 제거하기 위해서, 크라이오 펌프, 이온 펌프, 또는 티타늄 승화 펌프 등의 흡착형 진공 펌프를 사용하는 것이 바람직하다. 배기 유닛은 콜드 트랩을 구비한 터보 분자 펌프(turbo molecular pump: TMP)일 수 있다. 크라이오 펌프에 의해 배기된 성막실에 있어서, 예를 들어, 수소, 물, 수산기, 또는 수소화물 등의 불순물(탄소 원자를 포함하는 화합물도 포함함) 등이 제거됨으로써, 성막실에서 형성되는 산화물 반도체층에 있어서 수소, 물, 수산기, 또는 수소화물 등의 불순물의 농도를 감소시킬 수 있다.

[0215] 또한, 산화물 반도체층의 형성시에 스퍼터링 장치의 처리실의 누설 레이트를 1×10^{-10} Pa·m^3/sec 이하로 설정할 때, 스퍼터링법에 의해 형성되고 있는 산화물 반도체층으로의, 알칼리 금속 또는 수소화물 등의 불순물의 혼입을 감소시킬 수 있다. 또한, 배기계(evacuation system)로서 흡착형 진공 펌프(예를 들어, 크라이오 펌프)를

사용함으로써, 배기계로부터 알칼리 금속, 수소 원자, 수소 분자, 물, 수산기, 또는 수소화물 등의 불순물의 역류를 감소시킬 수 있다.

[0216] 이어서, 산화물 반도체층을 가공함으로써 산화물 반도체층(144)을 형성한다. 산화물 반도체층은, 원하는 형상의 마스크를 산화물 반도체층 위에 형성한 후에, 에칭함으로써 가공될 수 있다. 전술한 마스크는 포토리소그래피법 등의 방법에 의해 형성될 수 있다. 대안적으로, 잉크젯법 등에 의해 마스크를 형성할 수 있다. 산화물 반도체층의 에칭을 위해, 건식 에칭 또는 습식 에칭을 채택할 수 있다. 물론, 그 둘 다를 조합하여 채택할 수 있다.

[0217] 반도체층이 형성된 후에 또는 산화물 반도체층(144)이 형성된 후에, 필요하다면, 수소 또는 물 등을 거의 포함하지 않는 분위기(질소 분위기, 산소 분위기, 또는 건조 공기 분위기(예를 들어, 물에 대해서는 노점이 -40℃ 이하이고, 바람직하게는 -60℃ 이하임) 등)에서 200℃ 이상 700℃ 이하의 온도에서 열처리를 행할 수 있다. 열처리는 산화물 반도체층으로부터 H 또는 OH 등을 탈리시키기 위한 탈수화 또는 탈수소화라고 일컬어질 수 있다. 불활성 분위기에서 온도가 상승되고, 분위기가 열처리 동안에 산소를 포함하는 분위기로 전환되는 경우에, 또는 산소 분위기가 채택되는 경우에, 열처리는 산소 공급을 위한 처리라고 일컬어질 수도 있다.

[0218] 이상의 단계들을 통해, 불순물이 감소되는 i형(진성) 또는 실질적 i형 산화물 반도체층(144)을 형성할 수 있다(도 10의 (a)를 참조).

[0219] 이어서, 산화물 반도체층(144) 등의 위에 도전 재료를 포함하는 층을 형성한다.

[0220] 도전 재료를 포함하는 층은 후에 소스 전극 및 드레인 전극이 되고, 알루미늄, 크로뮴, 구리, 티타늄, 탄탈륨, 몰리브데늄, 또는 텅스텐 등의 금속 재료를 사용해서 형성될 수 있다. 대안적으로, 도전 재료를 포함하는 층은, 전술한 금속 재료 중 임의의 것을 성분으로서 포함하는 합금 등을 사용해서 형성될 수 있다. 또한, 망가니즈, 마그네슘, 지르코늄, 베릴륨, 네오디뮴, 및 스칸듐 중에서 선택된 하나 이상의 재료를 사용할 수 있다.

[0221] 도전 재료를 포함하는 층은 단층 구조, 또는 2층 이상을 포함하는 적층 구조를 가질 수 있다. 예를 들어, 도전 재료를 포함하는 층은 티타늄막 또는 질화 티타늄막의 단층 구조, 실리콘을 포함하는 알루미늄막의 단층 구조, 알루미늄막 위에 티타늄막이 적층된 2층 구조, 질화 티타늄막 위에 티타늄막이 적층된 2층 구조, 또는 티타늄막과 알루미늄막과 티타늄막이 이 순서로 적층된 3층 구조를 가질 수 있다. 도전 재료를 포함하는 층이 티타늄막 또는 질화 티타늄막의 단층 구조를 갖는 경우에, 도전 재료를 포함하는 층은 테이퍼 형상을 갖는 소스 또는 드레인 전극들(142a, 142b)로 용이하게 가공될 수 있는 이점이 있다는 것을 유의한다.

[0222] 또한, 도전 재료를 포함하는 층으로서 산화 인듐, 산화 인듐 주석(ITO라고도 일컬음), 산화 인듐 아연, 산화 아연, 갈륨을 첨가한 산화 아연, 또는 그라핀 등을 사용할 수 있다.

[0223] 도전 재료를 포함하는 층을 선택적으로 에칭해서 소스 또는 드레인 전극들(142a, 142b) 및 전극(142c)을 형성한다(도 10의 (b)를 참조).

[0224] 도전 재료를 포함하는 층은, 소스 또는 드레인 전극들(142a, 142b) 및 전극(142c)이 테이퍼 형상의 단부들을 갖게 형성되도록 에칭되는 것이 바람직하다. 여기에서, 그것의 테이퍼 각은, 예를 들어, 30° 이상 60° 이하인 것이 바람직하다. 소스 또는 드레인 전극들(142a, 142b) 및 전극(142c)이 테이퍼 형상의 단부들을 갖도록 에칭에 의해 형성될 때, 후에 형성되는 게이트 절연층에 의한 소스 또는 드레인 전극들(142a, 142b) 및 전극(142c)의 피복성이 향상될 수 있고, 게이트 절연층의 절단을 방지할 수 있다.

[0225] 트랜지스터의 채널 길이(L)는 소스 또는 드레인 전극(142a) 및 소스 또는 드레인 전극(142b)의 아래 에지부들 간의 거리에 의해 결정된다. 채널 길이(L)가 25㎚ 미만인 트랜지스터를 형성하는 경우에 사용되는 마스크를 형성하기 위한 노광을 위해, 수 나노미터 내지 수십 나노미터 정도로 파장이 짧은 극초자외선(extreme ultraviolet rays)을 사용하는 것이 바람직하다는 것을 유의한다. 극초자외선에 의한 노광에 있어서, 해상도가 높고 초점 심도가 크다. 이 때문에, 후에 형성되는 트랜지스터의 채널 길이(L)는 10㎚ 이상 1000㎚(1㎛) 이하의 범위일 수 있고, 회로는 더 고속으로 동작할 수 있다. 또한, 미세화는 반도체 장치의 소비 전력을 감소시킬 수 있다.

[0226] 이어서, 소스 또는 드레인 전극들(142a, 142b) 및 전극(142c)을 덮도록, 그리고 산화물 반도체층(144)의 일부에 접촉하도록 게이트 절연층(146)을 형성한다(도 10의 (c)를 참조).

[0227] 게이트 절연층(146)은 CVD법 또는 스퍼터링법 등에 의해 형성될 수 있다. 게이트 절연층(146)은 산화 실리콘, 질화 실리콘, 산화질화 실리콘, 산화 갈륨, 산화 알루미늄, 산화 탄탈륨, 산화 하프늄, 산화 이트륨, 하프늄 실

리케이트($HfSi_xO_y$(x>0, y>0)), 질소가 첨가된 하프늄 실리케이트($HfSi_xO_yN_z$(x>0, y>0, z>0)), 또는 질소가 첨가된 하프늄 알루미네이트($HfAl_xO_yN_z$(x>0, y>0, z>0)) 등을 포함하도록 형성되는 것이 바람직하다. 게이트 절연층(146)은 단층 구조를 가질 수 있거나, 이 재료들이 조합된 적층 구조를 가질 수 있다. 그 두께는 특별히 한정되지 않지만, 반도체 장치를 미세화할 경우에, 두께는 트랜지스터의 동작을 확보하기 위해서 얇은 것이 바람직하다. 예를 들어, 산화 실리콘을 사용하는 경우에, 두께는 1nm 이상 100nm 이하, 바람직하게는 10nm 이상 50nm 이하로 설정될 수 있다.

[0228] 전술한 바와 같이 게이트 절연층이 얇을 때, 터널 효과 등에 기인하는 게이트 누설의 문제가 발생한다. 게이트 누설의 문제를 해결하기 위해서, 게이트 절연층(146)은 산화 하프늄, 산화 탄탈륨, 산화 이트륨, 하프늄 실리케이트($HfSi_xO_y$(x>0, y>0)), 질소가 첨가된 하프늄 실리케이트($HfSi_xO_yN_z$(x>0, y>0, z>0)), 또는 질소가 첨가된 하프늄 알루미네이트($HfAl_xO_yN_z$(x>0, y>0, z>0)) 등의 고유전율(하이-k) 재료를 사용하여 형성되는 것이 바람직하다. 하이-k 재료를 게이트 절연층(146)에 사용함으로써 전기적 특성을 확보할 수 있고, 게이트 누설을 억제하기 위해서 두께를 크게 할 수 있다. 하이-k 재료를 포함하는 막과, 산화 실리콘, 질화 실리콘, 산화질화 실리콘, 질화 산화 실리콘, 및 산화 알루미늄 등 중 임의의 것을 포함하는 막의 적층 구조가 채택될 수 있다는 것을 유의한다.

[0229] 또한, 산화물 반도체층(144)에 접촉하는 절연층(본 실시 형태에 있어서, 게이트 절연층(146))은 13족 원소 및 산소를 포함하는 절연 재료일 수 있다. 산화물 반도체 재료는 13족 원소를 포함하는 것이 많기 때문에, 13족 원소를 포함하는 절연 재료는 산화물 반도체와 작용을 잘한다. 그러한 13족 원소를 포함하는 절연 재료를 산화물 반도체층에 접촉하는 절연층에 사용함으로써, 산화물 반도체층과 절연층 간의 계면의 조건을 양호한 상태로 유지할 수 있다.

[0230] 13족 원소를 포함하는 절연 재료는 하나 이상의 13족 원소를 포함하는 절연 재료를 일컫는다. 13족 원소를 포함하는 절연 재료로서, 예를 들어, 산화 갈륨, 산화 알루미늄, 산화 알루미늄 갈륨, 및 산화 갈륨 알루미늄 등을 들 수 있다. 여기에서, 산화 알루미늄 갈륨이란 원자 퍼센트로 알루미늄의 함유량이 갈륨의 함유량보다 많은 재료를 일컫고, 산화 갈륨 알루미늄이란 원자 퍼센트로 갈륨의 함유량이 알루미늄의 함유량 이상인 재료를 일컫는다.

[0231] 예를 들어, 갈륨을 포함하는 산화물 반도체층에 접촉해서 게이트 절연층을 형성하는 경우에, 산화 갈륨을 포함하는 재료를 게이트 절연층에 사용할 수 있음으로써, 산화물 반도체층과 게이트 절연층 간의 계면에 있어서의 양호한 특성을 유지할 수 있다. 산화물 반도체층과, 산화 갈륨을 포함하는 절연층을 서로 접촉해서 설치할 때, 예를 들어, 산화물 반도체층과 절연층 간의 계면에 있어서의 수소의 쌓임을 억제할 수 있다. 산화물 반도체의 성분 원소와 같은 족에 속하는 원소를 절연층에 사용하는 경우에 마찬가지의 효과를 얻을 수 있다는 것을 유의한다. 예를 들어, 산화 알루미늄을 포함하는 재료를 사용해서 절연층을 형성하는 것이 효과적이다. 산화 알루미늄은 물을 투과시키기 어렵다는 특성을 갖는다는 것을 유의한다. 따라서, 산화물 반도체층으로의 물의 혼입을 방지하는 관점에 있어서 산화 알루미늄을 포함하는 재료를 사용하는 것이 바람직하다.

[0232] 산화물 반도체층(144)에 접촉하는 절연층은 산소 분위기에서의 열처리에 의해 또는 산소 도핑에 의해 화학양론적 조성비보다 높은 조성비의 산소를 포함하는 것이 바람직하다. "산소 도핑"이란, 산소를 벌크에 첨가하는 것을 일컫는다. "벌크"라는 용어는 산소를 박막 표면에 뿐만 아니라 박막의 내부에도 첨가하는 것을 명시하기 위해서 사용된다는 것을 유의한다. 또한, "산소 도핑"은 산소 플라스마를 벌크에 첨가하는 산소 플라즈마 도핑을 포함한다. 산소 도핑은 이온 주입법 또는 이온 도핑법에 의해 행해질 수 있다.

[0233] 예를 들어, 산화물 반도체층(144)에 접촉하는 절연층이 산화 갈륨을 사용해서 형성되는 경우에, 산소 분위기에서의 열처리에 의해 또는 산소 도핑에 의해 산화 갈륨의 조성을 Ga_2O_x(x=3+α, 0<α<1)로 설정할 수 있다. 산화물 반도체층(144)에 접촉하는 절연층이 산화 알루미늄을 사용해서 형성되는 경우에, 산소 분위기에서의 열처리에 의해 또는 산소 도핑에 의해 산화 알루미늄의 조성을 Al_2O_x(x=3+α, 0<α<1)로 설정할 수 있다. 산화물 반도체층(144)에 접촉하는 절연층이 산화 갈륨 알루미늄(산화 알루미늄 갈륨)을 사용해서 형성되는 경우에, 산소 분위기에서의 열처리에 의해 또는 산소 도핑에 의해 산화 갈륨 알루미늄(산화 알루미늄 갈륨)의 조성을 $Ga_xAl_{2-x}O_{3+\alpha}$(0<x<2, 0<α<1)로 설정할 수 있다.

[0234] 산소 도핑 등에 의해, 산소의 조성비가 화학양론적 조성비에 있어서의 것보다 높은 영역을 갖는 절연층을 형성할 수 있다. 그러한 영역을 갖는 절연층이 산화물 반도체층에 접촉할 때, 절연층 내의 과잉 산소가 산화물 반

도체층에 공급되어, 산화물 반도체층 내에 있어서의 또는 산화물 반도체층과 절연층 간의 계면에 있어서의 산소 결손을 감소시킬 수 있다. 따라서, 산화물 반도체층은 i형 또는 실질적 i형 산화물 반도체로 될 수 있다.

[0235] 산소의 조성비가 화학양론적 조성비에 있어서의 것보다 높은 영역을 갖는 절연층은, 게이트 절연층(146) 대신에 산화물 반도체층(144)의 베이스 막으로서 기능하는 절연층(예를 들어, 절연층(140))에 적용될 수 있거나, 게이트 절연층(146) 및 베이스 절연층 둘 다에 적용될 수 있다는 것을 유의한다.

[0236] 이어서, 전술한 단계들에서 형성된 구성 요소들을 덮도록 도전 재료를 포함하는 층을 형성한다. 도전 재료를 포함하는 층은 몰리브데늄, 티타늄, 탄탈륨, 텅스텐, 알루미늄, 구리, 네오디뮴, 또는 스칸듐 등의 금속 재료, 또는 이 재료들 중 임의의 것을 주성분으로서 포함하는 합금 재료를 사용해서 형성될 수 있다. 도전 재료를 포함하는 층을 선택적으로 에칭해서 게이트 전극(148a) 및 도전층(148b)을 형성한다. 게이트 전극(148a) 및 도전층(148b)은 단층 구조 또는 적층 구조를 가질 수 있다는 것을 유의한다.

[0237] 이어서, 게이트 절연층(146), 게이트 전극(148a), 및 도전층(148b) 위에 절연층(150) 및 절연층(152)을 형성한다(도 11의 (a)를 참조). 절연층(150) 및 절연층(152)은 PVD법 또는 CVD법 등에 의해 형성될 수 있다. 절연층(150) 및 절연층(152)은 산화 실리콘, 산화질화 실리콘, 질화 실리콘, 산화 하프늄, 산화 갈륨, 또는 산화 알루미늄 등의 무기 절연 재료를 포함하는 재료, 또는 폴리이미드 또는 아크릴 등의 유기 재료를 포함하는 재료를 사용해서 형성될 수 있다. 절연층(150) 및 절연층(152)은 유전율이 낮은 재료 또는 유전율이 낮은 구조(다공성의 구조 등)를 사용해서 형성되는 것이 바람직하다는 것을 유의한다. 이것은, 절연층(150) 및 절연층(152)의 유전율이 낮을 때, 배선 또는 전극 등의 사이에 발생하는 용량을 감소시킬 수 있고, 고속 동작을 달성할 수 있기 때문이다. 예를 들어, 절연층(150)에 무기 재료를 포함하는 재료를 사용할 수 있고, 절연층(152)에 유기 재료를 포함하는 재료를 사용할 수 있다.

[0238] 이어서, 게이트 절연층(146), 절연층(150), 및 절연층(152)에 소스 또는 드레인 전극(142b) 및 전극(142c)에 도달하는 개구를 형성한다. 개구는 마스크 등을 사용해서 선택적 에칭에 의해 형성된다. 그 후, 도전 재료를 포함하는 층을 소스 또는 드레인 전극(142b) 및 전극(142c)에 접촉해서 형성한다. 이어서, 도전 재료를 포함한 층에 에칭 또는 CMP 처리를 행함으로써, 전극(154a) 및 전극(154b)을 형성한다(도 11의 (b)를 참조).

[0239] 이어서, 절연층(152)을 덮고, 전극(154a) 및 전극(154b)에 접촉하도록 배선(156)을 형성한다(도 11의 (b)를 참조). 배선(156)은, PVD법 또는 CVD법에 의해 도전 재료를 포함하는 층을 형성한 후, 도전 재료를 포함하는 층을 패터닝함으로써 형성된다. 도전 재료를 포함하는 층의 재료로서, 알루미늄, 크로뮴, 구리, 탄탈륨, 티타늄, 몰리브데늄, 및 텅스텐으로부터 선택된 원소, 또는 이 원소들 중 임의의 것을 성분으로서 포함하는 합금 등을 사용할 수 있다. 또한, 망가니즈, 마그네슘, 지르코늄, 베릴륨, 네오디뮴, 및 스칸듐으로부터 선택된 하나 이상의 재료를 사용할 수 있다.

[0240] 또한, 전극(154a) 및 전극(154b)을 사용하지 않으면서 배선(156)을 형성할 수 있다. 예를 들어, 개구가 형성되는 절연층(150)의 영역에 PVD법에 의해 티타늄 박막을(5nm 정도) 형성하고, 그 후에, 개구를 충전하도록 알루미늄막을 형성하는 방법을 채택할 수 있다. 여기에서, PVD법에 의해 형성되는 티타늄막은, 티타늄막이 형성되는 표면 위에 형성된 산화막(예를 들면, 자연 산화막)을 환원하고, 하부 전극 등(여기에서는, 소스 또는 드레인 전극(142a) 및 전극(142c))과의 접촉 저항을 감소시키는 기능을 한다. 또한, 알루미늄막의 힐록(hillock)을 방지할 수 있다. 티타늄 또는 질화 티타늄 등의 배리어막을 형성한 후에, 도금법에 의해 구리막을 형성할 수 있다.

[0241] 배선(156)에 의해, 센스 래치(190)의 노드 p와, 메모리 셀의 트랜지스터(162)의 소스 또는 드레인 전극(142b)을 접속할 수 있다(도 11의 (b)를 참조).

[0242] 이에 의해, 순도화된 산화물 반도체층(144)을 포함하는 트랜지스터(162) 및 용량 소자(164)를 포함하는 메모리 셀(170)이 완성된다(도 11의 (b)를 참조). 또한, 복수의 그러한 메모리 셀(170)을 형성할 때, 메모리 셀 어레이(202(1))를 형성할 수 있다.

[0243] 이상의 단계들을 통해, 산화물 반도체 이외의 반도체 재료를 포함하는 트랜지스터를 포함하는 주변 회로와, 산화물 반도체 재료를 포함하는 트랜지스터를 포함하는 메모리 회로를 둘 다 구비한 반도체 장치를 제조할 수 있다.

[0244] 전술한 제조 방법을 사용함으로써, 수소 또는 알칼리 금속 등의 불순물이 극히 감소된 산화물 반도체층(144)을 얻을 수 있다. 그러한 산화물 반도체층(144)을 사용해서 트랜지스터(162)를 제조할 때, 오프 전류가 극히 작은 트랜지스터를 제조할 수 있다. 트랜지스터(162)가 오프 전류가 극히 작기 때문에, 트랜지스터(162)를 포함하는

메모리 셀(170)은 장시간 동안 저장 데이터를 유지할 수 있다.

[0245] 또한, 도 7에 도시된 메모리 셀 어레이(202(1) 내지 202(k))는 간단한 소자 구조를 갖기 때문에, 메모리 셀 어레이를 적층하는 것이 용이하다. 예를 들어, 종래의 플래시 메모리는, 플로팅 게이트에 전하를 유지시키기 위해서 또는 그 전하를 제거하기 위해서 높은 전압이 필요하다. 이에 의해, 막질이 양호한 게이트 절연층이 요구되고, 메모리 소자의 구조가 복잡하기 때문에, 플래시 메모리들을 메모리 회로로서 적층하는 것이 곤란했다. 또한, 종래의 DRAM에 있어서, 높은 집적도를 얻기 위해서 높이가 큰 용량 소자를 형성할 필요가 있어서, 역시 DRAM을 메모리 회로로서 적층하는 것을 곤란하게 한다.

[0246] 이와 대조적으로, 산화물 반도체를 포함하는 트랜지스터를 포함하는 메모리 셀은 플래시 메모리 및 DRAM에 비해 간단한 프로세스로 제조될 수 있다. 또한, 산화물 반도체를 포함하는 트랜지스터를 포함하는 메모리 셀은 오프 전류가 극히 작기 때문에, 전하를 유지하는 용량 소자가 작을 수 있다. 그러한 특징들에 의해, 산화물 반도체를 포함하는 트랜지스터를 각각 포함하는 메모리 셀들(메모리 셀 어레이들)을 적층할 수 있고, 따라서, 반도체 장치의 집적도를 증가시킬 수 있다.

[0247] 본 실시 형태에 있어서, 메모리 셀 어레이(202(1))까지를 포함하여 제조하는 단계들에 대해서 설명했다. 메모리 셀 어레이(202(1))의 제조 방법을 채택함으로써, 복수의 메모리 셀 어레이(202)를 적층할 수 있다. 예를 들어, 전술한 제조 방법에 의해, k개의 메모리 셀 어레이를 적층함으로써, 도 7에 도시된 반도체 장치를 제조할 수 있다. 복수의 메모리 셀 어레이를 적층하는 경우에, 각각의 메모리 셀 어레이들에 사용되는 산화물 반도체 재료들은 동일한 재료를 포함하는 것이 바람직하다.

[0248] 본 실시 형태는 다른 실시 형태들에 설명하는 구성과 적절히 조합해서 실시될 수 있다.

[0249] (실시 형태 3)

[0250] 상기의 실시 형태들에 있어서, 트랜지스터의 채널 형성 영역에 사용될 수 있는 산화물 반도체층의 일 실시 형태를 도 12의 (a) 내지 도 12의 (d)를 참조해서 설명한다.

[0251] 본 실시 형태의 산화물 반도체층은 제1 결정성 산화물 반도체층과, 제1 결정성 산화물 반도체층 위에 있고 제1 결정성 산화물 반도체층보다 두께가 두꺼운 제2 결정성 산화물 반도체층을 포함하는 적층 구조를 갖는다.

[0252] 절연층(140) 위에 두께가 1nm 이상 10nm 이하인 제1 산화물 반도체막을 형성한다.

[0253] 본 실시 형태에 있어서, 절연층(140)으로서 PCVD법 또는 스퍼터링법에 의해 두께가 50nm 이상 600nm 이하인 산화물 절연층을 형성한다. 예를 들어, 산화 실리콘막, 산화 갈륨막, 산화 알루미늄막, 산화질화 실리콘막, 산화질화 알루미늄막, 또는 질화 산화 실리콘막으로부터 선택된 1층 또는 이 막들 중 임의의 것의 적층을 사용할 수 있다.

[0254] 제1 산화물 반도체막은 스퍼터링법에 의해 형성되고, 스퍼터링법에 의한 막 형성시에 있어서의 기판 온도는 200℃ 이상 400℃ 이하로 설정된다. 본 실시 형태에서는, 산화물 반도체용 타깃(In-Ga-Zn계 산화물 반도체용 타깃(In_2O_3:Ga_2O_3:ZnO=1:1:2 [몰비])을 사용하고, 기판과 타깃 간의 거리가 170mm이고, 기판 온도가 250℃이고, 압력이 0.4Pa이고, 직류(DC) 전원이 0.5kW인 조건에서, 산소 분위기, 아르곤 분위기, 또는 아르곤 및 산소를 포함하는 분위기에서 두께가 5nm인 제1 산화물 반도체막을 형성한다.

[0255] 이어서, 기판이 세팅되는 챔버의 분위기가 질소 또는 건조 공기의 분위기인 조건에서 제1 열처리를 행한다. 제1 열처리의 온도는 400℃ 이상 750℃ 이하이다. 제1 열처리를 통해, 제1 결정성 산화물 반도체층(145a)을 형성한다(도 12의 (a)를 참조).

[0256] 제1 열처리의 온도에 의존하지만, 제1 열처리는, 막 표면으로부터 결정화를 발생시키고, 막의 표면으로부터 막의 내부를 향해서 결정이 성장함으로써 c축 배향 결정이 얻어진다. 제1 열처리에 의해, 많은 양의 아연과 산소가 막 표면에 모이고, 육각형의 상측 면을 갖고 아연과 산소를 포함하는 그라핀 타입의 이차원 결정의 1층 이상이 최외측 표면에 형성되고, 최외측 표면에서의 1층 이상이 두께 방향으로 성장해서 층들의 적층을 형성한다. 열처리의 온도를 증가시킴으로써, 표면으로부터 내부로, 또한 내부로부터 저부로 결정 성장이 진행한다.

[0257] 제1 열처리에 의해, 산화물 절연층인 절연층(140) 내의 산소를 절연층(140)과 제1 결정성 산화물 반도체층(145a) 간의 계면 또는 그 계면의 근방(계면으로부터 ±5nm 이내)으로 확산시킴으로써, 제1 결정성 산화물 반도체층의 산소 결손을 감소시킨다. 따라서, 제1 결정성 산화물 반도체층의 베이스 절연층으로서 사용되는 절연층(140)(벌크 중)에, 또는 제1 결정성 산화물 반도체층(145a)과 절연층(140) 간의 계면에, 산소가 적어도 화학양

론적 조성비를 초과하는 양으로 포함되는 것이 바람직하다.

[0258] 계속해서, 제1 결정성 산화물 반도체층(145a) 위에 10nm보다 두꺼운 두께의 제2 산화물 반도체막을 형성한다. 제2 산화물 반도체막은 스퍼터링법에 의해 형성되고, 막 형성시의 기판 온도는 200℃ 이상 400℃ 이하로 설정한다. 막 형성시에 있어서의 기판 온도를 200℃ 이상 400℃ 이하로 설정함으로써, 제1 결정성 산화물 반도체층의 표면에 접촉해서 그 위에 형성되는 산화물 반도체막에 전구체가 정렬될 수 있고, 소위, 질서성(orderliness)을 얻을 수 있다.

[0259] 본 실시 형태에서는, 산화물 반도체용 타깃(In-Ga-Zn계 산화물 반도체용 타깃(In_2O_3:Ga_2O_3:ZnO=1:1:2 [몰비])을 사용하고, 기판과 타깃 간의 거리가 170mm이고, 기판 온도가 400℃이고, 압력이 0.4Pa이고, 직류(DC) 전원이 0.5kW인 조건에서, 산소 분위기, 아르곤 분위기, 또는 아르곤 및 산소를 포함하는 분위기에서 두께가 25nm인 제2 산화물 반도체막을 형성한다.

[0260] 이어서, 기판이 세팅되는 챔버의 분위기가 질소 또는 건조 공기의 분위기인 조건에서 제2 열처리를 행한다. 제2 열처리의 온도는 400℃ 이상 750℃ 이하이다. 제2 열처리를 통해, 제2 결정성 산화물 반도체층(145b)을 형성한다(도 12의 (b)를 참조). 제2 열처리는 질소 분위기, 산소 분위기, 또는 질소와 산소의 혼합 분위기에서 행해짐으로써, 제2 결정성 산화물 반도체층의 밀도를 증가시키고 그것에 있어서의 결함의 수를 감소시킨다. 제2 열처리에 의해, 제1 결정성 산화물 반도체층(145a)을 핵으로서 사용하여 두께 방향으로, 즉, 저부로부터 내부로 결정 성장이 진행함으로써, 제2 결정성 산화물 반도체층(145b)이 형성된다.

[0261] 또한, 절연층(140)의 형성으로부터 제2 열처리까지의 단계들을 대기에 노출시키지 않고 연속적으로 행하는 것이 바람직하다. 절연층(140)의 형성으로부터 제2 열처리까지의 단계들은 수소 및 수분을 거의 포함하지 않도록 제어된 분위기(불활성 가스 분위기, 감압 분위기, 또는 건조 공기 분위기 등)에서 행해지는 것이 바람직하고, 예를 들어, 수분에 대해서는, 노점이 -40℃ 이하이고, 바람직하게는 노점이 -50℃ 이하인 건조 질소 분위기를 채택할 수 있다.

[0262] 이어서, 제1 결정성 산화물 반도체층(145a)과 제2 결정성 산화물 반도체층(145b)을 포함하는 산화물 반도체의 적층들을, 섬 형상의 산화물 반도체층들의 적층을 포함하는 산화물 반도체층(145)으로 가공한다(도 12의 (c)를 참조). 도 12의 (c)에 있어서, 제1 결정성 산화물 반도체층(145a)과 제2 결정성 산화물 반도체층(145b) 간의 계면이 점선으로 나타내어지고, 제1 결정성 산화물 반도체층과 제2 결정성 산화물 반도체층의 적층 구조가 도시되지만, 실제로 계면은 명확하지 않고, 이해하기 쉽게 하기 위해서 도시된다.

[0263] 원하는 형상을 갖는 마스크를 산화물 반도체층들의 적층 위에 형성한 후에 에칭함으로써 산화물 반도체층들의 적층을 가공할 수 있다. 마스크는 포토리소그래피 등의 방법에 의해 형성될 수 있다. 대안적으로, 마스크를 형성하기 위해 잉크젯법 등의 방법을 사용할 수 있다.

[0264] 산화물 반도체층들의 적층의 에칭을 위해, 건식 에칭 또는 습식 에칭 중 어느 하나를 채택할 수 있다. 물론, 이 둘 다를 조합해서 채택할 수 있다.

[0265] 상기 형성 방법에 의해 얻어지는 제1 결정성 산화물 반도체층 및 제2 결정성 산화물 반도체층의 특징은, 이 층들이 c축 배향을 갖는다는 것이다. 제1 결정성 산화물 반도체층 및 제2 결정성 산화물 반도체층은 단결정 구조도 갖지 않고 비정질 구조도 갖지 않으며, c축 배향을 갖는 결정(c축 배향 결정(CAAC)이라고도 일컬음)을 포함하는 산화물을 포함한다는 것을 유의한다.

[0266] 어떻든 간에, CAAC를 얻기 위해서, 산화물 반도체막의 성막 초기 단계에 있어서 육방정의 결정을 형성하는 것과, 육방정의 결정을 시드로 하여 그로부터 결정을 성장시키는 것이 중요하다. 이것을 달성하기 위해서, 기판 가열 온도는 바람직하게 100℃ 내지 500℃이고, 더 바람직하게 200℃ 내지 400℃이고, 보다 더 바람직하게 250℃ 내지 300℃이다. 또한, 성막된 산화물 반도체막을 막 형성시의 기판 가열 온도보다 높은 온도에서 열처리한다. 이에 따라, 막 내의 미세 결함과 적층된 층들의 계면에서의 결함을 수복할 수 있다.

[0267] 제1 및 제2 결정성 산화물 반도체층은, 적어도 Zn 원자를 포함하는 산화물 재료, 예를 들면, In-Al-Ga-Zn-O계 재료 또는 In-Sn-Ga-Zn-O계 재료 등의 4원계 금속 산화물; In-Ga-Zn-O계 재료, In-Al-Zn-O계 재료, In-Sn-Zn-O계 재료, Sn-Ga-Zn-O계 재료, Al-Ga-Zn-O계 재료, 또는 Sn-Al-Zn-O계 재료 등의 3원계 금속 산화물; In-Zn-O계 재료, Sn-Zn-O계 재료, Al-Zn-O계 재료, 또는 Zn-Mg-O계 재료 등의 2원계 금속 산화물; 또는 Zn-O계 재료를 사용해서 형성된다는 것을 유의한다. 또한, In-Si-Ga-Zn-O계 재료, In-Ga-B-Zn-O계 재료, 또는 In-B-Zn-O계 재료를 사용할 수 있다. 또한, 상기 재료들은 SiO_2를 포함할 수 있다. 여기에서, 예를 들어, In-Ga-Zn-O계 재료

란, 인듐(In), 갈륨(Ga), 및 아연(Zn)을 포함하는 산화물막을 의미하고, 그 조성비에는 제한이 없다. 또한, In-Ga-Zn-O계 재료는 In, Ga, 및 Zn 이외의 원소를 포함할 수 있다.

[0268] 제1 결정성 산화물 반도체층 위에 제2 결정성 산화물 반도체층을 형성하는 2층 구조에 한정되지 않고, 제2 결정성 산화물 반도체층이 형성된 후에 제3 결정성 산화물 반도체층을 형성하기 위한 막 형성 및 열처리의 프로세스를 반복적으로 행함으로써 3층 이상을 포함하는 적층 구조를 형성할 수 있다.

[0269] 그 후, 소스 또는 드레인 전극들(142a, 142b), 게이트 절연층(146), 게이트 전극(148a), 및 도전층(148b)을 형성함으로써, 트랜지스터(372) 및 용량 소자(374)를 완성한다. 소스 또는 드레인 전극들(142a, 142b), 게이트 절연층(146), 게이트 전극(148a), 도전층(148b)의 재료 및 형성 방법에 대해서는 실시 형태 2를 참조할 수 있다.

[0270] 상기 형성 방법에 의해 형성된 산화물 반도체층들의 적층을 포함하는 산화물 반도체층(145)을 본 명세서에 개시된 반도체 장치(실시 형태 2에 설명된 트랜지스터(162) 및 트랜지스터(172))에 적절히 사용할 수 있다.

[0271] 산화물 반도체층(144)으로서 본 실시 형태의 산화물 반도체층들의 적층을 사용하는 트랜지스터(372)에 있어서, 산화물 반도체층의 한쪽 면으로부터 다른 쪽 면에 전계가 인가되지 않고, 전류가 산화물 반도체층들의 적층의 두께 방향으로 흐르지 않는다. 트랜지스터는, 전류가 주로 산화물 반도체층들의 적층의 계면을 따라 흐르는 구조를 갖기 때문에, 트랜지스터(372)가 광에 의해 조사되는 때에도, 또는 BT 스트레스가 트랜지스터(372)에 인가되는 때에도, 트랜지스터 특성의 열화가 억제되거나 감소된다.

[0272] 산화물 반도체층(145)과 같은 제1 결정성 산화물 반도체층과 제2 결정성 산화물 반도체층의 적층을 사용하여 트랜지스터를 형성함으로써, 트랜지스터는 안정한 전기적 특성과 높은 신뢰성을 가질 수 있다.

[0273] 본 실시 형태는 다른 실시 형태들에 설명하는 구성과 적절히 조합해서 실시될 수 있다.

[0274] (실시 형태 4)

[0275] 본 실시 형태에서는 In-Sn-Zn계 산화막을 산화물 반도체층으로서 사용하는 트랜지스터의 예에 대해서 도 30의 (a) 및 도 30의 (b) 등을 참조해서 설명한다.

[0276] 도 30의 (a) 및 도 30의 (b)는 탑 게이트 탑 콘택트 구조를 갖는 코플래너형 트랜지스터의 상면도 및 단면도이다. 도 30의 (a)는 트랜지스터의 상면도이다. 도 30의 (b)는 도 30의 (a)의 일점쇄선 A1-A2를 따른 단면도이다.

[0277] 도 30의 (b)에 도시된 트랜지스터는 기판(500); 기판(500) 위에 설치된 베이스 절연층(502); 베이스 절연층(502)의 주변에 설치된 보호 절연층(504); 베이스 절연층(502) 및 보호 절연층(504) 위에 설치되고 고저항 영역(506a) 및 저저항 영역(506b)을 포함하는 산화물 반도체층(506); 산화물 반도체층(506) 위에 설치된 게이트 절연층(508); 게이트 절연층(508)을 사이에 개재시키고 산화물 반도체층(506)과 중첩해서 설치된 게이트 전극(510); 게이트 전극(510)의 측면에 접촉해서 설치된 측벽 절연층(512); 적어도 저저항 영역(506b)에 접촉해서 설치된 한 쌍의 전극들(514); 적어도 산화물 반도체막(506), 게이트 전극(510), 및 한 쌍의 전극들(514)을 덮도록 설치된 층간 절연층(516); 층간 절연층(516)에 형성된 개구를 통해 적어도 한 쌍의 전극들(514) 중 하나에 접속되도록 설치된 배선(518)을 포함한다.

[0278] 도시되지 않지만, 층간 절연층(516) 및 배선(518)을 덮도록 보호막을 설치할 수 있다. 보호막에 의해, 층간 절연층(516)의 표면 전도에 의해 발생하는 미소한 양의 누설 전류를 감소시킬 수 있으므로, 트랜지스터의 오프 전류를 감소시킬 수 있다.

[0279] (실시 형태 5)

[0280] 본 실시 형태에 있어서, In-Sn-Zn계 산화물막을 산화물 반도체층으로서 사용하는 트랜지스터의 다른 예에 대해서 설명한다.

[0281] 도 31의 (a) 및 도 31의 (b)는 본 실시 형태에 있어서 제조되는 트랜지스터의 구조를 도시하는 상면도 및 단면도이다. 도 31의 (a)는 트랜지스터의 상면도이다. 도 31의 (b)는 도 31의 (a)의 일점쇄선 B1-B2을 따른 단면도이다.

[0282] 도 31의 (b)에 도시된 트랜지스터는 기판(600); 기판(600) 위에 설치된 베이스 절연층(602); 베이스 절연층(602) 위에 설치된 산화물 반도체층(606); 산화물 반도체층(606)에 접촉하는 한 쌍의 전극들(614); 산화물 반도

체층(606) 및 한 쌍의 전극들(614) 위에 설치된 게이트 절연층(608); 게이트 절연층(608)을 사이에 개재시켜 산화물 반도체층(606)과 중첩하여 설치된 게이트 전극(610); 게이트 절연층(608) 및 게이트 전극(610) 덮도록 설치된 층간 절연층(616); 게이트 절연층(608) 및 층간 절연층(616)에 형성된 개구를 통해 한 쌍의 전극(614)과 접속되는 배선들(618); 및 층간 절연층(616) 및 배선들(618)을 덮도록 설치된 보호막(620)을 포함한다.

[0283] 기판(600)으로서 유리 기판을 사용한다. 베이스 절연층(602)으로서 산화 실리콘막을 사용한다. 산화물 반도체층(606)으로서 In-Sn-Zn계 산화물막을 사용한다. 한 쌍의 전극들(614)로서 텅스텐막을 사용한다. 게이트 절연층(608)으로서 산화 실리콘막을 사용한다. 게이트 전극(610)은 질화 탄탈륨막과 텅스텐막의 적층 구조를 갖는다. 층간 절연층(616)은 산화질화 실리콘막과 폴리이미드막의 적층 구조를 갖는다. 배선들(618)은 각각 티타늄막, 알루미늄막, 및 티타늄막이 이 순서로 형성된 적층 구조를 갖는다. 보호막(620)으로서 폴리이미드막을 사용한다.

[0284] 도 31의 (a)에 도시된 구조를 갖는 트랜지스터에 있어서, 게이트 전극(610)이 한 쌍의 전극(614) 중 하나와 중첩하는 부분의 폭을 Lov라고 일컫는다는 것을 유의한다. 마찬가지로, 산화물 반도체층(606)과 중첩하지 않는 한 쌍의 전극들(614)의 부분의 폭을 dW라고 일컫는다.

[0285] (실시 형태 6)

[0286] 실제로 측정되는 절연 게이트형 트랜지스터의 전계 효과 이동도는 다양한 이유 때문에 그의 본래의 이동도보다 낮아질 수 있다: 이 현상은 산화물 반도체를 이용하는 경우에만 발생되는 것은 아니다. 이동도를 감소시키는 원인 중 하나는 반도체 내부의 결함이나 반도체와 절연막 간의 계면에서의 결함이다. Levinson 모델을 사용할 때, 반도체 내부에 결함이 존재하지 않는다고 가정하고 전계 효과 이동도를 이론적으로 계산할 수 있다.

[0287] 반도체의 본래의 이동도를 μ_0, 측정되는 전계 효과 이동도를 μ라고 하고, 반도체 중에 포텐셜 장벽(입계 등)이 존재한다고 가정하면, 측정되는 전계 효과 이동도를 다음의 수학식으로서 표현할 수 있다.

수학식 3

[0288] $$\mu = \mu_0 \exp(-\frac{E}{kT})$$

[0289] 여기에서, E는 포텐셜 장벽의 높이를 나타내고, k는 Boltzmann 상수를 나타내고, T는 절대 온도를 나타낸다. 포텐셜 장벽이 결함에 유래한다고 가정할 때, 포텐셜 장벽의 높이는 Levinson 모델에 따라 다음의 수학식으로서 표현될 수 있다.

수학식 4

[0290] $$E = \frac{e^2 N^2}{8\varepsilon n} = \frac{e^3 N^2 t}{8\varepsilon C_{ox} V_g}$$

[0291] 여기에서, e는 전기 소량을 나타내고, N은 채널 내의 단위 면적당 평균 결함 밀도를 나타내고, ε은 반도체의 유전율을 나타내고, n은 채널의 단위 면적당 캐리어의 수를 나타내고, C_{ox}는 단위 면적당 용량을 나타내고, V_g는 게이트 전압을 나타내고, t는 채널의 두께를 나타낸다. 반도체층의 두께가 30nm 이하인 경우에, 채널의 두께는 반도체층의 두께와 동일한 것으로서 간주될 수 있다. 선형 영역에 있어서의 드레인 전류 I_d는 다음의 수학식으로서 표현될 수 있다.

수학식 5

[0292] $$I_d = \frac{W \mu V_g V_d C_{ox}}{L} \exp(-\frac{E}{kT})$$

[0293] 여기에서, L은 채널 길이를 나타내고, W는 채널 폭을 나타내고, L과 W는 각각 10㎛이다. 또한, V_d는 드레인 전압을 나타낸다. 상기 수학식의 양변을 V_g로 나눈 다음 양변의 대수를 취할 때, 다음의 수학식을 얻을 수 있다.

수학식 6

[0294] $$\ln\left(\frac{I_d}{V_g}\right)=\ln\left(\frac{W\mu V_d C_{ox}}{L}\right)-\frac{E}{kT}=\ln\left(\frac{W\mu V_d C_{ox}}{L}\right)-\frac{e^3N^2t}{8kT\varepsilon C_{ox}V_g}$$

[0295] 수학식 6의 우변은 V_g의 함수이다. 이 수학식으로부터, 종축으로서 $\ln(I_d/V_g)$의 실측값 그리고 횡축으로서 $1/V_g$의 실측값을 플롯해서 얻어지는 그래프의 라인의 기울기로부터 결함 밀도 N이 구해질 수 있다는 것을 안다. 즉, 트랜지스터의 I_d-V_g 특성으로부터 결함 밀도를 평가할 수 있다. 인듐(In), 주석(Sn), 및 아연(Zn)의 비율이 1:1:1인 산화물 반도체의 결함 밀도 N은 $1\times10^{12}/cm^2$ 정도이다.

[0296] 이와 같이 하여 구한 결함 밀도 등에 기초하여, 수학식 3 및 수학식 4로부터 μ_0는 $120cm^2/Vs$인 것으로 계산될 수 있다. 결함을 포함하는 In-Sn-Zn 산화물의 측정된 이동도는 $35cm^2/Vs$ 정도이다. 그러나, 반도체 내부에, 그리고 반도체와 절연막 간의 계면에 결함이 존재하지 않는다고 가정하면, 산화물 반도체의 이동도 μ_0는 $120cm^2/Vs$가 된다고 예상된다.

[0297] 반도체 내부에 결함이 존재하지 않을 때에도, 채널과 게이트 절연층 간의 계면에서의 산란은 트랜지스터의 수송 특성에 영향을 준다는 것을 유의한다. 즉, 채널과 게이트 절연층 간의 계면으로부터 거리 x만큼 이격된 위치에 있어서의 이동도 μ_1은 다음의 수학식으로서 표현될 수 있다.

수학식 7

[0298] $$\frac{1}{\mu_1}=\frac{1}{\mu_0}+\frac{D}{B}\exp\left(-\frac{x}{G}\right)$$

[0299] 여기에서, D는 게이트 방향의 전계를 나타내고, B와 G는 상수이다. B와 G는 실제의 측정 결과로부터 구해질 수 있고, 상기 측정 결과에 따르면, B는 $4.75\times10^7cm/s$이고, G는 10nm(계면 산란의 영향이 도달하는 깊이)이다. D가 증가될 때(즉, 게이트 전압이 높아질 때), 수학식 7의 제2 항이 증가되고 그에 따라 이동도 μ_1은 감소된다.

[0300] 반도체 내부의 결함이 없는 이상적인 산화물 반도체를 채널이 포함하는 트랜지스터의 이동도 μ_2의 계산 결과를 도 18에 도시한다. 계산을 위해 Synopsys, Inc.에 의해 제작된 디바이스 시뮬레이션 소프트웨어 Sentaurus Device를 사용했고, 산화물 반도체의 밴드갭, 전자 친화력, 비유전율, 및 두께를 각각 2.8eV, 4.7eV, 15, 및 15nm라고 가정했다. 이 값들은 스퍼터링법에 의해 형성된 박막을 측정해서 얻어졌다.

[0301] 또한, 게이트, 소스, 및 드레인의 일함수를 각각 5.5eV, 4.6eV, 및 4.6eV라고 가정했다. 게이트 절연층의 두께는 100nm라고 가정했고, 그의 비유전율은 4.1이라고 가정했다. 채널 길이와 채널 폭은 각각 10㎛라고 가정했고, 드레인 전압 V_d는 0.1V라고 가정했다.

[0302] 도 18에 도시된 바와 같이, 1V를 약간 초과하는 게이트 전압에서 이동도는 $100cm^2/Vs$보다 큰 피크를 갖고, 게이트 전압이 더 높아짐에 따라 계면 산란의 영향이 증가되기 때문에, 이동도가 감소된다. 계면 산란을 감소시키기 위해서 반도체층의 표면은 원자 레벨에서 평탄(원자 층 평탄성: atomic layer flatness)한 것이 바람직하다는 것을 유의한다.

[0303] 그러한 이동도를 갖는 산화물 반도체를 사용해서 제조되는 미세한 트랜지스터들의 특성의 계산 결과들은 도 19

의 (a) 내지 도 19의 (c), 도 20의 (a) 내지 도 20의 (c), 및 도 21의 (a) 내지 도 21의 (c)에 도시된다. 도 22의 (a) 및 도 22의 (b)는 계산에 사용되는 트랜지스터의 단면 구조를 도시한다. 도 22의 (a)과 도 22의 (b)에 도시된 트랜지스터들은 각각 산화물 반도체층에 n^+ 도전형을 갖는 반도체 영역(1030a)과 반도체 영역(1030c)을 포함한다. 반도체 영역(1030a)과 반도체 영역(1030c)의 저항률은 $2\times10^{-3}\Omega$cm이다.

[0304] 도 22의 (a)에 도시된 트랜지스터는 베이스 절연층(1010)과, 베이스 절연층(1010)에 매립되고 산화 알루미늄으로 형성되는 매립 절연물(1020) 위에 형성된다. 트랜지스터는 반도체 영역(1030a), 반도체 영역(1030c), 그 사이의 채널 형성 영역으로서 기능하는 진성 반도체 영역(1030b), 및 게이트(1050)를 포함한다. 게이트(1050)의 폭은 33nm이다.

[0305] 게이트(1050)와 반도체 영역(1030b) 사이에 게이트 절연층(1040)이 형성된다. 또한, 게이트(1050)의 양측면에는 측벽 절연물(1060a) 및 측벽 절연물(1060b)이 형성되고, 게이트(1050)의 상부에는 게이트(1050)와 다른 배선 간의 단락을 방지하도록 절연물(1070)이 형성된다. 측벽 절연물의 폭은 5nm이다. 반도체 영역(1030a) 및 반도체 영역(1030c)에 접촉해서 소스(1080a) 및 드레인(1080b)이 각각 설치된다. 이 트랜지스터의 채널 폭은 40nm라는 것을 유의한다.

[0306] 도 22의 (b)의 트랜지스터는, 베이스 절연층(1010)과, 산화 알루미늄으로 형성되는 매립 절연물(1020) 위에 형성된다는 점에서, 그리고 반도체 영역(1030a), 반도체 영역(1030c), 및 그 사이에 설치된 진성 반도체 영역(1030b), 폭이 33nm인 게이트(1050), 게이트 절연층(1040), 측벽 절연물(1060a), 측벽 절연물(1060b), 절연물(1070), 소스(1080a), 및 드레인(1080b)을 포함한다는 점에서, 도 22의 (a)의 트랜지스터와 마찬가지이다.

[0307] 도 22의 (b)에 도시된 트랜지스터는 측벽 절연물(1060a) 및 측벽 절연물(1060b) 아래의 반도체 영역의 도전형에 있어서 도 22의 (a)에 도시된 트랜지스터와 상이하다. 도 22의 (a)에 도시된 트랜지스터에 있어서, 측벽 절연물(1060a) 및 측벽 절연물(1060b) 아래의 반도체 영역들은 n^+ 도전형을 갖는 반도체 영역(1030a)의 일부 및 n^+ 도전형을 갖는 반도체 영역(1030c)의 일부이지만, 도 22의 (b)에 도시된 트랜지스터에 있어서, 측벽 절연물(1060a) 및 측벽 절연물(1060b) 아래의 반도체 영역들은 진성 반도체 영역(1030b)의 일부이다. 즉, 도 22의 (b)의 반도체층에 있어서, 반도체 영역(1030a)(반도체 영역(1030c))과도 게이트(1050)와도 중첩하지 않는 폭 L_{off}를 갖는 영역이 설치된다. 이 영역을 오프셋 영역이라고 부르고, 폭 L_{off}를 오프셋 길이라고 부른다. 도면으로부터 알 수 있는 바와 같이, 오프셋 길이는 측벽 절연물(1060a)(측벽 절연물(1060b))의 폭과 같다.

[0308] 계산에 사용되는 다른 파라미터들은 전술한 바와 같다. 계산을 위해, Synopsys, Inc.에 의해 제작된 디바이스 시뮬레이션 소프트웨어 Sentaurus Device를 사용했다. 도 19의 (a) 내지 도 19의 (c)는 도 22의 (a)에 도시된 구조를 갖는 트랜지스터의 드레인 전류(I_d, 실선) 및 이동도(μ, 점선)의 게이트 전압(V_g: 게이트와 소스 간의 전위차) 의존성을 나타낸다. 드레인 전류 I_d는 드레인 전압(드레인과 소스 간의 전위차)이 +1V이고, 이동도 μ는 드레인 전압을 +0.1V라고 가정하여 계산에 의해 구해진다.

[0309] 도 19의 (a)는 게이트 절연층의 두께가 15nm인 경우에 트랜지스터의 게이트 전압 의존성을 나타내고, 도 19의 (b)는 게이트 절연층의 두께가 10nm인 경우에 트랜지스터의 게이트 전압 의존성을 나타내고, 도 19의 (c)는 게이트 절연층의 두께가 5nm인 경우에 트랜지스터의 게이트 전압 의존성을 나타낸다. 게이트 절연층이 얇아질수록 특히 오프 상태에서의 드레인 전류 I_d(오프 전류)가 현저하게 저하한다. 그와 대조적으로, 이동도 μ의 피크 값 및 온 상태에서의 드레인 전류 I_d(온 전류(on-state current))에는 눈에 띌만한 변화가 없다. 그래프들은, 게이트 전압이 약 1V에서, 드레인 전류는 메모리 소자 등에 필요한 10μA를 초과하는 것을 나타낸다.

[0310] 도 20의 (a) 내지 도 20의 (c)는 도 22의 (b)에 도시된 구조를 갖는 트랜지스터의 오프셋 길이 L_{off}가 5nm인 경우에, 드레인 전류 I_d(실선) 및 이동도 μ(점선)의 게이트 전압 V_g 의존성을 나타낸다. 드레인 전류 I_d는 드레인 전압이 +1V라고 가정하여 계산에 의해 구해지고, 이동도 μ는 드레인 전압이 +0.1V라고 가정하여 계산에 의해 구해진다. 도 20의 (a)는 게이트 절연층의 두께가 15nm인 경우에 트랜지스터의 게이트 전압 의존성을 나타내고, 도 20의 (b)는 게이트 절연층의 두께가 10nm인 경우에 트랜지스터의 게이트 전압 의존성을 나타내고, 도 20의 (c)는 게이트 절연층의 두께가 5nm인 경우에 트랜지스터의 게이트 전압 의존성을 나타낸다.

[0311] 또한, 도 21의 (a) 내지 도 21의 (c)는 도 22의 (b)에 도시된 구조를 갖는 트랜지스터의 오프셋 길이 L_{off}가 15nm인 경우에, 드레인 전류 I_d(실선) 및 이동도 μ(점선)의 게이트 전압 V_g 의존성을 나타낸다. 드레인 전류

I_d는 드레인 전압이 +1V라고 가정하여 계산에 의해 구해지고, 이동도 μ는 드레인 전압이 +0.1V라고 가정하여 계산에 의해 구해진다. 도 21의 (a)는 게이트 절연층의 두께가 15nm인 경우에 트랜지스터의 게이트 전압 의존성을 나타내고, 도 21의 (b)는 게이트 절연층의 두께가 10nm인 경우에 트랜지스터의 게이트 전압 의존성을 나타내고, 도 21의 (c)는 게이트 절연층의 두께가 5nm인 경우에 트랜지스터의 게이트 전압 의존성을 나타낸다.

[0312] 어느 구조들에 있어서도, 게이트 절연층이 얇을수록 오프 전류가 현저하게 저하하는 한편, 이동도 μ의 피크값 및 온 전류에는 눈에 띌만한 변화가 발생하지 않는다.

[0313] 이동도 μ의 피크는 도 19의 (a) 내지 도 19의 (c)에 있어서 80cm^2/Vs 정도이고, 도 20의 (a) 내지 도 20의 (c)에 있어서 60cm^2/Vs 정도이고, 도 21의 (a) 내지 도 21의 (c)에 있어서 40cm^2/Vs 정도이기 때문에, 이동도 μ의 피크는 오프셋 길이 L_{off}가 증가할수록 저하한다는 것을 유의한다. 또한, 오프 전류에도 마찬가지로 적용된다. 온 전류도 오프셋 길이 L_{off}가 증가함에 따라 저하하지만, 온 전류의 저하가 오프 전류의 저하보다 훨씬 완만하다. 또한, 그래프들은 어느 구조들에 있어서도, 게이트 전압이 약 1V에서, 드레인 전류는 메모리 소자 등에 필요한 10μA를 초과하는 것을 나타낸다.

[0314] In, Sn, 및 Zn을 포함하는 산화물 반도체를 채널 형성 영역으로서 사용하는 트랜지스터는, 기판을 가열하면서 산화물 반도체를 성막함으로써, 또는 산화물 반도체층을 형성한 후 열처리를 행함으로써, 양호한 특성을 가질 수 있다. 주성분이란 5원자% 이상의 조성비로 포함되는 원소를 일컫는다는 것을 유의한다.

[0315] In, Sn, 및 Zn을 포함하는 산화물 반도체층의 형성 후에 기판을 의도적으로 가열함으로써, 트랜지스터의 전계 효과 이동도를 향상시킬 수 있다. 또한, 트랜지스터의 임계 전압을 포지티브로 시프트시킬 수 있어서 트랜지스터를 노멀리 오프화시킨다.

[0316] 예로서, 도 23의 (a) 내지 도 23의 (c)는 각각 In, Sn, 및 Zn을 주성분으로서 포함하고, 채널 길이 L이 3μm이고, 채널 폭 W가 10μm인 산화물 반도체막과, 두께가 100nm인 게이트 절연층을 사용하는 트랜지스터의 특성을 나타낸다. V_d는 10V로 설정되었다는 것을 유의한다.

[0317] 도 23의 (a)는 기판을 의도적으로 가열하지 않고 스퍼터링법에 의해 In, Sn, 및 Zn을 포함하는 산화물 반도체층을 형성했을 경우의 트랜지스터의 특성을 나타낸다. 트랜지스터의 전계 효과 이동도는 18.8cm^2/Vsec이다. 한편, 기판을 의도적으로 가열하면서 In, Sn, 및 Zn을 포함하는 산화물 반도체층을 형성할 때, 전계 효과 이동도를 향상시킬 수 있다. 도 23의 (b)는 기판을 200℃로 가열하면서 In, Sn, 및 Zn을 포함하는 산화물 반도체층을 형성했을 경우의 트랜지스터의 특성을 나타낸다. 트랜지스터의 전계 효과 이동도는 32.2cm^2/Vsec이다.

[0318] 전계 효과 이동도는 In, Sn, 및 Zn을 포함하는 산화물 반도체층의 형성 후에 열처리를 행함으로써, 더 향상될 수 있다. 도 23의 (c)는 In, Sn, 및 Zn을 포함하는 산화물 반도체층을 200℃에서 스퍼터링하여 형성한 후에, 650℃에서 열처리를 행했을 경우의 트랜지스터의 특성을 나타낸다. 트랜지스터의 전계 효과 이동도는 34.5cm^2/Vsec이다.

[0319] 의도적인 기판의 가열은 스퍼터링에 의한 형성 동안에 수분이 산화물 반도체막 내로 유입되는 것을 감소시키는 효과를 가질 것으로 기대된다. 또한, 막 형성 후에 열처리는, 산화물 반도체층으로부터 수소, 수산기, 또는 수분을 방출시킬 수 있고, 제거할 수 있다. 이와 같이 해서, 전계 효과 이동도를 향상시킬 수 있다. 이러한 전계 효과 이동도의 향상은 탈수화 또는 탈수소화에 의한 불순물의 제거에 의해서뿐만 아니라, 밀도의 증가로 인한 원자간 거리의 감소에 의해서도 달성된다고 추정된다. 산화물 반도체로부터 불순물을 제거함으로써 산화물 반도체는 순도화됨으로써 결정화될 수 있다. 그렇게 순도화된 비-단결정 산화물 반도체를 사용하는 경우에, 이상적으로, 100cm^2/Vsec를 초과하는 전계 효과 이동도를 실현할 것으로 기대된다.

[0320] In, Sn, 및 Zn을 포함하는 산화물 반도체는 다음과 같이 결정화될 수 있다. 즉, 산소 이온을 산화물 반도체에 주입하고, 산화물 반도체에 포함된 수소, 수산기, 또는 수분을 열처리에 의해 방출시키고, 그 열처리를 통해 또는 나중에 행해지는 다른 열처리에 의해 산화물 반도체를 결정화한다. 그러한 결정화 처리 또는 재결정화 처리에 의해, 결정성이 양호한 비-단결정 산화물 반도체를 얻을 수 있다.

[0321] 막 형성 동안에 기판의 의도적인 가열 및/또는 막 형성 후의 열처리는 전계 효과 이동도의 향상에 뿐만 아니라 트랜지스터의 노멀리 오프화에도 기여한다. In, Sn, 및 Zn을 포함하고 기판을 의도적으로 가열하지 않고서 형

성되는 산화물 반도체층을 채널 형성 영역으로서 사용하는 트랜지스터에 있어서, 임계 전압은 네거티브로 시프트되는 경향이 있다. 그러나, 기판을 의도적으로 가열하면서 형성된 산화물 반도체층을 사용할 때, 임계 전압의 네거티브 시프트의 문제가 해결될 수 있다. 즉, 임계 전압이 시프트되어, 트랜지스터가 노멀리 오프로 되고, 이러한 경향은 도 23의 (a)와 도 23의 (b) 간의 비교에 의해 확인할 수 있다.

[0322] 임계 전압은 In, Sn, 및 Zn의 비율을 바꿈으로써 제어될 수도 있다는 것을 유의한다. 즉, In, Sn, 및 Zn의 조성비가 2:1:3일 때, 노멀리 오프 트랜지스터가 형성될 것으로 기대된다. 또한, 타깃의 조성비를 다음과 같이, 즉, In:Sn:Zn=2:1:3으로 설정함으로써 결정성이 높은 산화물 반도체층을 얻을 수 있다.

[0323] 의도적인 기판의 가열 온도 또는 열처리 온도는 150℃ 이상이고, 바람직하게는 200℃ 이상이고, 보다 바람직하게는 400℃ 이상이다. 막 형성 또는 열처리를 고온에서 행할 때, 트랜지스터는 노멀리 오프로 될 수 있다.

[0324] 막 형성 동안에 기판을 의도적으로 가열함으로써 그리고/또는 막 형성 후에 열처리를 행함으로써, 게이트-바이어스 스트레스에 대한 안정성을 높일 수 있다. 예를 들어, 2MV/cm로 150℃ 조건에서 1시간 동안 게이트 바이어스가 인가될 때, 임계 전압의 드리프트가 ±1.5V 미만이 될 수 있고, 바람직하게는 ±1.0V 미만이 될 수 있다.

[0325] 이어서, 다음의 2개의 트랜지스터, 즉, 산화물 반도체층의 형성 후에 열처리를 행하지 않은 샘플 1과, 산화물 반도체층의 형성 후에 650℃에서 열처리를 행한 샘플 2에 대해서 BT 시험을 행했다. 샘플 1 및 샘플 2의 트랜지스터들의 구조들에 대해서는 도 31의 (a) 및 도 31의 (b)를 참조할 수 있다는 것을 유의한다.

[0326] 우선, 25℃의 기판 온도와 10V의 V_d에서 트랜지스터의 V_g-I_d 특성을 측정했다. V_d는 드레인 전압(드레인과 소스 간의 전위차)을 일컫는다는 것을 유의한다. 이어서, 기판 온도를 150℃로 설정하고, V_d를 0.1V로 설정했다. 그 후, 게이트 절연층(608)에 인가되는 전계 강도가 2MV/cm로 되도록 20V의 V_g를 인가했고, 그 조건을 1시간 동안 유지했다. 이어서, V_g를 0V로 설정했다. 이어서, 25℃의 기판 온도와 10V의 V_d에서, 트랜지스터들의 V_g-I_d 특성을 측정했다. 이 프로세스를 포지티브 BT 시험이라고 부른다.

[0327] 마찬가지로, 우선, 기판 온도 25℃ 및 10V의 V_d에서 트랜지스터의 V_g-I_d 특성을 측정했다. 이어서, 기판 온도를 150℃로 설정하고, V_d를 0.1V로 설정했다. 그 후, 게이트 절연층(608)에 인가되는 전계 강도가 -2MV/cm로 되도록 -20V의 V_g를 인가했고, 그 조건을 1시간 동안 유지했다. 이어서, V_g를 0V로 설정했다. 이어서, 25℃의 기판 온도와 10V의 V_d에서 트랜지스터들의 V_g-I_d 특성을 측정했다. 이 프로세스를 네거티브 BT 시험이라고 부른다.

[0328] 도 24의 (a) 및 도 24의 (b)는 샘플 1의 포지티브 BT 시험의 결과와 샘플 1의 네거티브 BT 시험의 결과를 각각 도시한다. 도 25의 (a) 및 도 25의 (b)는 샘플 2의 포지티브 BT 시험의 결과와 샘플 2의 네거티브 BT 시험의 결과를 각각 도시한다.

[0329] 샘플 1의 포지티브 BT 시험에 기인한 임계 전압의 시프트량과 네거티브 BT 시험에 기인한 임계 전압의 시프트량은 각각 1.80V와 -0.42V이었다. 샘플 2의 포지티브 BT 시험에 기인한 임계 전압의 시프트량과 네거티브 BT 시험에 기인한 임계 전압의 시프트량은 각각 0.79V와 0.76V이었다. 샘플 1 및 샘플 2 각각에 있어서, BT 시험 전과 후 사이의 임계 전압의 시프트량이 작고, 신뢰성이 높다는 것을 알았다.

[0330] 열처리는 산소 분위기에서 행할 수 있는데, 대안적으로, 우선 질소 또는 불활성 가스 또는 감압 하에서 열처리를 먼저 행할 수 있고, 그 후에 산소를 포함하는 분위기에서 열처리를 행할 수 있다. 탈수화 또는 탈수소화 후에 산소를 산화물 반도체에 공급함으로써, 열처리의 효과를 보다 높일 수 있다. 탈수화 또는 탈수소화 후에 산소를 공급하는 방법으로서, 산소 이온을 전계에 의해 가속해서 산화물 반도체층에 주입하는 방법을 채택할 수 있다.

[0331] 산화물 반도체 내에, 또는 산화물 반도체에 접촉하는 막과 산화물 반도체 간의 계면에 산소 결손에 기인한 결함이 발생하기 쉽지만, 열처리에 의해 산화물 반도체 내에 과잉의 산소가 포함될 때, 끊임없이 발생하는 산소 결손을 과잉 산소에 의해 보상할 수 있다. 과잉 산소는 주로 격자들 사이에 존재하는 산소이다. 과잉 산소의 농도가 $1\times10^{16}/cm^3$ 이상 $2\times10^{20}/cm^3$ 이하로 설정될 때, 결정 왜곡 등을 유발하지 않고 과잉 산소가 산화물 반도체 내에 포함될 수 있다.

[0332] 산화물 반도체의 적어도 일부가 결정을 포함하도록 열처리를 행할 때, 보다 안정된 산화물 반도체층을 얻을 수 있다. 예를 들어, 조성비 In:Sn:Zn=1:1:1을 갖는 타깃을 사용하여, 기판을 의도적으로 가열하지 않고 스퍼터링에 의해 형성한 산화물 반도체층이 X선 회절(X-ray diffraction: XRD)에 의해 분석될 때, 할로 패턴이

관측된다. 형성된 산화물 반도체층은 열처리를 받음으로써 결정화될 수 있다. 열처리의 온도는 적절하게 설정될 수 있지만, 예를 들어, 650℃에서 열처리를 행할 때, X선 회절 분석에 있어서 명확한 회절 피크를 관측할 수 있다.

[0333] In-Sn-Zn계 산화물막의 XRD 분석을 행했다. XRD 분석을 Bruker AXS에 의해 제작된 X선 회절 장치 D8 ADVANCE를 사용하여 행했고, 면외(out-of-plane)법에 의해 측정했다.

[0334] 샘플 A 및 샘플 B를 준비했고, 그들에 대해 XRD 분석을 행했다. 하기에서 샘플 A 및 샘플 B의 제조 방법을 설명한다.

[0335] 탈수소화 처리를 받은 석영 기판 위에 In-Sn-Zn계 산화물막을 두께 100nm로 형성했다.

[0336] In-Sn-Zn계 산화물막은 스퍼터링 장치를 사용하여 산소 분위기에서 전력 100W (DC)로 형성되었다. 타깃으로서 원자수 비가 In:Sn:Zn=1:1:1인 In-Sn-Zn계 산화물 타깃을 사용했다. 막 형성시의 기판 가열 온도는 200℃로 설정했다는 것을 유의한다. 이와 같이 하여 제조된 샘플을 샘플 A로서 사용했다.

[0337] 이어서, 샘플 A와 마찬가지의 방법으로 제조한 샘플에 대하여 650℃에서 열처리를 행했다. 열처리로서, 우선, 질소 분위기에서 1시간 동안 열처리를 행했고, 온도를 낮추지 않고 산소 분위기에서 1시간의 열처리를 더 행했다. 이와 같이 하여 제조된 샘플을 샘플 B로서 사용했다.

[0338] 도 26은 샘플 A 및 샘플 B의 XRD 스펙트럼을 나타낸다. 샘플 A에서는 결정으로부터 유래된 피크가 관측되지 않았지만, 샘플 B에서는 2θ가 35deg 근방 및 37deg 내지 38deg에서 결정으로부터 유래된 피크가 관측되었다.

[0339] 전술한 바와 같이, In, Sn, 및 Zn을 포함하는 산화물 반도체는 성막 동안에 의도적으로 기판을 가열함으로써 그리고/또는 성막 후에 열처리를 행함으로써, 트랜지스터의 특성을 향상시킬 수 있다.

[0340] 이 기판 가열 및 열처리는 산화물 반도체에 있어서 악성의 불순물인 수소 및 수산기가 막 중에 포함되는 것을 방지하는 효과, 또는 막으로부터 수소 및 수산기를 제거하는 효과가 있다. 즉, 산화물 반도체로부터 도너 불순물로서 작용하는 수소를 제거함으로써 산화물 반도체가 순도화됨으로써, 노멀리 오프 트랜지스터를 얻을 수 있다. 산화물 반도체의 순도화는 트랜지스터의 오프 전류를 1aA/㎛ 이하로 할 수 있다. 여기에서, 상기 오프 전류의 단위는 채널 폭의 ㎛당의 전류를 나타내기 위해서 사용된다.

[0341] 도 27은 트랜지스터의 오프 전류와 측정 시의 기판 온도(절대 온도)의 역수 간의 관계를 도시한다. 여기에서, 간단화를 위하여, 횡축은 측정 시의 기판 온도의 역수에 1000을 곱해서 얻은 값(1000/T)을 나타낸다.

[0342] 구체적으로, 도 27에 도시된 바와 같이, 오프 전류는 기판 온도가 125℃일 때 1aA/㎛(1×10^{-18}A/㎛) 이하일 수 있고, 85℃일 때 100zA/㎛(1×10^{-19}A/㎛) 이하일 수 있고, 실온(27℃)일 때 1zA/㎛ (1×10^{-21}A/㎛) 이하일 수 있다. 바람직하게, 오프 전류는 125℃에 있어서 0.1aA/㎛ (1×10^{-19}A/㎛) 이하일 수 있고, 85℃에 있어서 10zA/㎛ (1×10^{-20}A/㎛) 이하일 수 있고, 실온에 있어서 0.1zA/㎛ (1×10^{-22}A/㎛) 이하일 수 있다. 이 오프 전류값들은 Si를 반도체막으로서 사용하는 트랜지스터의 오프 전류보다 훨씬 낮은 것이 분명하다.

[0343] 산화물 반도체층에 그 형성 동안에 수소 및 수분이 혼입되는 것을 방지하기 위해서, 성막실 외부로부터의 누설 및 성막실의 내벽을 통한 탈가스화를 충분히 억제함으로써, 스퍼터링 가스의 순도를 높이는 것이 바람직하다는 것을 유의한다. 예를 들어, 수분이 막 중에 포함되는 것을 방지하기 위해 스퍼터 가스로서 노점이 -70℃ 이하인 가스를 사용하는 것이 바람직하다. 또한, 수소 및 수분 등의 불순물을 포함하지 않도록 순도화된 타깃을 사용하는 것이 바람직하다. In, Sn, 및 Zn을 포함하는 산화물 반도체막으로부터 열처리에 의해 수분을 제거할 수 있지만, In, Ga, 및 Zn을 주성분으로서 포함하는 산화물 반도체보다 고온에서 In, Sn, 및 Zn을 포함하는 산화물 반도체로부터 수분이 방출되기 때문에, 본래부터 수분을 포함하지 않는 막을 형성하는 것이 바람직하다.

[0344] 산화물 반도체층의 형성 후에 650℃에서의 열처리를 행한 샘플 B를 사용하여 형성된 트랜지스터에 있어서 기판 온도와 전기적 특성 간의 관계에 대해서 평가했다.

[0345] 측정에 사용된 트랜지스터는 채널 길이 L이 3㎛이고, 채널 폭 W가 10㎛이고, Lov가 0㎛이고, dW가 0㎛이다. V_d는 10V로 설정했다는 것을 유의한다. 기판 온도는 -40℃, -25℃, 25℃, 75℃, 125℃, 및 150℃이었다는 것을 유의한다. 여기에서, 트랜지스터에 있어서, 게이트 전극이 한 쌍의 전극들 중 하나와 중첩하는 부분의 폭을 Lov라고 일컫고, 산화물 반도체막과 중첩하지 않는 전극 쌍의 부분의 폭을 dW라고 일컫는다.

[0346] 도 28은 I_d(실선) 및 전계 효과 이동도(점선)의 V_g 의존성을 나타낸다. 도 29의 (a)는 기판 온도와 임계 전압 간의 관계를 도시하고, 도 29의 (b)는 기판 온도와 전계 효과 이동도 간의 관계를 도시한다.

[0347] 도 29의 (a)로부터, 기판 온도가 높아질수록 임계 전압은 낮아지는 것을 안다. 임계 전압은 -40℃로부터 150℃까지의 범위에서 0.38V로부터 -1.08V로 낮아진다는 것을 유의한다.

[0348] 도 29의 (b)로부터, 기판 온도가 높아질수록 전계 효과 이동도가 낮아지는 것을 안다. 전계 효과 이동도는 -40℃로부터 150℃까지의 범위에서 37.4cm^2/Vs로부터 33.4cm^2/Vs까지 낮아진다는 것을 유의한다. 따라서, 전술한 온도 범위에 있어서 전기적 특성의 변동이 작은 것을 안다.

[0349] 그러한 In, Sn, 및 Zn을 포함하는 산화물 반도체를 채널 형성 영역으로서 사용하는 트랜지스터에 있어서, 오프 전류를 1aA/㎛ 이하로 유지하면서, 전계 효과 이동도를 30cm^2/Vsec 이상, 바람직하게는 40cm^2/Vsec 이상, 보다 바람직하게는 60cm^2/Vsec 이상이 얻어질 수 있고, LSI에 요구되는 온 전류를 달성할 수 있다. 예를 들어, L/W가 33nm/40nm인 FET에서 게이트 전압이 2.7V이고, 드레인 전압이 1.0V일 때 12㎂ 이상의 온 전류를 흘릴 수 있다. 또한, 트랜지스터의 동작에 필요한 온도 범위에서도 충분한 전기적 특성을 확보할 수 있다. 이러한 특성에 의하면, Si 반도체를 사용해서 형성되는 집적 회로 내에 산화물 반도체를 포함하는 트랜지스터가 또한 설치된 때에도, 동작 속도를 저하시키지 않고 새로운 기능을 갖는 집적 회로를 실현할 수 있다.

[0350] (실시 형태 7)

[0351] 본 실시 형태에 있어서, 전술한 실시 형태들 중 임의의 것에서 설명한 반도체 장치를 전자 장치에 적용하는 경우에 대해서 도 13의 (a) 내지 도 13의 (f)를 참조해서 설명한다. 본 실시 형태에 있어서, 컴퓨터, 셀룰러 폰(모바일 폰 또는 모바일 폰 세트라고도 일컬음), 휴대형 정보 단말기(휴대형 게임기 및 음향 재생 장치 등을 포함함), 디지털 카메라 또는 디지털 비디오 카메라 등의 카메라, 전자 페이퍼, 및 텔레비전 세트(텔레비전 또는 텔레비전 수신기라고도 일컬음) 등의 전자 장치들에 전술한 반도체 장치를 적용하는 경우에 대해서 설명한다.

[0352] 도 13의 (a)는 하우징(701), 하우징(702), 표시부(703), 및 키보드(704) 등을 포함하는 노트북형 퍼스널 컴퓨터를 도시한다. 하우징(701)과 하우징(702) 중 적어도 1개의 내부에는 상기의 실시 형태들 중 임의의 것에서 설명한 반도체 장치가 설치된다. 그러므로, 데이터의 기입 및 판독이 고속으로 행해지고, 장시간 동안 데이터가 저장되고, 소비 전력이 충분히 감소된 노트북 퍼스널 컴퓨터가 실현될 수 있다.

[0353] 도 13의 (b)는 휴대형 데이터 단말기(PDA: personal digital assistant)를 도시한다. 본체(711)에는 표시부(713), 외부 인터페이스(715), 및 조작 버튼(714) 등이 설치된다. 또한, 휴대형 데이터 단말기를 조작하기 위한 스타일러스(712) 등을 구비한다. 본체(711)의 내부에는 상기 실시 형태들 중 임의의 것에서 설명한 반도체 장치가 설치된다. 그러므로, 데이터의 기입 및 판독이 고속으로 행해지고, 장시간 동안 데이터가 저장되고, 소비 전력이 충분히 감소된 휴대형 데이터 단말기가 실현될 수 있다.

[0354] 도 13의 (c)는 하우징(721)과 하우징(723)의 2개의 하우징을 포함하는, 전자 페이퍼를 실장한 전자 서적 판독기(720)를 도시한다. 하우징(721)과 하우징(723)에는 각각 표시부(725)와 표시부(727)가 설치된다. 하우징(721)과 하우징(723)은 힌지부(737)에 의해 연결되고, 힌지부(737)에 의해 개방 또는 폐쇄될 수 있다. 하우징(721)은 전원(731), 조작 키(733), 및 스피커(735) 등을 구비한다. 하우징(721)과 하우징(723) 중 적어도 하나에는 상기 실시 형태들 중 임의의 것에서 설명한 반도체 장치가 설치된다. 그러므로, 데이터의 기입 및 판독이 고속으로 행해지고, 장시간 동안 데이터가 저장되고, 소비 전력이 충분히 감소된 전자 서적 판독기가 실현될 수 있다.

[0355] 도 13의 (d)는 하우징(740)과 하우징(741)의 2개의 하우징을 포함하는 셀룰러 폰을 도시한다. 또한, 도 13의 (d)에 전개되어 도시된 하우징(740)과 하우징(741)은 슬라이딩에 의해 서로 중첩할 수 있기 때문에, 셀룰러 폰의 크기가 감소될 수 있어서, 셀룰러 폰을 휴대하기에 적합하게 한다. 하우징(741)은 표시 패널(742), 스피커(743), 마이크로폰(744), 조작 키(745), 포인팅 디바이스(746), 카메라 렌즈(747), 및 외부 접속 단자(748) 등을 포함한다. 하우징(740)은 셀룰러 폰을 충전하는 태양 전지 셀(749) 및 외부 메모리 슬롯(750) 등을 포함한다. 또한, 안테나는 하우징(741)에 내장된다. 하우징(740)과 하우징(741) 중 적어도 하나에는 상기 실시 형태들 중 임의의 것에서 설명한 반도체 장치가 설치된다. 그러므로, 데이터의 기입 및 판독이 고속으로 행해지고, 장시간 동안 데이터가 저장되고, 소비 전력이 충분히 감소된 셀룰러 폰이 실현될 수 있다.

[0356] 도 13의 (e)는 본체(761), 표시부(767), 접안부(763), 조작 스위치(764), 표시부(765), 및 배터리(766) 등을

포함하는 디지털 카메라를 도시한다. 본체(761)의 내부에는 상기 실시 형태들 중 임의의 것에서 설명한 반도체 장치가 설치된다. 그러므로, 데이터의 기입 및 판독이 고속으로 행해지고, 장시간 동안 데이터가 저장되고, 소비 전력이 충분히 감소된 디지털 카메라가 실현될 수 있다.

[0357] 도 13의 (f)는 하우징(771), 표시부(773), 및 스탠드(775) 등을 포함하는 텔레비전 세트(770)를 도시한다. 텔레비전 세트(770)는 하우징(771)의 조작 스위치 또는 리모트 컨트롤러(780)에 의해 조작될 수 있다. 하우징(771) 및 리모트 컨트롤러(780)에는 상기 실시 형태들 중 임의의 것에서 설명한 반도체 장치가 탑재된다. 그러므로, 데이터의 기입 및 판독이 고속으로 행해지고, 장시간 동안 데이터가 저장되고, 소비 전력이 충분히 감소된 텔레비전 세트가 실현될 수 있다.

[0358] 전술한 바와 같이, 본 실시 형태에서 설명한 전자 장치들 각각에는 상기 실시 형태들 중 임의의 것에서 설명한 반도체 장치가 탑재된다. 그러므로, 소비 전력이 감소된 전자 장치들이 실현될 수 있다.

[0359] 본 출원은 2010년 11월 5일자로 일본 특허청에 출원된 일본 특허 출원 제2010-249111호와, 2011년 5월 20일자로 일본 특허청에 출원된 일본 특허 출원 제2011-113176호에 기초하며, 그 전체 내용이 본 명세서에 참조되어 원용된다.

부호의 설명

[0360] 100: 기판

102: 보호층

104: 반도체 영역

106: 소자 분리 절연층

108: 게이트 절연층

110: 게이트 전극

116: 채널 형성 영역

120: 불순물 영역

122: 금속층

124: 금속 화합물 영역

126: 전극

128: 절연층

130a: 소스 또는 드레인 전극

130b: 소스 또는 드레인 전극

136a: 도전층

136b: 도전층

136c: 도전층

140: 절연층

142a: 소스 또는 드레인 전극

142b: 소스 또는 드레인 전극

142c: 전극

144: 산화물 반도체층

145: 산화물 반도체층

145a: 결정성 산화물 반도체층

145b: 결정성 산화물 반도체층

146: 게이트 절연층

148a: 게이트 전극

148b: 도전층

150: 절연층

152: 절연층

154a: 전극

154b: 전극

156: 배선

162: 트랜지스터

164: 용량 소자

170: 메모리 셀

172: 트랜지스터

174: 용량 소자

180: 트랜지스터

181: 트랜지스터

182: 트랜지스터

183: 트랜지스터

184: 트랜지스터

185: 트랜지스터

186: 트랜지스터

187: 트랜지스터

188: 트랜지스터

190: 센스 래치

201: 센스 래치 어레이

202: 메모리 셀 어레이

203: 제1 워드선 구동 회로

204: 데이터선 구동 회로

205: 제2 워드선 구동 회로

241: 판독 회로

242: 기입 회로

243: 프리차지 회로

372: 트랜지스터

374: 용량 소자

500: 기판

502: 베이스 절연층

504: 보호 절연층

506: 산화물 반도체층

506a: 고저항 영역

506b: 저저항 영역

508: 게이트 절연층

510: 게이트 전극

512: 측벽 절연층

514: 전극

516: 층간 절연층

518: 배선

600: 기판

602: 베이스 절연층

606: 산화물 반도체층

608: 게이트 절연층

610: 게이트 전극

614: 전극

616: 층간 절연층

618: 배선

620: 보호막

701: 하우징

702: 하우징

703: 표시부

704: 키보드

711: 본체

712: 스타일러스

713: 표시부

714: 조작 버튼

715: 외부 인터페이스

720: 전자 서적 판독기

721: 하우징

723: 하우징

725: 표시부

727: 표시부

731: 전원

733: 조작 키

735: 스피커

737: 힌지부

740: 하우징

741: 하우징

742: 표시 패널

743: 스피커

744: 마이크로폰

745: 조작 키

746: 포인팅 디바이스

747: 카메라 렌즈

748: 외부 접속 단자

749: 태양 전지 셀

750: 외부 메모리 슬롯

761: 본체

763: 접안부

764: 조작 스위치

765: 표시부

766: 배터리

767: 표시부

770: 텔레비전 세트

771: 하우징

773: 표시부

775: 스탠드

780: 리모트 컨트롤러

1010: 베이스 절연층

1020: 매립 절연물

1030a: 반도체 영역

1030b: 반도체 영역

1030c: 반도체 영역

1040: 게이트 절연층

1050: 게이트

1060a: 측벽 절연물

1060b: 측벽 절연물

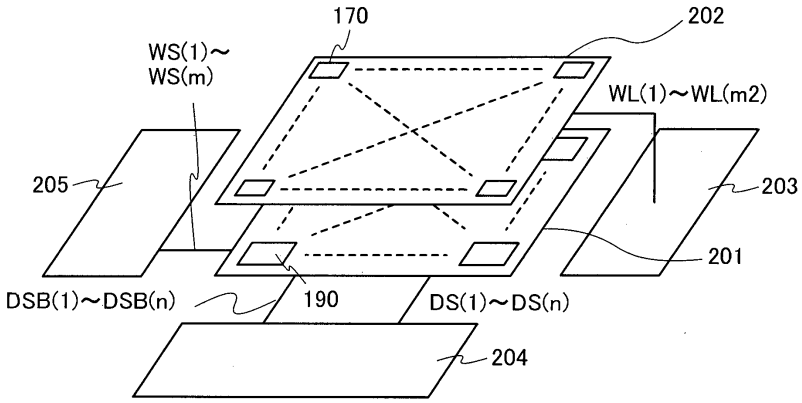
1070: 절연물

1080a: 소스

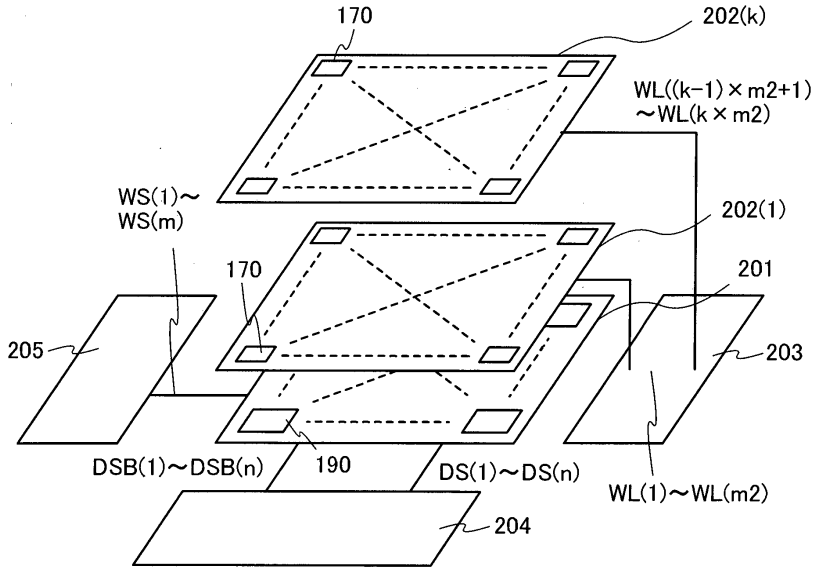
1080b: 드레인

도면

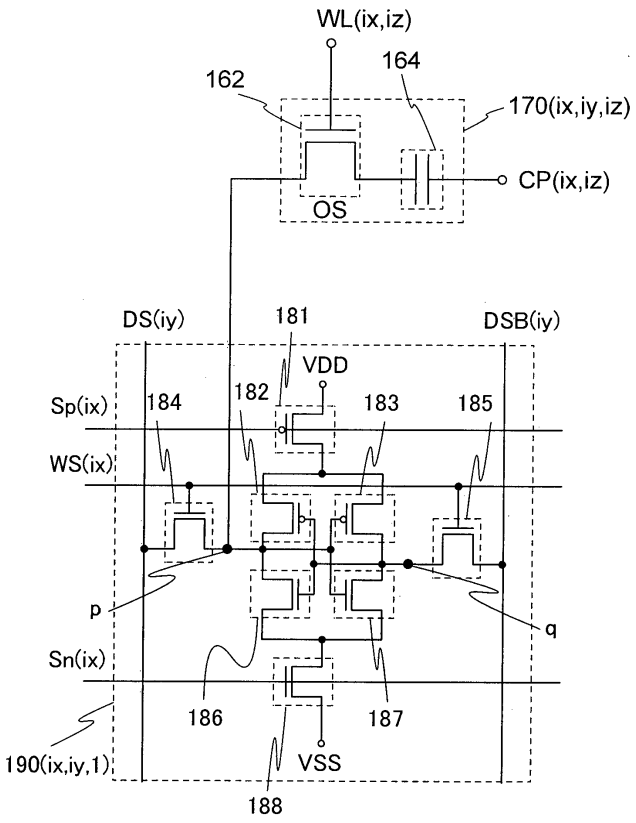
도면1a


170
202
WS(1)~
WS(m)
WL(1)~WL(m2)
205
203
201
DSB(1)~DSB(n)
190
DS(1)~DS(n)
204

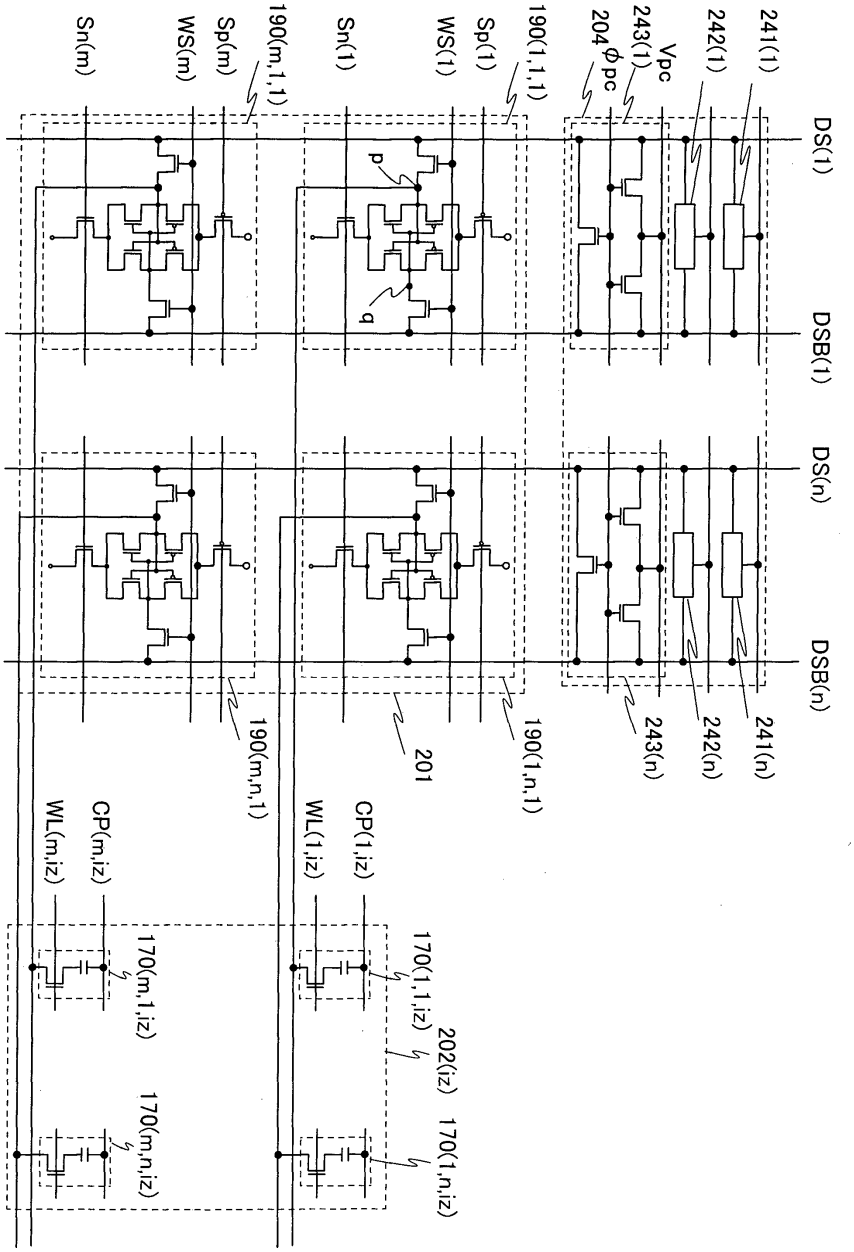
도면1b


170
202(k)
WL((k-1)×m2+1)
~WL(k×m2)
WS(1)~
WS(m)
202(1)
170
201
205
203
DSB(1)~DSB(n)
190
DS(1)~DS(n)
WL(1)~WL(m2)
204

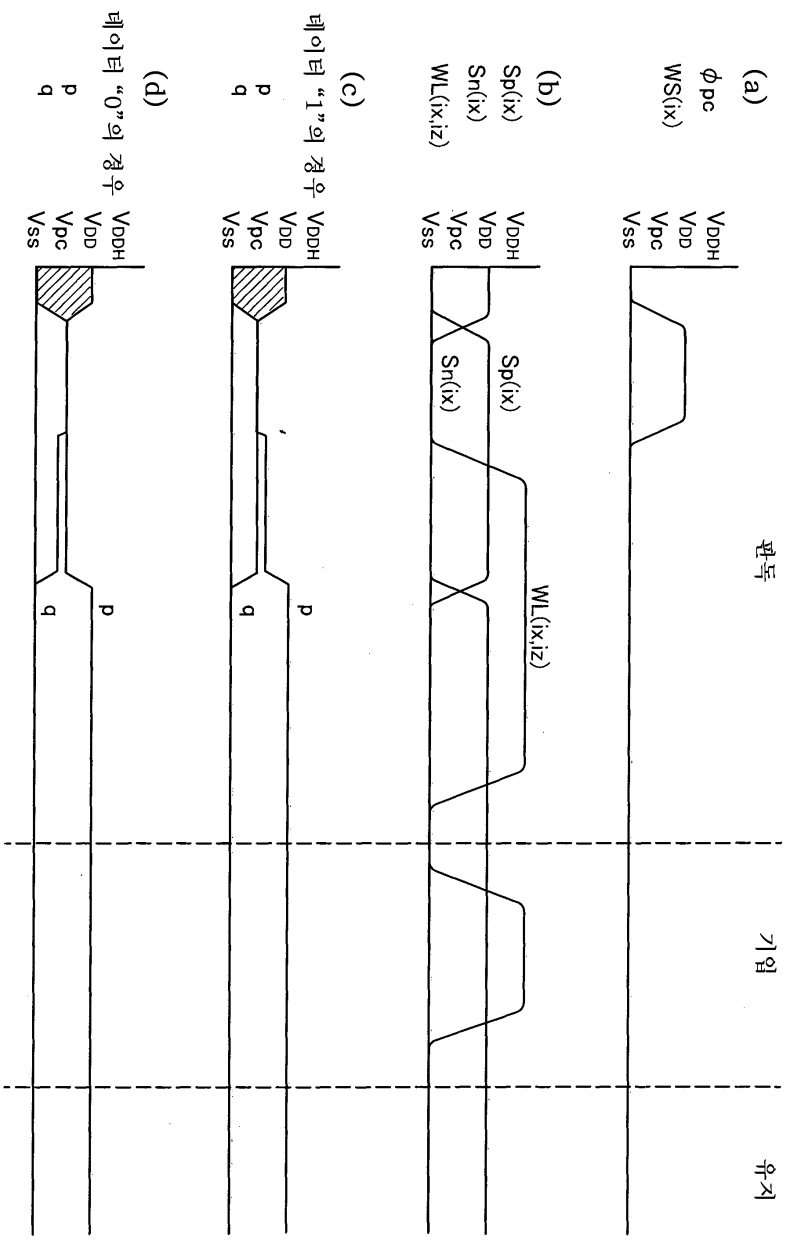
도면2


WL(ix,iz)
164
162
170(ix,iy,iz)
CP(ix,iz)
OS
DS(iy)
181
DSB(iy)
VDD
Sp(ix)
184
182
183
185
WS(ix)
p
q
Sn(ix)
186
187
190(ix,iy,1)
VSS
188

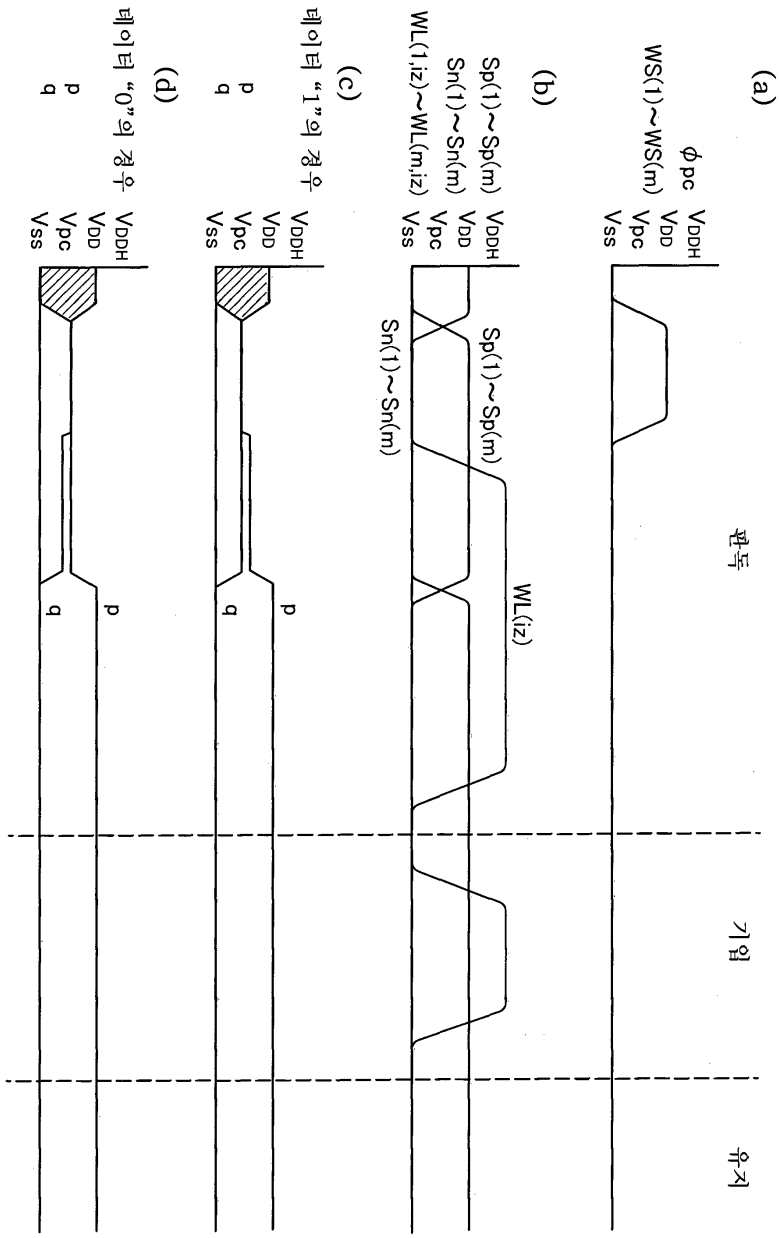
도면3


241(1)
242(1)
Vpc
243(1)
204
φpc
DS(1)
DSB(1)
DS(n)
DSB(n)
243(n)
242(n)
241(n)
190(1,1,1)
Sp(1)
WS(1)
Sn(1)
p
q
190(m,1,1)
Sp(m)
WS(m)
Sn(m)
190(1,n,1)
201
190(m,n,1)
WL(1,iz)
CP(1,iz)
170(1,1,iz)
202(iz)
170(1,n,iz)
WL(m,iz)
CP(m,iz)
170(m,1,iz)
170(m,n,iz)

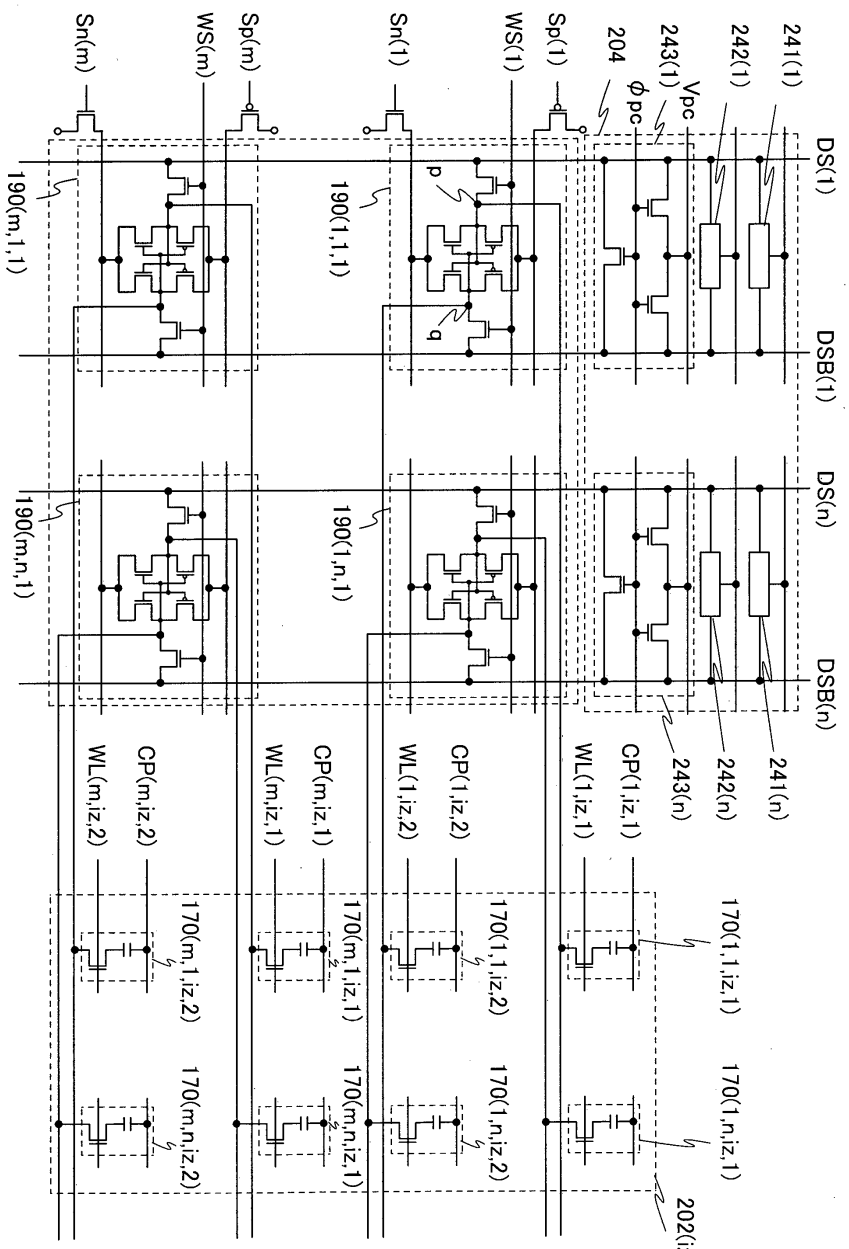
도면4


(a)
φpc
WS(ix)
VDDH
VDD
Vpc
Vss
(b)
Sp(ix)
Sn(ix)
WL(ix,iz)
Sp(ix)
Sn(ix)
WL(ix,iz)
(c)
데이터 "1"의 경우
p
q
(d)
데이터 "0"의 경우
판독
기입
유지

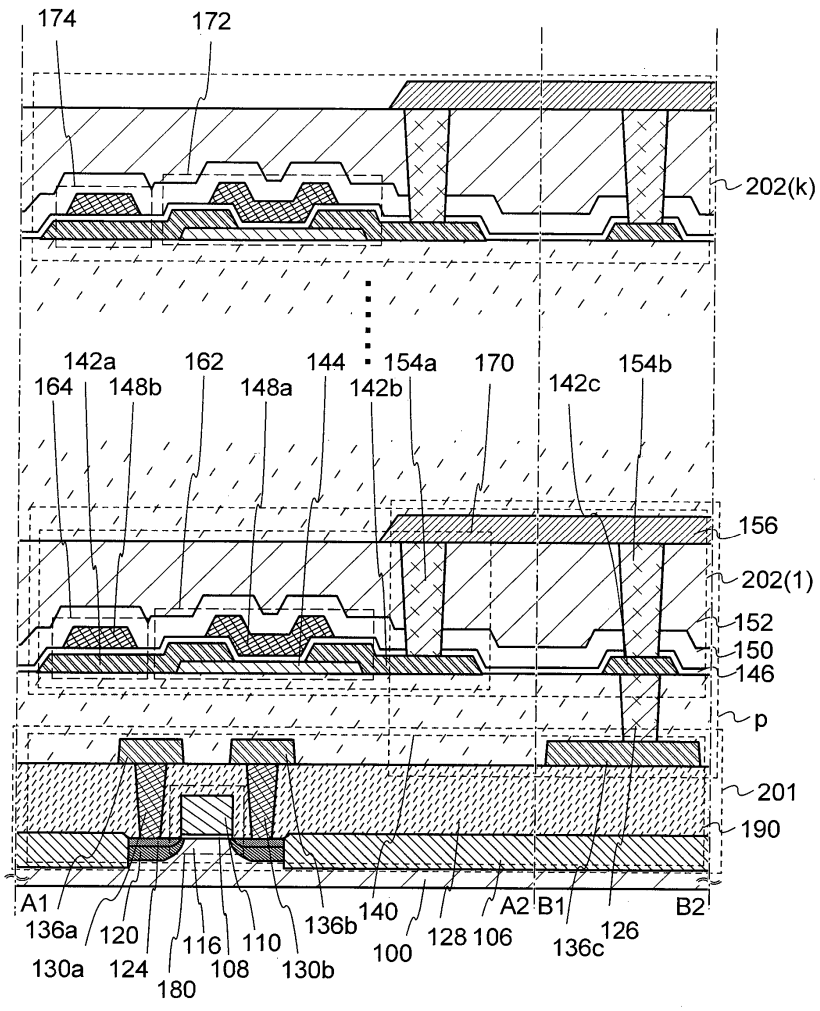
도면5


(a)
φpc
WS(1)~WS(m)
VDDH
VDD
Vpc
Vss
판독
기입
유지
(b)
Sp(1)~Sp(m)
Sn(1)~Sn(m)
WL(1,iz)~WL(m,iz)
WL(iz)
(c)
데이터 "1"의 경우
p
q
(d)
데이터 "0"의 경우

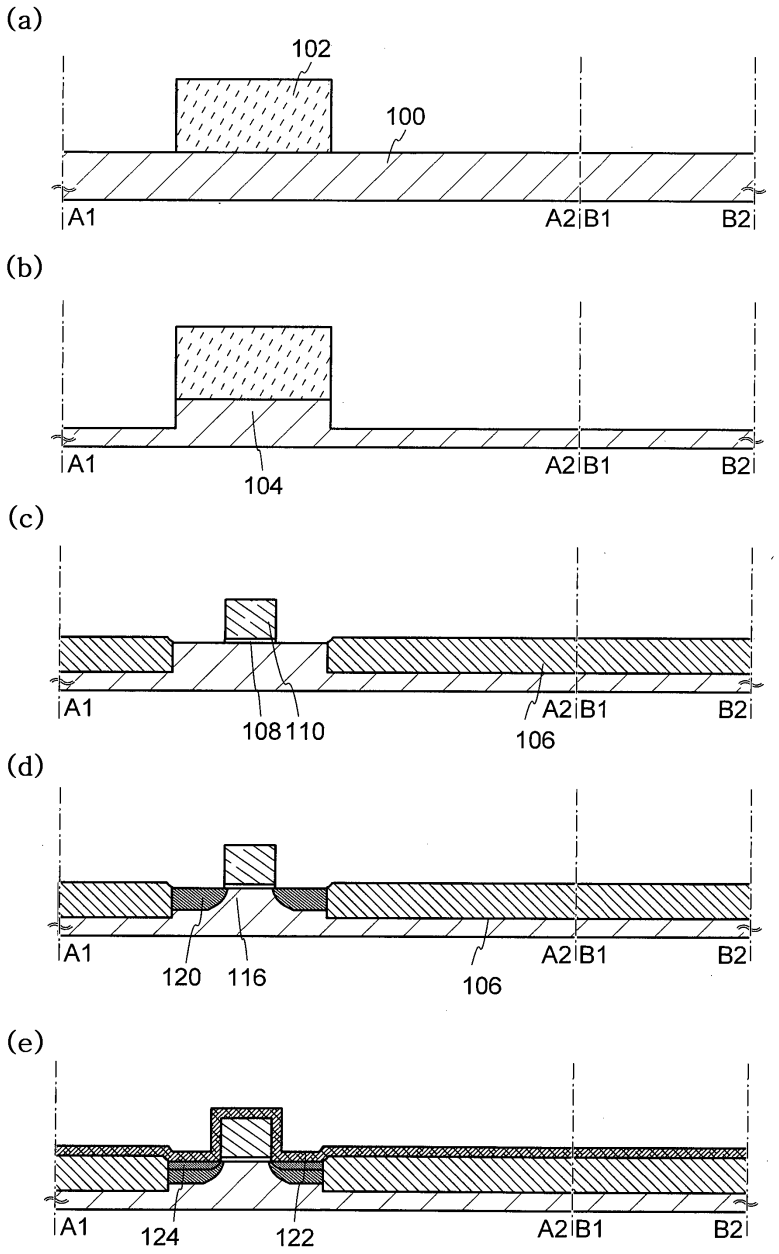
도면6


241(1)
242(1)
243(1)
Vpc
ϕpc
204
Sp(1)
WS(1)
Sn(1)
Sp(m)
WS(m)
Sn(m)
DS(1)
DSB(1)
DS(n)
DSB(n)
190(m,1,1)
190(1,1,1)
190(m,n,1)
190(1,n,1)
p
q
241(n)
242(n)
243(n)
202(iz)
WL(1,iz,1)
CP(1,iz,1)
170(1,1,iz,1)
170(1,n,iz,1)
WL(1,iz,2)
CP(1,iz,2)
170(1,1,iz,2)
170(1,n,iz,2)
WL(m,iz,1)
CP(m,iz,1)
170(m,1,iz,1)
170(m,n,iz,1)
WL(m,iz,2)
CP(m,iz,2)
170(m,1,iz,2)
170(m,n,iz,2)

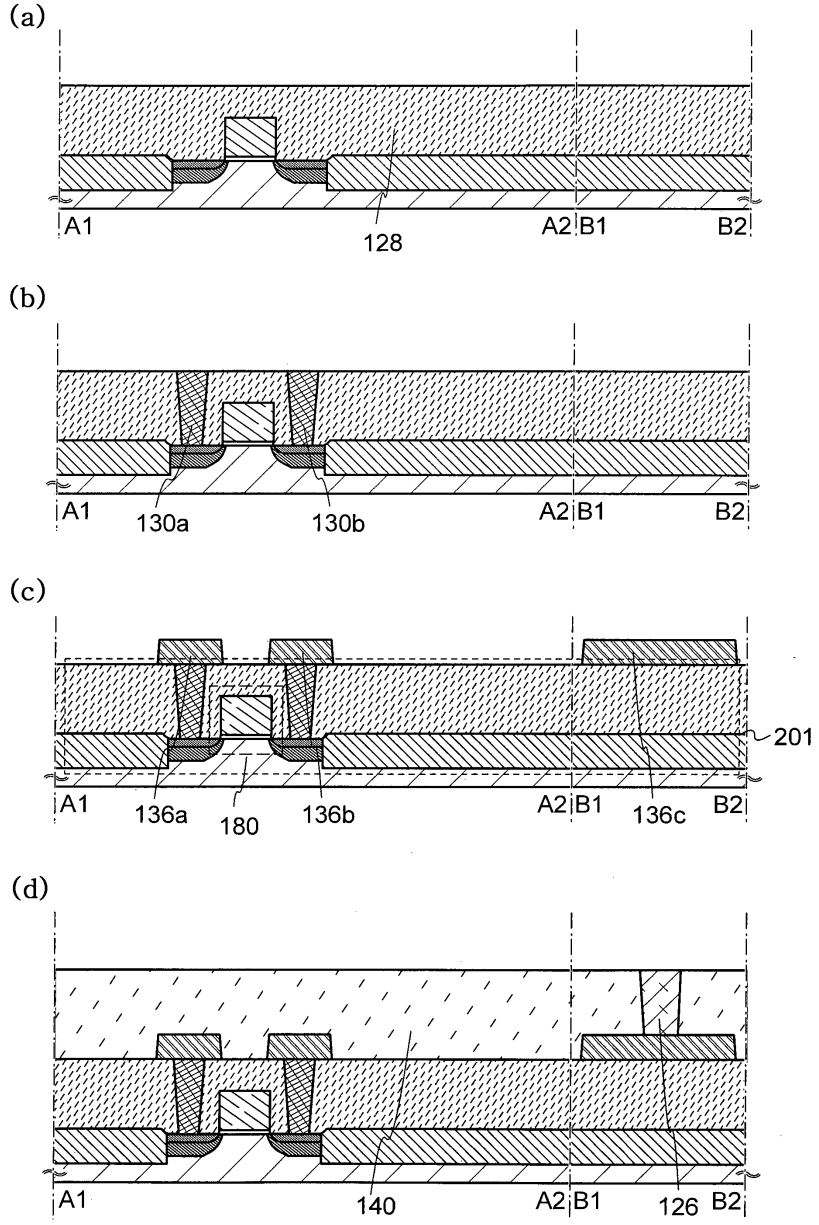
도면7


174
172
202(k)
142a
164
148b
162
148a
144
142b
154a
170
142c
154b
156
202(1)
152
150
146
p
201
190
A1
136a
120
130a
124
180
116
108
110
130b
136b
140
100
128
106
A2
B1
136c
126
B2

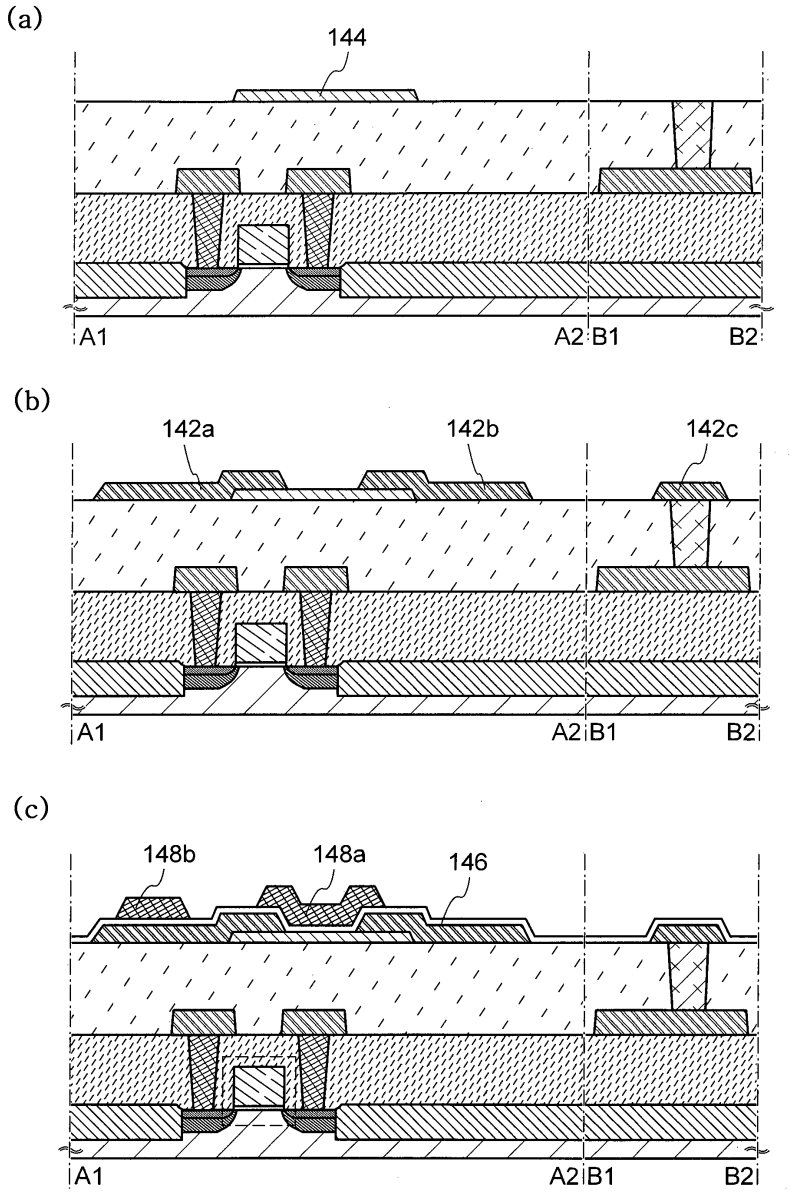
도면8



도면9

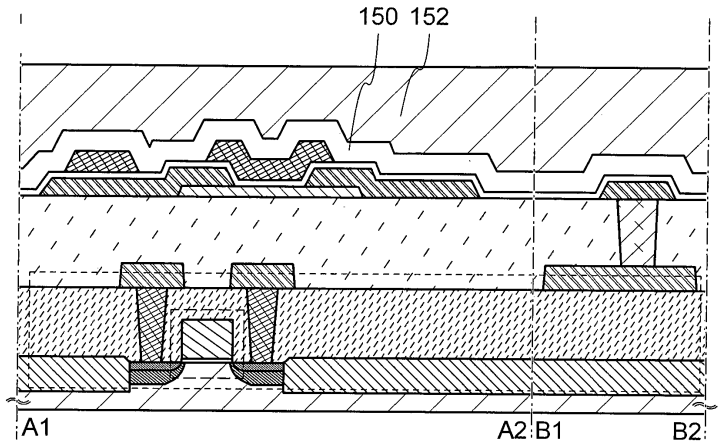

(a)
A1
128
A2
B1
B2
(b)
A1
130a
130b
A2
B1
B2
(c)
201
A1
136a
180
136b
A2
B1
136c
B2
(d)
A1
140
A2
B1
126
B2

도면10

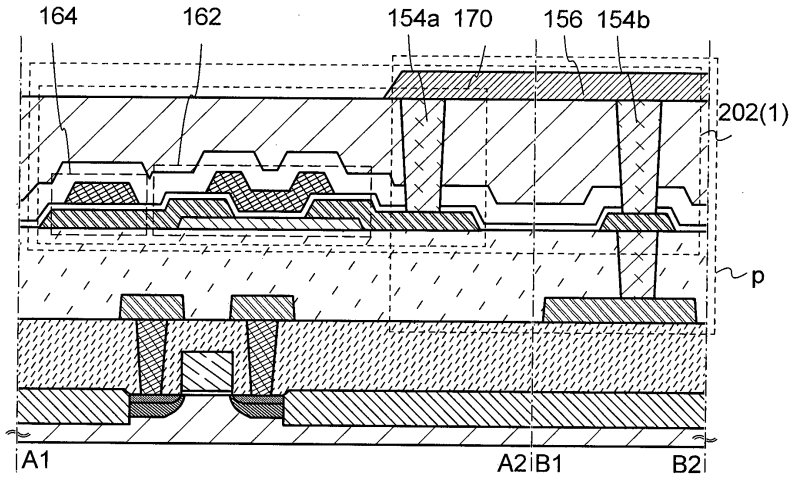

(a)
144
A1
A2
B1
B2
(b)
142a
142b
142c
A1
A2
B1
B2
(c)
148b
148a
146
A1
A2
B1
B2

도면11

(a)

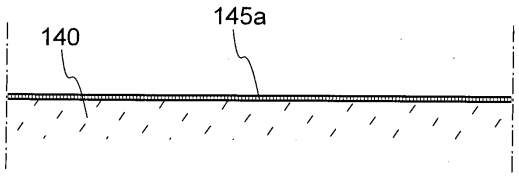


(b)

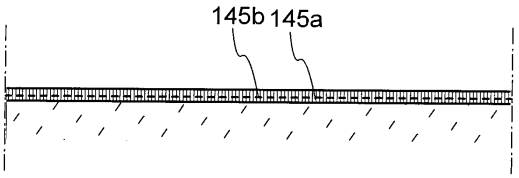


도면12

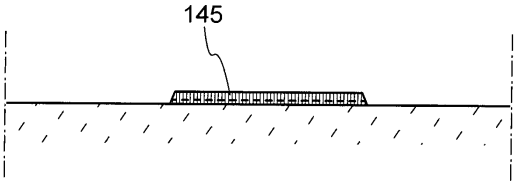
(a)



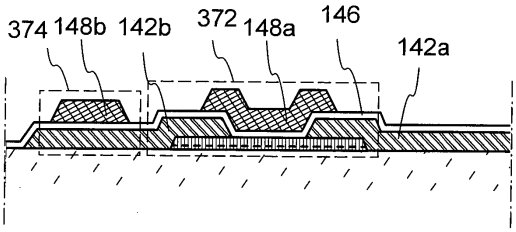
(b)



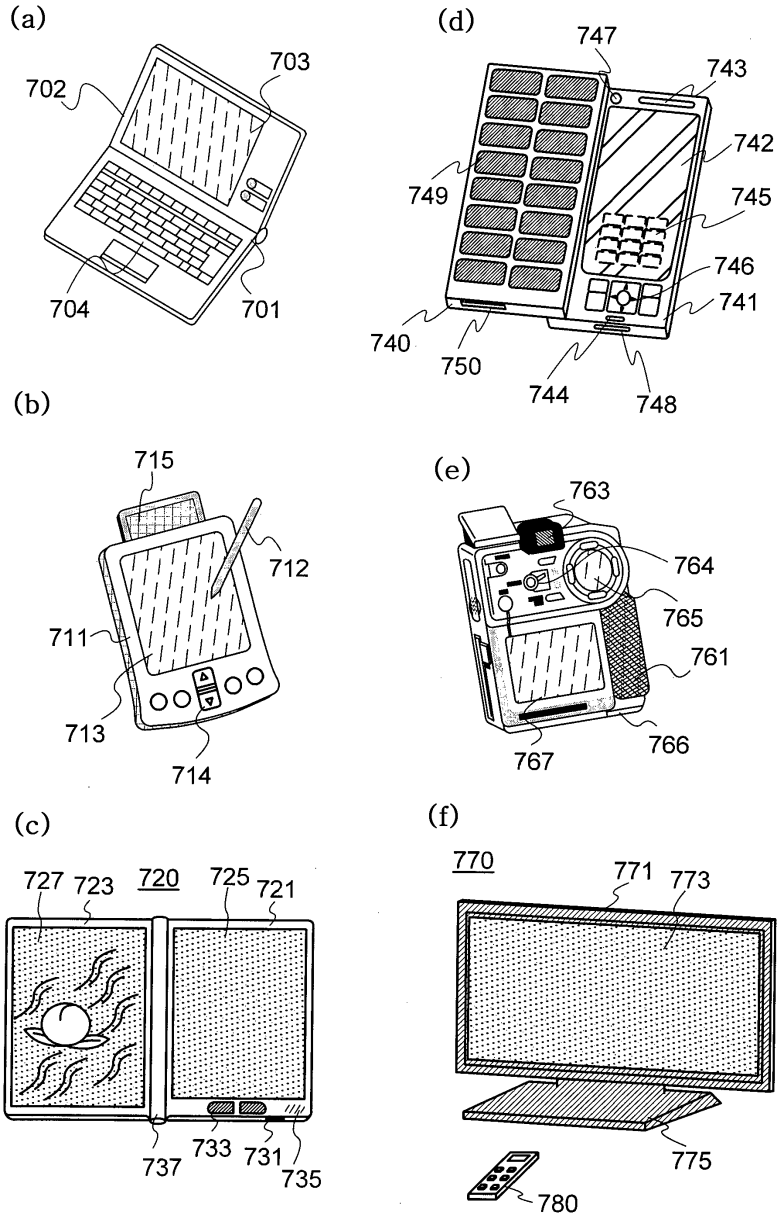
(c)



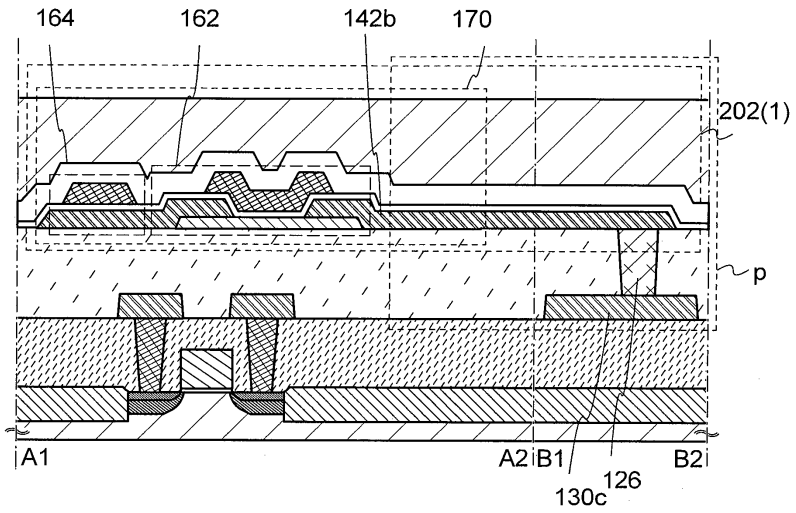
(d)



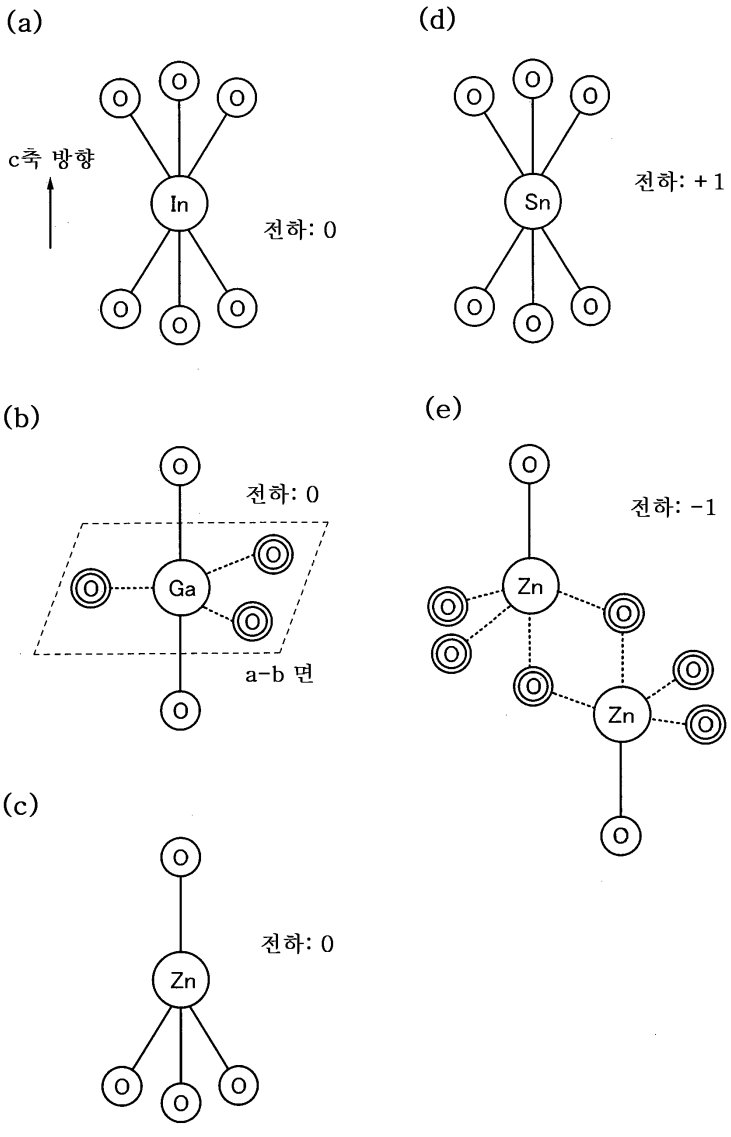
도면13


(a)
703
702
704
701
(d)
747
743
742
749
745
746
741
740
750
744
748
(b)
715
712
711
713
714
(e)
763
764
765
761
767
766
(c)
727
723
720
725
721
737
733
731
735
(f)
770
771
773
775
780

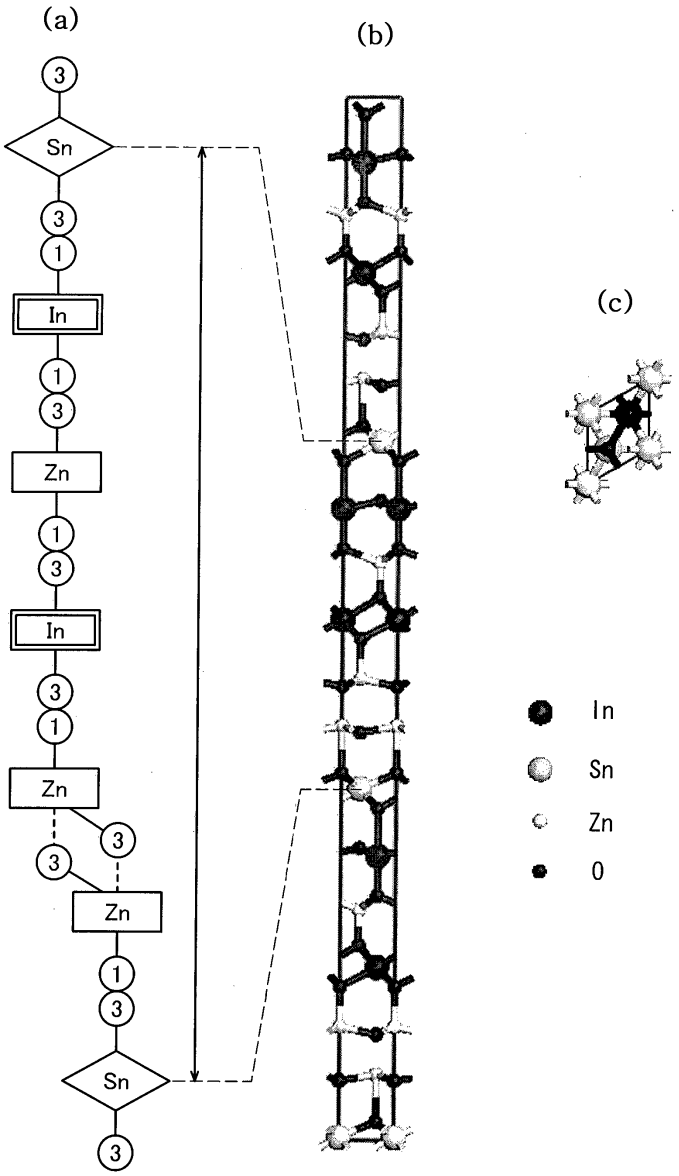
도면14


164
162
142b
170
202(1)
p
A1
A2
B1
B2
126
130c

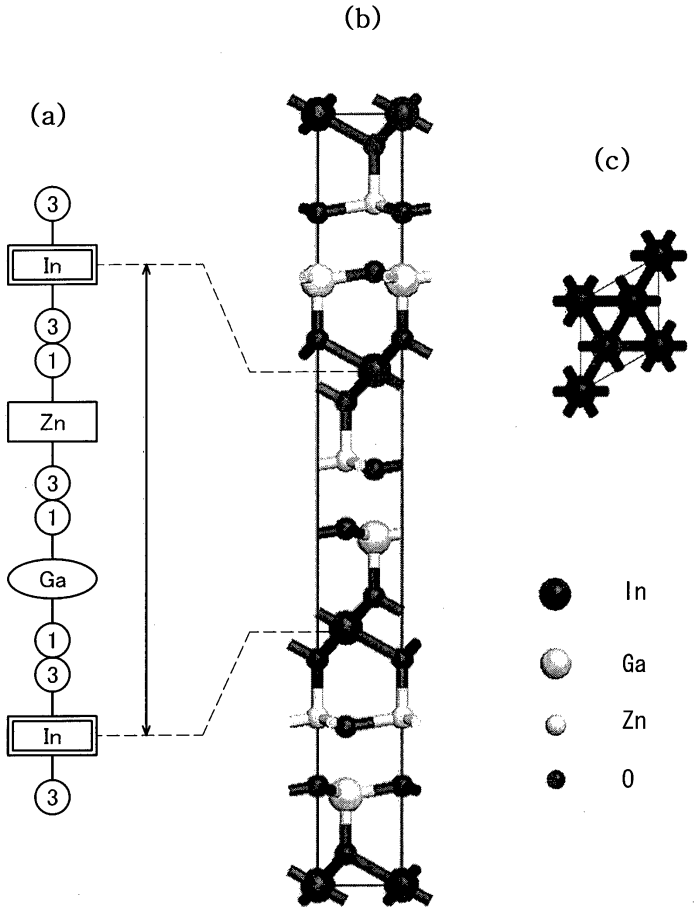
도면15


(a)
c축 방향
In
전하: 0
(d)
Sn
전하: +1
(b)
전하: 0
Ga
a-b 면
(e)
전하: -1
Zn
Zn
(c)
전하: 0
Zn

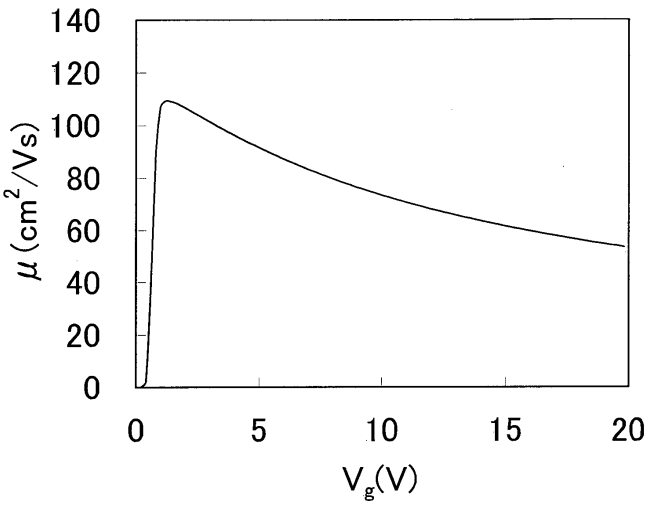
도면16



도면17

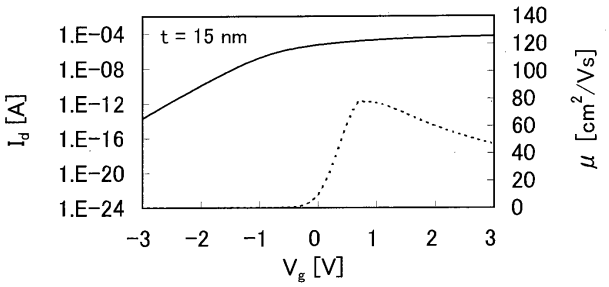

(a)
(b)
(c)
3
In
3
1
Zn
3
1
Ga
1
3
In
3
In
Ga
Zn
O

도면18

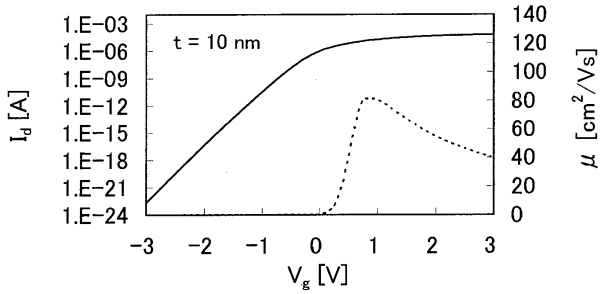

140
120
100
80
60
40
20
0
μ (cm²/Vs)
0
5
10
15
20
Vg(V)

도면19

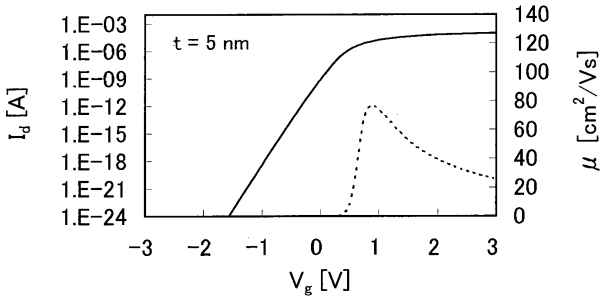
(a)


t = 15 nm
1.E-04
1.E-08
1.E-12
1.E-16
1.E-20
1.E-24
I_d [A]
140
120
100
80
60
40
20
0
μ [cm^2/Vs]
−3 −2 −1 0 1 2 3
V_g [V]

(b)

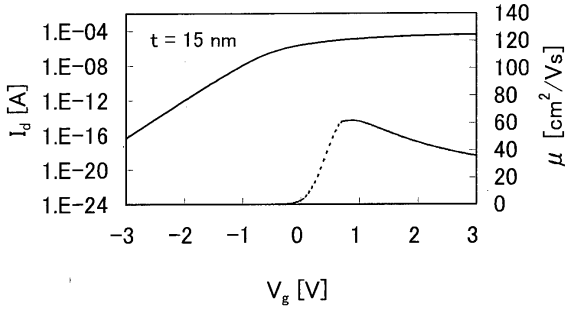

t = 10 nm
1.E-03
1.E-06
1.E-09
1.E-12
1.E-15
1.E-18
1.E-21
1.E-24
I_d [A]
140
120
100
80
60
40
20
0
μ [cm^2/Vs]
−3 −2 −1 0 1 2 3
V_g [V]

(c)

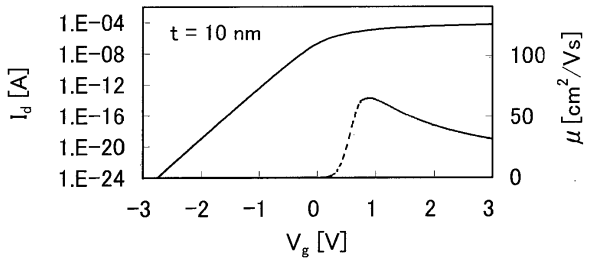

t = 5 nm
1.E-03
1.E-06
1.E-09
1.E-12
1.E-15
1.E-18
1.E-21
1.E-24
I_d [A]
140
120
100
80
60
40
20
0
μ [cm^2/Vs]
−3 −2 −1 0 1 2 3
V_g [V]

도면20

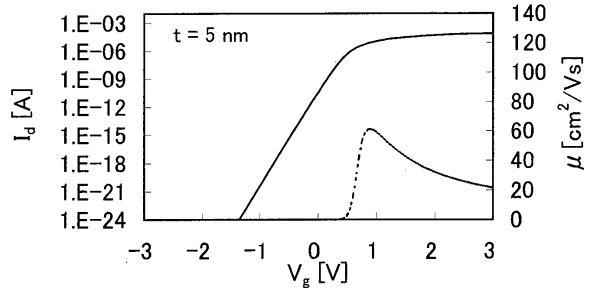
(a)


t = 15 nm
1.E-04
1.E-08
1.E-12
1.E-16
1.E-20
1.E-24
I_d [A]
140
120
100
80
60
40
20
0
μ [cm^2/Vs]
−3 −2 −1 0 1 2 3
V_g [V]

(b)

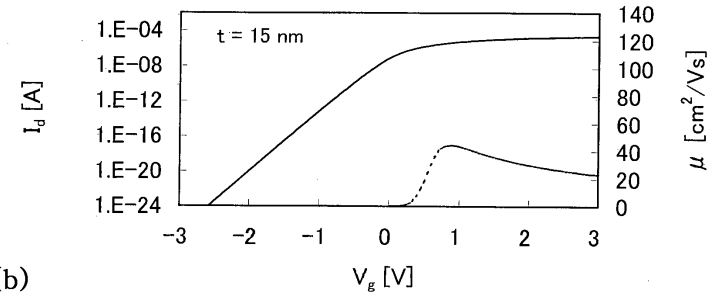

t = 10 nm
1.E-04
1.E-08
1.E-12
1.E-16
1.E-20
1.E-24
I_d [A]
100
50
0
μ [cm^2/Vs]
−3 −2 −1 0 1 2 3
V_g [V]

(c)

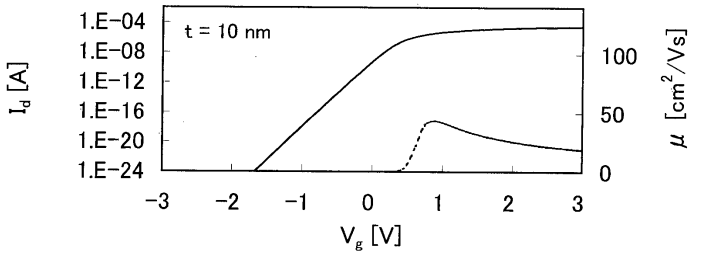

t = 5 nm
1.E-03
1.E-06
1.E-09
1.E-12
1.E-15
1.E-18
1.E-21
1.E-24
I_d [A]
140
120
100
80
60
40
20
0
μ [cm^2/Vs]
−3 −2 −1 0 1 2 3
V_g [V]

도면21

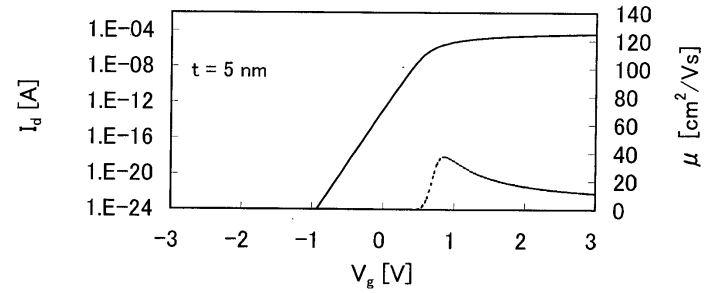
(a)


t = 15 nm
1.E-04
1.E-08
1.E-12
1.E-16
1.E-20
1.E-24
I_d [A]
140
120
100
80
60
40
20
0
μ [cm^2/Vs]
−3
−2
−1
0
1
2
3
V_g [V]

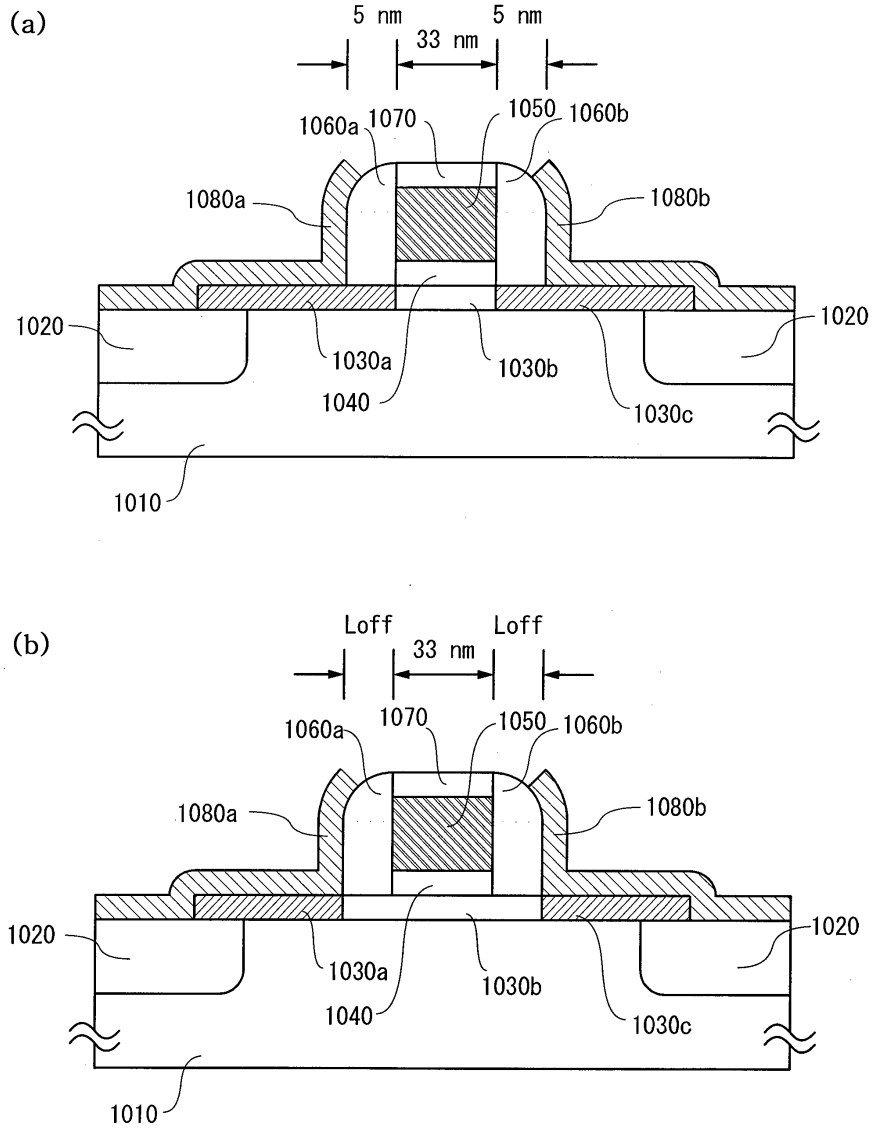
(b)


t = 10 nm
1.E-04
1.E-08
1.E-12
1.E-16
1.E-20
1.E-24
I_d [A]
100
50
0
μ [cm^2/Vs]
−3
−2
−1
0
1
2
3
V_g [V]

(c)

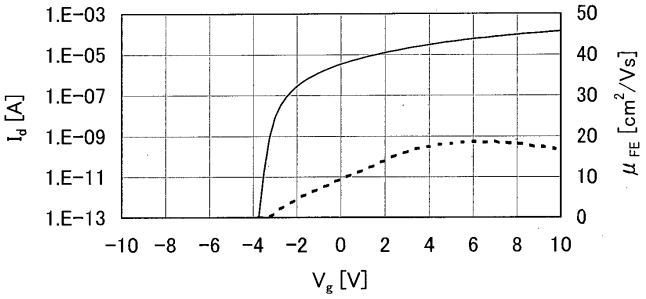

t = 5 nm
1.E-04
1.E-08
1.E-12
1.E-16
1.E-20
1.E-24
I_d [A]
140
120
100
80
60
40
20
0
μ [cm^2/Vs]
−3
−2
−1
0
1
2
3
V_g [V]

도면22

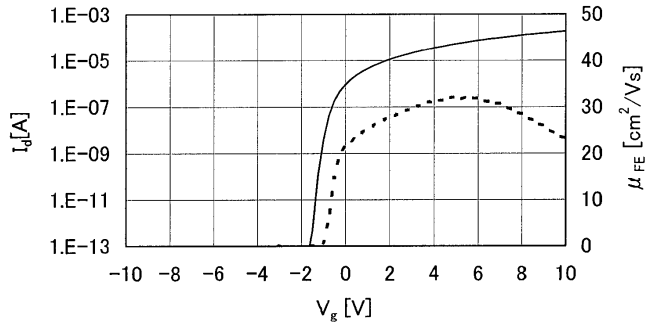

(a)
5 nm
33 nm
5 nm
1060a
1070
1050
1060b
1080a
1080b
1020
1020
1030a
1030b
1040
1030c
1010
(b)
Loff
33 nm
Loff
1060a
1070
1050
1060b
1080a
1080b
1020
1020
1030a
1030b
1040
1030c
1010

도면23

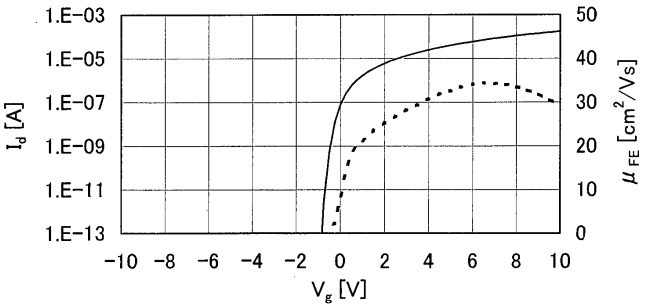
(a)


1.E-03
1.E-05
1.E-07
1.E-09
1.E-11
1.E-13
I_d [A]
50
40
30
20
10
0
μ_{FE} [cm^2/Vs]
-10 -8 -6 -4 -2 0 2 4 6 8 10
V_g [V]

(b)

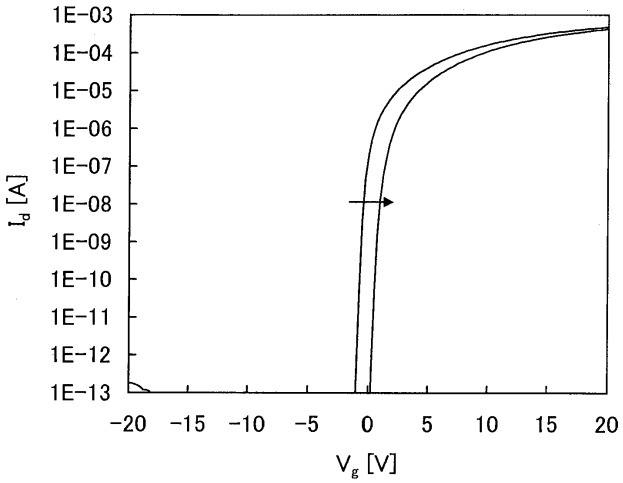

1.E-03
1.E-05
1.E-07
1.E-09
1.E-11
1.E-13
I_d[A]
50
40
30
20
10
0
μ_{FE} [cm^2/Vs]
-10 -8 -6 -4 -2 0 2 4 6 8 10
V_g [V]

(c)

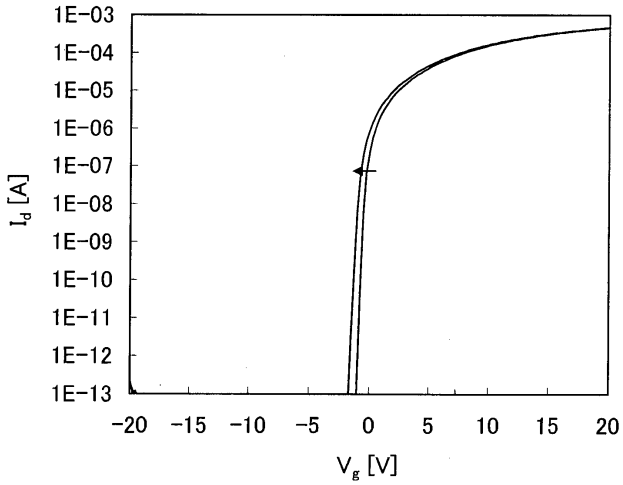

1.E-03
1.E-05
1.E-07
1.E-09
1.E-11
1.E-13
I_d [A]
50
40
30
20
10
0
μ_{FE} [cm^2/Vs]
-10 -8 -6 -4 -2 0 2 4 6 8 10
V_g [V]

도면24

(a)

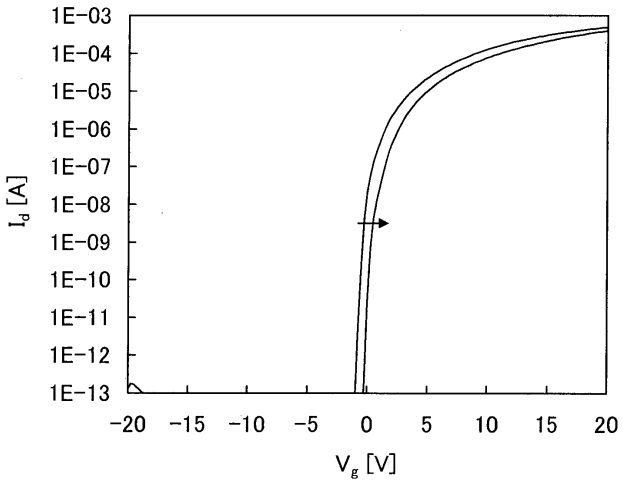

1E-03
1E-04
1E-05
1E-06
1E-07
1E-08
1E-09
1E-10
1E-11
1E-12
1E-13
I_d [A]
-20 -15 -10 -5 0 5 10 15 20
V_g [V]

(b)

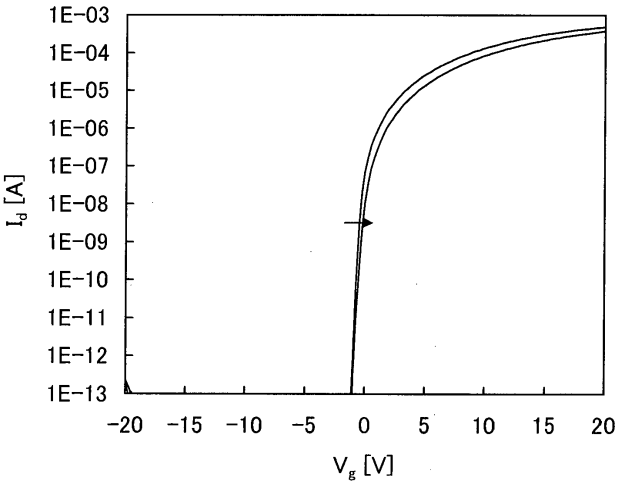

1E-03
1E-04
1E-05
1E-06
1E-07
1E-08
1E-09
1E-10
1E-11
1E-12
1E-13
I_d [A]
-20 -15 -10 -5 0 5 10 15 20
V_g [V]

도면25

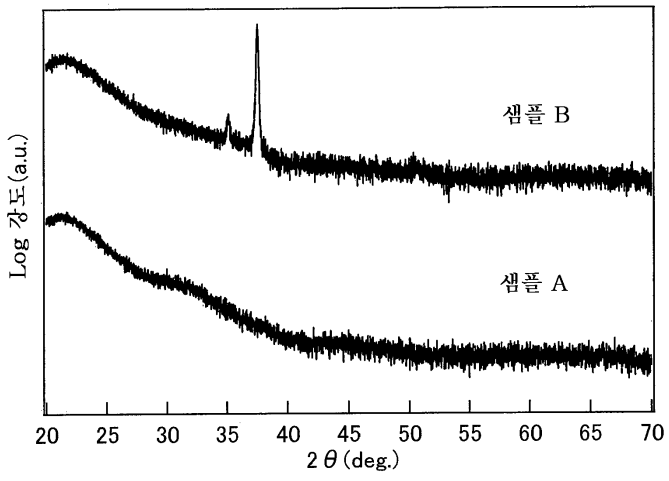
(a)


1E-03
1E-04
1E-05
1E-06
1E-07
1E-08
1E-09
1E-10
1E-11
1E-12
1E-13
I_d [A]
-20 -15 -10 -5 0 5 10 15 20
V_g [V]

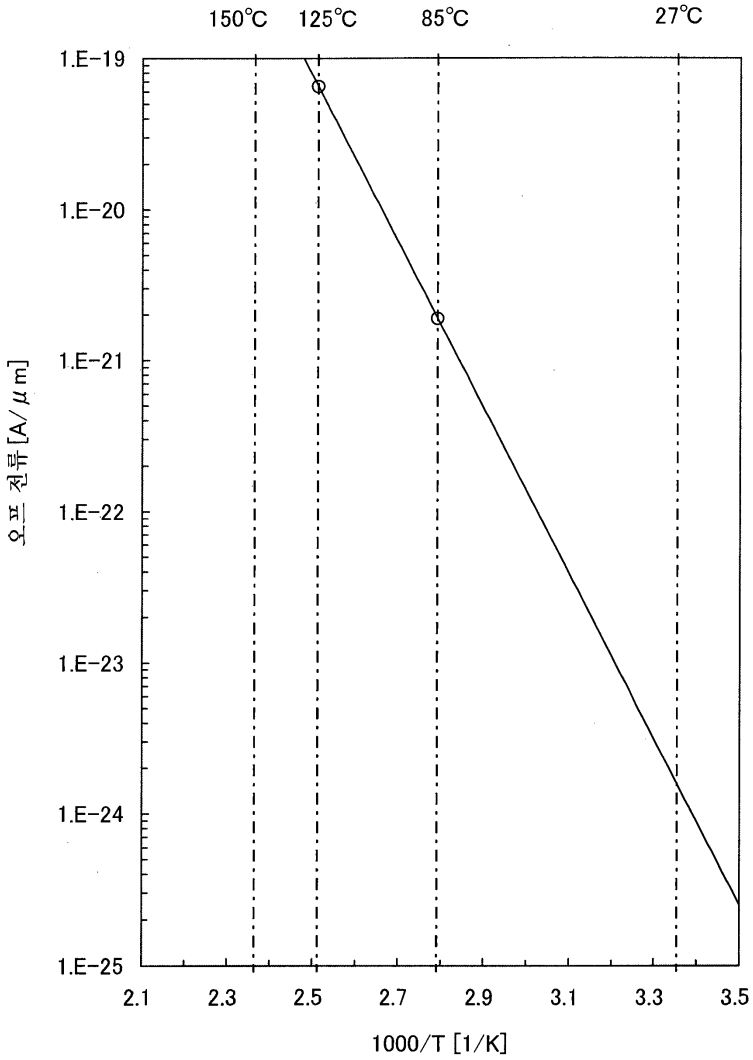
(b)


1E-03
1E-04
1E-05
1E-06
1E-07
1E-08
1E-09
1E-10
1E-11
1E-12
1E-13
I_d [A]
-20 -15 -10 -5 0 5 10 15 20
V_g [V]

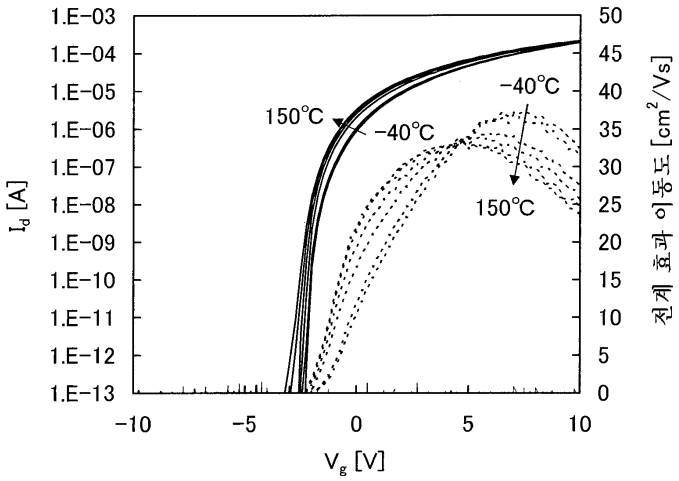
도면26


샘플 B
샘플 A
Log 강도(a.u.)
20 25 30 35 40 45 50 55 60 65 70
2θ (deg.)

도면27

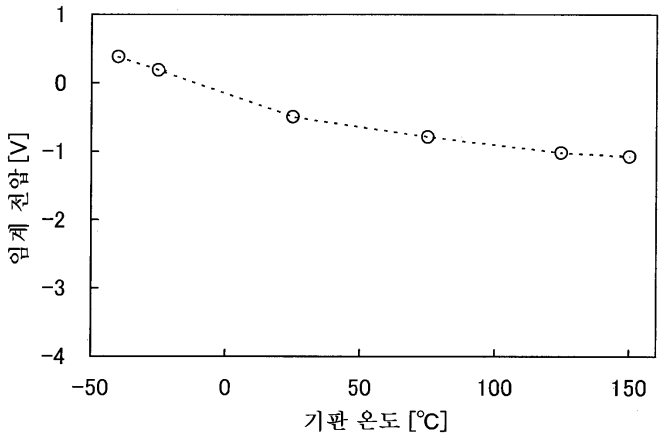

150℃
125℃
85℃
27℃
1.E-19
1.E-20
1.E-21
1.E-22
1.E-23
1.E-24
1.E-25
오프 전류 [A/μm]
2.1
2.3
2.5
2.7
2.9
3.1
3.3
3.5
1000/T [1/K]

도면28

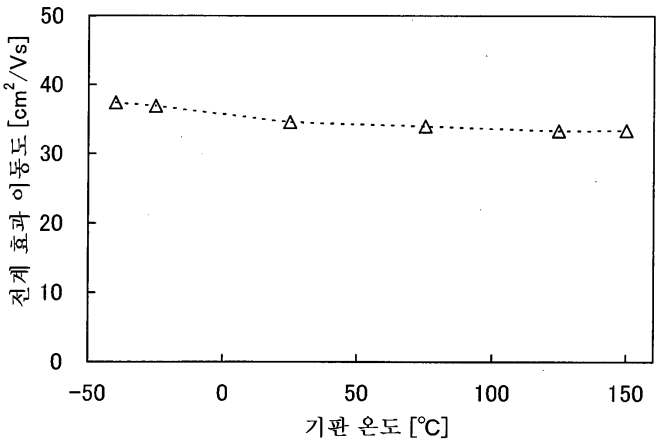

1.E-03
1.E-04
1.E-05
1.E-06
1.E-07
1.E-08
1.E-09
1.E-10
1.E-11
1.E-12
1.E-13
I_d [A]
150℃
-40℃
-40℃
150℃
50
45
40
35
30
25
20
15
10
5
0
전계 효과 이동도 [cm^2/Vs]
-10
-5
0
5
10
V_g [V]

도면29

(a)

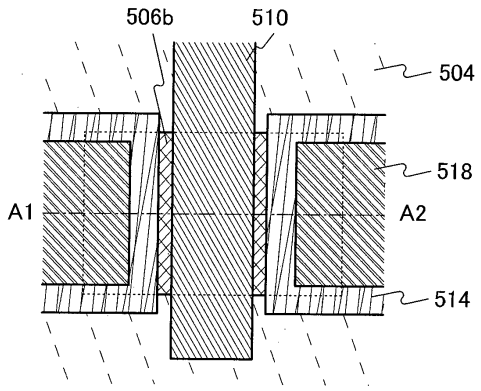

1
0
−1
−2
−3
−4
임계 전압 [V]
−50
0
50
100
150
기판 온도 [℃]

(b)

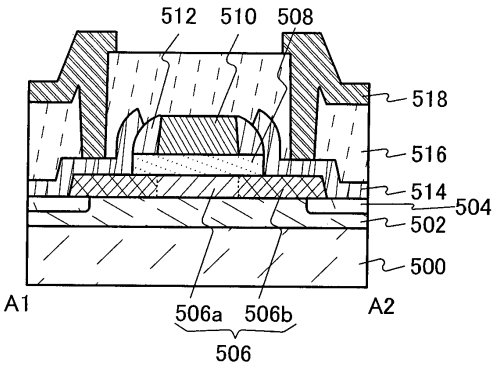

50
40
30
20
10
0
전계 효과 이동도 [cm²/Vs]
−50
0
50
100
150
기판 온도 [℃]

도면30

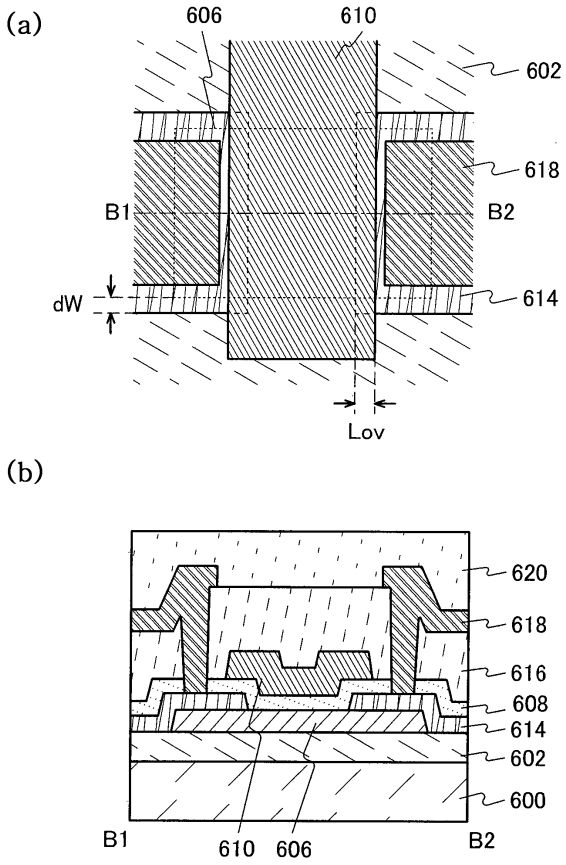
(a)


506b
510
504
518
A1
A2
514

(b)


512
510
508
518
516
514
504
502
500
A1
A2
506a
506b
506

도면31


(a)
606
610
602
618
B1
B2
dW
614
Lov
(b)
620
618
616
608
614
602
600
B1
610
606
B2