

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2008-3435

(P2008-3435A)

(43) 公開日 平成20年1月10日(2008.1.10)

(51) Int. Cl.	F I	テーマコード (参考)
G09F 9/30 (2006.01)	G09F 9/30 330Z	2H092
G02F 1/1345 (2006.01)	G02F 1/1345	5C094

審査請求 未請求 請求項の数 4 O L (全 10 頁)

(21) 出願番号	特願2006-174785 (P2006-174785)	(71) 出願人	304053854 エプソンイメージングデバイス株式会社 長野県安曇野市豊科田沢6925
(22) 出願日	平成18年6月26日(2006.6.26)	(74) 代理人	100075258 弁理士 吉田 研二
		(74) 代理人	100096976 弁理士 石田 純
		(72) 発明者	上山 大和 東京都港区浜松町二丁目4番1号 三洋エ プソンイメージングデバイス株式会社内
		Fターム(参考)	2H092 GA32 GA40 GA51 HA04 JA24 JB74 MA13 NA15 NA16 NA17 NA25 NA27 PA06 5C094 AA31 AA42 BA03 BA43 CA19 DB05

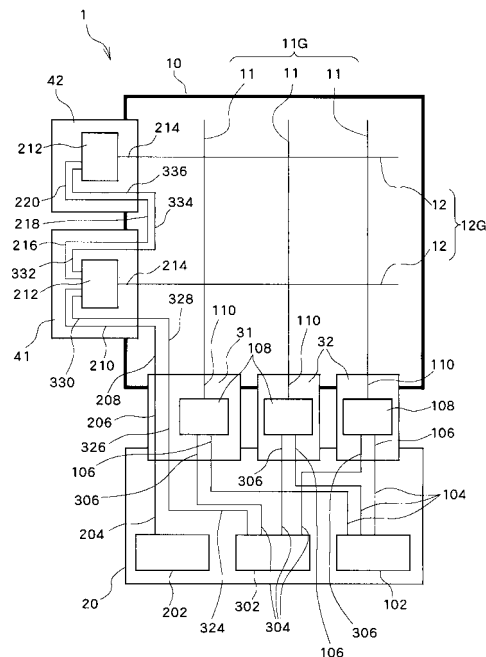
(54) 【発明の名称】 表示装置

(57) 【要約】

【課題】フレキシブルプリント回路等の配線集合体について接続不具合の低減またはコスト削減を実現可能な表示装置を提供することである。

【解決手段】液晶パネル10と回路基板20とは配線集合体31, 32によって接続されている。配線集合体31は、ソース配線11用の回路内の配線106, 110, 306と、ゲート配線12用の回路内の配線206, 326とを含んで構成されている。配線集合体32は、配線106, 110, 306を含むが配線206, 326を含まずに構成されている。配線集合体31にのみ設けられた配線206, 326は配線集合体31, 32を構成する全ての配線206, 326, 106, 306, 110のうちで配列の最も端部に位置している。配線集合体32は配線集合体31と同じ幅を有し配線集合体31よりも配線の配列ピッチが大きい。または、配線集合体32は配線集合体31よりも幅が狭い。

【選択図】 図2



【特許請求の範囲】**【請求項 1】**

第 1 配線群と第 2 配線群とを含んで構成された表示パネルと、
前記第 1 配線群に接続され前記第 1 配線群へ電位を供給する第 1 回路内の一部と前記第 2 配線群に接続され前記第 2 配線群へ電位を供給する第 2 回路内の一部とが設けられた回路基板と、前記回路基板と前記表示パネルとを接続する複数の配線集合体と、を備え、

前記複数の配線集合体は、前記第 1 回路内の配線と前記第 2 回路内の配線とを有する第 1 配線集合体と、前記第 1 回路と前記第 2 回路とのいずれか一方の回路内の配線を有するが他方の回路内の配線は有さず前記第 1 配線集合体よりも配線本数が少ない第 2 配線集合体と、を含むことを特徴とする表示装置。

10

【請求項 2】

請求項 1 に記載の表示装置であって、

前記第 1 配線集合体に設けられた前記他方の回路内の前記配線は前記複数の配線集合体における前記配線の配列の端部に位置していることを特徴とする表示装置。

【請求項 3】

請求項 1 または請求項 2 に記載の表示装置であって、

前記第 2 配線集合体は前記第 1 配線集合体と幅が同じであることを特徴とする表示装置

【請求項 4】

請求項 1 または請求項 2 に記載の表示装置であって、

前記第 2 配線集合体は前記第 1 配線集合体よりも幅が狭いことを特徴とする表示装置。

20

【発明の詳細な説明】**【技術分野】****【0001】**

本発明は、表示装置に係り、具体的には回路基板と表示パネルとを接続する配線集合体、例えばフレキシブルプリント回路 (Flexible Printed Circuit: FPC) を備えた表示装置に関する。

【背景技術】**【0002】**

従来の液晶表示装置では、ソース配線へ電位を供給するソース用回路が設けられた回路基板がソース配線の一端の側に配置され、当該ソース用回路とソース配線とがフレキシブルプリント回路によって接続される。同様に、ゲート配線へ電位を供給するゲート用回路が設けられた回路基板がゲート配線の一端の側に配置され、当該ゲート回路とゲート配線とがフレキシブルプリント回路によって接続される。

30

【0003】

また、従来の液晶表示装置の他の構成では、ゲート用回路をソース用回路が設けられた回路基板上に設けられる。この構成においても回路基板と液晶パネルとの接続にはフレキシブルプリント回路が利用される。また、この構成では、ゲート用回路からゲート配線までの配線が、回路基板、ゲート配線の上記一端の側に最も近いフレキシブルプリント回路および液晶パネルに渡って形成され、あるいはさらに液晶パネルに別途接続されたフレキシブルプリント回路を利用して形成される。この構成では、回路基板と液晶パネルとを接続するフレキシブルプリント回路は全て同じ配線構造、すなわちソース用回路の配線とゲート用回路の配線との両方を有した構造のものが利用されている。

40

【0004】

【特許文献 1】 特開 2001-56481 号公報

【発明の開示】**【発明が解決しようとする課題】****【0005】**

フレキシブルプリント回路と液晶パネルとの接続では、互いの多数の配線間で位置ずれが生じ、その結果、接続不具合が生じる場合がある。この点はフレキシブルプリント回路

50

と回路基板との接続についても同様である。また、部品のコスト削減として例えばフレキシブルプリント回路のコスト削減が求められている。

【0006】

本発明の目的は、フレキシブルプリント回路等の配線集合体について接続不具合の低減またはコスト削減を実現可能な表示装置を提供することである。

【課題を解決するための手段】

【0007】

本発明に係る表示装置は、第1配線群と第2配線群とを含んで構成された表示パネルと、前記第1配線群に接続され前記第1配線群へ電位を供給する第1回路内の一部と前記第2配線群に接続され前記第2配線群へ電位を供給する第2回路内の一部とが設けられた回路基板と、前記回路基板と前記表示パネルとを接続する複数の配線集合体と、を備え、前記複数の配線集合体は、前記第1回路内の配線と前記第2回路内の配線とを有する第1配線集合体と、前記第1回路と前記第2回路とのいずれか一方の回路内の配線を有するが他方の回路内の配線は有さず前記第1配線集合体よりも配線本数が少ない第2配線集合体と、を含むことを特徴とする。

10

【0008】

また、前記第1配線集合体に設けられた前記他方の回路内の前記配線は前記複数の配線集合体における前記配線の配列の端部に位置していることが好ましい。

【0009】

また、前記第2配線集合体は前記第1配線集合体と幅が同じであることが好ましい。

20

【0010】

また、前記第2配線集合体は前記第1配線集合体よりも幅が狭いことが好ましい。

【発明の効果】

【0011】

上記構成によれば、表示装置について、配線集合体の接続不具合を低減することができ、または、配線集合体のコストを削減することができる。

【発明を実施するための最良の形態】

【0012】

以下に図面を用いて本発明に係る実施の形態について詳細に説明する。

【0013】

図1に本発明の実施の形態に係る表示装置1の概略的なブロック図を示す。図1に示すように、表示装置1は、液晶パネル10と、ソース用回路100と、ゲート用回路200とを含んで構成されている。

30

【0014】

液晶パネル10は、複数のソース配線11と、複数のゲート配線12とを含んで構成されている。複数のソース配線11は平面視上ストライプ状に配置されている。すなわち、各ソース配線11は全体として縦方向に延在し、当該延在方向に交差する方向(図1では横方向)にそれらのソース配線11が配列されている。また、複数のゲート配線12は平面視上ストライプ状に配置されている。すなわち、各ゲート配線12は全体として横方向に延在し、当該延在方向に交差する方向(図1では縦方向)にそれらのゲート配線12が配列されている。なお、ソース配線11とゲート配線12とは、平面視上交差しているが、直接には接触しておらず、いわば立体交差をしている。

40

【0015】

液晶パネル10は、さらに、ソース配線11とゲート配線12との各交差点付近に配置された画素TFT(Thin Film Transistor)13と、各画素TFT13に接続された画素電極14とを含んで構成されている。具体的には、画素TFT13のソースがソース配線11に接続され、画素TFT13のドレインが画素電極14に接続され、画素TFT13のゲートがゲート配線12に接続されている。なお、各画素電極14が、明るさが変化する領域として視認される各画素に対応する。図1では図面の煩雑を避けるため画素TFT13と画素電極14とを1組だけ図示しているが、各ソース配線11には画素TFT1

50

3が複数接続され、各ゲート配線12には画素TFT13が複数接続されている。これにより、複数の画素電極14、換言すれば複数の画素が液晶パネル10において2次元的に、例えばマトリクス状に配列される。

【0016】

上記構成により、各画素電極14には、その画素電極14に接続された画素TFT13およびソース配線11を介して、対応する画素の表示に応じた電位が供給される。また、当該電位を印加する画素電極14の選択、換言すれば画素の選択はゲート配線12への選択的な電位印加によって行われる。

【0017】

ソース用回路100は、ソースドライバ制御回路102と、ソースドライバ108Aと、配線110と、電源回路302とを含んで構成されており、複数のソース配線11すなわちソース配線群11Gに接続されている。

10

【0018】

ソースドライバ制御回路102は、入力映像信号に応じてソースドライバ108A用の各種信号を生成してソースドライバ108Aへ出力するように構成されており、これによりソースドライバ108Aを制御する。上記各種信号として、タイミング信号、各画素の表示データ等が含まれる。

【0019】

ソースドライバ108Aの各出力端には配線110の一端が接続され、各配線110の他端にソース配線11に接続されており、これによりソース用回路100がソース配線群11Gに接続されている。ソースドライバ108Aは、ソースドライバ制御回路102からの上記各種信号に基づいて、各ソース配線11に印加する電位を生成し所定のタイミングで出力するように構成されている。ソース配線11への電位印加は、全てのソース配線11に対して同時に行われる。

20

【0020】

電源回路302は、ソースドライバ制御回路102およびソースドライバ108Aに各種電源を供給するように設けられている。

【0021】

ゲート用回路200は、ゲートドライバ制御回路202と、ゲートドライバ212Aと、配線214と、電源回路302とを含んで構成されており、複数のゲート配線12すなわちゲート配線群12Gに接続されている。なお、ここでは電源回路302をソース用回路100と共有する場合を例示するが、各回路100, 200に別々に設けてもよい。

30

【0022】

ゲートドライバ制御回路202は、入力映像信号に応じてゲートドライバ212A用の各種信号を生成してゲートドライバ212Aへ出力するように構成されており、これによりゲートドライバ212Aを制御する。上記各種信号として、タイミング信号等が含まれる。

【0023】

ゲートドライバ212Aの各出力端には配線214の一端が接続され、各配線214の他端にゲート配線12に接続されており、これによりゲート用回路200がゲート配線群12Gに接続されている。ゲートドライバ212Aは、ゲートドライバ制御回路202からの上記各種信号に基づいて、各ゲート配線12に印加する電位を生成し所定のタイミングで出力するように構成されている。ゲート配線12への電位印加は、ゲート配線12を順次に選択して、すなわち走査して行われる。この場合、選択されたゲート配線12に接続された複数の画素TFT13に同時にゲート電位が供給される。

40

【0024】

電源回路302は、ゲートドライバ制御回路202およびゲートドライバ212Aに各種電源を供給するように設けられている。

【0025】

なお、ソース用回路100およびゲート用回路200の上記構成は一例であり、例えば

50

上記以外の各種回路を設けることも可能である。

【0026】

図2に表示装置1の概略的な構成図を示し、図3～図5に表示装置1の一部拡大平面図を示す。図1に加えて図2～図5を参照しつつ、表示装置1のより具体的な構成を説明する。なお、図2では、図面の煩雑を避けるために、ソース配線11、ゲート配線12等の各種配線の本数を減らして図示している。

【0027】

図2に示すように、表示装置1は、外観視において、液晶パネル10と、回路基板20と、配線集合体31, 32, 41, 42とに大別され、これらを利用して上記回路100, 200が構成されている。なお、各配線集合体31, 41, 42が1個、配線集合体32が2個の場合を例示する。

【0028】

ここで、回路基板20は、例えば各種のプリント配線板(Printed Wiring Boards: PWB)によって構成可能である。

【0029】

また、配線集合体31, 32, 41, 42はそれぞれ複数の配線が一体的にまとめられた単一の部品である。配線集合体31, 32, 41, 42は、例えば、可撓性の絶縁性フィルム33(図3～図5参照)上に複数の配線が印刷等によって設けられた構成、あるいは、複数の配線が可撓性の絶縁性フィルム33で挟み込まれて埋設された構造を有し、例えば各種のフレキシブルプリント回路によって構成することが可能である。なお、上記構成では、複数の配線は実質的に同一平面内に配置されている。配線集合体31, 32はそれぞれソース配線11の一端の側において液晶パネル10と回路基板20とを互いに接続している。配線集合体41, 42はそれぞれゲート配線12の一端の側において液晶パネル10に接続されている。なお、回路基板20と配線集合体31, 32との間での配線接続は例えば圧着接続法によって行うことが可能であり、配線集合体31, 32, 41, 42と液晶パネル10との間での配線接続についても同様である。

【0030】

図2の構成において、図1のソース用回路100は、ソースドライバ制御回路102と、図1のソースドライバ108Aに対応するソースドライバIC(Integrated Circuit)108と、電源回路302と、配線104, 106, 110, 304, 306とを含んで構成されている。なお、図2では、ソースドライバ制御回路102の構成の詳細な図示は省略している。

【0031】

具体的には、ソースドライバ制御回路102の出力端には配線104の一端が接続され、配線104の他端が配線106の一端に接続され、配線106の他端がソースドライバIC108の入力端に接続されている。また、ソースドライバIC108の出力端に配線110の一端が接続され、配線110の他端がソース配線11の一端に接続されている。また、電源回路302の出力端は配線304の一端に接続され、配線304の他端は配線306の一端に接続され、配線306の他端はソースドライバIC108の入力端に接続されている。

【0032】

ここでは、図1のソースドライバ108Aを3個のソースドライバIC108で構成する場合を例示する。この場合、各ソースドライバIC108に対してそれぞれ、上記配線104, 106, 110, 304, 306が設けられ、ソースドライバ制御回路102の出力端および電源回路302の出力端が設けられている。図2では図面の煩雑を避けるために各ソースドライバIC108に対して配線104, 106, 110を1本ずつ図示しているが、表示装置1において配線104, 106はそれぞれ複数本、配線110は合計してソース配線11と同数設けられている(図3～図5参照)。なお、電源回路302からの配線304, 306は各ソースドライバIC108に対して1組ずつとするが、これらの配線304, 306を2組以上設けてもよい。

10

20

30

40

50

【 0 0 3 3 】

上記回路構成において、ソースドライバ制御回路 1 0 2 と、電源回路 3 0 2 と、配線 1 0 4 , 3 0 4 とは回路基板 2 0 に設けられている。また、配線集合体 3 1 , 3 2 はそれぞれ配線 1 0 6 , 3 0 6 , 1 1 0 を含んで構成され、配線集合体 3 1 , 3 2 にそれぞれソースドライバ IC 1 0 8 が設けられている。なお、ここでは、配線 1 0 6 , 1 1 0 , 3 0 6 の各本数は各配線集合体 3 1 , 3 2 間で等しい場合を例示する。

【 0 0 3 4 】

なお、配線集合体 3 1 , 3 2 を構成する配線 1 0 6 , 1 1 0 , 3 0 6 とソースドライバ IC 1 0 8 とは T C P (Tape Carrier Package) 構造または C O F (Chip on Film) 構造によって一体化している。また、ソースドライバ IC 1 0 8 の出力端が入力端よりも多い場合には、図 3 ~ 図 5 に示すように、ソースドライバ IC 1 0 8 において、入力端を回路基板 2 0 の側の一部に集め、残余の周縁部に出力端を設けてもよい。この場合であっても、ソースドライバ IC 1 0 8 の出力端に接続された配線 1 1 0 の他端は全て液晶パネル 1 0 の側に設けられている。

10

【 0 0 3 5 】

また、図 1 のゲート用回路 2 0 0 は、ゲートドライバ制御回路 2 0 2 と、図 1 のゲートドライバ 2 1 2 A に対応するゲートドライバ IC 2 1 2 と、電源回路 3 0 2 と、配線 2 0 4 , 2 0 6 , 2 0 8 , 2 1 0 , 2 1 4 , 2 1 6 , 2 1 8 , 2 2 0 , 3 2 4 , 3 2 6 , 3 2 8 , 3 3 0 , 3 3 2 , 3 3 4 , 3 3 6 とを含んで構成されている。ここでは、図 1 のゲートドライバ 2 1 2 A を 2 個のゲートドライバ IC 2 1 2 で構成する場合を例示する。なお、図 2 では、ゲートドライバ制御回路 2 0 2 の構成の詳細な図示は省略している。

20

【 0 0 3 6 】

具体的には、ゲートドライバ制御回路 2 0 2 の出力端には配線 2 0 4 の一端が接続され、配線 2 0 4 の他端が配線 2 0 6 の一端に接続され、配線 2 0 6 の他端が配線 2 0 8 の一端に接続され、配線 2 0 8 の他端が配線 2 1 0 の一端に接続され、配線 2 1 0 の他端が一方のゲートドライバ IC 2 1 2 の入力端に接続されている。また、当該一方のゲートドライバ IC 2 1 2 の出力端に配線 2 1 4 の一端が接続され、配線 2 1 4 の他端がゲート配線 1 2 の一端に接続されている。上記一方のゲートドライバ IC 2 1 2 は入力端に入力された信号をそのまま出力する出力端を有しており、当該出力端に配線 2 1 6 の一端が接続され、配線 2 1 6 の他端が配線 2 1 8 の一端に接続され、配線 2 1 8 の他端が配線 2 2 0 の一端に接続され、配線 2 2 0 の他端が他方のゲートドライバ IC 2 1 2 の入力端に接続されている。当該他方のゲートドライバ IC 2 1 2 の出力端にも配線 2 1 4 の一端が接続され、配線 2 1 4 の他端がゲート配線 1 2 の一端に接続されている。

30

【 0 0 3 7 】

また、電源回路 3 0 2 の出力端に配線 3 2 4 の一端が接続され、配線 3 2 4 の他端が配線 3 2 6 の一端に接続され、配線 3 2 6 の他端が配線 3 2 8 の一端に接続され、配線 3 2 8 の他端が配線 3 3 0 の一端に接続され、配線 3 3 0 の他端が上記一方のゲートドライバ IC 2 1 2 の入力端に接続されている。当該一方のゲートドライバ IC 2 1 2 は入力端に入力された電源電位をそのまま出力する出力端を有しており、当該出力端に配線 3 3 2 の一端が接続され、配線 3 3 2 の他端が配線 3 3 4 の一端に接続され、配線 3 3 4 の他端が配線 3 3 6 の一端に接続され、配線 3 3 6 の他端が上記他方のゲートドライバ IC 2 1 2 の入力端に接続されている。

40

【 0 0 3 8 】

図 2 では図面の煩雑を避けるために各配線 2 0 4 , 2 0 6 , 2 0 8 , 2 1 0 , 2 1 6 , 2 1 8 , 2 2 0 を 1 本ずつ図示しているが、表示装置 1 において配線 2 0 4 , 2 0 6 , 2 0 8 , 2 1 0 , 2 1 6 , 2 1 8 , 2 2 0 はそれぞれ複数本、配線 2 1 4 は合計してゲート配線 1 2 と同数設けられている。なお、電源回路 3 0 2 からの配線 3 2 4 , 3 2 6 , 3 2 8 , 3 3 0 , 3 3 2 , 3 3 4 , 3 3 6 は 1 組とするが、これらの配線 3 2 4 , 3 2 6 , 3 2 8 , 3 3 0 , 3 3 2 , 3 3 4 , 3 3 6 を 2 組以上設けてもよい。

【 0 0 3 9 】

50

上記回路構成において、ゲートドライバ制御回路202と、配線204と、電源回路302と、配線324とは回路基板20に設けられている。また、配線集合体31は、上記配線106, 306, 110に加えさらに配線206, 326を含んで構成されている。また、配線208, 328は液晶パネル10に設けられ、配線210, 216, 330, 332と上記一方のゲートドライバIC212に接続された配線214とを含んで配線集合体41が構成され、配線集合体41に上記一方のゲートドライバIC212が設けられている。配線218, 334は液晶パネル10に設けられている。配線220, 336と上記他方のゲートドライバIC212に接続された配線214とを含んで配線集合体42が構成され、配線集合体42に上記他方のゲートドライバIC212が設けられている。

【0040】

なお、配線集合体41を構成する配線210, 214, 216, 330, 332と上記一方のゲートドライバIC212とはTCP構造またはCOF構造によって一体化しており、配線集合体42を構成する配線220, 214, 336と上記他方のゲートドライバIC212とはTCP構造またはCOF構造によって一体化している。また、ゲートドライバIC212の出力端および配線214は液晶パネル10の側に設けられ、これらに交差しないように迂回してゲートドライバIC212の入力端および他の配線210, 216, 220, 330, 332, 336が設けられている。

【0041】

上記構成によれば、回路基板20と液晶パネル10とが複数の配線集合体31, 32によって接続されている。このとき、配線集合体31は、ソース用回路100内の配線106, 110, 306とゲート用回路200内の配線206, 326とを有している。これに対し、配線集合体32は、ソース用回路100内の配線106, 110, 306を有するが、ゲート用回路200内のいずれの配線も有していない。また、上記のように配線106, 110, 306の各本数が各配線集合体31, 32間で等しい場合、配線集合体32の方が配線集合体31よりも、ゲート用回路200内の配線206, 326の分だけ、配線の合計本数が少ない。

【0042】

このように構造の異なる2種類の配線集合体31, 32の両方を利用することにより、配線集合体31, 32の幅 w_{31} , w_{32} に関して次の構成が可能になる。

【0043】

まず、図3および図4に示すように、配線集合体32の幅 w_{32} を配線集合体31の幅 w_{31} と同じにした場合には、配線集合体32の配線の配列ピッチを配線集合体31のそれよりも大きくすることができる。これにより、配線106, 306と回路基板20の配線104, 304との接続不具合を低減することができる。配線110と液晶パネル10のソース配線11との接続についても同様である。また、配線配列ピッチの拡大に伴って配線幅を拡大することが可能になり、その場合には上記接続不具合をよりいっそう低減することができる。

【0044】

なお、配線集合体31の幅 w_{31} とは、配線106, 306, 206, 326の配列方向または配線110, 206, 326の配列方向における寸法を言い、回路基板20側と液晶パネル10側とで幅が異なる場合(図3参照)には大きい方の幅を言うものとする。配線集合体32の幅 w_{32} についても同様とする。

【0045】

これに対して、図3および図5に示すように、配線集合体32の幅 w_{32} を配線集合体31の幅 w_{31} よりも小さくすることが可能であり、この場合には配線集合体32のコストを配線集合体31のそれよりも削減することができる。配線集合体31, 32を構成する絶縁性フィルム33は長尺の絶縁性テープを切り出して形成され、当該絶縁性テープの幅によって、絶縁性フィルム33の幅、すなわち配線集合体31, 32の幅 w_{31} , w_{32} が決まる。この絶縁性テープの幅は一般的に規格化されており、1段階でも幅の狭い規格に変更できれば、コスト削減効果は大きい。

10

20

30

40

50

【0046】

上記構成では、図2に示すように、配線集合体31は配線集合体31, 32の配列において最も端部(ここではゲート配線12の上記一端の側)に配置され、しかも配線集合体31内においてゲート用回路200の配線206, 326は配線集合体32から最も遠くに配置されている。すなわち、配線集合体31にのみ設けられたゲート用回路200内の配線206, 326は配線集合体31, 32を構成する全ての配線206, 326, 106, 306, 110のうちでこれらの配線の配列の最も端部に位置している。このため、配線集合体32よりも配線集合体31に近い側(ここではゲート配線12の上記一端の側)に配線集合体41, 42およびゲートドライバIC212を設けることによって、ソース配線11等を横切ることなく、ゲート用回路200を設けることができる。これにより、配線間での信号干渉を受けることがない。

10

【0047】

なお、図2では、配線206の方が配線326よりも端部に位置する場合を例示しているが、ゲートドライバ制御回路202および電源回路302の配置形態によっては、配線326の方をより端部側に設けることも可能である。同様に、ソースドライバ制御回路102および電源回路302の配置形態によっては、配線106と配線306との配置位置を図示の例とは逆にすることも可能である。

【0048】

なお、上記ではソースドライバIC108がTCP構造またはCOP構造によって配線集合体31, 32と一体化した場合を説明したが、ソースドライバ108Aを液晶パネル10の周縁部に形成し、配線集合体31, 32には設けない構成とすることも可能である。この場合にも、配線集合体31をゲート用回路200の配線およびソース用回路100の配線を含めた構成とし、配線集合体32をソース用回路100の配線を含める一方でゲート用回路200の配線を含めない構成とすることが可能である。

20

【0049】

また、上記では可撓性の絶縁フィルム33を利用することによって配線集合体31, 32が可撓性を有する場合を例示したが、配線集合体31, 32を剛性体として構成することも可能である。可撓性の配線集合体31, 32の場合、例えば、配線集合体31, 32を折り曲げることによって回路基板20を液晶パネル10の背面側に配置することができ、表示装置1の小型化を図ることができる。配線集合体41, 42についても同様である。また、上記では回路基板20をプリント配線板で構成する場合を例示したが、回路基板20を例えば可撓性のフレキシブルプリント回路によって構成することも可能である。

30

【0050】

また、上記構成とは違って、ソース用回路100とゲート用回路200とを入れ替えてもよい。具体的には、ソースドライバ制御回路102とゲートドライバ制御回路202とを入れ替え、ソースドライバIC108とゲートドライバIC212とを入れ替え、入れ替え後のソースドライバIC108およびゲートドライバIC212がソース配線11およびゲート配線12にそれぞれ接続されるように液晶パネル10に接続する構成にしてもよい。この構成では、配線集合体31はゲート用回路200の配線およびソース用回路100の配線を有するが、配線集合体32はゲート用回路200の配線を有するがソース用回路100の配線を有さない。

40

【0051】

また、液晶パネル10に替えて、他の表示パネル、例えばエレクトロルミネッセンス(Electro Luminescence: EL)パネルや、プラズマディスプレイパネル(Plasma Display Panel: PDP)を適用して表示装置1を構成することも可能である。また、画素電極14の電位制御用のスイッチング素子として、上記のTFT13に替えて、例えばMIM(Metal Insulator Metal)素子を適用することも可能である。

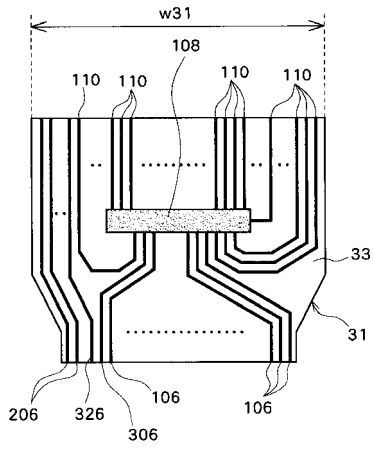
【図面の簡単な説明】

【0052】

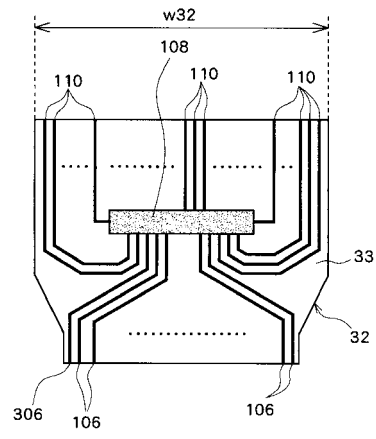
【図1】本発明の実施の形態に係る表示装置のブロック図である。

50

【 図 3 】



【 図 4 】



【 図 5 】

