

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第6479533号
(P6479533)

(45) 発行日 平成31年3月6日(2019.3.6)

(24) 登録日 平成31年2月15日(2019.2.15)

(51) Int.Cl.	F I
HO 1 L 21/336 (2006.01)	HO 1 L 29/78 3 O 1 J
HO 1 L 29/78 (2006.01)	HO 1 L 29/78 6 2 2
HO 1 L 29/786 (2006.01)	HO 1 L 29/78 3 O 1 S
	HO 1 L 29/78 3 O 1 D
	HO 1 L 29/78 6 1 8 C

請求項の数 16 (全 17 頁)

(21) 出願番号	特願2015-71476 (P2015-71476)	(73) 特許権者	308033711
(22) 出願日	平成27年3月31日 (2015. 3. 31)		ラピスセミコンダクタ株式会社
(65) 公開番号	特開2016-192479 (P2016-192479A)		神奈川県横浜市港北区新横浜二丁目4番地8
(43) 公開日	平成28年11月10日 (2016. 11. 10)	(74) 代理人	100079049
審査請求日	平成30年2月22日 (2018. 2. 22)		弁理士 中島 淳
		(74) 代理人	100084995
			弁理士 加藤 和詳
		(74) 代理人	100099025
			弁理士 福田 浩志
		(72) 発明者	田中 宏幸
			神奈川県横浜市港北区新横浜二丁目4番8
			ラピスセミコンダクタ株式会社内
		審査官	市川 武宜

最終頁に続く

(54) 【発明の名称】 半導体装置および半導体装置の製造方法

(57) 【特許請求の範囲】

【請求項1】

N型半導体層の表層部に設けられたP型ベース領域と、
前記P型ベース領域の内側に設けられたN型エミッタ領域と、
前記N型半導体層の表層部に前記P型ベース領域と離間して設けられたP型コレクタ領域と、

前記N型半導体層の表面に設けられ、前記P型ベース領域および前記N型エミッタ領域に接するゲート絶縁膜と、

前記ゲート絶縁膜の上に設けられたゲート電極と、

前記N型半導体層の内部の、前記P型ベース領域と前記P型コレクタ領域との間に設けられ、一端が前記N型半導体層の表層部に延在するN型半導体に接続され、且つ前記N型半導体層の深さ方向に伸びる絶縁体を有する柱状構造物と、

を含み、

前記柱状構造物の前記N型半導体に接続された一端が、前記P型ベース領域の底部よりも上方に位置していることを特徴とする半導体装置。

【請求項2】

前記N型半導体層の表層部の、前記P型ベース領域と前記P型コレクタ領域との間に設けられた絶縁体領域を更に含み、

前記柱状構造物は、前記絶縁体領域との間に前記N型半導体を挟んで前記絶縁体領域から離間していることを特徴とする請求項1に記載の半導体装置。

10

20

【請求項 3】

前記 N 型半導体層は、絶縁体層の上に形成され、

前記柱状構造物の他端は、前記絶縁体層に接続されていることを特徴とする請求項 1 または請求項 2 に記載の半導体装置。

【請求項 4】

N 型半導体層の表層部に設けられた P 型ベース領域と、

前記 P 型ベース領域の内側に設けられた N 型エミッタ領域と、

前記 N 型半導体層の表層部に前記 P 型ベース領域と離間して設けられた P 型コレクタ領域と、

前記 N 型半導体層の表面に設けられ、前記 P 型ベース領域および前記 N 型エミッタ領域に接するゲート絶縁膜と、

前記ゲート絶縁膜の上に設けられたゲート電極と、

前記 N 型半導体層の内部の、前記 P 型ベース領域と前記 P 型コレクタ領域との間に設けられ、一端が前記 N 型半導体層の表層部に延在する N 型半導体に接続され、且つ前記 N 型半導体層の深さ方向に伸びる絶縁体を有する柱状構造物と、

を含み、

前記柱状構造物は、前記 P 型ベース領域と前記 P 型コレクタ領域とが並ぶ方向であるゲート長方向に沿って分割されていることを特徴とする半導体装置。

【請求項 5】

前記柱状構造物は、前記 P 型ベース領域と前記 P 型コレクタ領域とが並ぶ方向と交差する方向であるゲート幅方向に沿って分割されていることを特徴とする請求項 1 から請求項 3 のいずれか 1 項に記載の半導体装置。

【請求項 6】

N 型半導体層の表層部に設けられた P 型ベース領域と、

前記 P 型ベース領域の内側に設けられた N 型エミッタ領域と、

前記 N 型半導体層の表層部に前記 P 型ベース領域と離間して設けられた P 型コレクタ領域と、

前記 N 型半導体層の表面に設けられ、前記 P 型ベース領域および前記 N 型エミッタ領域に接するゲート絶縁膜と、

前記ゲート絶縁膜の上に設けられたゲート電極と、

前記 N 型半導体層の内部の、前記 P 型ベース領域と前記 P 型コレクタ領域との間に設けられ、一端が前記 N 型半導体層の表層部に延在する N 型半導体に接続され、且つ前記 N 型半導体層の深さ方向に伸びる絶縁体を有する柱状構造物と、

前記 N 型半導体層の表層部の、前記 P 型ベース領域と前記 P 型コレクタ領域との間に設けられた絶縁体領域と、

を含み、

前記柱状構造物は、前記絶縁体領域との間に前記 N 型半導体を挟んで前記絶縁体領域から離間しており、前記絶縁体領域と前記柱状構造物との距離は、 $0.1 \mu\text{m}$ 以上 $2 \mu\text{m}$ 以下であることを特徴とする半導体装置。

【請求項 7】

N 型半導体層の表層部に設けられた P 型ベース領域と、

前記 P 型ベース領域の内側に設けられた N 型エミッタ領域と、

前記 N 型半導体層の表層部に前記 P 型ベース領域と離間して設けられた P 型コレクタ領域と、

前記 N 型半導体層の表面に設けられ、前記 P 型ベース領域および前記 N 型エミッタ領域に接するゲート絶縁膜と、

前記ゲート絶縁膜の上に設けられたゲート電極と、

前記 N 型半導体層の内部の、前記 P 型ベース領域と前記 P 型コレクタ領域との間に設けられ、一端が前記 N 型半導体層の表層部に延在する N 型半導体に接続され、且つ前記 N 型半導体層の深さ方向に伸びる絶縁体を有する柱状構造物と、

10

20

30

40

50

前記 N 型半導体層の表層部の、前記 P 型ベース領域と前記 P 型コレクタ領域との間に設けられた絶縁体領域と、

を含み、

前記柱状構造物は、前記絶縁体領域との間に前記 N 型半導体を挟んで前記絶縁体領域から離間しており、前記 P 型ベース領域と前記 P 型コレクタ領域とが並ぶ方向であるゲート長方向における前記柱状構造物の幅は、前記絶縁体領域の前記ゲート長方向における長さの 6 . 7 % 以上 2 9 . 2 % 以下であることを特徴とする半導体装置。

【請求項 8】

N 型半導体層の表層部に設けられた P 型ベース領域と、

前記 P 型ベース領域の内側に設けられた N 型エミッタ領域と、

前記 N 型半導体層の表層部に前記 P 型ベース領域と離間して設けられた P 型コレクタ領域と、

前記 N 型半導体層の表面に設けられ、前記 P 型ベース領域および前記 N 型エミッタ領域に接するゲート絶縁膜と、

前記ゲート絶縁膜の上に設けられたゲート電極と、

前記 N 型半導体層の内部の、前記 P 型ベース領域と前記 P 型コレクタ領域との間に設けられ、一端が前記 N 型半導体層の表層部に延在する N 型半導体に接続され、且つ前記 N 型半導体層の深さ方向に伸びる絶縁体を有する柱状構造物と、

前記 N 型半導体層の表層部の、前記 P 型ベース領域と前記 P 型コレクタ領域との間に設けられた絶縁体領域と、

を含み、

前記柱状構造物は、前記絶縁体領域との間に前記 N 型半導体を挟んで前記絶縁体領域から離間しており、

前記 P 型ベース領域と前記 P 型コレクタ領域とが並ぶ方向であるゲート長方向における前記柱状構造物の幅は、4 μ m 以上 1 7 . 5 μ m 以下であることを特徴とする請求項 2 または 6 に記載の半導体装置。

【請求項 9】

N 型半導体層の表層部に設けられた P 型ベース領域と、

前記 P 型ベース領域の内側に設けられた N 型エミッタ領域と、

前記 N 型半導体層の表層部に前記 P 型ベース領域と離間して設けられた P 型コレクタ領域と、

前記 N 型半導体層の表面に設けられ、前記 P 型ベース領域および前記 N 型エミッタ領域に接するゲート絶縁膜と、

前記ゲート絶縁膜の上に設けられたゲート電極と、

前記 N 型半導体層の内部の、前記 P 型ベース領域と前記 P 型コレクタ領域との間に設けられ、一端が前記 N 型半導体層の表層部に延在する N 型半導体に接続され、且つ前記 N 型半導体層の深さ方向に伸びる絶縁体を有する柱状構造物と、

を含み、

前記 P 型ベース領域と前記柱状構造物との距離は、4 μ m 以下であることを特徴とする半導体装置。

【請求項 10】

前記柱状構造物と前記 P 型ベース領域との距離は、前記柱状構造物と前記 P 型コレクタ領域との距離よりも短いことを特徴とする請求項 1 から請求項 9 のいずれか 1 項に記載の半導体装置。

【請求項 11】

N 型半導体層の表面から前記 N 型半導体層の深さ方向に伸びるトレンチを形成する工程と、

前記トレンチの内部に絶縁体を埋め込んで柱状構造物を形成する工程と、

前記トレンチの内部の前記柱状構造物の上部を N 型半導体で埋める工程と、

前記 N 型半導体層の表面にゲート絶縁膜を形成する工程と、

10

20

30

40

50

前記ゲート絶縁膜の上にゲート電極を形成する工程と、
 前記ゲート絶縁膜に接するように、前記N型半導体層の表層部にP型ベース領域を形成する工程と、
 前記ゲート絶縁膜に接するように前記P型ベース領域の内側にN型エミッタ領域を形成する工程と、
 前記P型ベース領域との間に前記柱状構造物を挟むように、前記N型半導体層の表層部にP型コレクタ領域を形成する工程と、
 を含むことを特徴とする半導体装置の製造方法。

【請求項12】

前記柱状構造物との間に前記N型半導体を挟むように、前記N型半導体層の表層部に絶縁体領域を形成する工程を更に含むことを特徴とする請求項11に記載の製造方法。

10

【請求項13】

前記N型半導体層は、絶縁体層の上に形成されており、
 前記柱状構造物を前記絶縁体層に接続することを特徴とする請求項11または請求項12に記載の製造方法。

【請求項14】

前記トレンチの内部の前記柱状構造物の上部を前記N型半導体で埋める工程は、前記トレンチの側壁から前記N型半導体の結晶を成長させる工程を含むことを特徴とする請求項11から請求項13のいずれか1項に記載の製造方法。

【請求項15】

20

前記トレンチの内部の前記柱状構造物の上部を前記N型半導体で埋めた後に、前記N型半導体層の表面を平坦化する工程を更に含むことを特徴とする請求項11から請求項14のいずれか1項に記載の製造方法。

【請求項16】

前記N型半導体層は、シリコンを含み、
 前記トレンチの内部の前記柱状構造物の上部を前記N型半導体で埋める前に、前記N型半導体層の上にシリコン窒化膜を形成する工程と、
 前記トレンチの内部の前記柱状構造物の上部を前記N型半導体で埋めた後に、前記シリコン窒化膜を除去して前記N型半導体層の表面を露出させる工程および露出した前記N型半導体層の表面を平坦化する工程
 を更に含むことを特徴とする請求項11から請求項15のいずれか1項に記載の製造方法。

30

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体装置および半導体装置の製造方法に関する。

【背景技術】

【0002】

I G B T (Insulated Gate Bipolar Transistor) はパワーデバイス的一种であり、省エネルギー社会の構築が求められている今日、その重要性はますます増加している。特に横型I G B TはI Cに組み込むことが可能であることから、多方面への応用が期待できる。

40

【0003】

I G B Tの耐圧を向上させる技術として、例えば下記のもの知られている。すなわち、特許文献1には、n+エミッタ領域とp+コレクタ領域との間のウェハ表面にトレンチを形成し、その中をトレンチ埋め込み絶縁膜で埋めることにより、耐圧を担持するドリフト領域を折り曲げて、実効的なドリフト長を長くすることが記載されている。

【先行技術文献】

【特許文献】

50

【 0 0 0 4 】

【特許文献1】特開2010-186878号公報

【発明の概要】

【発明が解決しようとする課題】

【 0 0 0 5 】

I G B Tは、出力特性と、耐圧特性との間にトレードオフ関係を有する。すなわち、コレクタ・エミッタ間飽和電圧を低減させ、損失を小さくした場合には、コレクタ・エミッタ間耐圧が低下する。一方、コレクタ・エミッタ間耐圧を高くして、過電圧による破壊に対するマージンを大きくした場合には、コレクタ・エミッタ間飽和電圧が高くなる。このようなトレードオフ関係により、従来の横型I G B Tは、総合的な性能が十分に高いものとはいえなかった。

10

【 0 0 0 6 】

本発明は、従来の横型I G B Tに対して耐圧特性を損なうことなく出力特性を改善することができる半導体装置およびその製造方法を提供することを目的とする。

【課題を解決するための手段】

【 0 0 0 7 】

本発明に係る半導体装置は、N型半導体層の表層部に設けられたP型ベース領域と、前記P型ベース領域の内側に設けられたN型エミッタ領域と、前記N型半導体層の表層部に前記P型ベース領域と離間して設けられたP型コレクタ領域と、前記N型半導体層の表面に設けられ、前記P型ベース領域および前記N型エミッタ領域に接するゲート絶縁膜と、前記ゲート絶縁膜の上に設けられたゲート電極と、前記N型半導体層の内部の、前記P型ベース領域と前記P型コレクタ領域との間に設けられ、一端が前記N型半導体層の表層部に延在するN型半導体に接続され、且つ前記N型半導体層の深さ方向に伸びる絶縁体を有する柱状構造物と、を含み、前記柱状構造物の前記N型半導体に接続された一端が、前記P型ベース領域の底部よりも上方に位置している。

20

【 0 0 0 8 】

本発明に係る半導体装置の製造方法は、N型半導体層の表面から前記N型半導体層の深さ方向に伸びるトレンチを形成する工程と、前記トレンチの内部に絶縁体を埋め込んで柱状構造物を形成する工程と、前記トレンチの内部の前記柱状構造物の上部をN型半導体で埋める工程と、前記N型半導体層の表面にゲート絶縁膜を形成する工程と、前記ゲート絶縁膜の上にゲート電極を形成する工程と、前記ゲート絶縁膜に接するように、前記N型半導体層の表層部にP型ベース領域を形成する工程と、前記ゲート絶縁膜に接するように前記P型ベース領域の内側にN型エミッタ領域を形成する工程と、前記P型ベース領域との間に前記柱状構造物を挟むように、前記N型半導体層の表層部にP型コレクタ領域を形成する工程と、を含む。

30

【発明の効果】

【 0 0 0 9 】

本発明によれば、従来の横型I G B Tに対して耐圧特性を損なうことなく出力特性を改善できる、という効果が得られる。

【図面の簡単な説明】

40

【 0 0 1 0 】

【図1】本発明の実施形態に係る半導体装置の構成を示す断面図である。

【図2】(a)~(c)は、本発明の実施形態に係る半導体装置の製造方法を示す図である。

【図3】(a)~(c)は、本発明の実施形態に係る半導体装置の製造方法を示す図である。

【図4】本発明の実施形態に係る半導体装置の製造方法を示す図である。

【図5】(a)は、本発明の実施形態に係る半導体装置および比較例に係る半導体装置の出力特性のシミュレーション結果を示すグラフである。(b)は、本発明の実施形態に係る半導体装置および比較例に係る半導体装置の耐圧特性のシミュレーション結果を示すグ

50

ラフである。

【図6】(a)は、本発明の実施形態に係る半導体装置における、電子密度分布のシミュレーション結果を示す図である。(b)は、本発明の実施形態に係る半導体装置における、正孔密度分布のシミュレーション結果を示す図である。

【図7】(a)は、比較例に係る半導体装置における、電子密度分布のシミュレーション結果を示す図である。(b)は、比較例に係る半導体装置における、正孔密度分布のシミュレーション結果を示す図である。

【図8】(a)は、本発明の実施形態に係る絶縁体ピラーとフィールド酸化膜との距離を変化させた場合の、コレクタ・エミッタ間飽和電圧および耐圧の変化をシミュレーションにより取得した結果を示すグラフである。(b)は、本発明の実施形態に係る絶縁体ピラーのゲート長方向における幅を変化させた場合の、コレクタ・エミッタ間飽和電圧および耐圧の変化をシミュレーションにより取得した結果を示すグラフである。(c)は、絶縁体ピラーとP型ベース領域との距離を変化させた場合の、コレクタ・エミッタ間飽和電圧および耐圧の変化をシミュレーションにより取得した結果を示すグラフである。

【図9】(a)～(c)は、本発明の第2の実施形態に係る半導体装置の製造方法を示す図である。

【図10】(a)～(d)は、本発明の実施形態に係る絶縁体ピラーの形態のバリエーションを示す図である。

【図11】本発明の他の実施形態に係る半導体装置の構成を示す断面図である。

【図12】比較例に係る半導体装置の構成を示す断面図である。

【発明を実施するための形態】

【0011】

以下、本発明の実施形態の一例を図面を参照しつつ説明する。なお、各図面において同一または等価な構成要素および部分には同一の参照符号を付与している。

【0012】

[第1の実施形態]

図1は、本発明の実施形態に係る半導体装置1の構成を示す断面図である。半導体装置1は、基板層11、絶縁体層12およびN型半導体層13が積層されて構成されるSOI(Silicon on Insulator)基板10を含んで構成されている。

【0013】

基板層11は、例えばシリコン等の半導体材料により構成される。絶縁体層12は、例えば、厚さ4 μ m程度のSiO₂等の絶縁体によって構成される。N型半導体層13は、例えば、厚さ20 μ m程度のN型シリコンによって構成されている。

【0014】

半導体装置1は、N型半導体層13の表層部にそれぞれ設けられたP型ベース領域43、N型エミッタ領域44およびP型コレクタ領域45を含む所謂横型のIGBTを構成するものである。半導体装置1は、SiO₂等の絶縁体からなる素子分離領域31、フィールド酸化膜32およびSOI基板10の絶縁体層12によって隣接する他の半導体装置と電氣的に分離されている。

【0015】

P型ベース領域43とP型コレクタ領域45とは、N型半導体層13の表層部に設けられたフィールド酸化膜33によって隔てられている。すなわち、フィールド酸化膜33は、互いに離間して設けられたP型ベース領域43とP型コレクタ領域45との間に延在しており、P型ベース領域43は、フィールド酸化膜33の一端側においてフィールド酸化膜33に隣接して設けられ、P型コレクタ領域45は、フィールド酸化膜33の他端側においてフィールド酸化膜33に隣接して設けられている。N型エミッタ領域44は、P型ベース領域43の内側のフィールド酸化膜33から離間した位置に設けられている。なお、フィールド酸化膜33は、本発明における絶縁体領域の一例である。

【0016】

ゲート絶縁膜41は、例えば、厚さ0.1 μ m程度のSiO₂等の絶縁体からなり、フ

10

20

30

40

50

ィールド酸化膜 3 3 に隣接し、且つ P 型ベース領域 4 3 と N 型エミッタ領域 4 4 との界面を跨ぐように N 型半導体層 1 3 の表面に設けられている。すなわち、ゲート絶縁膜 4 1 は、P 型ベース領域 4 3 および N 型エミッタ領域 4 4 の双方に接している。

【 0 0 1 7 】

ゲート電極 4 2 は、例えば、リンを含む多結晶シリコン等からなり、ゲート絶縁膜 4 1 の全体およびフィールド酸化膜 3 3 の一部を覆うように設けられている。

【 0 0 1 8 】

中間絶縁膜 5 0 は、 SiO_2 等の絶縁体からなり、ゲート電極 4 2、P 型ベース領域 4 3、N 型エミッタ領域 4 4、P 型コレクタ領域 4 5 を覆っている。コンタクト 5 1 は、タングステン等の導電体からなり、中間絶縁膜 5 0 を貫通し、P 型ベース領域 4 3 および N 型エミッタ領域 4 4 の双方に接続されている。コンタクト 5 2 は、タングステン等の導電体からなり、中間絶縁膜 5 0 を貫通して P 型コレクタ領域 4 5 に接続されている。中間絶縁膜 5 0 の表面には、コンタクト 5 1 および 5 2 にそれぞれ接続されたアルミニウム等の導電体からなる配線 5 3 および 5 4 が設けられている。

【 0 0 1 9 】

半導体装置 1 は、N 型半導体層 1 3 の内部の P 型ベース領域 4 3 と P 型コレクタ領域 4 5 との間に、N 型半導体層 1 3 の深さ方向に伸びる柱状構造を有する絶縁体ピラー 2 0 を有する。絶縁体ピラー 2 0 は、 SiO_2 等の絶縁体を含んで構成されている。絶縁体ピラー 2 0 は、一端が N 型半導体層 1 3 の表層部に延在する N 型半導体に接続され、他端が絶縁体層 1 2 に接続されている。絶縁体ピラー 2 0 の上方には、フィールド酸化膜 3 3 が延在しており、絶縁体ピラー 2 0 は、フィールド酸化膜 3 3 との間に N 型半導体を挟んでフィールド酸化膜 3 3 から離間している。絶縁体ピラー 2 0 は、N 型半導体層 1 3 の表層部にスリットを形成して、キャリアの移動経路を狭窄するように作用する。絶縁体ピラー 2 0 は、後述するように、N 型エミッタ領域 4 4 および P 型コレクタ領域 4 5 から N 型半導体層 1 3 に注入されるキャリアの流れを規制する。

【 0 0 2 0 】

本実施形態において、絶縁体ピラー 2 0 は、P 型ベース領域 4 3 および P 型コレクタ領域 4 5 が並ぶ方向であるゲート長方向において、P 型ベース領域 4 3 により近い位置に配置されている。すなわち、絶縁体ピラー 2 0 と P 型ベース領域 4 3 との距離は、絶縁体ピラー 2 0 と P 型コレクタ領域 4 5 との距離よりも短い。また、絶縁体ピラー 2 0 の先端は、P 型ベース領域 4 3 の底部よりも上方に位置している。なお、絶縁体ピラー 2 0 は、本発明における柱状構造物の一例である。

【 0 0 2 1 】

以下に、半導体装置 1 の製造方法について説明する。図 2 ~ 図 4 は、半導体装置 1 の製造方法を示す断面図である。

【 0 0 2 2 】

はじめに、基板層 1 1、絶縁体層 1 2 および N 型半導体層 1 3 を含む SOI 基板 1 0 を用意する (図 2 (a))。N 型半導体層 1 3 は、例えば、不純物として $3 \times 10^{14} \text{ cm}^{-3}$ 程度のリンを含有する厚さ $20 \mu\text{m}$ 程度のシリコンによって構成されている。

【 0 0 2 3 】

次に、公知の熱酸化法により、N 型半導体層 1 3 の表面に厚さ $0.1 \mu\text{m}$ 程度のシリコン酸化膜 1 0 1 を形成し、公知のフォトリソグラフィ技術およびエッチング技術を用いて、絶縁体ピラー 2 0 の形成位置に SOI 基板 1 0 の絶縁体層 1 2 に達するトレンチ 1 0 2 を形成する (図 2 (b))。絶縁体ピラー 2 0 のゲート長方向における幅 w に対応するトレンチ 1 0 2 の幅は、例えば $5 \mu\text{m}$ 程度とすることができる。

【 0 0 2 4 】

次に、公知の熱酸化法によりトレンチ 1 0 2 の内壁をシリコン酸化膜で覆った後、公知の CVD (Chemical Vapor Deposition) 法により、トレンチ 1 0 2 の内部に、 SiO_2 等の絶縁体 2 0 A を埋め込む。その後、公知のエッチバック法により、N 型半導体層 1 3 の表面に形成されたシリコン酸化膜 1 0 1 を除去するとともに、トレンチ 1 0 2 の内部に

10

20

30

40

50

埋め込まれた絶縁体 20A のうち、上部 $1.5 \mu\text{m}$ 程度を除去する。これにより、SOI 基板 10 の絶縁体層 12 に接続された絶縁体ピラー 20 が形成される (図 2 (c))。なお、絶縁体ピラー 20 は、少なくとも N 型半導体層 13 との界面が絶縁体であればよく、トレンチ 102 の内壁を絶縁体で覆ったのち、トレンチ 102 内部の残りの部分に導電体または半導体を埋め込んでよい。また、トレンチ 102 内部に絶縁体を形成する処理を省略してもよい。すなわち、絶縁体ピラー 20 を空隙によって構成してもよい。

【0025】

次に、公知のエピタキシャル法により、N 型半導体層 13 の不純物濃度と同程度の $3 \times 10^{14} \text{cm}^{-3}$ 程度のリンを含有するシリコン結晶を成長させる。絶縁体ピラー 20 の上部においては、露出したトレンチ 102 の側壁からシリコン結晶が横方向に成長し、トレンチ 102 内部の絶縁体ピラー 20 の上部が、N 型半導体層 13 と同程度の濃度のリンを含有する N 型シリコン 13A で塞がれる。また、N 型半導体層 13 の表面にもシリコン結晶が成長する。その後、公知の CMP (Chemical Mechanical Polishing) 法により、当初の N 型半導体層 13 の表面に合わせて平坦化処理を行う (図 3 (a))。

【0026】

次に、N 型半導体層 13 の素子分離領域 31 の形成位置に絶縁体層 12 に達するトレンチを形成し、このトレンチに熱酸化法および CVD 法を用いて、 SiO_2 等の絶縁体を埋め込んで素子分離領域 31 を形成する。その後、N 型半導体層 13 の表層部に公知の LOCOS (Local Oxidation of Silicon) 法により、厚さ $0.8 \mu\text{m}$ 程度の SiO_2 等の絶縁体からなるフィールド酸化膜 32 および 33 を形成する (図 3 (b))。フィールド酸化膜 33 は、絶縁体ピラー 20 の上方に延在するように設けられる。先の工程において絶縁体ピラー 20 の上部に形成された N 型シリコン 13A は、フィールド酸化膜 33 と絶縁体ピラー 20 との間に配置される。フィールド酸化膜 33 と絶縁体ピラー 20 との距離 d_1 は、例えば、 $1.2 \mu\text{m}$ 程度とすることができる。また、フィールド酸化膜 33 のゲート長方向における長さ L は、例えば、 $60 \mu\text{m}$ 程度とすることができる。

【0027】

次に、公知の熱酸化法により、N 型半導体層 13 の表面のフィールド酸化膜 33 の一端側においてフィールド酸化膜 33 に隣接するように、厚さ $0.1 \mu\text{m}$ 程度の SiO_2 等の絶縁体からなるゲート絶縁膜 41 を形成する。続いて、公知の CVD 法により、リンを含む多結晶シリコン等からなるゲート電極 42 を形成する。ゲート電極 42 は、ゲート絶縁膜 41 の全体およびフィールド酸化膜 33 の一部を覆うように形成される。続いて、公知のイオン注入法とそれに続く熱処理により、N 型半導体層 13 の表層部に、P 型ベース領域 43、N 型エミッタ領域 44 および P 型コレクタ領域 45 を形成する (図 3 (c))。P 型ベース領域 43 および P 型コレクタ領域 45 は、それぞれ、不純物として例えばボロンを含み、N 型エミッタ領域 44 は、不純物として例えばヒ素を含む。P 型ベース領域 43 は、N 型半導体層 13 の表層部の、ゲート電極 42 が形成されたフィールド酸化膜 33 の一端側に形成される。N 型エミッタ領域 44 は、P 型ベース領域 43 の内側のフィールド酸化膜 33 から離間した位置に形成される。P 型コレクタ領域 45 は、N 型半導体層 13 の表層部の、フィールド酸化膜 33 の他端側に形成される。P 型ベース領域 43 と絶縁体ピラー 20 との間の距離 d_2 は、例えば、 $0.15 \mu\text{m}$ とすることができる。

【0028】

次に、公知の CVD 法により、N 型半導体層 13 の全体を覆うように SiO_2 等の絶縁体からなる中間絶縁膜 50 を形成する。続いて、中間絶縁膜 50 を貫通し、N 型半導体層 13 の表面に達するトレンチ (図示せず) を形成する。続いて、上記のトレンチの内壁に窒化チタン等のバリアメタルを形成した後、トレンチ内部にタングステン等の導電体を埋め込むことにより、コンタクト 51 および 52 を形成する。コンタクト 51 は、P 型ベース領域 43 および N 型エミッタ領域 44 の双方に接続され、コンタクト 52 は、P 型コレクタ領域 45 に接続される。続いて、公知のスパッタ法により、中間絶縁膜 50 の表面にアルミニウム等の配線材料を堆積させる。その後、公知のフォトリソグラフィ技術およびエッチング技術により、配線材料をパターニングすることにより、コンタクト 51 およ

10

20

30

40

50

び52にそれぞれ接続された配線53および54を形成する。

【0029】

半導体装置1は、基板層11、P型ベース領域43、N型エミッタ領域44をゼロ電位とし、P型コレクタ領域45に正電位を印加した状態で、ゲート電極42に閾値電圧以上の正電位(例えば15V)を印加することによりゲート絶縁膜41直下のシリコン表面にチャンネルが形成され、P型コレクタ領域45からN型エミッタ領域44に向けて電流が流れる。飽和状態におけるコレクタ・エミッタ間の電圧をコレクタ・エミッタ間飽和電圧 $V_{ce(sat)}$ と称する。コレクタ・エミッタ間飽和電圧 $V_{ce(sat)}$ は、低い程、損失が小さく、高性能であるといえる。

【0030】

一方、ゲート電極42を他の電極同様ゼロ電位とした場合には、P型コレクタ領域45に正電位を印加しても、チャンネルは形成されず、電流はほとんど流れない。しかしながら、この状態においても、P型コレクタ領域45の電位を増大させると、降伏現象により急激に電流が流れ、最終的に半導体装置1は破壊に至る。この急激に電流が増加し、一定電流に達する時のコレクタ・エミッタ間の電圧を耐圧(BV_{ces})と称する。耐圧 BV_{ces} は高い程、高圧での用途に用いることが可能となり、同一用途においては破壊に至るマージンを稼ぐことが可能であることから、望ましいとされる。

【0031】

一般的に、コレクタ・エミッタ間飽和電圧 $V_{ce(sat)}$ と耐圧 BV_{ces} とはトレードオフの関係にある。例えば、N型半導体層13の不純物濃度を高くすることにより、コレクタ・エミッタ間飽和電圧 $V_{ce(sat)}$ を低くすることができるが、耐圧 BV_{ces} は低下する。

【0032】

本発明の実施形態に係る半導体装置1と、図12に示す比較例に係る半導体装置2との特性比較をTCAD(Technology CAD)によるシミュレーションにより行った。以下にその結果について説明する。図12に示すように、比較例に係る半導体装置2は、絶縁体ピラー20を有していない点において、本発明の実施形態に係る半導体装置1と異なる。その他の構造および各部の寸法については、本発明の実施形態に係る半導体装置1と同一である。なお、半導体装置1および2の奥行きを $1\mu\text{m}$ として各シミュレーションを行った。

【0033】

図5(a)は、ゲート電圧を15Vとした場合における、コレクタ電圧とコレクタ電流の関係、すなわち出力特性を示すグラフであり、実線が本発明の実施形態に係る半導体装置1に対応し、破線が比較例に係る半導体装置2に対応する。10 μA のコレクタ電流を流したときのコレクタ・エミッタ間飽和電圧 $V_{ce(sat)}$ は、比較例に係る半導体装置2が2.2Vであったのに対し、本発明の実施形態に係る半導体装置1は、1.3Vであった。

【0034】

また、コレクタ電圧を30Vとした場合のコレクタ電流は、比較例に係る半導体装置2が38 μA であったのに対し、本発明の実施形態に係る半導体装置1は、59 μA であった。

【0035】

図5(b)は、ゲート電圧をゼロ電位とした状態におけるコレクタ電圧とコレクタ電流の関係、すなわち耐圧特性を示すグラフであり、実線が本発明の実施形態に係る半導体装置1に対応し、破線が比較例に係る半導体装置2に対応する。コレクタ電流が1nAに至るコレクタ電圧(V_{Bces})は、比較例に係る半導体装置2が532Vであったのに対し、本発明の実施形態に係る半導体装置1は、530.5Vであった。

【0036】

以上のように、本発明の実施形態に係る半導体装置1によれば、比較例に係る半導体装置2と略同等の耐圧特性を維持しつつ、コレクタ・エミッタ間飽和電圧 $V_{ce(sat)}$ を比較例に係る半導体装置2に対して40%程度低減させることができた。これはパワー素子として最も重要な指標の1つである導通損失を40%削減できることを意味している。また、

10

20

30

40

50

本発明の実施形態に係る半導体装置 1 の電流駆動能力を、比較例に係る半導体装置 2 の 1.5 以上とすることができた。このように、本発明の実施形態に係る半導体装置 1 によれば、コレクタ・エミッタ間飽和電圧 $V_{ce(sat)}$ と耐圧 BV_{ces} との間のトレードオフ関係を大幅に改善することができる。

【0037】

本発明の実施形態に係る半導体装置 1 において、耐圧特性を損なうことなく出力特性が改善されるメカニズムについて以下に考察する。

【0038】

図 6 (a) および図 6 (b) は本発明の実施形態に係る半導体装置 1 における、電子密度分布および正孔密度分布のシミュレーション結果を示す図である。図 7 (a) および図 7 (b) は、比較例に係る半導体装置 2 における、電子密度分布および正孔密度分布のシミュレーション結果を示す図である。いずれの場合においても、エミッタ電圧を 0 V、ゲート電圧を 1.5 V、コレクタ電圧を 2 V とした。

【0039】

N 型エミッタ領域 44 および P 型コレクタ領域 45 の間に延在するドリフト領域における電子密度および正孔密度は、本発明の実施形態に係る半導体装置 1 の方が、比較例に係る半導体装置 2 よりも高くなった。これは、以下のプロセスを含むキャリア注入の正帰還によって、ドリフト領域となる N 型半導体層 13 内のキャリア密度が増大したものと推測される。すなわち、(1) IGBT 特有の伝導度変調効果により P 型コレクタ領域 45 から N 型半導体層 13 (ドリフト領域) に注入された正孔が、絶縁体ピラー 20 によりせき止められ、N 型半導体層 13 (ドリフト領域) に滞留する。(2) N 型半導体層 13 (ドリフト領域) に滞留する正孔に引き寄せられ、過剰な電子が N 型エミッタ領域 44 から N 型半導体層 13 (ドリフト領域) に注入される。(3) これにより、正孔が P 型コレクタ領域 45 から N 型半導体層 13 (ドリフト領域) に更に注入される。

【0040】

本発明の実施形態に係る半導体装置 1 によれば、N 型半導体層 13 (ドリフト領域) における電子密度および正孔密度が高まることで、図 5 (a) に示すように、比較例よりも高い出力特性が得られたものと考えられる。一方、耐圧 BV_{ces} は、主にドリフト領域の長さ、厚さ、およびドリフト領域内の不純物濃度で決まる。絶縁体ピラー 20 の存在によって、これらのパラメータは変化しないので、本発明の実施形態に係る半導体装置 1 と比較例に係る半導体装置 2 とで、同等の耐圧特性が得られたものと考えられる。

【0041】

以下に、絶縁体ピラー 20 に関する最適構造を検討した結果について説明する。

【0042】

図 8 (a) は、絶縁体ピラー 20 とフィールド酸化膜 33 との距離 d_1 を変化させた場合の、コレクタ・エミッタ間飽和電圧 $V_{ce(sat)}$ および耐圧 BV_{ces} の変化をシミュレーションにより取得した結果を示すグラフである。なお、絶縁体ピラー 20 のゲート長方向における幅 w を $5 \mu\text{m}$ とし、絶縁体ピラー 20 と P 型ベース領域との距離 d_2 を $0.15 \mu\text{m}$ とした。コレクタ・エミッタ間飽和電圧 $V_{ce(sat)}$ の値は、ゲート電圧を 1.5 V とし、 $10 \mu\text{A}$ のコレクタ電流を流したときの値である。耐圧 BV_{ces} の値は、コレクタ電流が 1nA に至るときの値である。絶縁体ピラー 20 とフィールド酸化膜 33 との距離 d_1 を $0.1 \mu\text{m}$ 以上 $2 \mu\text{m}$ 以下とした場合に、耐圧 BV_{ces} の低下を伴うことなく、コレクタ・エミッタ間飽和電圧 $V_{ce(sat)}$ を、比較例に係る半導体装置 2 における値 (2.2V) よりも小さくすることができた。

【0043】

図 8 (b) は、絶縁体ピラー 20 のゲート長方向における幅 w を変化させた場合の、コレクタ・エミッタ間飽和電圧 $V_{ce(sat)}$ および耐圧 BV_{ces} の変化をシミュレーションにより取得した結果を示すグラフである。なお、絶縁体ピラー 20 とフィールド酸化膜 33 との距離 d_1 を $1.2 \mu\text{m}$ とし、絶縁体ピラー 20 と P 型ベース領域 43 との距離 d_2 を $0.15 \mu\text{m}$ とした。コレクタ・エミッタ間飽和電圧 $V_{ce(sat)}$ の値は、ゲート電圧を 1.5 V と

10

20

30

40

50

し、 $10\ \mu\text{A}$ のコレクタ電流を流したときの値である。耐圧 BV_{ces} の値は、コレクタ電流が $1\ \text{nA}$ に至るときの値である。絶縁体ピラー20のゲート長方向における幅 w をおよそ $4\ \mu\text{m}$ 以上 $17.5\ \mu\text{m}$ 以下(すなわち、フィールド酸化膜33のゲート長方向における長さ($60\ \mu\text{m}$)の 6.7% 以上 29.2% 以下)とした場合に、耐圧 BV_{ces} の低下を伴うことなく、コレクタ・エミッタ間飽和電圧 $V_{ce(sat)}$ を、比較例に係る半導体装置2における値($2.2\ \text{V}$)よりも小さくすることができた。また、絶縁体ピラー20のゲート長方向における幅 w を $10\ \mu\text{m}$ 以上 $15\ \mu\text{m}$ 以下(すなわち、フィールド酸化膜33のゲート長方向における長さ($60\ \mu\text{m}$)の 16.7% 以上 25.0% 以下)とした場合には、比較例に係る半導体装置2よりもコレクタ・エミッタ間飽和電圧 $V_{ce(sat)}$ が小さくなるとともに、比較例に係る半導体装置2よりも耐圧 BV_{ces} が高くなった。

10

【0044】

図8(c)は、絶縁体ピラー20とP型ベース領域43との距離 d_2 を変化させた場合の、コレクタ・エミッタ間飽和電圧 $V_{ce(sat)}$ および耐圧 BV_{ces} の変化をシミュレーションにより取得した結果を示すグラフである。なお、絶縁体ピラー20とフィールド酸化膜33との距離 d_1 を $1.2\ \mu\text{m}$ とし、絶縁体ピラー20のゲート長方向における幅 w を $5\ \mu\text{m}$ とした。コレクタ・エミッタ間飽和電圧 $V_{ce(sat)}$ の値は、ゲート電圧を $15\ \text{V}$ とし、 $10\ \mu\text{A}$ のコレクタ電流を流したときの値である。耐圧 BV_{ces} の値は、コレクタ電流が $1\ \text{nA}$ に至るときの値である。絶縁体ピラー20とP型ベース領域43との距離 d_2 をおよそ $-0.5\ \mu\text{m}$ 以上 $4\ \mu\text{m}$ 以下とした場合に、耐圧 BV_{ces} の低下を伴うことなく、コレクタ・エミッタ間飽和電圧 $V_{ce(sat)}$ を、比較例に係る半導体装置2における値($2.2\ \text{V}$)よりも小さくすることができた。なお、絶縁体ピラー20とP型ベース領域43との距離 d_2 が負の値であることは、絶縁体ピラー20がP型ベース領域43内に侵入し、これらが重なっていることを意味する。

20

【0045】

[第2の実施形態]

以下に、本発明の第2の実施形態に係る半導体装置の製造方法について説明する。図9は、本発明の第2の実施形態に係る半導体装置の製造方法を示す断面図である。

【0046】

はじめに、基板層11、絶縁体層12およびN型半導体層13を含むSOI基板10を用意する。次に、公知の熱酸化法によりN型半導体層13の表面に厚さ $0.1\ \mu\text{m}$ 程度のシリコン酸化膜101を形成し、その後、公知のCVD法により、シリコン酸化膜101の表面に厚さ $0.1\ \mu\text{m}$ 程度のシリコン窒化膜103を形成する。続いて、公知のフォトリソグラフィ技術およびエッチング技術を用いて、絶縁体ピラー20の形成位置に絶縁体層12に達するトレンチ102を形成する(図9(a))。

30

【0047】

次に、公知の熱酸化法によりトレンチ102の内壁をシリコン酸化膜で覆った後、公知のCVD法により、トレンチ102の内部に、絶縁体ピラー20を構成する SiO_2 等の絶縁体20Aを埋め込む。その後、公知のエッチバック法により、シリコン窒化膜103上に堆積した絶縁体を除去するとともに、トレンチ102の内部に埋め込まれた絶縁体20Aのうち、上部 $1.5\ \mu\text{m}$ 程度を除去する。これにより、絶縁体層12に接続された絶縁体ピラー20が形成される(図9(b))。

40

【0048】

次に、公知のエピタキシャル法により、N型半導体層13の不純物濃度と同程度の $3 \times 10^{14}\ \text{cm}^{-3}$ 程度のリンを含有するシリコン結晶を成長させる。絶縁体ピラー20の上部においては、露出したトレンチ102の側壁からシリコン結晶が横方向に成長し、トレンチ102内部の絶縁体ピラー20の上部が、N型半導体層13の不純物濃度と同程度の濃度のリンを含有するN型シリコン13Aで塞がれる。一方、N型半導体層13の表面に形成されたシリコン窒化膜103上には、シリコン結晶は成長しない。次に、シリコン酸化膜101およびシリコン窒化膜103をエッチングにより除去して、N型半導体層13の表面を露出させる。その後、公知のCMP(Chemical Mechanical Polishing)法に

50

より、当初のN型半導体層13の表面に合わせて平坦化処理を行う(図9(c))。

【0049】

以降の工程は、上記した第1の実施形態に係る製造方法と同様であるので、重複する説明は省略する。

【0050】

第2の実施形態に係る製造方法によれば、N型半導体層13の表面にシリコン窒化膜103を形成したことにより、トレンチ102内部の絶縁体ピラー20の上部をN型シリコン13Aで埋めるための結晶成長工程において、N型半導体層13上には、シリコン結晶は成長しない。これにより、その後の平坦化処理における制御性を高めることが可能となる。

10

【0051】

[変形例]

図10(a)~図10(d)は、絶縁体ピラーの形態のバリエーションを示す図であり、ゲート長方向およびゲート幅方向に平行な平面における絶縁体ピラーの構成を示す。

【0052】

図10(a)~図10(d)に示すように、絶縁体ピラー20を複数のセグメント20aに分割することにより、絶縁体ピラー20を形成するためのトレンチのサイズを小さくすることができる。これにより、トレンチ内部への絶縁体の埋め込みと、トレンチ内部に埋め込まれた絶縁体上部におけるN型シリコンの埋め込みが容易となる。

20

【0053】

図10(a)は、絶縁体ピラー20をゲート幅方向に沿って分割した複数のセグメント20aで構成した場合の例である。この構成によれば、絶縁体ピラーを含むIGBTと、絶縁体ピラーを含まないIGBTとを、交互に並列接続した場合と等価となる。この構成においても耐压特性を維持しつつ出力特性を改善することができる。

【0054】

図10(b)は、ゲート幅方向に沿って分割された絶縁体ピラー20のセグメント20aを、ゲート長方向に並置した場合の例である。図10(b)に示す例では、一方の列に配置されたセグメント20aが、他方の列に配置されたセグメント20aの間隙に対応する位置に配置されている。このように、複数の列をなすように配置されたセグメント20aを互い違いに配置することで、ゲート長方向に流れるキャリアがセグメント20aの間隙を通り抜けてしまうことを防止でき、上記したドリフト領域内のキャリア密度を高める効果を維持できる。従って、耐压特性を維持しつつ出力特性を改善することができる。

30

【0055】

図10(c)は、絶縁体ピラー20のセグメント20aをゲート長方向に沿って分割した場合の例である。図10(d)は、絶縁体ピラー20のセグメント20aを、千鳥状に配置した場合の例である。絶縁体ピラー20のセグメント20aをこのように配置した場合においても、ゲート長方向に流れるキャリアがセグメント20aの間隙を通り抜けてしまうことを防止でき、上記したドリフト領域内のキャリア密度を高める効果を維持できる。従って、耐压特性を維持しつつ出力特性を改善することができる。

【0056】

なお、上記の各実施形態においては、SOI基板10を用いる場合について説明したが、絶縁体層12を備えていないSOI基板以外の半導体基板を使用する場合にも、本発明を適用することは可能である。

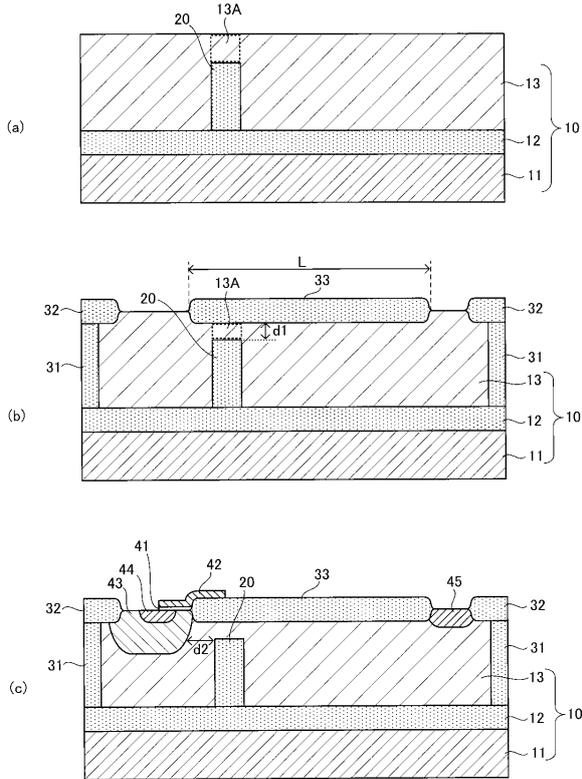
40

【0057】

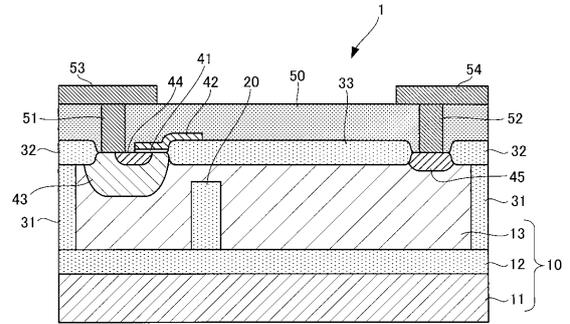
また、上記の実施形態においては、フィールド酸化膜33をP型ベース領域43とP型コレクタ領域45との間の全域に亘って延在させる場合を例示したが、フィールド酸化膜33は、図11に示すように、P型ベース領域43とP型コレクタ領域45との間の一部の領域に延在させてもよい。この場合、絶縁体ピラー20は、フィールド酸化膜33の直下に配置されていなくてもよく、絶縁体ピラー20は、N型半導体層13の表面から離間して設けられる。換言すれば、絶縁体ピラー20は、N型半導体層13の表面から間隙を

50

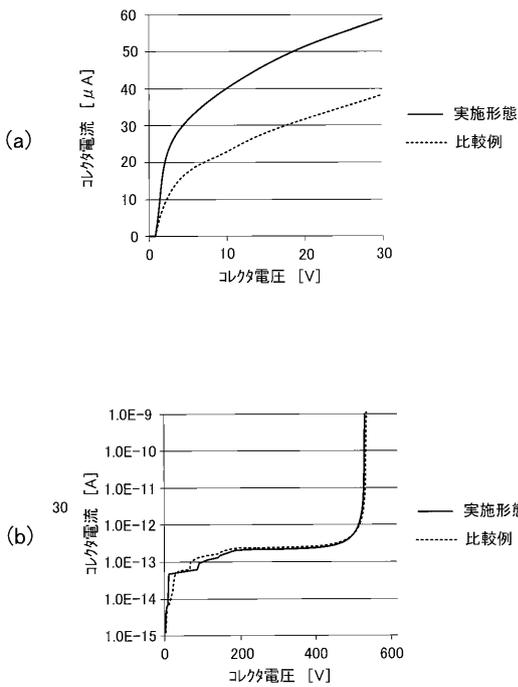
【図3】



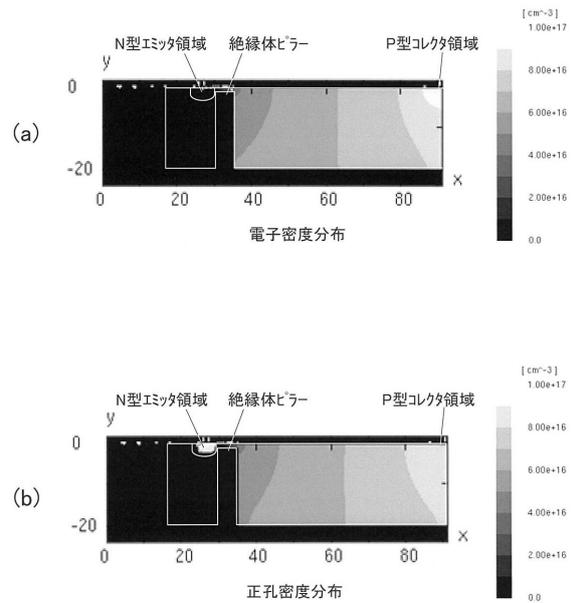
【図4】



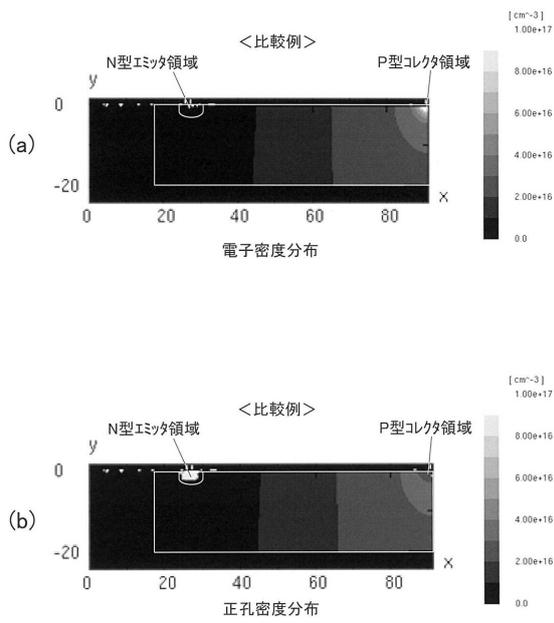
【図5】



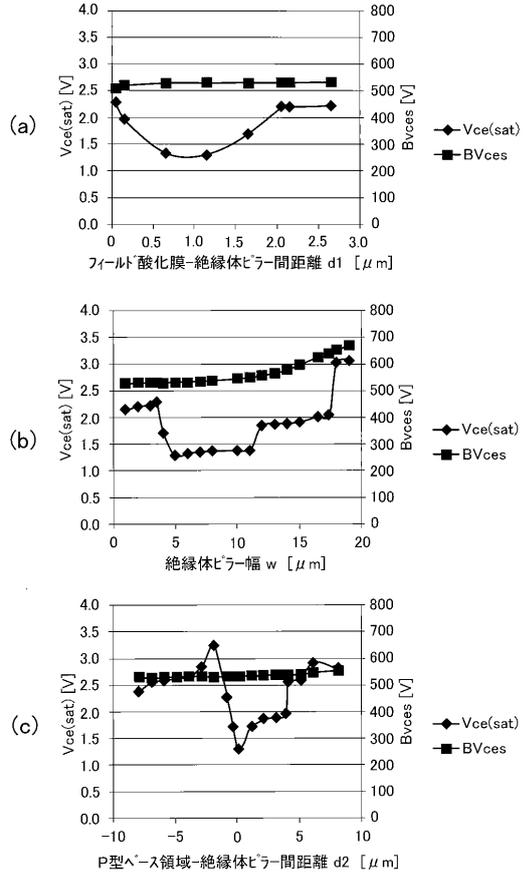
【図6】



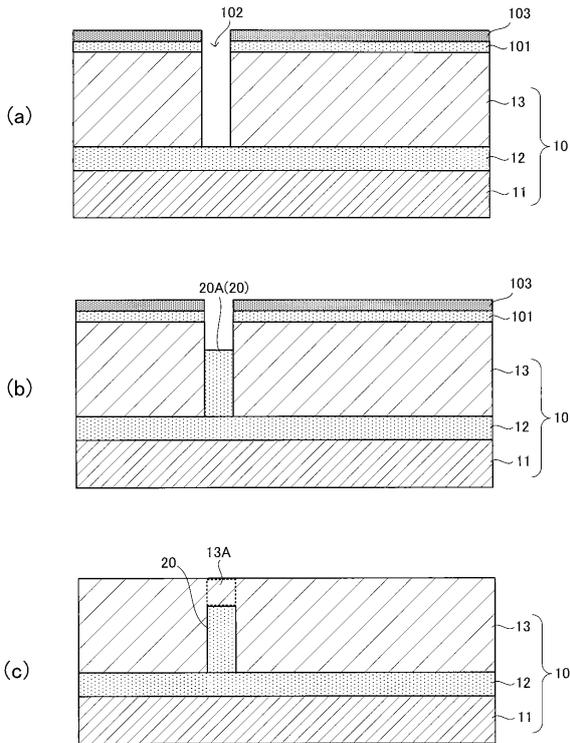
【図7】



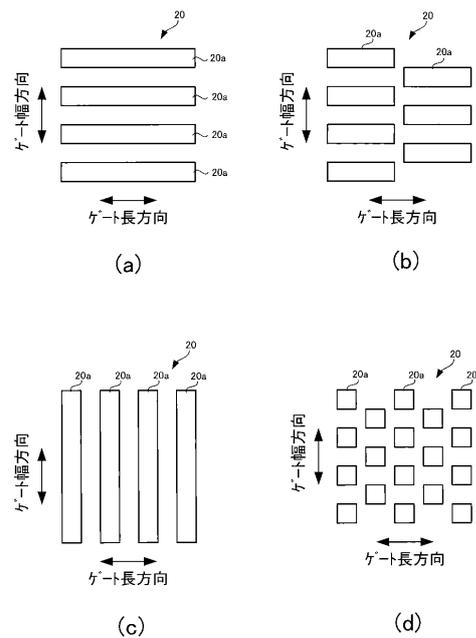
【図8】



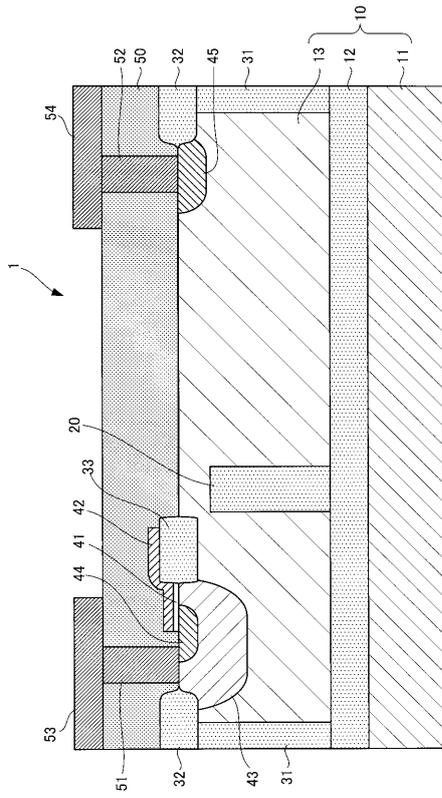
【図9】



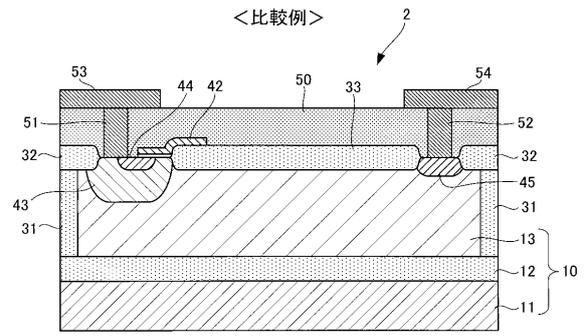
【図10】



【図 1 1】



【図 1 2】



フロントページの続き

(56)参考文献 特開2013-153128(JP,A)
特開平10-326894(JP,A)
特開平10-190000(JP,A)
国際公開第2010/046795(WO,A1)
特開昭63-088821(JP,A)

(58)調査した分野(Int.Cl., DB名)

H01L 21/336

H01L 29/78

H01L 29/786