



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2011-0053497
 (43) 공개일자 2011년05월23일

(51) Int. Cl.
 H01L 21/768 (2006.01) H01L 21/28 (2006.01)
 H01L 21/44 (2006.01)
 (21) 출원번호 10-2011-7010738(분할)
 (22) 출원일자(국제출원일자) 2007년01월26일
 심사청구일자 없음
 (62) 원출원 특허 10-2008-7021538
 원출원일자(국제출원일자) 2007년01월26일
 심사청구일자 2009년03월06일
 (85) 번역문제출일자 2011년05월11일
 (86) 국제출원번호 PCT/US2007/002150
 (87) 국제공개번호 WO 2007/092176
 국제공개일자 2007년08월16일
 (30) 우선권주장
 11/347,153 2006년02월03일 미국(US)

(71) 출원인
마이크론 테크놀로지, 인크.
 미국, 아이다호, 보이세, 사우스 페더럴 웨이 8000
 (72) 발명자
아크람, 살만
 미국 83706 아이다호주 보이세 이스트 레가타 1463
하이아트, 윌리엄, 마크
 미국 83616 아이다호주 이글 웨스트 스탠포드 드라이브 1137
 (뒷면에 계속)
 (74) 대리인
양영준, 백만기

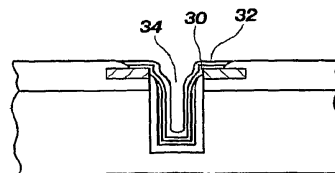
전체 청구항 수 : 총 13 항

(54) 반도체 장치 구조물

(57) 요약

도전성 비아를 형성하는 방법은 기판에 하나 이상의 비아 홀을 형성하는 단계를 포함한다. 상기 비아 홀은 하나의 마스크를 이용하여 형성될 수 있으며, 포토마스크가 에칭 공정 동안 제거되는 경우에 보호층, 본드 패드 또는 기판의 그 밖의 특징부가 하드 마스크로 작용한다. 상기 비아 홀은 저-K 유전체 재료를 포함하는 유전체 코팅의 비아 홀 표면에 대한 접착을 용이하게 하도록 구성될 수 있다. 배리어층은 각각의 비아 홀의 표면 위에 형성될 수 있다. 시드재를 포함할 수 있는 기저층은 비아 홀의 표면 위의 도전재의 후속하는 선택적 성막을 용이하게 하도록 형성될 수 있다. 결과적인 반도체 장치, 중간 구조물, 및 본 방법에 의해 얻어진 반도체 장치를 포함하는 어셈블리와 전자 장치도 개시된다.

대표도 - 도11



(72) 발명자

올리버, 스티브

미국 83712 아이다호주 보이스 이스트 로어노크 애
비뉴 2233

우드, 알란, 지.

미국 83706 아이다호주 보이스 이스트 베르사유 코
트 1366

리그, 시드니, 비.

미국 83642 아이다호주 메리디안 노쓰 리엔 웨이
2477

워크, 제임스, 엠.

미국 83703 아이다호주 보이스 웨스트 퀘일 리지
드라이브 4119

커비, 카일, 케이.

미국 83703 아이다호주 보이스 노쓰 세이지크레스
트 플레이스 10681

특허청구의 범위

청구항 1

반도체 장치 구조물로서,

기판;

적어도 부분적으로 상기 기판을 통해 연장되는 적어도 하나의 비아 홀;

상기 적어도 하나의 비아 홀의 표면의 적어도 일부 상에 시드재(seed material)를 포함하는 기저층; 및

상기 기저층을 코팅하는 도전재

를 포함하는 반도체 장치 구조물.

청구항 2

제1항에 있어서,

상기 기저층은 구리를 포함하는 반도체 장치 구조물.

청구항 3

제2항에 있어서,

상기 적어도 하나의 비아 홀의 표면의 적어도 일부와 상기 기저층 사이에 배리어층을 더 포함하는 반도체 장치 구조물.

청구항 4

제3항에 있어서,

상기 배리어층은 티탄, 질화티탄, 탄탈 및 질화탄탈 중 적어도 하나를 포함하는 반도체 장치 구조물.

청구항 5

제2항에 있어서,

상기 도전재는 구리를 포함하는 반도체 장치 구조물.

청구항 6

제1항에 있어서,

상기 기저층은 알루미늄을 포함하는 반도체 장치 구조물.

청구항 7

제6항에 있어서,

상기 적어도 하나의 비아 홀은 상기 기판에 의해 수반된 본드 패드를 통해 연장되는 반도체 장치 구조물.

청구항 8

제7항에 있어서,

상기 본드 패드는 도금되지 않은 본드 패드를 포함하는 반도체 장치 구조물.

청구항 9

제8항에 있어서,

상기 기저층은 상기 도금되지 않은 본드 패드의 도금되지 않은 표면과 접촉하는 반도체 장치 구조물.

청구항 10

제6항에 있어서,
상기 도전재는 니켈을 포함하는 반도체 장치 구조물.

청구항 11

제1항 내지 제10항 중 어느 한 항에 있어서,
상기 도전재의 대향하는 표면들 사이에 빈 공간을 더 포함하는 반도체 장치 구조물.

청구항 12

제11항에 있어서,
상기 빈 공간 내부에 유전성 충전재를 더 포함하는 반도체 장치 구조물.

청구항 13

제12항에 있어서,
상기 유전성 충전재의 표면은 상기 기판의 표면과 실질적으로 동일 평면(coplanar)인 반도체 장치 구조물.

명세서

기술분야

[0001] 본 발명은 일반적으로 반도체 장치 부품의 도전성 비아를 형성하기 위한 기술에 관한 것으로, 보다 구체적으로는 도전재가 비아가 연장된 반도체 장치 부품의 주요면에 도포되지 않고 비아 홀의 표면에 선택적으로 도포되는 도전성 비아 형성 기술에 관한 것이다. 본 발명은 또한 선택적으로 도포된 도전층을 갖는 도전성 비아 뿐만 아니라 그 도전성 비아를 포함하는 반도체 장치 부품 및 반도체 장치 부품을 포함하는 반도체 장치 어셈블리에 관한 것이다.

배경기술

[0002] 전자공학 산업에서 지속적인 사이즈 감소 및 기능 증가의 평행적인 추세는 반도체 장치, 반도체 장치 어셈블리 및 반도체 장치 패키지의 지속적인 사이즈 감소와 특징부 밀도 증가를 요구한다. 이런 추세를 촉진하기 위해 취해졌던 한 가지 방안이 소정량의 "정착지", 즉 영역에 가능한 많은 부품간 전기 접촉을 만드는 것이다. 이 방안은 인접 부품과 비인접 부품 모두에 적용 가능하다.

[0003] 도전성 비아는 서로 중첩되지만 서로 직접 인접하지 않은 부품들 사이에 전기 통로를 제공하기 위해 사용된다. 회로 기판, 인터포저 또는 반도체 장치를 관통하여 형성될 수 있는 도전성 비아는 이런 전기 통로를 제공한다. 도전성 비아는 통상적으로 기판을 통해 형성된 홀과, 기판이 반도체 재료 또는 도전재로 형성된 경우의 절연 라이닝과, 개구를 통과하여 절연 라이닝에 의해 기판과 전기적으로 절연될 수 있는 도전 요소를 포함한다. 반도체 장치의 대부분의 특징부들과 마찬가지로 도전성 비아의 다양한 요소의 치수도 계속 감소하고 있다.

[0004] Farnworth 등의 미국특허 제6,841,883호(이하, "Farnworth")는 반도체 장치 구조물을 통해 도전성 비아를 형성하기 위한 예시적인 공정들을 설명한다. 현재 최고 기술 수준의 도전성 비아 제조 공정에서, 비아 홀은 (E.I. du Pont de Nemours and Company에서 상표명 TEFLON[®]으로 판매되는 폴리테트라플루오로에틸렌("PTFE"), 불화 에틸렌프로필렌("FEP"), 에틸렌-테트라플루오로에틸렌("ETFE"), 클로로트리플루오로에틸렌("CTFE"), 퍼플루오로알콕시알칸("PFA")을 포함하되 이에 제한되지 않은) 플루오로폴리머 수지 및 과틸렌과 같은 낮은 유전상수를 갖는 재료로 라이닝된다. 비록 이들 및 유사한 재료가 비아 홀의 표면에 아주 얇은 절연 코팅을 형성하는데 사용될 수 있지만, 이들 재료는 비아 홀이 형성된 많은 기판의 재료(예컨대, 규소)나 전기 도전성 비아를 형성하기 위해 차후 도입되는 도전재에 잘 접착되지 않는다.

[0005] 이런 유전성 재료의 낮은 접착성은 복수의 마스크가 비아 홀을 형성하여 보호막을 씌우기 위해 사용될 때의 오정렬 가능성과 함께 도전성 비아 및 도전성 비아가 연장되는 기판 사이에 단락을 일으킬 수 있다.

[0006] 또한, 오늘날 도전성 비아를 제조하는데 이용되는 일부 공정들은 복잡하거나 반도체 장치 제조 공정에 널리 사

용되지 않는 고가의 재료나 설비를 필요로 하거나, 그렇지 않으면 바람직하지 않은 것들이다.

[0007] 따라서, 통상의 반도체 장치 제조 기술을 이용하면서 최고 기술 수준의 치수와 성능을 갖는 도전성 비아를 제조하는 공정이 요구된다.

발명의 내용

[0008] 본 발명은 도전성 비아를 포함하는 반도체 장치 부품, 도전성 비아 및 중간 구조물뿐 아니라 기판을 통해 도전성 비아를 제조하기 위한 다양한 양상을 포함한다.

[0009] 하나 이상의 도전성 비아를 형성하기 위한 방법은 하나 이상의 비아 홀을 형성하는 단계를 포함한다. 비아 홀은 완전히 또는 부분적으로 반도체 장치, 인터포저 또는 다른 반도체 장치 구조물과 같은 기판을 통해 연장될 수 있다. 비아 홀에는 단일의 마스크가 형성됨으로써 상이한 재료의 층들을 통해 형성되는 비아 홀의 상이한 부분들 간의 오정렬 가능성을 제거할 수 있다. 비아 홀은 차후에 그 내부에 도입되는 재료가 그 표면에 접촉되는 것을 용이하게 하도록 형성되거나 차후 가공될 수 있다. 이런 가공은 비아 홀 표면에 비아 홀의 표면적을 증가시키는 거칠기 처리된 특징부나 그 밖의 특징부를 제공하는 단계를 포함할 수 있다.

[0010] 대안으로, 이런 가공은 비아 홀의 표면에서 하나 또는 둘 모두의 재료와 다음에 비아 홀 내로 도입되는 도전재에 대한 낮은 유전상수를 갖는 재료의 접착성을 향상시키는 하나 이상의 막을 포함하는 유전체 코팅의 형성을 포함할 수 있다.

[0011] 유전체 코팅은 비아 홀과 연속하는 본드 패드의 에지 상으로 연장하는 방식으로 형성됨으로써 차후 제조되는 도전성 비아와 그 도전성 비아가 연장되는 기판의 재료 간의 전기적 단락 가능성을 저감시킬 수 있다.

[0012] 배리어 재료층 또는 막도 각각의 비아 홀의 표면 위로 형성될 수도 있다. 예컨대, 배리어 재료는 도전재와 절연 코팅의 재료 또는 비아 홀이 연장되는 기판의 재료 사이의 상호 확산을 방지할 수 있다.

[0013] 도전재는 다양한 공정에 의해 비아 홀로 도입될 수 있다. 예컨대, 시드재 코팅 또는 그 밖의 "기저층"이 형성되어, 필요하다면, 반도체 장치 구조물의 바람직하지 않은 영역(예컨대, 반도체 장치 구조물의 주표면)에서 시드재를 제거하기 위해 패터닝될 수 있다. 시드재는 각 비아 홀의 표면 전면과 같이 원하는 위치에서 도전재의 선택적 성장을 용이하게 한다. 따라서, 일단 시드재 코팅이 반도체 장치 구조물의 원하는 부분만을 덮으면, 도전재는 비아 홀 안으로 그리고 반도체 장치 구조물의 다른 원하는 위치(예컨대, 비아 홀이 연장되고 도전성 비아가 연통하게 될 본드 패드) 상으로 선택적으로 도입될 수 있다.

[0014] 또한, 이어서 보다 복잡한 비아 홀 충전이 충전재를 이용하여 달성될 수 있다. 원할 경우, 도전성 비아의 표면은 반도체 장치 부품의 하나 이상의 특징부와 동일 평면에 제조될 수 있다.

[0015] 본 발명의 교시에 따라 일단 도전성 비아가 형성되면, 비아 홀의 블라인드 단부, 따라서 도전성 비아의 블라인드 단부의 도전재는 기판 배면으로부터 재료를 제거함으로써 노출될 수 있다. 이어서, 반도체 장치 부품은 임의의 적절한 방식으로 다른 반도체 장치와 조립되어 전기적으로 접속될 수 있다.

[0016] 본 발명의 그 밖의 특징과 장점은 상세한 설명, 첨부 도면 및 특허청구범위를 통해 기술분야의 당업자에게 자명하게 될 것이다.

[0017] 도면에서는 본 발명의 다양한 양상의 예시적인 실시예들을 도시한다.

도면의 간단한 설명

- [0018] 도 1 내지 도 3은 기판을 부분적으로 통과하는 비아 홀을 형성하는 기술의 일례를 도시하는 도면.
- 도 1, 도 2 및 도 4는 기판을 완전히 통과하는 비아 홀을 형성하기 위한 공정의 일례를 도시하는 도면.
- 도 5 및 도 6은 비아 홀의 표면에 보호막을 씌우는 공정의 일례를 도시하는 도면.
- 도 7 및 도 8은 비아 홀의 표면 위에 배리어층을 제조하는 공정을 도시하는 도면.
- 도 9 및 도 10은 비아 홀의 표면 위에 시드재 코팅을 형성하고 선택적 패터닝을 하는 공정을 도시하는 도면.
- 도 11은 비아 홀 표면 위의 선택적 도전층 성막을 도시하는 도면.
- 도 12 내지 도 14는 비아 홀 표면 위에 도전층을 형성하기 위해 비선택적 성막 공정을 이용하는 기술의 일례를

도시하는 도면.

도 15는 배리어층의 적어도 일부, 시드층 코팅 또는 반도체 장치 구조물의 본드 패드 상으로 연장되는 도전층 위에 형성된 전기 도전성인 산화 방지막을 포함하는 반도체 장치 구조물을 도시하는 도면.

도 16은 유전성 충전재로 비아 홀 내부에 잔류하는 빈 공간을 충전하기 위한 예시적인 공정을 도시하는 도면.

도 17 및 도 18은 유전성 충전재로 비아 홀 내부에 잔류하는 빈 공간을 충전하는 공정의 다른 예를 도시하는 도면.

도 19는 도전재로 충전된 비아 홀 내의 빈 공간을 도시하는 도면.

도 20은 비아 홀의 블라인드 단부 또는 블라인드 단부 근처의 도전층을 노출시키기 위해 기판 배면으로부터의 재료 제거를 도시하는 도면.

도 21 내지 도 24는 비아 홀을 형성하고 비아 홀의 표면을 유전체 재료를 이용하여 코팅하거나 보호막을 씌우는 공정의 일련의 동작을 도시한 단면도.

도 25 내지 도 27은 비아 홀의 표면 위의 시드층 코팅 성막 및 패터닝의 예를 도시하는 도면.

도 28 내지 도 34는 비아 홀을 형성하고 비아 홀의 표면을 유전체 재료를 이용하여 코팅하는 공정의 다른 예를 도시한 단면도.

도 35는 도 28 내지 도 34에 도시된 비아 홀의 표면 위의 하나 이상의 도전층과 하부층 형성을 도시하는 도면.

도 36 및 도 37은 비아 홀의 표면에 대한 재료의 접착성을 향상시키기 위해 비아 홀의 표면에 거칠기 특징부와 같은 높은 표면적의 특징부의 형성 및 그 후에 비아 홀의 높은 표면적 표면 위의 유전층 형성을 도시하는 도면.

도 38 내지 도 42는 반도체 장치 구조물 내에 비아 홀을 형성하는 공정의 다른 예를 도시하는 도면.

도 43 내지 도 46은 비아 홀 내부에 구리 도전성 비아를 형성하는 공정의 일 예를 도시한 단면도.

도 47은 도전성 비아를 제조한 후 비아 홀 내부에 남아 있는 빈 공간 내로의 유전성 충전재 도입을 도시한 도면.

도 48 및 도 49는 비아 홀 내부에 구리 도전성 비아를 제조하기 위한 다른 예시적인 공정을 도시하는 도면.

도 50 내지 도 53은 비아 홀 내부에 니켈 도전성 비아를 제조하는 공정의 일 예를 도시하는 개략도.

도 54 내지 도 56은 비아 홀 내부에 니켈 도전성 비아를 형성하기 위한 다른 예시적인 공정을 도시한다.

도 57은 블라인드 비아 홀의 블라인드 단부를 노출시키는 공정과 도전성 비아 제조 후의 비아 홀 내부에 남아 있는 빈 공간 내로 유전성 충전재를 도입하는 공정의 예들을 도시한 도면.

도 58은 반도체 장치 구조물의 배면의 도전성 비아에 고정된 도전성 구조물을 도시한 단면도.

도 59는 본 발명의 교시들을 통합한 반도체 장치 구조물을 포함하는 어셈블리의 개략도.

발명을 실시하기 위한 구체적인 내용

[0019] 본 발명에 따른 반도체 장치 구조물(10)은 반도체 장치(예컨대, 동적 랜덤 액세스 메모리("DRAM"), 정적 랜덤 액세스 메모리("SRAM"), 플래시 메모리, 전기-소거형 프로그램가능 메모리("EEPROM"), 자기 랜덤 액세스 메모리("MRAM") 등과 같은 메모리 장치; 마이크로프로세서; 마이크로컨트롤러; 촬상 소자; 또는 그 밖의 유형의 반도체 장치)와, 반도체 장치 제조기술에 의해 제조될 수 있는 다른 전자 부품 또는 기판(예컨대, 인터포저(interposer), 회로 기판 등)을 포함한다.

[0020] 도 1에 도시된 바와 같이, 본 발명에 따르는 반도체 장치 구조물(10)은 활성면(14) 및 활성면(14)에 대향하는 배면(13)을 갖는 기판(12)을 포함한다. 기판(12)은 반도체 재료(예컨대, 규소, 비소화갈륨, 인화인듐 등)의 전체 또는 부분 웨이퍼, 절연 기판상 반도체(SOI) 형태의 기판(예컨대, 유리 기판상 규소("SOG"), 사파이어 기판상 규소("SOS"), 세라믹 기판상 규소("SOC") 등) 또는 유전체(예컨대, 유리, 사파이어, 세라믹, 폴리머, 수지 등)나 금속 기판을 포함할 수도 있다.

- [0021] 반도체 장치 구조물(10)은 기판(12) 안에 부분적으로 연장되거나 기판을 완전 관통하는 하나 이상의 도전성 비아를 형성하도록 처리될 수 있다. 본 발명의 처리들은 Farnworth에서 설명된 바와 같이 인접한 부품들이 서로 분리되기에 앞서 "웨이퍼 레벨" 또는 "웨이퍼 비율"로 수행될 수 있다.
- [0022] 도 2를 참조하면, 기판(12)을 통해 비아 홀(20)(도 3)을 형성할 때 마스크(40)가 기판(12)의 표면(예컨대, 활성면(14)) 상에 형성될 수 있다. 마스크(40)는 공지된 공정에 의해 형성될 수 있다. 예컨대, 포토레지스트가 기판(12)의 활성면(14)에 배치되어 레티클을 통해 선택적으로 노광된 다음 본 기술분야에서 공지된 바와 같이, 현상되거나 소성되거나 또는 처리되어 포토레지스트 마스크, 즉 "포토마스크"를 형성할 수 있다.
- [0023] 마스크(40)의 개구(42)는 기판(12)의 활성면(14)에 의해 수반되는 하나 이상의 상부 본드 패드(15)의 부분들로부터 재료 제거와 이에 따라 상부 본드 패드(15)를 관통하는 비아 홀(20)(도 3)의 형성을 용이하게 하도록 위치된다. 개구(42)는 원하는 단면 형상(예컨대, 원형, 정사각형 등)을 갖는 비아 홀(20)을 형성하도록 구성될 수 있다.
- [0024] 도 3에 도시된 바와 같이, 비아 홀(20)은 상부 본드 패드(15), 기판(12) 및 임의의 개재하는 물질층의 재료를 제거하기에 적절한 하나 이상의 에천트에 개구(42)를 통해 노출되는 상부 본드 패드(15) 및 기판(12)의 부분들(예컨대, 중심부(15c))을 노출시킴으로써 상부 본드 패드(15)를 통해 기판(12) 안으로 형성될 수 있다. 비아 홀(20)을 형성하기 위해 사용되는 에천트 또는 에천트들이 등방성(즉, 실질적으로 동일한 속도로 모든 방향으로 에칭)이거나 이방성(즉, 비등방성)일 수 있지만, 이방성 에천트가 높은 종횡비(즉, 높이-대-폭 또는 단면 치수, 비율)를 갖는 비아 홀(20)을 형성하기에 특히 유용하다. 재료는 원하는 깊이의 비아 홀(20)이 형성될 때까지 마스크(40)의 개구(42)를 통해 기판(12)으로부터 제거될 수 있다. 대안으로, 기판(12)에 비아 홀(20)을 형성하기 위해 공지된 레이저 천공 공정이 마스크를 사용하여 또는 마스크 없이도 이용될 수 있다.
- [0025] 도 3에 도시된 공정에서는 하나의 마스크(40)가 사용될 수 있다. 예컨대, 제1 에천트가 개구(42)를 통해 상부 본드 패드(15)의 재료를 제거하는데 사용될 수 있다. 제2 에천트 또는 용매가 측방으로 에워싸는 하나 이상의 보호층(17) 재료(예컨대, 보로포스포실리케이트 유리(BPSG), 폴리머 등)를 제거하기 위해 사용될 수 있고, 마스크(40)를 완전 제거하기에 앞서 개구(42)를 통해 상부 본드 패드(15) 아래에 놓일 수 있다. 상부 본드 패드(15)와 보호층(17)이 에칭되는 동안 마스크(40)가 부분적으로 또는 실질적으로 제거됨에 따라, 보호층(17)과 상부 본드 패드(15)의 잔여부는 기판(12)의 재료(예컨대, 규소)를 제거하는 마스크로서 역할을 할 수 있다. 물론, 기판(12)의 재료를 제거하는데 사용되는 에천트 또는 에천트들은 보호층(17)과 상부 본드 패드(15)의 재료 위에 있는 기판(12)의 재료에 대하여 선택적이다(즉 에천트는 보호층(17)과 상부 본드 패드(15)의 재료보다 빠른 속도로 기판(12)의 재료를 제거한다). 단일 마스크(40)의 사용은 상이한 재료를 관통하여 연장되는 비아 홀(20)의 부분들의 오정렬을 방지한다.
- [0026] 결과의 비아 홀(20)은 기판(12)을 완전히 관통하여 연장되지 않고 따라서 블라인드 단부(22)를 포함하는 도시된 바와 같은 블라인드 비아 홀을 포함할 수 있다. 블라인드 비아 홀(20)은 반도체 장치 구조물(10)을 통해 도전성 비아를 제조하는 동안 반도체 장치 구조물(10)이나 반도체 장치 구조물(10)을 수반하는 제조 기판(도시되지 않음)의 진공 처리를 용이하게 한다.
- [0027] 대안으로, 도 4에 도시된 바와 같이, 기판(12)을 완전히 관통하여 연장되는 오픈형 비아 홀(20')이 마스크(40)의 개구(42)를 통해 기판(12)의 재료를 제거함으로써 형성될 수 있다.
- [0028] 상부 본드 패드(15), 기판(12) 및 반도체 장치 구조물(10)의 임의의 다른 재료층이나 특징부의 선택된 위치로부터의 재료의 제거를 용이하게 하기 위해 포토마스크가 마스크(40)로서 사용되었다면, 그 포토마스크는 재료 제거 공정이 완료되기만 하면 제거될 수 있다.
- [0029] 각 비아 홀(20, 20')의 표면(24) 또는 표면들은 재료 접착을 용이하게 하기 위해 충분히 거칠 수 있다. 이런 거칠기는 비아 홀(20, 20')을 형성하는 재료 제거 공정을 통해 또는 후속 공정에 의해 달성될 수 있다. 예컨대, 본 발명의 범위를 제한하지 않고도, 비아 홀(20, 20')은 수산화 테트라메틸암모늄("TMAH") 습식 에칭(예컨대, 9:1 H₂O:TMAH), NH₄F(불화 암모늄), H₂O₂(과산화물) 및 C₆H₈O₇(시트릭산)을 이용한 습식 에칭(예컨대, 1:1:1 NH₄F:H₂O₂:C₆H₈O₇), SF₆ 플라즈마 에칭, 심부 규소 반응성 이온 에칭("RIE") 등에 의해 형성될 수 있다. 대안으로, 그 밖의 공정에 의해 형성된 비아 홀(20, 20')이 방금 설명한 에칭 기술 중 하나와 같은 적절한 거칠기 기술을 이용하여 거칠게 될 수 있다.
- [0030] 도 5를 참조하면, 기판(12)이 반도체 재료나 도전재로 형성되는 경우, 비아 홀(20)의 표면(24)은 전류가 비아

홀(20) 안으로 또는 비아 홀을 통해 연장된 회로를 따라 흐를 때 전기 단락을 방지하는 유전체 코팅(28)을 형성하기 위해 유전체로 라이닝되거나 코팅될 수 있다. 유전체 코팅(28)의 두께는 비아 홀(20)의 표면(24) 또는 블라인드 단부(22)에 대해 원하는 위치에 후속 형성되는 도전성 비아를 위치시키도록 조절될 수 있다.

[0031] 비제한적인 예로, 유전체 코팅(28)은 파릴렌, 저-실란 산화물("LSO")(비교적 저온에서 화학 기상 증착(CVD)에 의해 성막됨), 펄스 증착 공정에 의해 성막되고 이에 따라 펄스 성막층("PDL")으로 지칭되는 재료층(예컨대, 알루미늄-풍부 산화물 등) 또는 유전체나 유전층의 임의의 조합을 포함할 수 있으며, 공지된 공정(예컨대, 스핀 코팅, 분무, 프로그램된 재료 혼입 공정(예컨대, 이스라엘, Rehovot의 Objet Geometries, Ltd.사의 캘리포니아, 발렌시아의 3D Systems Corporation 등으로부터 입수가 가능한 시스템에 의해 수행되는 공정들), CVD, 열적 성장, SOD(spin-on dielectric) 기술(예컨대, SOG(spin-on glass) 공정) 등)에 의해 기판(12)의 노출된 표면 상에 적용되거나 성막될 수 있다. 유전층을 형성하는 공정의 예들은 미국특허공개 US2005/0006768, US2002/0137317 및 US2002/0137250 뿐만 아니라, 미국특허 제6,770,923호 및 제6,541,280호에도 개시되어 있다.

[0032] 원한다면, 유전체 코팅(28)의 부분들, 예컨대, 상부 본드 패드(15)나 활성면(14)의 그 밖의 위치들을 덮는 부분들은 차후에 제거될 수 있다. 유전체 코팅(28)의 다양한 영역을 선택적으로 제거하기 위한 적절한 기술로는 건식 에칭 공정과 습식 에칭 공정이 있지만 이에 제한되지는 않는다. 예컨대, 수직면으로부터 재료를 실질적으로 제거하지 않고도 수평면으로부터 재료를 제거하는 방향성 에너지를 이온에 부여하는 에칭 공정이 저압에서 수행되는 스페이서 에칭 기술이 유전체 코팅(28)의 부분이나 패드를 선택적으로 제거하는데 사용될 수 있다. 이런 공정들은 비아 홀(20) 내부(예컨대, 표면(24))로부터 재료의 바람직하지 못한 제거를 방지하기 위해 시간을 정하거나 끝점 검출이 될 수 있다. 유전체 코팅(28)의 영역을 선택적으로 제거하기 위한 그 밖의 공정이 비아 홀(20)을 실질적으로 충전하고 상부 본드 패드(15)를 노출시키는 마스크(예컨대, 음향 분배 공정에 의해 분사될 수 있는 포토마스크)를 이용하여 또는 이용하지 않고도 실행될 수 있으며, 이때 활성면(14)은 마스크에 의해 차폐되거나 노출된다. 마스크가 사용될 때, 습식 또는 건식 등방성 또는 이방성 에칭 공정이 유전체 코팅(28)을 패터닝하는데 사용될 수 있다. 물론, 유전체 코팅(28)이 패터닝되기만 하면, 마스크는 (예컨대, 공지된 레지스트 스트립 기술에 의해) 제거될 수 있다. 또 다른 대안으로, 화학 기계 연마("CMP")와 같은 평탄화 공정, 연마 공정이 활성면(14)과 상부 본드 패드(15)의 표면으로부터 유전체 코팅(28)을 제거하는데 사용될 수 있다.

[0033] 비아 홀(20)의 표면(24)에 유전체 코팅(28)을 형성함에 있어, 비아 홀(20)의 표면(24)은 우선 산화규소와 같은 산화물을 포함하는 제1 접착층(25)으로 코팅될 수 있다. 제1 접착층(25)의 산화물은 테트라에틸오소실리케이트("TEOS")를 이용한 성막 공정, 열적 성장 공정 또는 저온 산화 공정을 포함하는 임의의 적절한 공정에 의해 형성될 수 있다. 제1 접착층(25)은 존재한다면 비아 홀(20)의 표면(24) 위에 걸쳐 훨씬 낮은 유전상수("K")를 갖는 재료의 접착을 용이하게 할 수 있다.

[0034] 비교적 낮은 유전상수(예컨대, $K \approx 2$)를 갖는 유전체 재료가 각 비아 홀(20)의 표면(24) 상에 또는 표면(24)의 적어도 일부를 코팅하는 접착층(25) 상에 직접 성막될 수 있다. 물론, 유전체 층(26)을 형성하는데 사용되는 공정은 유전체 재료가 형성되거나 성막될 재료 또는 구조물뿐 아니라 유전체 층(26)이 형성될 재료 또는 재료들과 호환가능하다. 표면(24) 위에 성막될 수 있는 저-K 유전체 재료의 예로는 파릴렌(예컨대, PARYLENE HT[®]), TEFLON[®], 및 비교적 얇은 유전체 층(26)을 형성하기 위해 비교적 높은 중형비로 특징부(예컨대, 비아 홀(20) 내부)에 성막될 수 있는 낮은 유전상수를 갖는 그 밖의 유전체 재료를 포함하지만 이에 제한되는 것은 아니다.

[0035] 선택 사항인 제2 접착층(27)이 각각의 비아 홀(20)의 표면(24) 상에 도전재의 접착을 용이하게 하기 위해 유전체 층(26) 위에 형성될 수 있다. 제1 접착층(25)과 마찬가지로, 제2 접착층(27)은 산화규소와 같은 산화물을 포함할 수 있다. 다음에 (예컨대, 제2 접착층(27)이 산화규소를 포함할 경우 TEOS를 이용한) 제2 접착층(27) 재료의 성막을 포함하지만 이에 제한되는 것은 아닌 임의의 적절한 공정이 접착층(27)을 형성하는데 사용될 수 있다.

[0036] 각각 상부 본드 패드(15) 위에 놓인 제1 접착층(25)(존재할 경우), 유전체 층(26) 및, 제2 접착층(27)(존재할 경우)의 부분들은 후속 형성되는 도전성 구조물 및 상부 본드 패드(15) 사이의 연통을 용이하게 하기 위해 제거될 수 있다. 이들 층(25, 26, 또는 27)의 유전체 재료의 제거는 도 6에 도시된 바와 같이 동시에/순차적으로 수행되거나 각각의 연속 층(25, 26, 또는 27)을 형성 직후에 수행될 수 있다.

[0037] 층들(25, 26, 27)은 이후, 개별적으로 또는 임의의 조합으로 "유전체 코팅(28)"으로 지칭될 수 있다.

[0038] 이제 도 7을 참조하면, 배리어층(29)이 유전체 코팅(28) 위에 형성될 수 있다. 배리어층(29)은 비아 홀(20) 내부의 구리 도전체와 유전체 코팅(28)의 노출된 재료나 기판(12) 간의 바람직하지 못한 반응을 방지하는 데 특히

유용하다. 배리어층(29)을 형성하는 적절한 재료로는 티탄(Ti), 질화 티탄(TiN), 탄탈(Ta), 질화탄탈(TaN) 및 구리와 규소와 규소 함유재 간의 상호 확산 및 침입을 방지하는 그 밖의 재료가 있으며, 이에 제한되는 것은 아니다.

[0039] 설명된 바와 같이, 배리어층(29)은 반도체 장치 구조물(10)의 상부 노출면(예컨대, 활성면(14), 비아 홀(20) 내부에서 노출된 표면 등)을 배리어층(29)의 재료로 코팅하는 소위 "블랭킷(blanket)" 성막 공정에 의해 형성될 수 있다. 예컨대, 배리어층(29)의 표면(29s)과 상부 본드 패드(15) 상에 후속하는 도전재의 선택적 성막을 용이하게 하기 위해서, 도 8에 도시된 바와 같이, 도전재의 성막이 문제를 일으킬 수 있거나(예컨대, 전기 단락 야기) 원치 않는 반도체 장치 구조물(10) 또는 기관(12)의 위치(예컨대, 활성면(14))로부터 배리어층(29)의 재료가 제거될 수 있다. 원치 않는 배리어 재료의 제거는, 스페이서 에칭, 연마 또는 평탄화 기술(예컨대, 기계 연마, 화학 기계 연마("CMP") 등)을 포함한 여러 공지된 처리에 의해 달성될 수 있지만, 이에 제한되는 것은 아니다.

[0040] 비아 홀(20), 유전체 코팅(28) 또는 배리어층(29)의 표면(24, 28s, 29s)은 각각 시드재로 적어도 부분적으로 코팅될 수 있으며, 이는 도 9에 도시된 바와 같이 표면(24, 28s, 29s) 상에서의 바람직한 도전재의 후속 성장을 돕는다. 물론, 결과적인 코팅(30)의 시드재는 표면(24, 28s, 29s) 위의 하나 이상의 바람직한 유형의 도전재의 성장 또는 성막을 용이하게 한다. 예컨대, 표면(24, 28s, 29s)이 구리로 라이닝될 때, 시드재 코팅(30) 자체가 구리를 포함할 수 있다. 구리 시드재 코팅은 물리 기상 증착("PVD") 공정(예컨대, 스퍼터링) 또는 CVD 공정과 같은 임의의 적절한 성막 기술에 의해 형성될 수 있다. 다른 예로, 임의의 적절한 공정(예컨대, PVD, CVD 등)이 표면(24, 28s, 29s)에 알루미늄 막을 형성하는데 이용될 수 있다.

[0041] 블랭킷 성막 기술이 코팅(30)을 형성하는데 사용되는 경우, 시드재는 도전재의 후속 성막이 바람직하지 않은 영역(예컨대, 표면(24, 28s, 29s)과 상부 본드 패드(15) 이외의 영역)을 포함하는 반도체 장치 구조물(10)의 모든 노출면을 덮을 수 있다. 따라서, 도 10에 도시된 바와 같이, 시드재 코팅(30)의 부분들이 이들 영역으로부터 제거될 수 있다. 이를 위해, 공지된 연마 또는 평탄화 기술을 포함하는 임의의 적절한 기술이 사용될 수 있지만, 이에 제한되는 것은 아니다.

[0042] 비아 홀(20)이 구리로 충전되어야 할 때, 반도체 장치 구조물(10)의 표면 중 일부로부터 배리어층(29)과 시드재 코팅(30)을 별도로 제거하는 것에 대한 대안으로, 도 8 및 도 10에 도시된 바와 같이, 시드재 코팅(30)과 배리어층(29) 모두를 제거하는데 단일 제거 공정이 사용될 수 있다. 이런 단일 제거 공정은 도전재의 후속 성장이나 성막 공정이 원하는 위치(예컨대, 비아 홀(20) 내부의 표면(24, 28s, 29s)(도 9) 위, 상부 본드 패드(15) 위 등)에 배리어재와 시드재를 남겨둔 상태로 반도체 장치 구조물(10)의 노출면 또는 노출면들 상의 원치 않는 위치로부터 배리어재와 시드재를 제거하기에 적절한 임의의 공정을 포함할 수 있다. 예시적인 제거 공정으로는 공지된 스페이서 에칭 기술, 연마 또는 평탄화 기술 등이 있으며, 이에 제한되는 것은 아니다.

[0043] 시드재 코팅(30)이 형성되어 패터닝되면, 도전재(예컨대, 금속, 도전체 충전 폴리머 등)가 그 표면(30s)에 선택적으로 성막되거나 그 밖의 방법으로 적용되어 도 11 내지 도 14에 도시된 바와 같이 비아 홀(20)의 표면(24) 위에, 그리고 선택적으로 상부 본드 패드(15) 위 또는 그 일부에 도전층(32)을 형성한다. 비제한적인 예로, 공지된 무전해 도금, 침지 도금 또는 전해 도금 기술이 이용될 수 있다. 도전재는 빈 공간(34)(도 11 및 도 14)이 비아 홀(20) 내부에 남아 있을 수 있는 경우인 도전층(32)이 원하는 두께에 도달할 때까지 또는 비아 홀(20)이 완전히 충전될 때까지, 즉 어떠한 빈 공간도 비아 홀(20) 내부에 남아 있지 않을 때까지 성막될 수 있다.

[0044] 도 11은 시드재 코팅(30) 상에 도전층(32)을 선택적으로 성막하는 공정을 도시한다. 예컨대, 구리가 (예컨대, 독일 나우엔의 Pac Tech GmbH로부터 입수가 가능한 화학제를 이용한 무전해 도금 또는 침지 도금에 의해) 마찬가지로 구리를 포함하는 시드재 코팅(30) 상에 선택적으로 성막될 수 있다. 대안으로, 니켈을 포함하는 도전층(32)이 (예컨대, Pac Tech로부터 입수가 가능한 화학제를 이용한 무전해 도금 또는 침지 도금에 의해) 알루미늄을 포함하는 시드재 코팅(30) 상에 선택적으로 성막될 수 있다.

[0045] 비아 홀(20)의 표면(24) 위에 도전층(32)을 형성하기 위해 도전재를 성막하기 위한 선택적 기술에 대한 대안으로, 비선택적 성막 공정이 이용될 수 있다. 비선택적 성막 공정에 의해 도전층(32')을 형성하기 위한 예시적인 방법이 도 12 내지 도 14에 도시되어 있다.

[0046] 도 12에서, 마스크(40')가 공지된 공정에 의해 활성면(14) 위에 형성된다. 본 발명의 범위를 제한하는 것이 아닌 예로서, 마스크(40')는 활성면(14) 위에 포토레지스트를 적용하고 포토레지스트를 선택적으로 노출시키고 포토레지스트를 현상하고 현상되지 않은 포토레지스트를 제거하고 이어서 포토레지스트를 소성함으로써 형성되는

포토마스크를 포함할 수 있다. 마스크(40')는, 기관(12) 내부에 형성되어 하나 이상의 유전체 재료층 또는 유전체 코팅(예컨대, 다음에 제한되지 않지만 유전체 코팅(28)이나 접착층(25, 27) 및 유전체 층(26)을 포함하는 그 하부층(도 5 및 도 6 참조))으로 라이닝되고 선택적으로 배리어층(29)으로 코팅되고 선택적으로 시드재 코팅(30)을 포함하는 비아 홀(20) 전면에 정렬된 개구(42')를 포함한다. 상부 본드 패드(15)가 원하는 재료의 접착을 용이하게 하는 재료나 재료들을 포함할 수 있기 때문에 개구(42')는 전체 상부 본드 패드(15)를 노출시킬 필요가 없다.

[0047] 마스크(40')는 기관(12)의 활성면(14)의 비-상부 본드 패드(15) 보유 영역 위에 놓인 각각의 상술한 층의 부분들로부터 (도 13에) 도시된 바와 같이 후속 형성된 도전층(32')의 일부를 물리적으로 분리할 것이기 때문에, 활성면(14)의 비-상부 본드 패드(15) 보유 영역 위에 놓인 시드재 코팅(30), 선택적 배리어층(도시되지 않음) 및 유전체 코팅(28)의 부분들이 도전층(32') 형성 이전에 제거될 필요가 없다.

[0048] 도전층(32')은 PVD, CVD, 전해 도금, 무전해 도금 및 침지 도금 기술을 포함하는 임의의 적절한 공정에 의해 형성될 수 있지만, 이에 제한되는 것은 아니다. 이와 같은 성막 또는 도금 공정은 마스크(40')의 개구(42')를 통해 노출되는 시드재 코팅(30)의 표면에, 그리고 성막 공정이 선택적이지 않을 경우에는 마스크(40')의 노출면 상에 도전층(32')을 형성하기 위해 이용될 수 있다. 비제한적인 예로서, 니켈을 포함하는 도전층(32')이 구리를 포함하는 시드재 코팅(30) 상에 형성될 수 있다. 니켈은 전해 도금, 무전해 도금 또는 침지 도금 공정과 같은 임의의 적절한 공정에 의해 개구(42')를 통해 노출되는 시드재 코팅(30)의 부분들과 마스크(40') 상에 성막될 수 있다.

[0049] 그 후, 도 14에 도시된 바와 같이, 마스크(40')는 적절한 공정에 의해 제거될 수 있다. 포토마스크의 예를 계속하면, 임의의 적절한 마스크-스트립 공정이 이용될 수 있다. 마스크(40')(도 13)가 반도체 장치 구조물(10')로부터 제거되기 때문에, 사전에 마스크(40') 위에 놓인 도전층(32')의 임의의 부분이 반도체 장치 구조물(10')에서 "리프트-오프"된다.

[0050] 배리어층(29)이나 시드재 코팅(30)의 바람직하지 않은 부분이 반도체 장치 구조물(10')의 노출면(예컨대, 활성면(14)의 비-상부 본드 패드(15) 보유 영역)으로부터 미리 제거되지 않았다면, 마스크(40') 제거 다음에 하나 이상의 이들 층이나 코팅을 제거하기 위해 적절한 공정이 이용될 수 있다. 이들 층이나 코팅을 제거하기 위한 상술한 기술에 부가하여, 도전층(32')의 재료 위의 층이나 코팅의 재료에 대해 선택성을 갖는 제거 공정(예컨대, 적절한 공정에서 습식 또는 건식 에천트 사용)이 이용될 수 있다.

[0051] 선택적으로, 도 15에 도시된 바와 같이, 도전층(32), 시드재 코팅(30) 또는 배리어층(29) 중 임의의 것이 상부 본드 패드(15) 상으로 연장되고 도전층(32), 시드재 코팅(30) 또는 배리어층(29)의 재료가 차후 상부 본드 패드(15)에 도전성 요소(예컨대, 접합 배선, 뿔납 볼, 리드, 테이프-자동화 접합("TAB") 기관의 도전 요소 등)를 고정하는 공정과 호환가능하지 않는 산화물을 형성하는 경우, 전기 도전성 산화 방지 코팅(39)이 도전층(32), 시드재 코팅(30) 또는 배리어층(29) 상에 형성될 수 있다. 산화 방지 코팅(39)은, 예컨대, 알루미늄, 금, 플라티늄 또는 도전층(32)의 재료와 호환 가능한 임의의 다른 산화 방지제를 포함할 수 있다. 산화 방지 코팅(39)은 선택적(예컨대, 무전해 또는 침지 도금) 또는 비선택적(예컨대, CVD, PVD 등) 성막 공정에 의해 형성될 수 있다. 비선택적 성막 공정이 이용된다면, 산화 방지 코팅(39)은 공지된 공정(예컨대, 마스크 및 에칭 공정과, 마스크 및 리프트-오프 공정 등의 이용)에 의해 패터닝될 수 있다.

[0052] 도 16을 참조하면, 도전층(32, 32')을 형성한 다음, 비아 홀(20) 내부에 빈 공간(34)이 잔류한다면, 충전재(35)가 빈 공간(34) 내부로 도입될 수 있다. 충전재(35)는 도전층(32, 32') 형성에 사용되는 재료(예컨대, 금속)와 동일 유형의 재료, 도전층(32, 32')의 재료와 호환가능한 재료(예컨대, 다른 금속, 금속 합금, 도전성 폴리머, 또는 도전성 충전 폴리머 등) 또는 유전체 재료(예컨대, 폴리머)와 같은 도전재를 포함할 수 있다. 액체 상태의 충전재(35)(예컨대, 용융 금속, 가열된 열가소성 폴리머, 비경화 폴리머 등)가 임의의 적절한 공정에 의해 빈 공간(34) 내부로 도입될 수 있다. 예컨대, 충전재(35)가 빈 공간(34) 안으로 기계적으로 가압되는 공지된 "백필링(backfilling)" 공정이 이용될 수 있다. 대안으로, 비아 홀(20)의 블라인드 단부(22)와 기관(12)의 배면(13) 사이에 통기부(도시되지 않음)가 형성되었다면, 충전재(35)는 모세관 작용이나 네거티브 압력(예컨대, 진공) 하에서 빈 공간(34) 안으로 가압되거나 포지티브 압력 하에서 빈 공간(34) 안으로 가압될 수 있다.

[0053] 도 17에 도시된 바와 같이 범프(37')가 유전성 충전재(35)에 의해 형성되는 동안, 이런 범프(37')는 도전성 구조물이 상부 본드 패드(15)에 고정되어 상부 본드 패드(15)와 적정 전기적 통신을 설정하는 것을 방지할 수 있다. 따라서, 도 18에 도시된 바와 같이, 유전체 범프(37')는 상부 본드 패드(15)의 위로부터 제거될 수 있으며, 이에 따라 유전성 충전재(35)는 각각의 상부 본드 패드(15)의 표면(15s)과 높이가 일치하거나 실질적으로

로 동일 평면인 상면(35s)을 가질 수 있다.

- [0054] 대안으로서, 도 19에 도시된 바와 같이, 도전성 비아(38)가 도전재를 이용하여 빈 공간(34)을 충전함으로써 완료될 수 있다. 도시된 예에서, 도전성 충전재(36)(예컨대, 주석/납(Pb/Sn) 뿔납과 같은 뿔납, 구리/주석/은(Cu/Sn/Ag), 주석/구리(Sn/Cu), 주석/은(Sn/Ag) 또는 금/주석(Au/Sn) 합금과 같은 소위 "무연 뿔납" 또는 그 밖의 적절한 도전재)가 빈 공간을 충전하기 위해 그리고 선택적으로는 상부 본드 패드(15) 상의 범프(37)를 형성하기 위해 빈 공간(34) 안으로 도입될 수 있다.
- [0055] 다른 대안으로서, 빈 공간(34)은 도전성 비아(38) 내부에 잔류함으로써, 내부에 유전체 또는 도전재를 도입함으로써 야기될 수 있는 응력(예컨대, 열팽창 상수의 불일치, 전도성 또는 저항성의 불일치 등)을 방지한다.
- [0056] 도 20에 도시된 바와 같이, 비아 홀(20), 따라서 도전성 비아(38)의 블라인드 단부(22)(도 19)는 기관(12)의 배면(13)으로부터 재료를 제거함으로써 기관(12)의 배면(13)을 통해 노출될 수 있다. 물론, 블라인드 단부(22)를 노출시키는데 임의의 적절한 기술이 이용될 수 있다. 예컨대, 소위 "백그라인딩(back grinding)" 공정이 블라인드 단부(22)에 위치된(도 16 및 도 19 참조) 도전층(32)의 하부(33)가 도시된 바와 같이 노출될 때까지 또는 도전성 비아(38)의 다양한 층의 일부 또는 전부가 노출될 때까지 기관(12)의 배면(13)으로부터 재료를 제거하기 위해 사용될 수 있다. 각각의 도전성 비아(38)의 도전층(32)의 노출된 하부(33)는 반도체 장치 구조물(10)의 하부 본드 패드(16)를 형성한다.
- [0057] 그 후, 배면(13)은 실질적으로 다른 본드 패드 위치까지 측방 연장되는 도전성 트레이스와 그 밖의 특징부를 형성하기 위해서 뿐만 아니라, 도전성 비아(38)의 하단에 대형 본드 패드를 형성하기 위해, 그 배면에 보호막을 씌우도록 원하는 만큼 가공될 수 있다.
- [0058] 다음의 예들은 반도체 장치 부품 내로 연장되거나 이를 관통하는 도전성 비아의 다양한 실시예들을 형성하는데 이용될 수 있는 공정의 다양한 예들을 설명한다.
- [0059] <예 1>
- [0060] 이하, 도 21 내지 도 27을 참조하여, 기관(12)에 비아 홀(20)을 형성하거나 그 표면(24)을 절연시키거나 보호막을 씌우는데 이용될 수 있는 공정의 일례를 설명한다.
- [0061] 도 21에서, 비아 홀(20)이 기관(12)에 형성된다. 비아 홀(20)은 단지 부분적으로 기관(12)을 통해 연장되는 것으로 도시되어 있어서, 본 기술분야에서 "블라인드 비아 홀"로 공지되어 있지만, 비아 홀(20)은 대안으로 기관(12)을 완전히 관통하여 연장될 수도 있다. 비아 홀(20)은 하나 이상의 에천트가 레이저 용제(ablation) 기술이나 본 기술분야에서 공지된 그 밖의 기술에 의해 기관(12)의 재료를 선택적으로 제거되는 마스크의 이용을 포함하되 이에 제한되지 않는 임의의 적절한 공정에 의해 형성될 수 있다.
- [0062] 비록 도 21 내지 도 27은 예 1의 공정을 집적회로나 본드 패드를 포함하지 않는 기관(12)의 "블라인드" 영역을 통해 연장되는 도전성 비아를 형성하는 데 유용한 것으로 도시하고 있지만, 이들 공정은 기관(12)의 블라인드 영역이나 활성 영역 위에 위치되는 본드 패드를 통해 연장되는 도전성 비아를 형성하는 데에도 사용될 수 있다.
- [0063] 도 22에 도시된 바와 같이, 제1 접착층(25)이 비아 홀(20)의 표면(24)과 기관(12)의 활성면(14) 상에 형성된다. 접착층(25)은 성막 공정(예컨대, PDL를 형성하는) 펄스층 증착("PDL"), CVD, 원자층 증착("ALD"), LS0를 형성하는 공정 등)과 같은 임의의 적절한 공정에 의해, 2000년 12월 26일 Zhang에게 허여된 미국 특허 제6,165,808호에 개시된 것과 같은 저온 산화 공정에 의해 열적 산화물로서 형성될 수 있다.
- [0064] 이어서, 공지된 공정이 도 23에 도시된 바와 같이 제1 접착층(25) 위에 파릴렌, TEFLON® 등과 같은 저-K 유전체 재료를 포함하는 층(26)을 성막하는데 이용된다. 유전체 층(26)을 형성하는 재료나 재료들의 낮은 K로 인해, 비교적 얇으며, 비교적 큰 중형비를 갖는 비아 홀(20)의 제조를 용이하게 하고, 이에 따라, 활성면(14) 또는 그 배면(13) 위의 소정 영역당 기관(12) 상에 포함될 수 있는 도전성 비아의 전위 밀도를 증가시킨다.
- [0065] 유전체 층(26)을 형성하는 재료가 많은 도전재에 잘 부착되지 않을 수 있기 때문에, 유전체 층(26)의 재료와 후속하여 성막되는 재료 모두에 부착된 재료로부터 형성되는 다른 제2 접착층(27)이 도 24에 도시된 바와 같이 유전체 층(26) 위에 형성될 수 있다. 제2 접착층(27)은 유전체 재료(예컨대, 산화규소)를 포함하며 적절한 PDL 또는 LS0 기술과 같은 공지된 공정에 의해 형성될 수 있다.
- [0066] 다음으로, 도 25에 도시된 바와 같이, "시드재 코팅(30)" 또는 "금속 마스크"로도 지칭될 수 있는 도전층이 제2 접착층(27) 위에 형성된다. 예 1에서, 시드재 코팅(30)은 제2 접착층(27) 위에 텅스텐을 성막함으로써 형성된

다. 텅스텐은 비아 홀(20)의 표면(24) 위에 니켈의 후속 형성을 용이하게 하는 데 유용하다.

- [0067] 기관(12)의 활성면(14) 위에 놓인 시드재 코팅(30)의 일부가 도 26에 도시된 바와 같이 제거된다. 이들 부분은 비아 홀(20) 내부에 위치한 시드재 코팅(30)의 상당 부분을 제거하지 않는 소위 "스페이서 에칭" 기술의 이용을 포함하는 임의의 적절한 공정에 의해 제거될 수 있다.
- [0068] 그 후, 도 27에 도시된 바와 같이, 제2 접착층(27)의 노출된 부분(즉, 기관(12)의 활성면(14) 위에 놓인 부분)이 제거된다. 다시, 선택적 습식 에칭(즉, 에천트가 시드재 코팅(30) 위의 제2 접착층(27)의 재료에 대해 선택성을 가짐)과 같은 임의의 적절한 제거 공정이 사용될 수 있다. 따라서 시드재 코팅(30)은 비아 홀(20)의 표면(24) 위에 놓인 제2 접착층(27) 부분의 제거를 방지하되 제2 접착층(27)의 노출된 부분이 제거되는 "금속 마스크"로서 작용한다.
- [0069] 기관(12)의 활성면(14) 위에 놓인 유전체 층(26)의 부분들도 제거될 수 있다. 다시, 임의의 적절한 공정이 유전체 층(26)의 재료를 제거하는데 이용될 수 있다. 예컨대, 유전체 층(26)이 파릴렌 또는 TEFLON으로 형성되는 경우, 공지된 소위 "플라즈마 스트립" 공정이 이용될 수 있다.
- [0070] 유전체 층(26)의 원하는 부분이 제거된 후, 기관(12)의 활성면(14) 위에 놓인 제1 접착층(25)의 부분들이 제거될 수 있다. 습식 에천트의 사용을 포함하고 기관(12)의 활성면(14)에 존재하는 재료나 재료들 위에서 선택성을 갖고 제1 접착층(25)의 재료를 제거하는 습식 에천트를 포함하되 이에 제한되지 않는 임의의 적절한 공정이 제1 접착층(25)의 이들 부분을 제거하기 위해 이용될 수 있다.
- [0071] <예 2>
- [0072] 도 28 내지 도 35는 기관(12)에 비아 홀(20)을 형성하고 비아 홀(20)의 표면(24)을 절연시키거나 보호막을 씌우기 위해 이용될 수 있는 공정의 다른 예를 도시한다.
- [0073] 도 28에서, 비아 홀(20)이 기관(12)에 형성된다.
- [0074] 도 29에 도시된 바와 같이, 제1 접착층(25)이 비아 홀(20)의 표면(24)과 기관(12)의 활성면(14) 상에 형성된다. 바로 이어서, 기관(12)의 활성면(14) 위에 놓인 제1 접착층(25)의 부분들이 도 30에 도시된 바와 같이 제거된다.
- [0075] 다음으로, 도 31에 도시된 바와 같이, 저-K 유전체 재료를 포함하는 층(26)이 제1 접착층(25)의 잔여부와 활성면(14) 위에 성막된다. 그 후, 활성면(14) 위에 놓인 유전체 층(26)의 부분들은 도 32에 도시된 바와 같이 제거된다.
- [0076] 이어서, 도 33에 도시된 바와 같이 제2 접착층(27)이 형성된다. 그 후, 도 34에 도시된 바와 같이, 활성면(14) 위에 놓인 제2 접착층(27)의 부분들은 제거되는 반면, 유전체 층(26)에 인접한 제2 접착층(27)의 부분들은 잔류한다.
- [0077] 이어서, 도 35에 도시된 바와 같이, 도전층(32)과 임의의 하부층들이 형성될 수 있다. 그 후, 비아 홀(20) 내부에 잔류하는 임의의 빈 공간(34)이 도 16 내지 도 19를 참조하여 위에서 설명된 바와 같이 충전될 수 있다.
- [0078] 비록 도 28 내지 도 35는 <예 2>의 공정을 집적회로 또는 본드 패드를 포함하지 않은 기관(12)의 "블라인드" 영역을 통해 연장되는 도전성 비아를 형성하는 데 유용한 것으로 도시하고 있지만, 이들 공정은 기관(12)의 블라인드 영역 또는 활성 영역 위에 위치되는 본드 패드를 통해 연장되는 도전성 비아를 형성하는데 사용될 수도 있다.
- [0079] <예 3>
- [0080] <예 1> 및 <예 2>에 설명된 공정 흐름을 구축하는 다른 예시적인 비아 홀 형성 및 절연 기술에서, 제1 접착층은 생략되어 도 36에 도시된 바와 같이 비아 홀(20)의 표면(24)을 거칠게 하는 공정으로 대체될 수 있다. 표면(24)은 예컨대, 비아 홀(20)을 형성하는데 이용되는 공정이나 공정들에 의해 거칠게 될 수 있다. 대안으로, 표면(24)의 거칠기를 증가시키는데 별도의 에칭 공정이 이용될 수 있다. 표면(24)의 거칠기는 도 37에 도시된 바와 같이 표면(24)에서 기관(12)의 재료에 대한 유전체 층(26) 또는 유전체 코팅(28)의 직접 접착을 개선한다.
- [0081] <예 4>
- [0082] 도 38 내지 도 42는 기관(12)에 의해 수반되는 상부 본드 패드(15)를 통해 비아 홀(20)(도 42)의 형성을 도시한다. 비아 홀(20)을 형성하기 위해 마스크와 에칭 공정이 이용될 때, 일련의 에칭 공정이 이용될 수 있다. 이

는 상부 본드 패드(15)의 재료가 보호층(17)이 놓인 기판(12)의 재료와 유전성 보호층(17)의 하층부의 재료와 다르며, 상이한 에천트가 이들 재료를 제거하는데 요구될 수 있기 때문이다.

- [0083] 도 39에서, 마스크(40)가 기판(12)의 활성면(14) 위에 형성된다. 활성면(14) 위의 포토마스크의 형성을 포함하는 임의의 적절한 마스크링 공정이 이용될 수 있다. 마스크(40)의 개구(42)는 상부 본드 패드(15)의 일부로부터 재료 제거를 용이하게 하도록 위치된다. 개구(42)는 재료가 상부 본드 패드(15)의 중심으로부터 제거될 수 있도록 또는 재료 제거가 상부 본드 패드(15)의 중심에서 오프셋된 위치로부터 실행되도록 위치될 수 있다.
- [0084] 도 40에 도시된 바와 같이, 상부 본드 패드(15)의 재료가 제거된다. 상부 본드 패드(15)의 재료 제거는 한 번의 에칭, 또는 복수의 도전층을 제거하기 위해 필요하면, 복수의 에칭에 의해 실행될 수 있다. 제거 공정은 등방성 또는 이방성, 습식 또는 건식일 수 있다.
- [0085] 상부 본드 패드(15)의 아래에 놓인 보호층(17)의 일부가 상부 본드 패드(15)를 통해 노출되면, 보호층(17)의 재료를 제거하기에 적절한 재료 제거 공정이 도 41에 도시하는 바와 같이 실행된다. 이러한 보호층(17)-제거 공정은 등방성이거나 이방성, 습식이거나 건식일 수 있다.
- [0086] 필요한 경우, 도 42에 도시된 바와 같이, 포토마스크와 같은 다른 마스크(40")가 후속 공정 동안 보호층(17)의 재료 제거를 방지하기 위해 활성면(14) 위에 형성될 수 있다.
- [0087] 상부 본드 패드(15)와 보호층(17) 내의 구멍(20')을 통해 그리고 마스크(40")의 개구(42")를 통해 노출되는 기판(12)의 부분들은 구멍(20')을 기판(12) 안으로 연장시켜 기판에 비아 홀(20)을 형성하기 위해 에천트에 노출될 수 있다. 에천트는 등방성 에천트이거나 이방성 에천트이고 습식 에천트이거나 건식 에천트일 수 있지만, 이방성 에천트를 사용이 결과적인 비아 홀(20)의 종횡비를 최대화할 수 있다.
- [0088] 비아 홀(20)이 형성된 후, 기판(12)에 잔류하는 모든 레지스트가 본 기술분야에서 공지된 바와 같이 (예컨대, 적절한 레지스트 스트립 공정을 이용하여) 제거될 수 있다. 각각의 비아 홀(20)의 표면(24)의 표면적은 예 3에서 설명된 바와 같이 증가될 수 있으며 유전체 코팅(28)(도 38 내지 도 42에는 도시되지 않음)은 <예 1>과 <예 2>에서 설명된 바와 같이 각각의 비아 홀(20)의 표면(24) 위에 제조될 수 있다.
- [0089] 대안으로, 비아 홀(20)은 다른 공지된 공정(예컨대, 레이저 용제)에 의해 형성될 수 있다.
- [0090] <예 5> 내지 <예 8>은 비아 홀(20) 내부에 도전층을 형성하기 위한 다양한 기술과 공정을 설명한다.
- [0091] <예 5>
- [0092] 이하, 도 43 내지 도 47을 참조하여 구리 도전 요소를 포함하는 도전성 비아를 형성하기 위한 예시적인 공정을 설명한다.
- [0093] 비아 홀(20)이 형성되면, 그 표면(24)이 도 43에 도시된 바와 같이 하나 이상의 유전체 재료층으로 코팅되어, 표면(24) 위에 유전체 코팅(28)을 형성한다. <예 1> 내지 <예 3>에서 설명한 바와 같은 공정들은 비아 홀(20)의 표면(24)을 유전체 재료로 코팅하는데 이용될 수 있으며, 임의의 다른 적절한 기술이 이용될 수도 있다.
- [0094] 이어서, 구리 배리어층(29")(예컨대, Ta, TaN, Ti, TiN 등)(예컨대, 약 150 Å 두께)이 도 44에 도시된 바와 같이 형성될 수 있다. 구리 배리어층(29")은 유전체 코팅(28) 위에 놓여서 후속하여 형성되는 구리 도전 요소와 유전체 코팅(28) 또는 기판(12)의 재료나 재료들 간의 바람직하지 않은 상호 확산을 방지한다. 구리 배리어층(29")을 형성하는데 사용될 수 있는 재료의 예로는 질화티탄, 질화탄탈, 탄탈 등이 있지만 이에 제한되는 것은 아니다. 구리 및 규소 함유 재료들 간의 배리어로 작용하는 이들 및 그 밖의 재료는 공지된 공정(예컨대, CVD)에 의해 성막될 수 있다.
- [0095] 이어서, 기판(12)의 활성면(14) 위에 놓인 구리 배리어층(29")의 부분들이 제거된다. 구리 배리어층(29")의 부분들을 제거하는데 스페이서 에칭 공정과 마스크 및 에칭 공정을 포함하는 공지된 공정이 이용될 수 있지만, 이에 제한되는 것은 아니다. 제거 후, 그리고 적어도 일부는 이용된 제거 공정의 형태에 따라서, 구리 배리어층(29")의 일부는 비아 홀(20) 내부에 그리고 선택적으로 상부 본드 패드(15) 위에 잔류한다.
- [0096] 도 45에서, 구리의 시드재 코팅(30")(예컨대, 약 2000 Å 두께)이 상부 본드 패드(15)와, 기판(12)의 활성면(14) 전면과, 비아 홀(20) 내부에 잔류하는 구리 배리어층(29")의 부분들에 형성된다. 구리 시드재 코팅(30")은 CVD 및 PVD 공정을 포함하는 공지된 공정에 의해 성막될 수 있다.
- [0097] 구리 시드재 코팅(30")을 성막하는데 블랭킷 성막 공정이 이용될 때, 기판(12)의 활성면(14) 위에 놓인 시드재

코팅(30")의 부분들은 활성면(14) 양단의 (예컨대, 도전성 비아들 사이 또는 도전성 비아와 본드 패드 또는 활성면(14)에 노출되는 그 밖의 전기 도전성 구조체 사이의 위치에서) 전기 단락을 방지하기 위해 제거된다. 시드재 코팅(30")의 이러한 부분은 스페이서 에칭 또는 본 기술분야에 공지되어 있는 그 밖의 기술을 이용하여 공지된 평탄화 및 연마 공정(예컨대, 기계 연마, 화학 기계 연마 등)을 포함하는 임의의 적절한 공정에 의해 제거될 수 있다.

[0098] 다음으로, 도 46에 도시된 바와 같이, 구리를 포함하는 도전층(32")(예컨대, 약 1 μm 두께)이 시드재 코팅(30")의 나머지 부분 위에 형성된다. 도전층(32")이 기판(12)의 다른 영역 또는 이들에 의해 수반되는 특징부를 덮지 않고 시드재 코팅(30") 상에 선택적으로 형성될 수 있다. 예컨대, Pac Tech로부터 입수가능한 화학제 등의 공지된 무전해 도금, 침지 도금 또는 전해 도금 기술이 도전층(32")의 구리를 선택적으로 성막하는데 이용될 수 있다.

[0099] <예 6>

[0100] <예 5>의 공정 흐름은 도 48 및 도 49에 도시된 바와 같이 다소 변경될 수 있다. 도 48에서, 배리어층(29")은 시드재 코팅(30")이 그 위에 형성됨으로써 완전히 그대로 유지된다. 일단 시드재 코팅(30")이 형성되면, 비아 홀(20) 내부에 또는 상부 본드 패드(15) 위에 위치되지 않은 시드재 코팅(30")과 배리어층(29") 모두의 영역은 도 49에 도시된 바와 같이 제거된다. 시드재 코팅(30")과 배리어층(29")의 이들 부분은 연마 기술(예컨대, CMP), 스페이서 에칭 등의 이용을 포함하는 임의의 적절한 공정 또는 공정들에 의해 제거될 수 있지만, 이에 제한되는 것은 아니다.

[0101] <예 7>

[0102] 이하, 도 50 내지 도 53을 참조하여, 비아 홀(20)에 니켈 도전 요소를 형성하기 위한 예시적인 실시예를 설명한다.

[0103] 도 50은 활성면(14)에 의해 수반되는 상부 본드 패드(15)를 갖는 기판(12)을 도시한다. 니켈막(15')이 무전해 도금, 침지 도금 또는 전해 도금 기술과 같은 공지된 기술에 의해 상부 본드 패드(15) 상에 도금된다. 이어서, 예 1 내지 예 4에서 설명된 바와 같은 적절한 공정에 의해 비아 홀(20)이 상부 본드 패드(15)를 통해 기판(12) 내에 형성된다.

[0104] 이어서, 도 51에 도시된 바와 같이, 유전체 코팅(28")이 비아 홀(20)의 표면(24) 위에, 니켈막(15') 및 기판(12)의 활성면(14) 상에 형성된다. 유전체 코팅(28")은 하나의 층(예컨대, PDL 또는 LS0에 의해 형성된 산화막) 또는 그 이상의 층(예컨대, <예 1> 및 <예 2>에서 설명된 바와 같이, 비-규소 함유 저-K 재료로 형성된 유전체 층 및 하나 이상의 선택적 접착층)을 포함할 수 있다. 명백하게, 유전체 코팅(28")이 후속하는 도포 공정 이전에 에칭되거나 선택적으로 제거될 필요가 없다. 선택적으로, 배리어층(29)(도시되지 않음)은 유전체 코팅(28") 위에 형성될 수 있다.

[0105] 이어서, 시드재 코팅(30")이 유전체 코팅(28")의 위에 형성된다. 구리를 포함할 수 있는 시드재 코팅(30")은 CVD 및 PVD 기술 등과 같은 공지된 공정에 의해 유전체 코팅(28") 상에 성막될 수 있다. 이어서, 포토마스크 등의 마스크(40")가 시드재 코팅(30") 위에 형성될 수 있다. 마스크(40")는 비아 홀(20) 내로의 재료의 도입을 용이하게 하지만 상부 본드 패드(15)의 잔여부와 활성면(14) 위에 놓인 시드재 코팅(30")의 부분들이 이런 재료에 노출되는 것을 방지하기 위해, 각각의 비아 홀(20)에 대하여 위치된 개구(42")를 포함한다.

[0106] 도 52에 도시된 바와 같이, 마스크(40")를 형성한 다음, 각각의 개구(42")를 통해 노출되는 시드재 코팅(30")의 부분 상으로 니켈이 도금되어 그 위에 (예컨대, 약 3 μm 내지 약 5 μm의 두께를 갖는) 도전층(32")을 형성한다. 니켈 도금은 무전해 도금 기술, 침지 도금 기술 및 전해 도금 기술을 포함하는 임의의 적절한 공정에 의해 실행될 수 있지만, 이에 제한되는 것은 아니다. 설명한 바와 같이, 마스크(40")는 도전층(32")의 범위를 제한한다. 일단 도전층(32")이 형성되기만 하면, 마스크(40")는 본 기술분야에서 공지된 기술에 의해 제거될 수 있다. 마스크(40") 상에 잔류하는 임의의 니켈은 마스크(40")가 제거됨에 따라 리프트-오프된다.

[0107] 이어서, 도전층(32")은 도 53에 도시된 바와 같이 시드재 코팅(30")의 노출된 부분을 제거하기 위한 마스크 및 일단 시드재 코팅(30")의 이러한 부분들이 제거되면 후속하여 노출되는 유전체 코팅(28")의 부분들을 제거하기 위한 마스크로서 역할을 한다. 이런 제거는 시드재 코팅(30")의 구리나 그 밖의 재료 또는 도전층(32")의 니켈 위에서 선택성을 갖는 유전체 코팅(28")의 재료나 재료들을 제거하는 하나 이상의 에천트를 이용함으로써 실행될 수 있다.

- [0108] <예 8>
- [0109] 도 54 내지 도 56을 참조하여 도전성 비아의 니켈 도전 요소를 형성하기 위한 다른 기술을 설명한다.
- [0110] 비아 홀(20)이 기관(12)의 활성면(14)에 (예컨대, 도시된 바와 같이, 활성면(14)에 의해 수반되는 상부 본드 패드(15)를 통해) 형성되고 유전체 코팅(28)이 (<예 1> 및 <예 2>에서 설명된 공정에 의해) 비아 홀(20)의 표면(24) 위에 형성된 후, 알루미늄 막(30'")을 포함하는 기저층이 도 54에 도시된 바와 같이 활성면(14), 상부 본드 패드(15) 및 유전체 코팅(28) 위에 형성된다. 알루미늄의 사용은 낮은 전기 저항성과 알루미늄 막을 형성하고 패터닝할 수 있는 용이성 때문에 바람직하다. 알루미늄 막(30'")은 CVD 및 PVD 기술의 이용을 포함하는 공지된 공정에 의해 형성될 수 있지만, 이에 제한되는 것은 아니다. 이들 공정은 상부 본드 패드(15)의 노출된 영역과 비교적 깊은(즉 중형비가 높은) 비아 홀(20)의 표면(24) 위에 알루미늄을 균일하고 합치하도록 코팅하는데 이용될 수 있다.
- [0111] 블랭킷 성막 공정을 알루미늄 막(30'")을 형성하는데 이용하는 경우, 기관(12)의 활성면(14) 위에(예컨대, 도시된 바와 같이, 보호층(17) 상에) 위치된 알루미늄 막의 부분들이 도 55에서 도시하는 바와 같이 제거된다. 이런 제거는 적절한 기술, 예컨대, 스페이서 에칭 또는 연마 공정에 의해 실행될 수 있다.
- [0112] 도 56을 참조하면, 알루미늄 막(30'")의 나머지 부분은 니켈로 코팅될 수 있다. 니켈은 알루미늄 막(30'") 위에 도전층(32'")을 형성한다. 도전층(32'")을 형성하기 위해 임의의 적절한 니켈-성막 공정이 이용될 수 있지만, 도전층(32'")이 무전해 도금, 침지 도금 또는 전해 도금 공정과 같은 선택적 성막 공정에 의해 형성될 경우, 결과적인 도전층(32'")은 시드재 코팅(30'")의 노출된 부분과 상부 본드 패드(15)의 잔여부만을 코팅하고, 후속하는 재료 제거 공정은 필요하지 않을 것이다. 또한, 이런 공정이 이용될 때, 니켈은 개별적으로 하기 보다는 상부 본드 패드(15)와 비아 홀(20)의 표면(24) 위에 동시에 적용될 수 있다.
- [0113] 도전층(32'")은 상부 본드 패드(15) 위에서 연장될 수 있기 때문에, 도전층(32'")의 형성 이전에 니켈이나 임의의 다른 도전재로 상부 본드 패드(15)를 도금하는 것이 불필요하다.
- [0114] <예 9>
- [0115] 각각의 비아 홀(20) 내부의 도전 특징부(예컨대, 시드재 코팅(30'"), 도전층(32'"), 도전성 충전제(36)(예컨대, 주석/납(Pb/Sn) 뿔납과 같은 뿔납, 구리/주석/은(Cu/Sn/Ag), 주석/구리(Sn/Cu), 주석/은(Sn/Ag) 또는 금/주석(Au)/Sn 합금과 같은 소위 "무연 뿔납" 또는 그 밖의 적절한 도전재)의 부분들 등)는 기관(12)을 통해 도전성 비아(38)를 형성한다. 이들 특징부가 기관(12)의 배면(13)에 노출되면, 도 57에 도시된 바와 같이 기관(12)의 배면(13)에서 하부 본드 패드(16)를 형성한다.
- [0116] 블라인드 비아 홀(20)들이 형성되어 충전되면, 각 비아 홀(20)의 블라인드 단부(22)는 임의의 적절한 공정에 의해 기관(12)의 배면(13)을 통해 노출될 수 있다. 예컨대, 공지된 배면-연마 기술이나 에칭 공정이 배면(13)으로부터 재료를 제거하고 비아 홀(20) 또는 그 내부의 구조물을 배면(13)에 노출시키는데 이용될 수 있다.
- [0117] <예 10>
- [0118] 도 57에서 계속해서, 비아 홀(20) 내부에 잔류하는 빈 공간(34)(도 56)은 용융 금속이나 금속 합금(예컨대, 뿔납)과 같은 도전성 충전제(36)로 충전될 수 있다. 도전성 충전제(36)는 (예컨대, 용기, 웨이브 납땀 장치 등에서) 임의의 적절한 공정에 의해 기관(12)의 표면(13, 14)에 적용될 수 있으며, 빈 공간(34)을 충전할 수 있게 된다. 도전성 충전제(36)는 예컨대, 모세관 작용에 의해 빈 공간(34) 안으로 도입될 수 있다. 대안으로, 도전성 충전제(36)는 네거티브 압력, 포지티브 압력 또는 기계력 하에서 비아 홀(20) 안으로 가압될 수 있다.
- [0119] 도시된 바와 같이, 도전성 범프(37)는 상부 본드 패드(15) 상에 잔류할 수 있다. 대안으로 또는 부가적으로, 도전성 범프는 기관(12)의 배면(13)에 대해 들출할 수 있다. 원한다면, 도전성 범프(37)는 공지된 공정(예컨대, 적절한 에칭 공정)에 의해 제거될 수 있다.
- [0120] <예 11>
- [0121] 대안으로, 도 47에 도시된 바와 같이, 비아 홀(20) 내부에 잔류하는 임의의 빈 공간(34)(도 46)은 전기적으로 비도전성, 또는 유전성 충전제(35)의 플러그로 충전될 수 있다. 비제한적인 예로서, 액체(예컨대, 용융, 비경화 등) 유전성 충전제(35)가 임의의 적절한 기술(예컨대, 스핀-온 공정, 분무 등)에 의해 기관(12)의 활성면(14)에 적용될 수 있고, 빈 공간(34)을 적어도 부분적으로 충전시키기 위해 수동적으로 또는 능동적으로(예컨대, 압력 또는 힘을 받아) 빈 공간(34) 안으로 도입될 수 있다.

[0122] 필요한 경우 또는 원하는 경우, 과잉 유전성 충전재(35)는 임의의 특징부(예컨대, 상부 본드 패드(15))뿐 아니라 기관(12)의 일면 또는 양면(13, 14)으로부터 예컨대, 적절한 용매 또는 에천트를 이용하여 제거될 수 있다.

[0123] <예 12>

[0124] 이후, 도 58로 돌아가서, 전기 통신은, 하부 본드 패드(16)에 외부 도전 요소(50)를 고정시킴으로써 도전성 비아(38)에 의해 설정될 수 있으며, 이에 의해 그 대응하는 상부 본드 패드(15) 및 (예컨대, 반도체 장치 구조물(10)이 반도체 장치의 집적 회로를 갖는 반도체 장치인 경우) 상부 본드 패드(15)와 통신하는 회로에 의해 설정될 수 있다. 외부 도전 요소(50)는, 예컨대, 설명된 도전재(예컨대, 금속, 뿔납과 같은 금속 합금, 도전성 폴리머, 도전체 충전 폴리머 등)로 된 볼이나 범프, 도전성 핀, 필라(pillar) 또는 컬럼, 또는 도전성 필라멘트에 의해 두께를 따라, 즉 z-축을 따라서만 연장되는 유전체 막을 포함하는 소위 z-축 도전막을 포함할 수 있다.

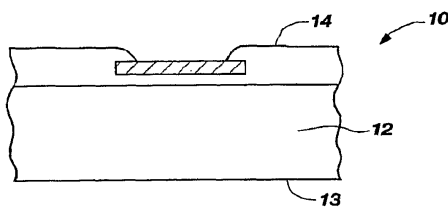
[0125] 외부 도전 요소(50)는 다른 전기 부품에 반도체 장치 구조물(10)을 전기적으로 접속시키는데 사용될 수 있다. 예컨대, 도 59에 도시된 바와 같이, 반도체 장치 구조물(100)의 접촉자(예컨대, 하부 본드 패드(16))들이 다른 반도체 장치 부품(110)의 대응하는 접촉자(112)들과 정렬될 수 있고, 이어서, 접촉자(예컨대, 하부 본드 패드(16)) 및 그 대응하는 접촉자(112)들은 전기 통신시에는 외부 도전 요소(50)와 함께 서로 고정된다. 반도체 장치 구조물(100)의 반대면 상에 별도의 접촉자(예컨대, 상부 본드 패드(15))의 존재는, 상부 반도체 장치 부품(120)의 접촉자(122)가 중간 반도체 장치 구조물(100)의 대응하는 접촉자(예컨대, 상부 본드 패드(15))와 정렬되어 전기 통신시 (예컨대, 도전성 범프(37)를 이용하여) 고정되는 상태로, 반도체 장치 구조물(100) 위에 도시된 반도체 장치 부품(120)과 같은 다른 전자 부품을 배치, 즉 "적층"하는 것을 용이하게 한다.

[0126] 본 발명에 따르는 반도체 장치 구조물(100)이 사용될 수 있는 어셈블리의 다른 예들은 내부에 반도체 장치 구조물(100)이 통합될 수 있는 전자 장치들로서 Farnworth에 설명되어 있다.

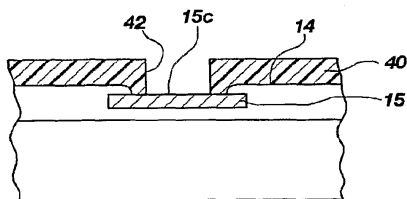
[0127] 앞서 말한 상세한 설명은 많은 특성들을 포함하지만, 이들이 본 발명의 범위를 제한하는 것으로 해석되어서는 안되며, 현재 바람직한 실시예들 중 일부를 설명하기 위해 제공된 것으로 해석되어야 한다. 마찬가지로, 본 발명의 정신과 범위에서 벗어나지 않은 본 발명의 다른 실시예도 고안될 수 있다. 상이한 실시예들의 특징들이 조합하여 이용될 수 있다. 따라서, 본 발명의 범위는 상술한 설명이 아닌 첨부된 특허청구범위와 그 법적 등가물에 의해서만 지시되고 제한된다. 특허청구범위의 의미 및 범위에 속하는 본 명세서에 개시된 본 발명에 대한 모든 추가, 삭제 및 변경은 특허청구범위에 의해 포괄되어야 한다.

도면

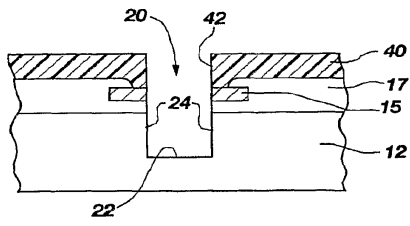
도면1



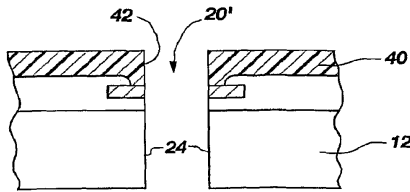
도면2



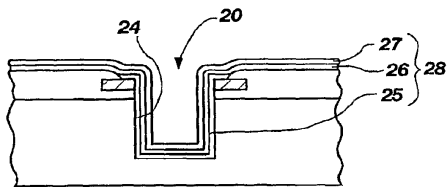
도면3



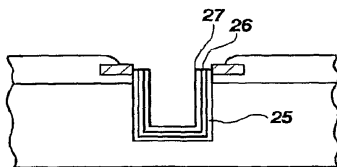
도면4



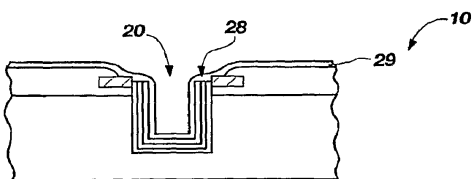
도면5



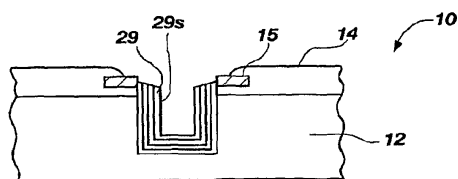
도면6



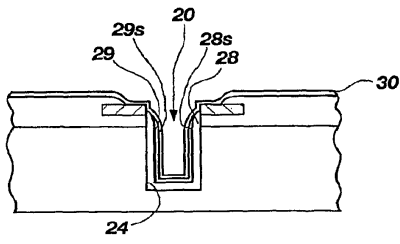
도면7



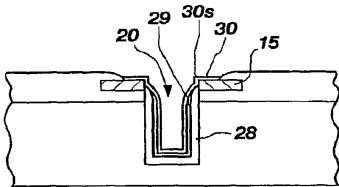
도면8



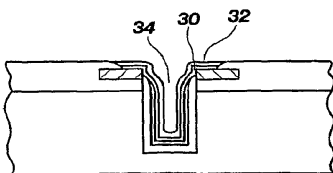
도면9



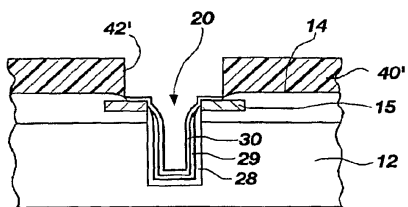
도면10



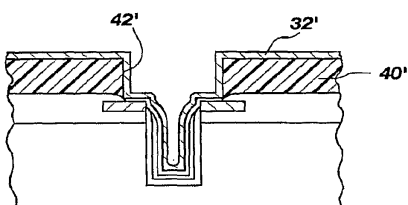
도면11



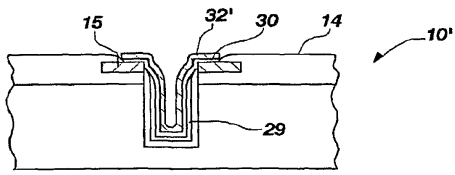
도면12



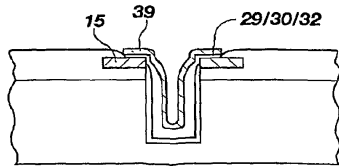
도면13



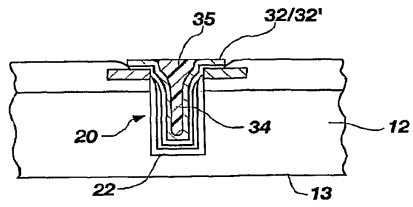
도면14



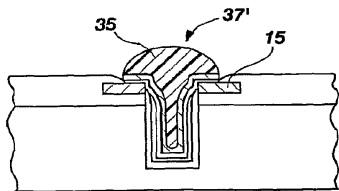
도면15



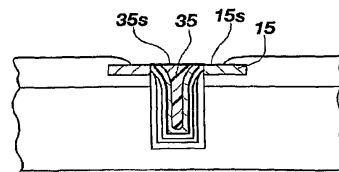
도면16



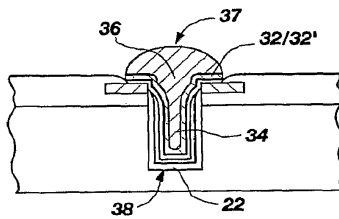
도면17



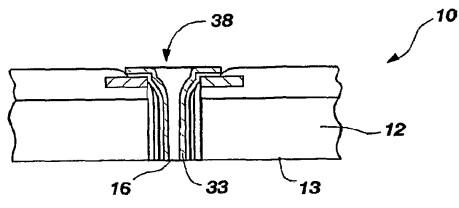
도면18



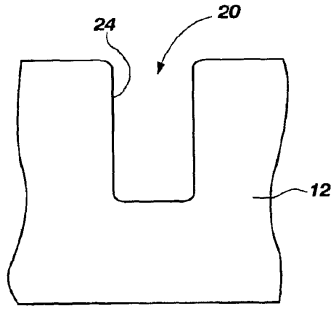
도면19



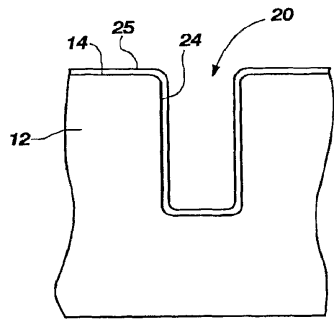
도면20



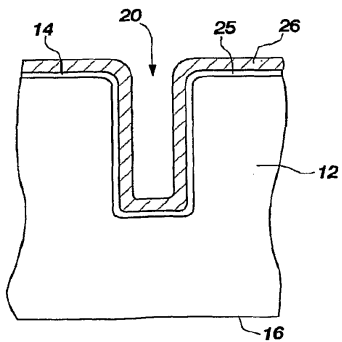
도면21



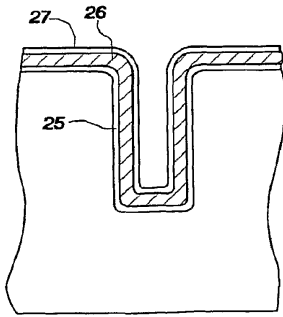
도면22



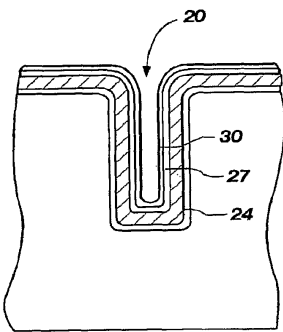
도면23



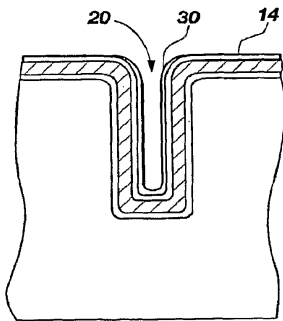
도면24



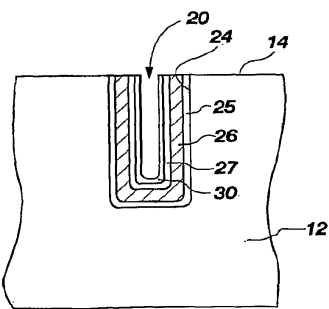
도면25



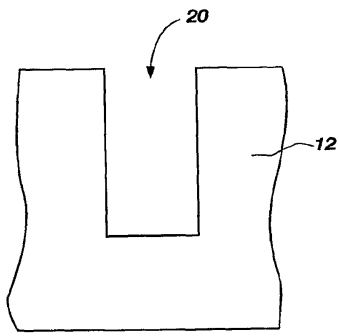
도면26



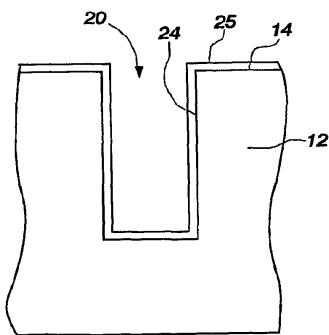
도면27



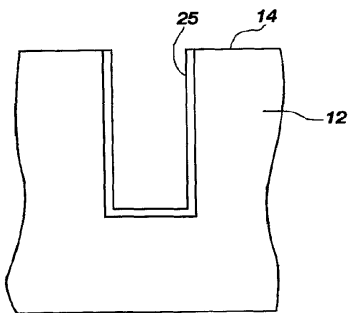
도면28



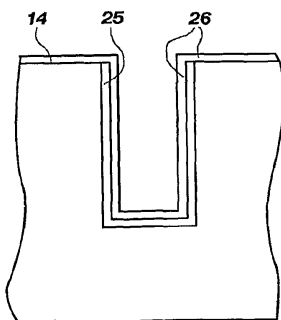
도면29



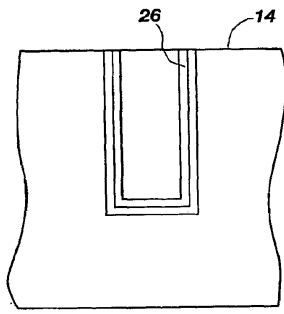
도면30



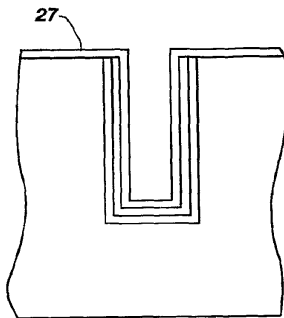
도면31



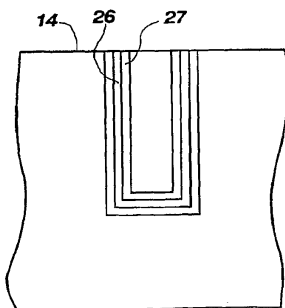
도면32



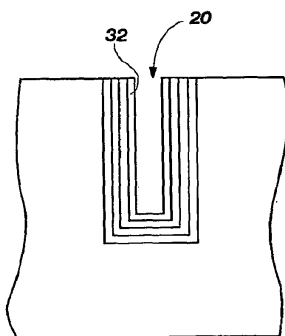
도면33



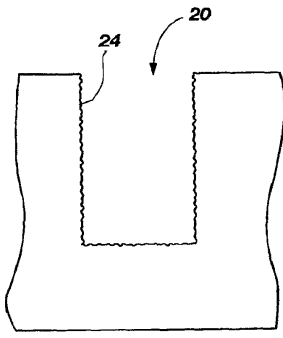
도면34



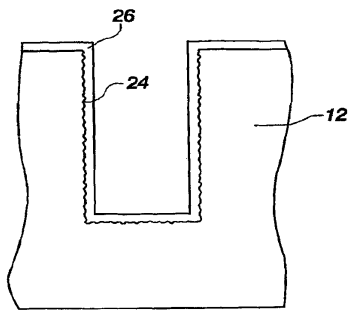
도면35



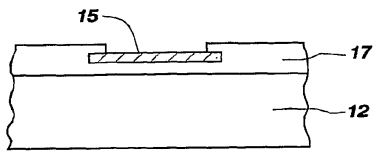
도면36



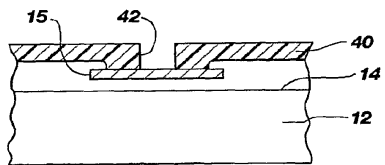
도면37



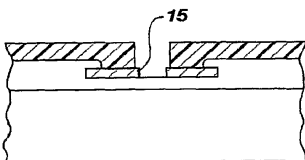
도면38



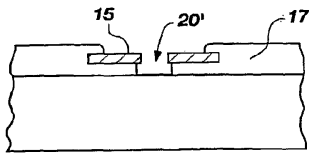
도면39



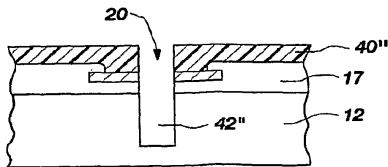
도면40



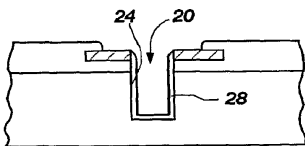
도면41



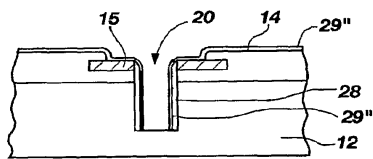
도면42



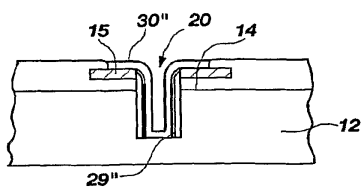
도면43



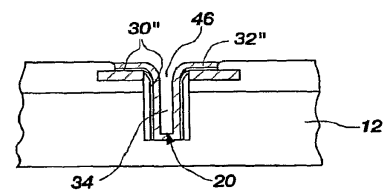
도면44



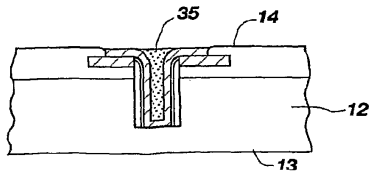
도면45



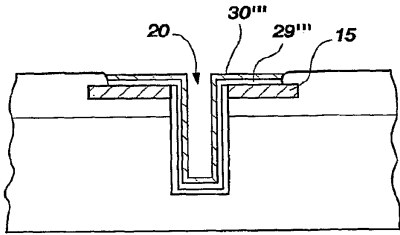
도면46



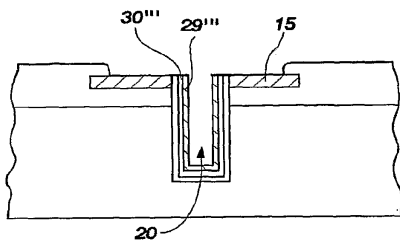
도면47



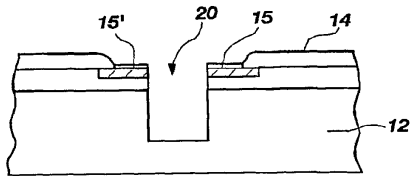
도면48



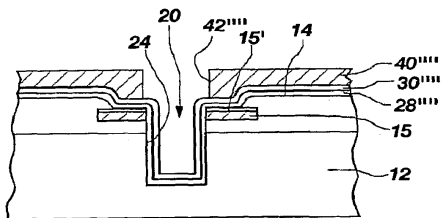
도면49



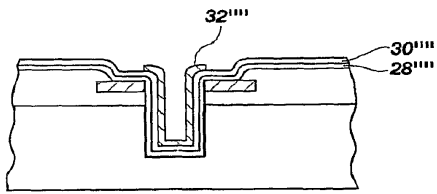
도면50



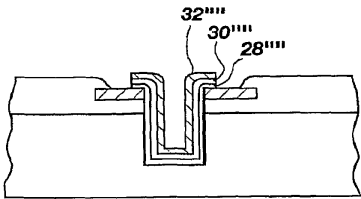
도면51



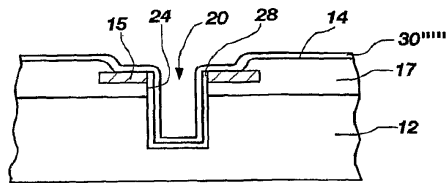
도면52



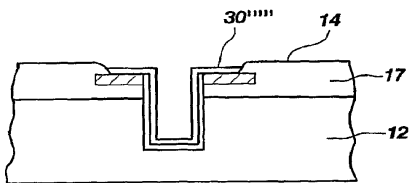
도면53



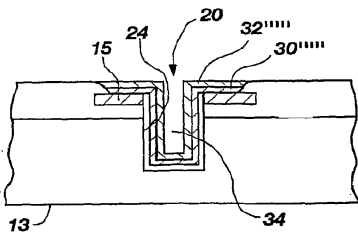
도면54



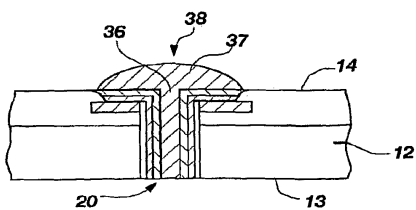
도면55



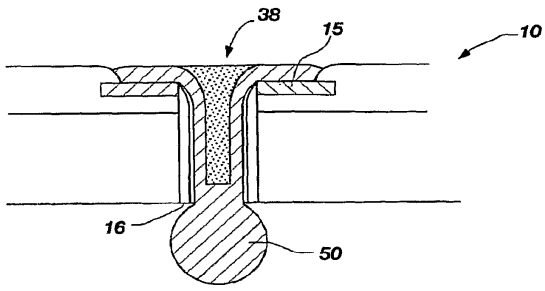
도면56



도면57



도면58



도면59

