

申請日期：92.6.13	IPC分類
申請案號：92116074	G06F12/00

(以上各欄由本局填註)

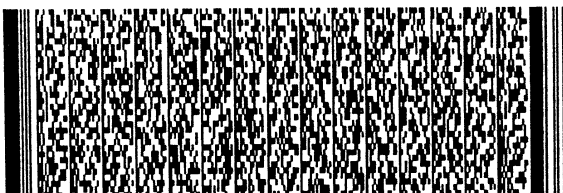
## 發明專利說明書

200419345

一、 發明名稱	中文	快閃檔案系統
	英文	A FLASH FILE SYSTEM

二、 發明人 (共1人)	姓名 (中文)	1. 李珍彥
	姓名 (英文)	1. Jin-Aeon LEE
	國籍 (中英文)	1. 大韓民國
	住居所 (中文)	1. 大韓民國京畿道水原市八達區榮通洞新南許美主APT., 652-1006
	住居所 (英文)	1. 652-1006 Shinnamusil Miju Apt., Yeongtong-dong, Paldal-gu, Suwon-city, Kyunggi-do 442-730 Republic of Korea

三、 申請人 (共1人)	名稱或姓名 (中文)	1. 三星電子股份有限公司
	名稱或姓名 (英文)	1. Samsung Electronics Co., Ltd.
	國籍 (中英文)	1. 大韓民國
	住居所 (營業所) (中文)	1. 大韓民國京畿道水原市八達區梅灘洞416番地 (本地址與前向貴局申請者相同)
	住居所 (營業所) (英文)	1. 416 Maetan-dong, Paldal-gu, Suwon-city, Kyungki-do, Republic of Korea
	代表人 (中文)	1. 尹鍾龍
代表人 (英文)	1. Jong-Yong Yun	



11590pif].ptd

## 一、本案已向

國家(地區)申請專利	申請日期	案號	主張專利法第二十四條第一項優先權
美國 US	2003/03/19	10/390,667	有

二、主張專利法第二十五條之一第一項優先權：

申請案號：

無

日期：

三、主張本案係符合專利法第二十條第一項第一款但書或第二款但書規定之期間

日期：

四、有關微生物已寄存於國外：

寄存國家：

無

寄存機構：

寄存日期：

寄存號碼：

有關微生物已寄存於國內(本局所指定之寄存機構)：

寄存機構：

寄存日期：

無

寄存號碼：

熟習該項技術者易於獲得, 不須寄存。

## 五、發明說明 (1)

## 發明所屬之技術領域

本發明是有關於電子儲存領域，且特別是有關於快閃記憶體及其檔案系統。因為儲存於快閃記憶體之資訊即使在電力不再供應時也得以維持，所以快閃記憶體已經被更廣泛地使用。此外，快閃記憶體是一種固態元件並且對於如可攜式電腦、數位相機等等之可攜式元件極為有用。快閃記憶體消耗相當少的電力並且不像許多種如硬碟之磁性儲存媒體一樣易受震動影響。

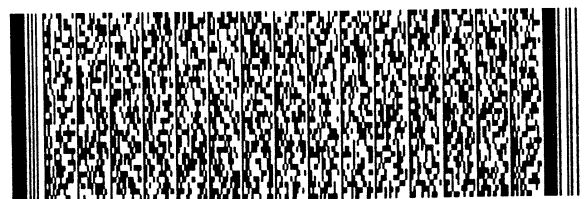
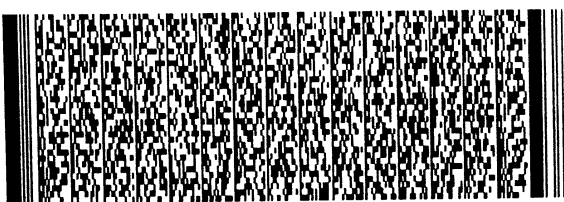
## 先前技術

有兩種類型快閃記憶體，反及閘(NAND)型以及反或閘(NOR)型。反或閘(NOR)型快閃記憶體提供隨機存取，但是製造成本高昂。而另一方面，反及閘(NAND)型快閃記憶體比較便宜，但是其缺點為無效率的寫入操作。

若先前已經以資料程式控制(亦即寫入)快閃記憶體之一部分，則以資料再度程式控制(亦即覆寫)快閃記憶體之此部分需要在能夠寫入資料之前執行一抹除操作。這種在寫入之前抹除(erase before write, EBW)之程序除了無效率之外還表示快閃記憶體的壽命受到限制。

快閃記憶體是一種經由熱電子、源極注入而可程式或經由Fowler-Nordheim穿隧機制而穿隧及可抹除之電晶體記憶體單元。此種記憶體單元之程式控制及抹除需要使電流通過浮動閘周圍的介電質。因此，此種記憶體由於介電質終將劣化而僅具有有限數目之抹除-寫入循環。

已經有幾種技術用以解決上述在寫入之前抹除(EBW)



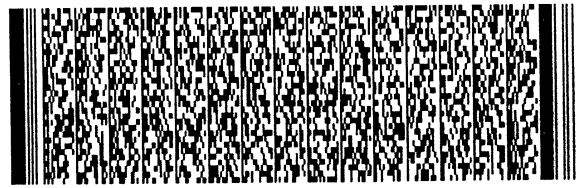
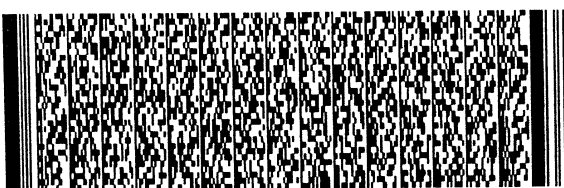
## 五、發明說明 (2)

的問題。有一種方法是在其中使用邏輯或虛擬定址架構，例如，主系統提供一個用以讀取或寫入操作之邏輯位址給快閃記憶體，接著將此位址映射成快閃記憶體之一實體位址。在這過程當中，最好將資料寫入快閃記憶體之自由實體空間，如此就不需要執行抹除操作。這種技術包含維持一個邏輯位址至實體位址之映射表。傳統上，這種映射操作同時需要解譯及映射操作。例如，主裝置將根據一種稱為叢集的4千位元(KB)資料單位來提供邏輯位址。以另一種方式來說，如電腦之主裝置之檔案系統具有一種叢集大小之格式(format)。然而，快閃記憶體之實體位址是根據能夠一次抹除之資料單位(通常為16千位元(KB)或更多)來建立的，而習知快閃記憶體系統當中快閃記憶體之控制器所使用之檔案系統是根據快閃記憶體之實體結構。結果，除了將邏輯位址映射成實體位址，也需要將主裝置之檔案系統解譯成快閃記憶體之檔案系統。

快閃記憶體之映射資訊即使在電力不再供應給構成快閃記憶體之元件時也必須維持。儲存這種資訊於快閃記憶體本身降低了快閃記憶體之儲存容量，並且也可能導致快閃記憶體之組織難以管理。

此外，這些習知系統當中快閃記憶體之控制器包括一種如此緊密地整合主介面功能與快閃記憶體介面功能之介面結構，使得快閃記憶體之改變、主介面之改變、或一部分介面結構之改變都需要完全重新設計快閃記憶體系統。

發明內容

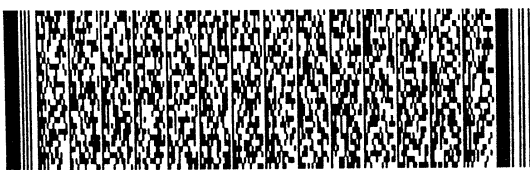


## 五、發明說明 (3)

如本發明所述之快閃檔案系統具有一種階層結構，其允許重新設計主系統、快閃記憶體或一部分快閃檔案系統而不必完全重新設計快閃檔案系統。因此，本發明之快閃檔案系統是極具彈性且容易適合特定應用。

於一較佳實施例，上述快閃檔案系統包括一快閃記憶體以及一快閃記憶體子系統。上述快閃記憶體子系統包括一主系統介面、一快取記憶體系統、一快閃解譯層單元以及一快閃記憶體介面。上述主系統介面與上述主系統接合。上述快取記憶體系統具有一預定數目資料單位之儲存容量並且儲存經由上述主系統介面傳輸至及傳輸自上述主系統之資料。上述快閃解譯層單元將一個經由上述主系統介面及上述快取記憶體從上述主系統接收之邏輯位址映射成上述快閃記憶體之一實體位址。上述快閃記憶體介面與上述快閃記憶體接合，以便根據從上述快閃解譯層單元接收之實體位址將資料從上述快取記憶體系統傳輸至上述快閃記憶體，並且根據從上述快閃解譯層單元接收之實體位址將資料從上述快閃記憶體傳輸至上述快取記憶體系統。

於一較佳實施例，上述快取記憶體系統用以儲存根據上述主系統所使用之邏輯位址來傳輸至上述快閃記憶體之資料，並且當上述主系統所要求之資料留在上述快取記憶體系統時輸出想要傳輸至上述主系統之資料而未存取上述快閃記憶體。於另一較佳實施例，上述快取記憶體系統使用與上述主系統相同之檔案系統。因此，從上述主系統接收之邏輯位址不需要在上述快取記憶體系統解譯。

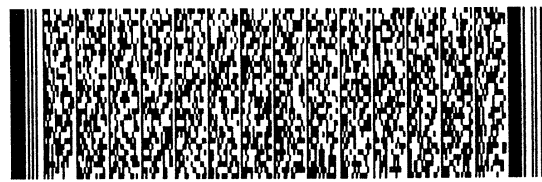


## 五、發明說明 (4)

於另一較佳實施例，上述快閃解譯層單元(FTL)使用與上述主系統相同之檔案系統。因此，對於映射從上述主系統接收之邏輯位址成為上述快閃記憶體之實體位址，上述快閃解譯層單元(FTL)不需要將上述主系統之邏輯位址由一種映射格式或檔案系統解譯成另一種。尤其，上述快閃記憶體子系統之檔案系統及映射格式與上述主系統之檔案系統及映射格式是根據相同的資料單位大小。因此，上述映射格式與上述快閃記憶體之實體結構無關。於一較佳實施例，上述檔案系統及映射格式是根據一種4千位元(KB)叢集。

於另一較佳實施例，上述快閃解譯層單元(FTL)包括一實體位址表以及一邏輯位址表。上述實體位址表是藉由邏輯位址來索引，並指示每一邏輯位址之一相關實體位址，且指示上述邏輯位址與實體位址之間的關連是否有效。上述邏輯位址表是藉由實體位址來索引，並指示每一實體位址之一相關邏輯位址，且指示上述實體位址與邏輯位址之間的關連是否有效，也指示對於每一實體位址上述快閃記憶體之此一部分是否已抹除。上述邏輯位址表更包括用以儲存如錯誤糾正碼(ECC)資料等等之雜項資料之雜項欄位(miscellaneous field)。

為讓本發明能更明顯易懂，下文特舉其較佳實施例，並配合所附圖式予以詳細說明，其中不同圖式中的相同參考數字表示相同元件，而其詳細說明如下：  
實施方式



## 五、發明說明 (5)

第1圖繪示如本發明之一較佳實施例所述之一個與快閃檔案系統4連接之主系統2。如圖所示，上述快閃檔案系統包括一個與快閃記憶體子系統14連接之快閃記憶體6。快閃記憶體6是一種反及閘(NAND)類型快閃記憶體。快閃記憶體子系統14則作為主系統2與快閃記憶體6之間的介面。

第2圖為快閃記憶體子系統14之詳圖。如圖所示，快閃記憶體子系統14具有一階層結構。結果，重新設計快閃記憶體6或主系統2並不需要完全重新設計快閃記憶體子系統14。亦即，如圖所示，快閃記憶體子系統14包括一個與主系統2接合之主系統介面22。與主系統介面22連接之虛擬隨機存取記憶體(pseudo RAM)24其作用如同一種快取，並暫時儲存寫入及讀自快閃記憶體6之資料。快閃解譯層單元(FTL)26將一個從主系統2所接收之邏輯位址映射成快閃記憶體6之一實體位址。快閃記憶體介面28藉由將從虛擬隨機存取記憶體(RAM)24所接收之資料在快閃解譯層單元(FTL)26所提供之位址寫入快閃記憶體6，以及在快閃解譯層單元(FTL)26所提供之位址從快閃記憶體6讀取資料而與快閃記憶體接合。

現在將詳細說明快閃記憶體子系統14之每一層。

## 主系統介面

主系統介面22根據一介面通訊協定(interface protocol)與主系統2接合。有許多眾所周知之通訊協定。

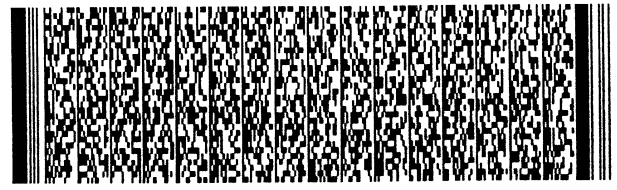
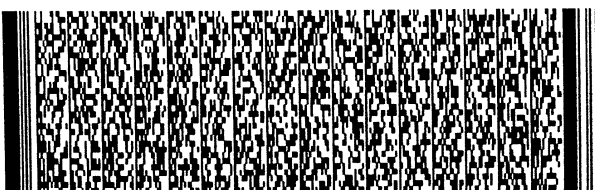


## 五、發明說明 (6)

本發明可同時應用至如精巧快閃記憶卡(compact flash)之平行通訊協定，以及如多媒體卡(MMC)、數位安全記憶卡(SD)、記憶卡(memory stick)等等之串列通訊協定。同樣地，也可使用較為普遍之介面。

第3圖繪示如本發明所述之主系統介面22之一較佳實施例。如圖所示，主連結32與主系統2通訊。主連結32包括一特定主介面定時通訊協定。僅藉由重新設計主連結32就能夠支持各種使用如本發明所述之主系統介面22之介面通訊協定。如同眾所周知，暫存器檔案34儲存主系統介面22之狀態及操作參數。藉由一個與主連結32及直接記憶體存取(direct memory access, DMA)38連接之資料緩衝器36，可暫時儲存傳輸至及傳輸自主系統2之資料於主系統介面22。上述直接記憶體存取(DMA)也與暫存器檔案34連接，並將輸入/輸出要求從主系統2傳送至快閃記憶體子系統14之較低層。特別的是直接記憶體存取(DMA)38傳送一寫入要求及儲存於資料緩衝器36之相關資料至虛擬隨機存取記憶體(RAM)24，或者根據一讀取要求從虛擬隨機存取記憶體(RAM)24讀取資料並儲存此資料於資料緩衝器36。

於一較佳實施例，直接記憶體存取(DMA)38依照512位元'ns(其中ns=1, 2, 4, 8, 16)來傳送資料以支持由習知磁碟儲存系統所獲得之主介面架構。為了增加直接記憶體存取(DMA)38與主連結32之間的資料傳輸效率，所以資料緩衝器36具有一種n'匯流排寬度之結構，其中n是資料緩衝器36之先進先出(FIFO)深度，並等於2, 4, 8, 16...且上述匯





## 五、發明說明 (7)

流排寬度等於8, 16, 32, 64, ...。

## 虛擬隨機存取記憶體(RAM)24

虛擬隨機存取記憶體(RAM)24允許主系統介面22以類似於典型隨機存取記憶體(RAM)之模式來存取資料。如第4圖所示，虛擬隨機存取記憶體(RAM)24包括一個儲存已經讀自或寫入快閃記憶體6之目前資料之緩衝隨機存取記憶體(buffer RAM)44。與緩衝隨機存取記憶體(RAM)44有關之查表(lookup table, LUT)42維持一個儲存於緩衝隨機存取記憶體(RAM)44之資料之目錄(directory)。當資料寫入快閃記憶體6或從快閃記憶體6讀取時，資料填入/移出控制器(data fill/flush controller)48將作為緩衝隨機存取記憶體(RAM)44與快閃記憶體子系統14之較低層之間的介面。虛擬隨機存取記憶體(RAM)管理器46根據從主系統介面22所接收之讀取及寫入要求控制查表(LUT)42、緩衝隨機存取記憶體(RAM)44、以及資料填入/移出控制器48之操作。

第5圖繪示儲存於查表(LUT)42之目錄表列值之欄位(field)結構。查表(LUT)42包括一個儲存於緩衝隨機存取記憶體(RAM)44之每一單位資料之表列值(entry)52。於本發明之一較佳實施例，儲存於緩衝隨機存取記憶體(RAM)44之資料單位與形成主系統2之檔案系統基礎之資料單元相同。如同以下所詳述，快閃記憶體子系統14使用一種與主系統2之檔案系統具有相同資料單元之檔案系統。



## 五、發明說明 (8)

例如，於本發明之一較佳實施例，主系統2具有一種根據被稱為叢集(cluster)且其容量為4千位元(KB)之資料單位之檔案系統。因此，緩衝隨機存取記憶體(RAM)44以叢集為單位來儲存資料，並且查表(LUT)42包括每一叢集之表列值52。如同以下所詳述，因為緩衝隨機存取記憶體(RAM)44之檔案系統符合主系統2所使用之檔案系統，所以由主系統2提供給快閃記憶體子系統14之邏輯位址可直接用以將資料讀自及寫入緩衝隨機存取記憶體(RAM)44而不用解譯。以另一種方式來說，快閃記憶體子系統14之映射格式(mapping format)與主系統2之映射格式相同。因此，快閃記憶體子系統14之映射格式及檔案系統很明顯與快閃記憶體6之實體結構無關。

回到第5圖，位於查表(LUT)42之表列值52包括緩衝隨機存取記憶體(RAM)44當中相對應資料單位之邏輯位址、有效欄位V、更新欄位U、以及寫入欄位W。有效欄位V指示與表列值52之邏輯位址相對應之資料是否有效。更新欄位U指示主系統2是否已經更新緩衝隨機存取記憶體(RAM)之資料。於一較佳實施例，上述更新欄位是由k個子欄位U0至Uk-1所組成，其中k代表資料的子單位。例如，快閃記憶體6典型上是由每個容量為512位元之頁(pages)或資料區(sectors)所構成。將儲存於緩衝隨機存取記憶體(RAM)44之資料之單位大小除以上述頁的大小可獲得k個資料子單位。回到我們以叢集(4KB)作為儲存於緩衝隨機存取記憶體(RAM)44之資料單位之例子，並假設快閃記憶體6是由



## 五、發明說明 (9)

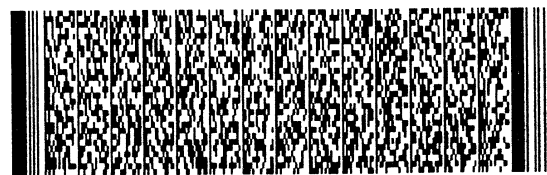
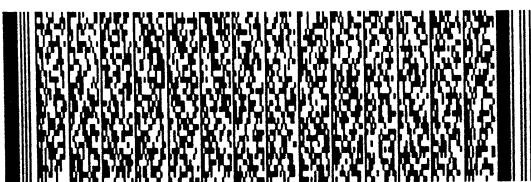
每個容量為512位元之頁所構成，則上述更新欄位U將由8(亦即 $k=8$ )個子欄位 $U_0-U_7$ 所組成。每一個更新子欄位 $U_0-U_7$ 將指示是否已經更新上述儲存於緩衝隨機存取記憶體(RAM)44之子單位資料。

寫入欄位W指示是否已經更新儲存於緩衝隨機存取記憶體(RAM)44之單位資料之內的所有子單位。假設以上述例子為例，當 $U_0$ 至 $U_{k-1}$ 都被設定為1以指示已經更新相對應之子單位時，寫入欄位W也將設定為1。如同以下所詳述，虛擬隨機存取記憶體(RAM)管理器46監控寫入欄位W以測定何時將資料從緩衝隨機存取記憶體(RAM)44寫入快閃記憶體6。

第6圖繪示當從主系統介面22接收一讀取要求時虛擬隨機存取記憶體(RAM)24之操作。如圖所示，於步驟S902，虛擬隨機存取記憶體(RAM)管理器46從主系統介面22接收一讀取要求。上述起源於主系統2之讀取要求包括一邏輯位址。於步驟S904，虛擬隨機存取記憶體(RAM)管理器46存取查表(LUT)42並測定查表(LUT)42是否包括：

(1)具有與所接收之邏輯位址相同之邏輯位址之表列值52，以及(2)對於上述邏輯位址指示儲存於緩衝隨機存取記憶體(RAM)44之相對應資料有效之有效欄位V。

若虛擬隨機存取記憶體(RAM)管理器46測定有效資料是儲存於緩衝隨機存取記憶體(RAM)44，則於步驟S906，虛擬隨機存取記憶體(RAM)管理器46將從緩衝隨機存取記憶體(RAM)44讀取上述有效資料，並將此資料經由主系統

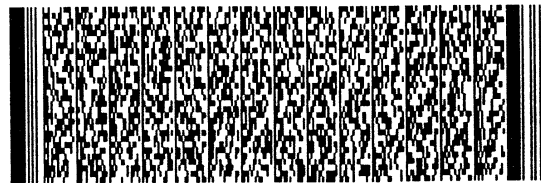
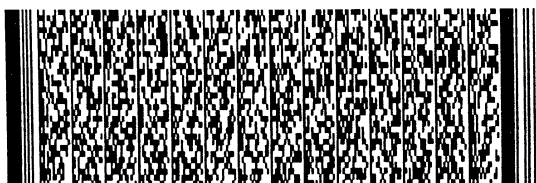


## 五、發明說明 (10)

介面22直接送到主系統2。因此，以此方式虛擬隨機存取記憶體(RAM)24之操作如同一種與快閃記憶體6有關之快取，並且能夠產生更有效的讀取操作。

若於步驟S904，虛擬隨機存取記憶體(RAM)管理器46未能成功地發現所接收之邏輯位址之有效表列值52，則於步驟S908，虛擬隨機存取記憶體(RAM)管理器46將控制資料填入/移出控制器48以經由快閃解譯層單元(FTL)26發出一讀取要求。上述讀取要求將包括從主系統介面22所接收之邏輯位址。如同以下所詳述，快閃解譯層單元(FTL)26將上述邏輯位址映射成快閃記憶體6之一實體位址，並將此實體位址連同上述讀取要求提供給快閃記憶體介面28。快閃記憶體介面28將根據所接收之實體位址及讀取要求從快閃記憶體6讀取資料，並將所讀取之資料回覆資料填入/移出控制器48。因此，於步驟S910，資料填入/移出控制器48從快閃記憶體介面28接收資料以響應上述讀取要求。於步驟S912上述所接收之資料接著將儲存於緩衝隨機存取記憶體(RAM)44並經由主系統介面22送到主系統2。

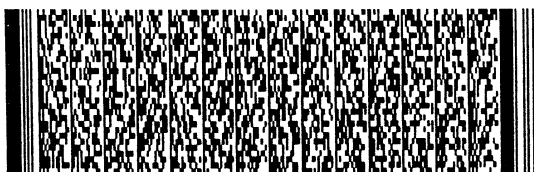
在儲存所接收之資料於緩衝隨機存取記憶體(RAM)44的情況下，於步驟S914虛擬隨機存取記憶體(RAM)管理器46將更新查表(LUT)42以包含上述目前儲存資料之表列值52。表列值52將包括與上述讀取要求一起接收之邏輯位址，並將設定有效欄位V以指示其為有效資料(例如 $V=1$ )，且將設定更新欄位U及寫入欄位W以指示無更新資料(例如 $U_0$ 至 $U_{k-1}=0$ 且 $W=0$ )。



## 五、發明說明 (11)

其次，將參照第7圖說明當從主系統介面22接收一寫入要求時虛擬隨機存取記憶體(RAM)24之操作。如步驟S1002所示，虛擬隨機存取記憶體(RAM)管理器46經由主系統介面22從主系統2接收一寫入要求及資料。上述寫入要求包括一個用以寫入所接收之資料之邏輯位址。於步驟S1004，虛擬隨機存取記憶體(RAM)管理器46存取查表(LUT)42以測定查表(LUT)42之表列值52是否具有與所接收之邏輯位址相同之邏輯位址，以及上述邏輯位址之有效欄位V是否指示其為有效資料。若虛擬隨機存取記憶體(RAM)管理器46發現一個符合所接收之邏輯位址之有效邏輯位址，則於步驟S1006，虛擬隨機存取記憶體(RAM)管理器46將所接收之資料寫入緩衝隨機存取記憶體(RAM)44，並於步驟S1008更新表列值52之相對應更新子欄位。

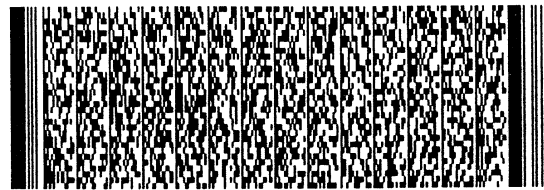
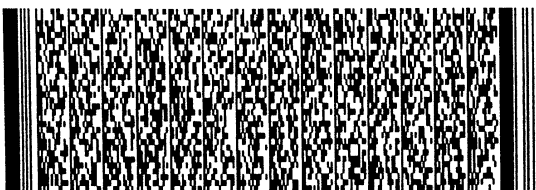
若於步驟S1004，未發現一個符合所接收之邏輯位址之有效邏輯位址，則於步驟S1010，虛擬隨機存取記憶體(RAM)管理器46將在緩衝隨機存取記憶體(RAM)44產生一個新的表列值，並於步驟S1012將所接收之資料寫入緩衝隨機存取記憶體(RAM)44。在緩衝隨機存取記憶體(RAM)44產生一個新的表列值包括在查表(LUT)42配置一個無效的表列值52。當快閃記憶體子系統14最初開始操作時，將初始化查表(LUT)42之每一個表列值52為無效的。然而，過了一段時間之後查表(LUT)42可能全部包括有效表列值。當發生這種情況且需要產生一個新的表列值52時，查表(LUT)42將配置一個未設定更新子欄位之表列值52，並將



## 五、發明說明 (12)

對應於此表列值52之資料寫入緩衝隨機存取記憶體(RAM)44。若(1)不存在無效表列值並且(2)不存在有效且未更新之表列值，則虛擬隨機存取記憶體(RAM)管理器46將命令資料填入/移出控制器48移出緩衝隨機存取記憶體(RAM)44之一部分或全部。這表示將所移出之緩衝隨機存取記憶體(RAM)44內容寫入快閃記憶體6。與所移出之資料相對應之表列值52接著被設定為無效表列值以便能夠執行寫入操作。於步驟S1014，虛擬隨機存取記憶體(RAM)管理器46更新查表(LUT)42以反映上述目前寫入資料之新表列值52。新表列值52將包括與上述寫入要求一起接收之邏輯位址，並將設定有效位元以指示其為有效資料，且將設定更新欄位以指示其為更新過的資料。例如，若寫入整個叢集的資料，則將設定寫入欄位W以指示一個完全更新的表列值52(例如W=1)，否則將設定寫入欄位以指示表列值52尚未完全更新(例如W=0)。

如上所述，虛擬隨機存取記憶體(RAM)管理器46監控查表(LUT)42之表列值52。當一表列值具有一個指示緩衝隨機存取記憶體(RAM)44有一完全更新的資料單位之寫入欄位W時，虛擬隨機存取記憶體(RAM)管理器46將命令資料填入/移出控制器48使此資料寫入快閃記憶體6。尤其，為了響應這個指令，資料填入/移出控制器48將一寫入要求及相關邏輯位址送到快閃解譯層單元(FTL)26，並將相關資料送到快閃記憶體介面28。如同以下所詳述，快閃解譯層單元(FTL)26將所接收之邏輯位址映射成一實體位址，



## 五、發明說明 (13)

接著將此實體位址連同寫入要求提供給快閃記憶體介面28。快閃記憶體介面28接著利用所接收之實體位址將所接收之資料寫入快閃記憶體6。

## 快閃解譯層單元(FTL)26

快閃解譯層單元(FTL)26將所接收之一邏輯位址映射成一個使用於讀取及寫入操作之實體位址。關於寫入操作，執行上述映射操作以解決在寫入如快閃記憶體6之反及閘(NAND)型快閃記憶體之前的抹除需求所引起的無效率。並且，快閃解譯層單元(FTL)26採用一種與主系統2所使用之檔案系統相同之檔案系統，使直接將一邏輯位址映射成一實體位址得以發生而不需要解譯從主系統2所接收之邏輯位址。例如，若上述主系統使用一種以叢集作為資料單位之檔案系統，則快閃解譯層單元(FTL)26之邏輯位址也將根據叢集。因此，快閃解譯層單元(FTL)26被設計成與快閃記憶體6之實體結構無關。

第8圖繪示如本發明所述之快閃解譯層單元(FTL)26之一較佳實施例。如圖所示，快閃解譯層單元(FTL)26包括映射表記憶體62，其於一較佳實施例為一種如反或閘(NOR)型快閃記憶體之非揮發性記憶體。映射表記憶體62包括一實體位址表以及一邏輯位址表，如同以下參照第9圖所詳述。上述實體位址表用以將邏輯位址映射成實體位址，而上述邏輯位址表則用以將實體位址映射成邏輯位址。



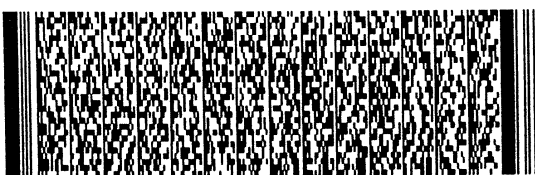
## 五、發明說明 (14)

又如第8圖所示，快閃解譯層單元(FTL)26包括一個操作如同有關映射表記憶體62之快取之映射表快取64，因此，能夠對於邏輯與實體位址互相映射提供更大效率。映射控制器66控制映射表記憶體62及映射表快取64，並從虛擬隨機存取記憶體(RAM)24接收讀取及寫入要求。

第9圖為映射表記憶體62及映射表快取64之詳圖。如圖所示，映射表記憶體62包括實體位址表72及邏輯位址表74。實體位址表72是藉由可能邏輯位址來索引。換言之，上述實體位址表之每一表列值對應於可能邏輯位址之一。每一個與邏輯位址相關之表列值包括一配置欄位A以及一實體位址欄位。配置欄位A指示是否有一實體位址已經與上述邏輯位址相關，而上述實體位址欄位指示上述相關之實體位址。

邏輯位址表74是藉由可能實體位址來索引。亦即，邏輯位址表74之每一表列值對應於快閃記憶體6之可能實體位址之一。邏輯位址表74之每一表列值包括一配置欄位A、一抹除欄位E、一邏輯位址欄位、以及一雜項欄位。配置欄位A指示是否有一邏輯位址已經與上述實體位址相關。抹除欄位E指示目前是否抹除上述相關實體位址。上述邏輯位址欄位包括對應於上述實體位址之邏輯位址，而上述雜項欄位儲存如錯誤糾正碼(ECC)資料等等之雜項資料。

又如第9圖所示，映射表快取64之快取表76包括複數個表列值。每一表列值包括一邏輯位址欄位、一配置欄位



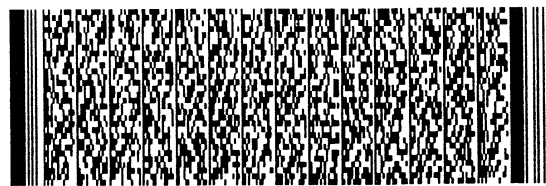


## 五、發明說明 (15)

A、一抹除欄位E、以及一實體位址欄位。上述邏輯位址欄位包括一個與上述實體位址欄位之實體位址相關之邏輯位址之一存取標籤。配置欄位A指示上述邏輯與實體位址之間的關連是否有效，而上述抹除欄位指示目前是否抹除上述實體位址欄位之實體位址。

第10圖繪示當從虛擬隨機存取記憶體(RAM)24接收一讀取要求時快閃解譯層單元(FTL)26之操作。如步驟S1202如示，映射控制器66從虛擬隨機存取記憶體(RAM)24接收一讀取要求及一邏輯位址。為了予以響應，所以映射控制器66存取映射表快取64，並測定是否快取表76將所接收之邏輯位址之標籤部分包含於一表列值以及是否有一有效關連存在於所接收之邏輯位址與一實體位址之間。若所接收之邏輯位址與一實體位址之間的一有效關連存在於快取表76，則於步驟S1206，映射控制器66使映射表快取64將上述相關實體位址連同上述讀取要求一起輸出至快閃記憶體介面28。

若所接收之邏輯位址並未與快取表76之實體位址有所關連，則於步驟S1208，映射表快取64將從實體位址表72存取一個與所接收之邏輯位址有關之實體位址。亦即，利用所接收之邏輯位址作為索引，映射表快取64將獲得相關之實體位址72。若由於某種原因使上述邏輯位址未包括一個與其有關之有效實體位址(A=0)，則這將表示沒有與所接收之邏輯位址有關之資料，因而映射控制器66將回覆一錯誤狀態給虛擬隨機存取記憶體(RAM)24，其經由主系統



## 五、發明說明 (16)

介面22將此錯誤傳送至主系統2。

除了輸出實體位址給快閃記憶體介面28之外，映射表快取64也更新快取表76以包含所接收之邏輯位址並且輸出實體位址作為快取表76之一表列值。在此情況下，映射表快取64也存取邏輯位址表74以獲得相關實體位址之抹除指示器E之狀態。

其次，將參照第11圖說明與從虛擬隨機存取記憶體(RAM)24接收之寫入要求有關之快閃解譯層單元(FTL)26之操作。如步驟S1302所示，映射控制器66從虛擬隨機存取記憶體(RAM)24接收一寫入要求、一邏輯位址、以及相關資料。映射控制器66經由映射表快取64存取映射表記憶體62以便從實體位址表72測定所接收之邏輯位址是否與一實體位址有關。亦即，利用所接收之邏輯位址作為索引，映射控制器66將測定與所接收之邏輯位址有關之表列值是否 $A=1$ 。若是如此，則上述映射控制器將從實體位址表72存取相關實體位址，並於步驟S1306測定是否已抹除快閃記憶體6當中與所取得之實體位址相關之部分。尤其，利用所取得之實體位址作為索引，映射控制器66將測定上述邏輯位址表當中與上述實體位址相關之抹除欄位E是否等於1。若是如此，則上述程序指示邏輯位址與實體位址之間的關連是有效的，並且上述實體位址是抹除狀態因而能夠執行寫入操作。因此，於步驟S1308，映射控制器66命令映射表快取64將所取得之實體位址及上述寫入要求輸出至快閃記憶體介面28。若映射表快取64沒有所取得之實體位



## 五、發明說明 (17)

址，則映射控制器66將命令實體位址表72輸出所取得之實體位址。映射控制器66也於步驟S1314更新映射表記憶體62，並於步驟S1316更新上述映射表快取。尤其，於邏輯位址表74，將設定配置欄位(例如A=1)，並改變與輸出實體位址有關之抹除欄位E以指示目前並未抹除上述實體位址，且將所接收之邏輯位址列入上述邏輯位址欄位。於實體位址表72，將設定所接收之邏輯位址之配置欄位並將所輸出之實體位址列入上述實體位址欄位。若快取表76存在一個所接收之邏輯位址之表列值與上述實體位址有關，則將對其作同樣的改變。若快取表76不存在此種表列值，則將產生一表列值。

於步驟S1306，若所取得之實體位址之E不等於1，則這表示並未抹除快閃記憶體6當中與所取得之實體位址相對應之記憶體位置。因此，除非在執行寫入操作之前抹除否則無法將資料寫入這個記憶體位置。因此，於步驟S1310，映射控制器66將所取得之實體位址放在一抹除名單上。上述抹除名單為一系列將要抹除之實體位址。這種抹除可能週期性發生，或可能被事件驅動，如此當處理資源及快閃記憶體6可用時將不會影響到讀取/寫入效率。

然後於步驟S1312，映射控制器66將存取實體位址表72以尋求一個處於抹除狀態之實體位址。此實體位址將連同上述寫入要求輸出至快閃記憶體介面28。於步驟S1314及S1316，映射控制器66更新映射表記憶體62及映射表快取64。在更新映射表記憶體62的情況下，實體位址表72的

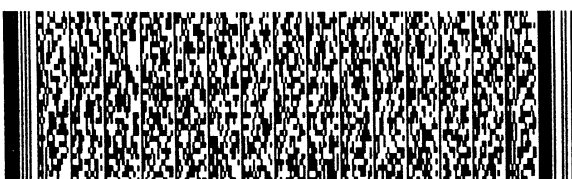


## 五、發明說明 (18)

變化如下：若所接收之邏輯位址之配置欄位A尚未設定則予以設定以指示上述邏輯位址之配置，並且將所輸出之實體位址列入所接收之邏輯位址之實體位址欄位。對於邏輯位址表74，將設定先前與所接收之邏輯位址有關之實體位址之配置欄位A(A=0)以指示上述實體位址並未與邏輯位址有關。同樣地，對於邏輯位址表74，所輸出之實體位址之表列值的變化如下：設定上述配置欄位(A=1)以指示配置，並設定上述抹除欄位(E=0)以指示未抹除狀態，且將所接收之邏輯位址列入上述邏輯位址欄位。在更新映射表快取64的情況下，將產生一表列值用於所接收之邏輯位址並輸出實體位址，或覆寫任何包括上述邏輯或實體位址之表列值(或更新此種表列值以指示其不再有效)。

回到步驟S1304，若對於所接收之邏輯位址實體位址表72之A不等於1，則無實體位址已經配置給上述邏輯位址。結果，處理程序將進行至步驟S1312，而其後之程序將如上所述。

第12圖繪示在快閃解譯層單元(FTL)26處理一寫入操作之前及之後實體位址表72及邏輯位址表74之一部分。尤其，第12圖之表1102及1104分別代表在接收一寫入要求之前的實體位址表72及邏輯位址表74，而第12圖之表1106及1108分別繪示在處理上述寫入要求之後的實體位址表72及邏輯位址表74。於第12圖所示之例子，上述寫入要求為將新資料寫入邏輯位址#0。接著如以上參照第11圖所述之程序，於步驟S1304映射控制器66測定邏輯位址#0之A等於



## 五、發明說明 (19)

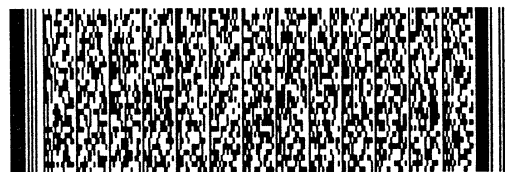
1(參見表1102)。因此，於步驟S1306，上述映射位址測定與邏輯位址#0相關之實體位址之抹除狀態。如表1102所示，與邏輯位址#0相關之實體位址為實體位址#31。如表1104所示，實體位址#31之抹除狀態為0指示上述實體位址目前尚未抹除。因此，於步驟S1308，映射控制器66尋求一個處於抹除狀態之新實體位址。再度參照第12圖，映射控制器66配置處於抹除狀態之實體位址#32，如表1104所示。

因此，於步驟S1308，從映射表快取64或實體位址表72輸出之實體位址為實體位址#32。

於步驟S1314，映射控制器66更新映射表記憶體62。如第12圖所示，將更新表1106所表示之實體位址表72使得實體位址#32現在與邏輯位址#0相關。對於表1108所表示之邏輯位址表74，將改變實體位址#31之配置欄位A以指示無配置，並將改變實體位址#32之配置欄位A以指示配置上述實體位址，且將改變實體位址#32之抹除狀態以指示實體位址#32並非已抹除狀態，也將寫入邏輯位址#0使其與實體位址#32相關。

## 快閃記憶體介面

第13圖繪示快閃記憶體子系統14之最後及最底層-快閃記憶體介面28。尤其，如眾所周知，快閃記憶體介面28執行將資料直接寫入/讀自快閃記憶體6之作用。

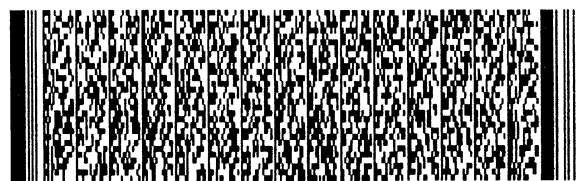


## 五、發明說明 (20)

如第13圖所示，快閃記憶體介面28包括一個作為與快閃記憶體子系統14之較上層之間的介面之快閃存取控制器82，以及一個作為與快閃記憶體6之間的直接介面之快閃記憶體控制器86。排列在快閃存取控制器82與快閃記憶體控制器86之間的是資料先進先出(FIFO)84，其用以儲存在快閃存取控制器82與快閃記憶體控制器86之間傳送之資料。在其作為介面的角色上，眾所周知的是快閃存取控制器82處理資料及指令交換信號，並包括儲存例如錯誤糾正碼(ECC)結果、先前寫入之錯誤糾正碼(ECC)數值等等之暫存器。快閃存取控制器82所接收之寫入或讀取要求將直接傳送至快閃記憶體控制器86，同時在寫入操作期間所接收之資料將經由先進先出(FIFO)84提供給快閃記憶體控制器86。此外，快閃存取控制器82直接提供上述與讀取及寫入要求有關之邏輯位址給快閃記憶體控制器86。快閃記憶體控制器86產生快閃記憶體控制信號以執行讀取、程式(寫入)、抹除操作。於本發明之一較佳實施例，根據快閃記憶體子系統14所連接之快閃記憶體6將快閃記憶體控制器86設計成以最有效方式來操作。同樣地，為了增進效率，將先進先出(FIFO)84建構成具有 $n \times bs$ 位元大小，其中 $n$ 是先進先出(FIFO)深度而 $bs$ 是匯流排大小。

因為快閃記憶體介面28之結構及操作是如此眾所周知，所以為了簡潔之故將不提供此元件之結構及操作之更詳細說明。

如上所述，如本發明所述之快閃檔案系統具有一種階



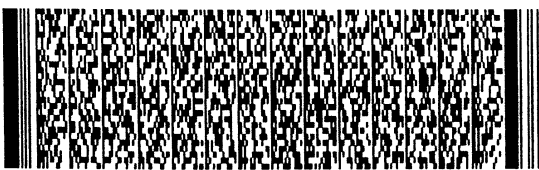
## 五、發明說明 (21)

層結構，其允許重新設計主系統、快閃記憶體或一部分快閃檔案系統而不必完全重新設計快閃檔案系統。因此，本發明之快閃檔案系統是極具彈性且容易適合特定應用。

因為上述快取記憶體系統使用與上述主系統相同之檔案系統，所以從上述主系統接收之邏輯位址不需要在上述快取記憶體系統解譯。

並且，上述快閃解譯層單元(FTL)使用與上述主系統相同之檔案系統。因此，對於映射從上述主系統接收之邏輯位址映射成為上述快閃記憶體之實體位址，上述快閃解譯層單元(FTL)不需要將上述主系統之邏輯位址由一種映射格式或檔案系統解譯成另一種。尤其，快閃記憶體子系統14之檔案系統及映射格式與上述主系統之檔案系統及映射格式是根據相同的資料單位大小。因此，上述映射格式與快閃記憶體6之實體結構無關。

雖然本發明已經以其較佳實施例揭露如上，然其並非用以限定本發明，任何熟習此技藝者，在不脫離本發明之精神的情況下，當可作些許之更動與潤飾，因此本發明之權利保護範圍當視後附之申請專利範圍所界定者為準。



## 圖式簡單說明

第1圖繪示如本發明之一較佳實施例所述之一個與一快閃檔案系統連接之主系統。

第2圖為第1圖之快閃記憶體子系統之詳圖。

第3圖為第2圖之主系統介面之詳圖。

第4圖為第2圖之虛擬隨機存取記憶體(RAM)之詳圖。

第5圖繪示儲存於第4圖之查表(LUT)之目錄表列值之欄位結構。

第6圖為第4圖之虛擬隨機存取記憶體(RAM)所執行之讀取程序之流程圖。

第7圖為第4圖之虛擬隨機存取記憶體(RAM)所執行之寫入程序之流程圖。

第8圖為第2圖之快閃解譯層單元(FTL)之詳圖。

第9圖為第8圖之映射表記憶體及映射表快取之詳圖。

第10圖為第8圖之快閃解譯層單元(FTL)所執行之讀取程序之流程圖。

第11圖為第8圖之快閃解譯層單元(FTL)所執行之寫入程序之流程圖。

第12圖繪示在一個實例寫入操作之前及之後的映射表記憶體之一部分。

第13圖為第2圖之快閃記憶體介面之詳圖。

## 圖式標記說明

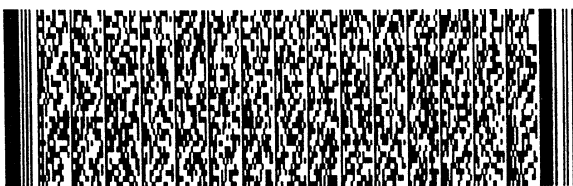
- 2 主系統
- 4 快閃檔案系統
- 6 快閃記憶體





## 圖式簡單說明

- 14 快閃記憶體子系統
- 22 主系統介面
- 24 虛擬隨機存取記憶體(RAM)
- 26 快閃解譯層單元(FTL)
- 28 快閃記憶體介面
- 32 主連結
- 34 暫存器檔案
- 36 資料緩衝器
- 38 直接記憶體存取(DMA)
- 42 查表(LUT)
- 44 緩衝隨機存取記憶體(RAM)
- 46 虛擬隨機存取記憶體(RAM)管理器
- 48 資料填入/移出控制器
- 52 查表(LUT)42之一表列值
- 62 映射表記憶體(非揮發性)
- 64 映射表快取
- 66 映射控制器
- 72 實體位址表
- 74 邏輯位址表
- 76 快取表
- 82 快閃存取控制
- 84 先進先出(FIFO)
- 86 快閃記憶體控制
- 1102 在接收寫入要求之前的實體位址表72



圖式簡單說明

- 1104 在接收寫入要求之前的邏輯位址表74
- 1106 在處理寫入要求之後的實體位址表72
- 1108 在處理寫入要求之後的邏輯位址表74

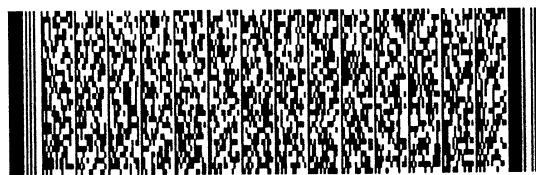


## 四、中文發明摘要 (發明名稱：快閃檔案系統)

一種快閃檔案系統(flash file system)，其中包括一快閃記憶體(flash memory)以及一個接合在上述快閃記憶體與一主系統之間的子系統。上述子系統包括一個由主系統介面、快取記憶體(cache memory)系統、快閃解譯層單元(flash translation layer unit, FTL)以及快閃記憶體介面所構成之階層結構(hierarchical structure)。上述主系統介面與上述主系統接合。上述快取記憶體系統具有一預定數目資料單位之儲存容量並且儲存經由上述主系統介面傳輸至及傳輸自上述主系統之資料。上述快閃解譯層單元將一個經由上述主系統介面及上述快取記憶體從上述主系統接收之邏輯位址(logical address)映射(maps)成上述快閃記憶體之一實體位址(physical address)。上述快閃記憶體介面與上述快閃記憶體接合，以便根據從上述快閃解譯層單元接收之實體位址將資料從上述快取記憶體系統傳輸至上述快閃記憶體，並且根據從

## 六、英文發明摘要 (發明名稱：A FLASH FILE SYSTEM)

The flash file system includes a flash memory and a subsystem interfacing between the flash memory and a host system. The subsystem includes a hierarchical structure of a host system interface, cache memory system, flash translation layer unit and a flash memory interface. The host system interface interfaces with the host system. The cache memory system has a storage capacity of a



四、中文發明摘要 (發明名稱：快閃檔案系統)

上述快閃解譯層單元接收之實體位址將資料從上述快閃記憶體傳輸至上述快取記憶體系統。

伍、(一)、本案代表圖為：第\_\_\_2\_\_\_\_\_圖

(二)、本案代表圖之元件代表符號簡單說明：

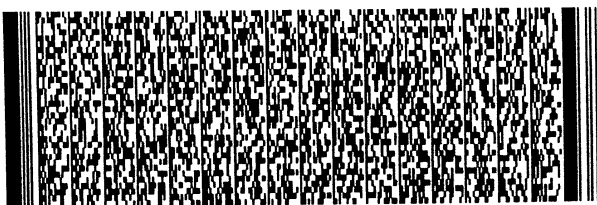
2：主系統      6：快閃記憶體      14：快閃記憶體子系統

22：主系統介面      24：虛擬隨機存取記憶體(RAM)

26：快閃解譯層單元(FTL)      28：快閃記憶體介面

六、英文發明摘要 (發明名稱：A FLASH FILE SYSTEM)

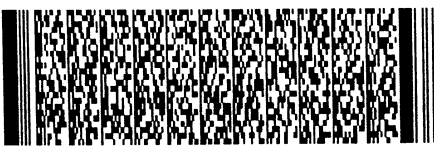
predetermined number of data units and stores data for transfer to and from the host system via the host system interface. The flash translation layer unit maps a logical address received from the host system via the host system interface and the cache memory into a physical address of the flash memory. The flash memory interface interfaces with the flash memory to transfer data to the flash



## 四、中文發明摘要 (發明名稱：快閃檔案系統)

## 六、英文發明摘要 (發明名稱：A FLASH FILE SYSTEM)

memory from the cache memory system based on the physical address received from the flash translation layer unit and to transfer data from the flash memory to the cache memory system based on the physical address received from the flash translation layer unit.



## 六、申請專利範圍

1. 一種快閃檔案系統，該系統包括：

一快閃記憶體；以及

一子系統，接合在該快閃記憶體與一主系統之間，該子系統包括，

一主系統介面，與該主系統接合；

一快取記憶體系統，該快取記憶體系統具有一預定數目資料單位之儲存容量並且儲存經由該主系統介面傳輸至及傳輸自該主系統之資料；

一快閃解譯層單元，將一個經由該主系統介面及該快取記憶體從該主系統接收之邏輯位址映射成該快閃記憶體之一實體位址；以及

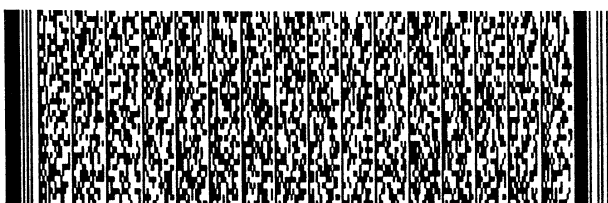
一快閃記憶體介面，與該快閃記憶體接合，以便根據從該快閃解譯層單元接收之該實體位址將資料從該快取記憶體系統傳輸至該快閃記憶體，並且根據從該快閃解譯層單元接收之該實體位址將資料從該快閃記憶體傳輸至該快取記憶體系統。

2. 如申請專利範圍第1項所述之快閃檔案系統，其中該子系統具有一種與該快閃記憶體之一實體結構無關之映射格式。

3. 如申請專利範圍第1項所述之快閃檔案系統，其中該映射格式與該主系統之一資料單位之大小相同。

4. 如申請專利範圍第3項所述之快閃檔案系統，其中該映射格式具有該主系統之一叢集之大小。

5. 如申請專利範圍第4項所述之快閃檔案系統，其中



## 六、申請專利範圍

該映射格式具有4千位元(KB)之大小。

6. 如申請專利範圍第1項所述之快閃檔案系統，其中當該主系統所要求之資料留在該快取記憶體系統時該快取記憶體系統輸出想要傳輸至該主系統之資料而未存取該快閃記憶體。

7. 如申請專利範圍第6項所述之快閃檔案系統，其中該快取記憶體系統根據該主系統所使用之複數個邏輯位址來儲存資料。

8. 如申請專利範圍第6項所述之快閃檔案系統，其中該快取記憶體系統包括：

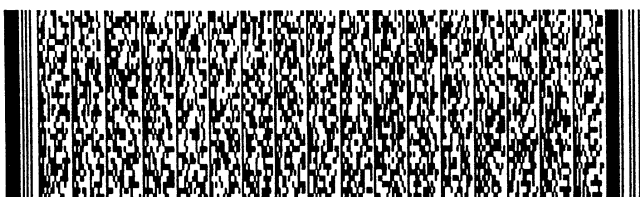
一緩衝記憶體，具有一預定數目資料單位之儲存容量；以及

一查表記憶體，具有與該緩衝記憶體之每一資料單位相關之一表列值，每一該表列值指示該相關資料單位之一邏輯位址以及該資料單位之資料是否有效。

9. 如申請專利範圍第8項所述之快閃檔案系統，其中每一該表列值更指示該資料單位之那些部分資料包括該主系統所變更之資料。

10. 如申請專利範圍第8項所述之快閃檔案系統，其中每一該表列值更指示是否整個該資料單位包括該主系統所變更之資料。

11. 如申請專利範圍第1項所述之快閃檔案系統，其中該快閃解譯層單元儲存一實體位址表以及一邏輯位址表；該實體位址表是藉由複數個邏輯位址來索引，並指示每一



## 六、申請專利範圍

該邏輯位址之一相關實體位址，且指示該邏輯位址與該實體位址之間的關連是否有效；該邏輯位址表是藉由複數個實體位址來索引，並指示每一該實體位址之一相關邏輯位址，且指示該實體位址與該邏輯位址之間的關連是否有效，也指示對於每一該實體位址該快閃記憶體之此一部分是否已抹除。

12. 如申請專利範圍第11項所述之快閃檔案系統，其中該邏輯位址表更包括一個與每一該實體位址索引相關且至少包括錯誤糾正碼資料之雜項欄位。

13. 如申請專利範圍第11項所述之快閃檔案系統，其中該快閃解譯層單元更儲存一映射表快取，該映射表快取之每一表列值包括一資料單位資料之一邏輯位址、一個與該資料單位資料相關之實體位址、一個指示該邏輯位址與該實體位址之間的關連是否有效之有效指示器、以及一個指示該快閃記憶體當中與該實體位址相關之部分是否已抹除之抹除指示器。

14. 一種快閃檔案系統，該系統包括：

一快閃記憶體；以及

一子系統，接合在該快閃記憶體與一主系統之間，該子系統包括一快取記憶體系統，該快取記憶體系統根據該主系統所使用之邏輯位址來儲存想要傳輸至該快閃記憶體之資料，並且當該主系統所要求之資料留在該快取記憶體系統時將輸出想要傳輸至該主系統之資料而未存取該快閃記憶體。





## 六、申請專利範圍

15. 如申請專利範圍第14項所述之快閃檔案系統，其中該快取記憶體系統包括：

一緩衝記憶體，具有一預定數目資料單位之儲存容量；以及

一查表記憶體，具有與該緩衝記憶體之每一資料單位相關之一表列值，每一該表列值指示該相關資料單位之一邏輯位址以及該資料單位之資料是否有效。

16. 如申請專利範圍第15項所述之快閃檔案系統，其中每一該表列值更指示該資料單位之那些部分資料包括該主系統所變更之資料。

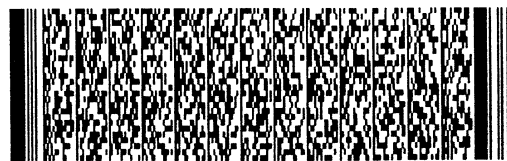
17. 如申請專利範圍第15項所述之快閃檔案系統，其中每一該表列值更指示是否整個該資料單位包括該主系統所變更之資料。

18. 一種快閃檔案系統，該系統包括：

一快閃記憶體；以及

一子系統，接合在該快閃記憶體與一主系統之間，該子系統包括，

一快閃解譯層單元，將一個從該主系統接收之邏輯位址映射成該快閃記憶體之一實體位址，該快閃解譯層單元儲存一實體位址表以及一邏輯位址表；該實體位址表是藉由複數個邏輯位址來索引，並指示每一該邏輯位址之一相關實體位址，且指示該邏輯位址與該實體位址之間的關連是否有效；該邏輯位址表是藉由複數個實體位址來索引，並指示每一該實體位址之一相關邏輯位址，且指示該



## 六、申請專利範圍

實體位址與該邏輯位址之間的關連是否有效，也指示對於每一該實體位址該快閃記憶體之此一部分是否已抹除。

19. 如申請專利範圍第18項所述之快閃檔案系統，其中該邏輯位址表更包括一個與每一該實體位址索引相關且至少包括錯誤糾正碼資料之雜項欄位。

20. 如申請專利範圍第18項所述之快閃檔案系統，其中該快閃解譯層單元更儲存一映射表快取，該映射表快取之每一表列值包括一資料單位資料之一邏輯位址、一個與該資料單位資料相關之實體位址、一個指示該邏輯位址與該實體位址之間的關連是否有效之有效指示器、以及一個指示該快閃記憶體當中與該實體位址相關之部分是否已抹除之抹除指示器。

21. 一種快閃檔案系統，該系統包括：

一快閃記憶體；以及

一子系統，接合在該快閃記憶體與一主系統之間，該子系統具有一種大小與該主系統之資料單位相同之映射格式。

22. 如申請專利範圍第21項所述之快閃檔案系統，其中該映射格式與該快閃記憶體之一實體結構無關。

23. 如申請專利範圍第21項所述之快閃檔案系統，其中該映射格式具有該主系統之一叢集之大小。

24. 如申請專利範圍第23項所述之快閃檔案系統，其中該映射格式具有4千位元(KB)之大小。

25. 一種快閃記憶體之快閃存檔方法，該方法包括：



## 六、申請專利範圍

儲存想要傳輸至及傳輸自一主系統之資料於一快取記憶體系統，該快取記憶體系統具有一預定數目資料單位之儲存容量；

將一個從該主系統接收之邏輯位址映射成該快閃記憶體之一實體位址；以及

接合該快閃記憶體，以便於一寫入模式根據從該映射步驟接收之該實體位址將資料從該快取記憶體系統傳輸至該快閃記憶體，並且於一讀取模式根據從該映射步驟接收之該實體位址將資料從該快閃記憶體傳輸至該快取記憶體系統。

26. 如申請專利範圍第25項所述之方法，其中一種使用於該映射步驟之映射格式與該快閃記憶體之一實體結構無關。

27. 如申請專利範圍第25項所述之方法，其中一種使用於該映射步驟之映射格式與該主系統之一資料單位之大小相同。

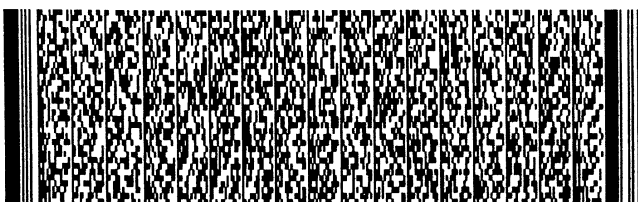
28. 如申請專利範圍第27項所述之方法，其中該映射格式具有該主系統之一叢集之大小。

29. 如申請專利範圍第25項所述之方法，更包括：

當該主系統所要求之資料留在該快取記憶體系統時輸出想要傳輸至該主系統之資料而未存取該快閃記憶體。

30. 如申請專利範圍第25項所述之方法，更包括：

儲存一實體位址表以及一邏輯位址表；該實體位址表是藉由複數個邏輯位址來索引，並指示每一該邏輯位址之



## 六、申請專利範圍

儲存想要傳輸至及傳輸自一主系統之資料於一快取記憶體系統，該快取記憶體系統具有一預定數目資料單位之儲存容量；

將一個從該主系統接收之邏輯位址映射成該快閃記憶體之一實體位址；以及

接合該快閃記憶體，以便於一寫入模式根據從該映射步驟接收之該實體位址將資料從該快取記憶體系統傳輸至該快閃記憶體，並且於一讀取模式根據從該映射步驟接收之該實體位址將資料從該快閃記憶體傳輸至該快取記憶體系統。

26. 如申請專利範圍第25項所述之方法，其中一種使用於該映射步驟之映射格式與該快閃記憶體之一實體結構無關。

27. 如申請專利範圍第25項所述之方法，其中一種使用於該映射步驟之映射格式與該主系統之一資料單位之大小相同。

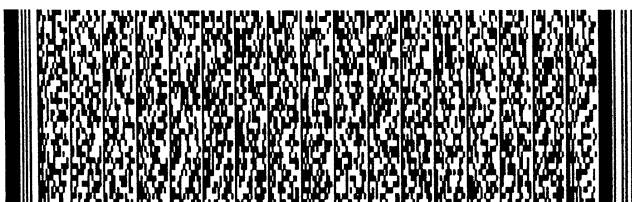
28. 如申請專利範圍第27項所述之方法，其中該映射格式具有該主系統之一叢集之大小。

29. 如申請專利範圍第25項所述之方法，更包括：

當該主系統所要求之資料留在該快取記憶體系統時輸出想要傳輸至該主系統之資料而未存取該快閃記憶體。

30. 如申請專利範圍第25項所述之方法，更包括：

儲存一實體位址表以及一邏輯位址表；該實體位址表是藉由複數個邏輯位址來索引，並指示每一該邏輯位址之



## 六、申請專利範圍

一 相關實體位址，且指示該邏輯位址與該實體位址之間的關連是否有效；該邏輯位址表是藉由複數個實體位址來索引，並指示每一該實體位址之一相關邏輯位址，且指示該實體位址與該邏輯位址之間的關連是否有效，也指示對於每一該實體位址該快閃記憶體之此一部分是否已抹除；其中

該映射步驟根據該實體位址表及該邏輯位址表來執行該映射操作。

31. 如申請專利範圍第30項所述之方法，更包括：

儲存一映射表快取，該映射表快取之每一表列值包括一資料單位資料之一邏輯位址、一個與該資料單位資料相關之實體位址、一個指示該邏輯位址與該實體位址之間的關連是否有效之有效指示器、以及一個指示該快閃記憶體當中與該實體位址相關之部分是否已抹除之抹除指示器；其中

該映射步驟根據該實體位址表、該邏輯位址表、以及該映射表快取來執行該映射操作。

32. 一種快閃記憶體之快閃存檔方法，該方法包括：

根據該主系統所使用之邏輯位址來儲存想要傳輸至該快閃記憶體之資料於一快取記憶體系統；以及

當該主系統所要求之資料留在該快取記憶體系統時輸出想要傳輸至該主系統之資料而未存取該快閃記憶體。

33. 如申請專利範圍第32項所述之方法，其中

該儲存步驟儲存想要傳輸至該快閃記憶體之資料於該



## 六、申請專利範圍

快取記憶體系統之一緩衝記憶體，該緩衝記憶體具有一預定數目資料單位之儲存容量；其中

該輸出步驟存取一個具有與該緩衝記憶體之每一資料單位相關之一表列值之查表記憶體，以便從該緩衝記憶體輸出想要傳輸至該主系統之資料，每一該表列值指示該相關資料單位之一邏輯位址以及該資料單位之資料是否有效。

34. 一種快閃記憶體之快閃存檔方法，該方法包括：

儲存一實體位址表以及一邏輯位址表；該實體位址表是藉由複數個邏輯位址來索引，並指示每一該邏輯位址之一相關實體位址，且指示該邏輯位址與該實體位址之間的關連是否有效；該邏輯位址表是藉由複數個實體位址來索引，並指示每一該實體位址之一相關邏輯位址，且指示該實體位址與該邏輯位址之間的關連是否有效，也指示對於每一該實體位址該快閃記憶體之此一部分是否已抹除；其中

根據該實體位址表及該邏輯位址表將一個從該主系統接收之邏輯位址映射成該快閃記憶體之一實體位址。

35. 如申請專利範圍第34項所述之方法，更包括：

儲存一映射表快取，該映射表快取之每一表列值包括一資料單位資料之一邏輯位址、一個與該資料單位資料相關之實體位址、一個指示該邏輯位址與該實體位址之間的關連是否有效之有效指示器、以及一個指示該快閃記憶體當中與該實體位址相關之部分是否已抹除之抹除指示器；

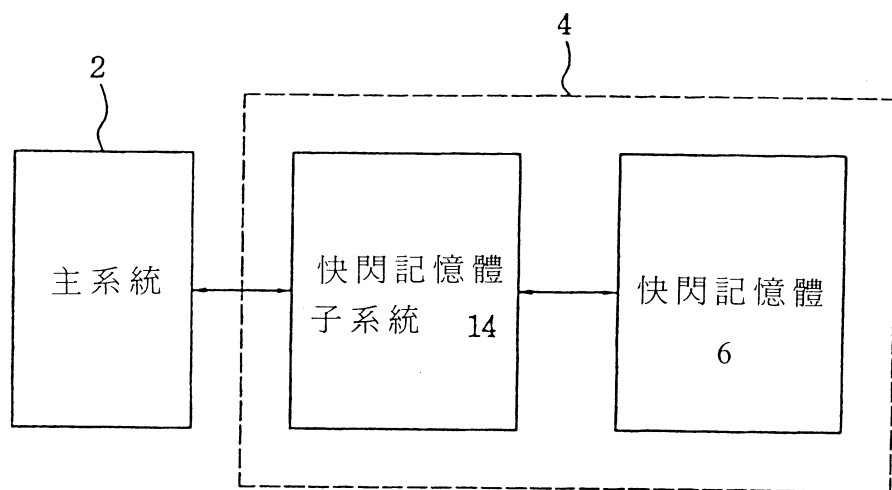


六、申請專利範圍

其中

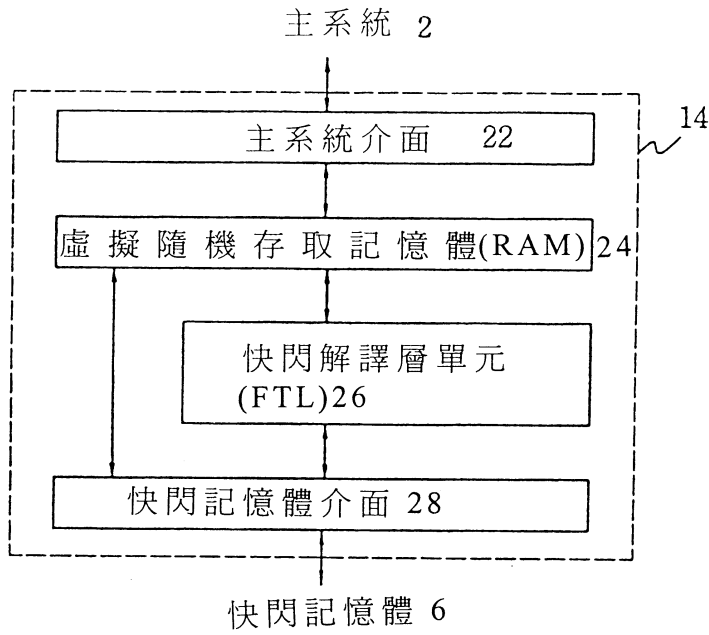
該映射步驟根據該實體位址表、該邏輯位址表、以及該映射表快取來執行該映射操作。



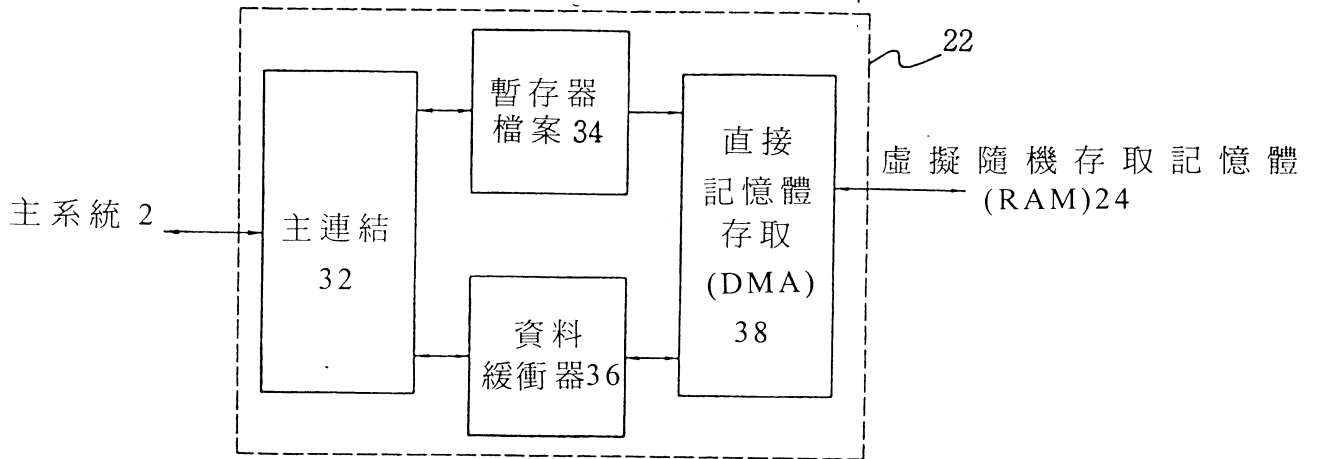


第 1 圖

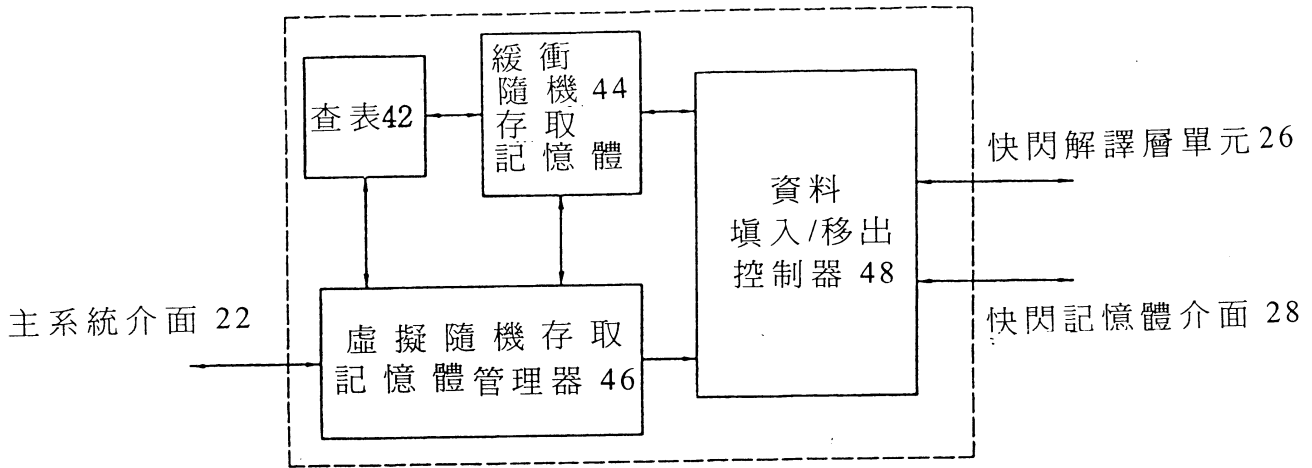




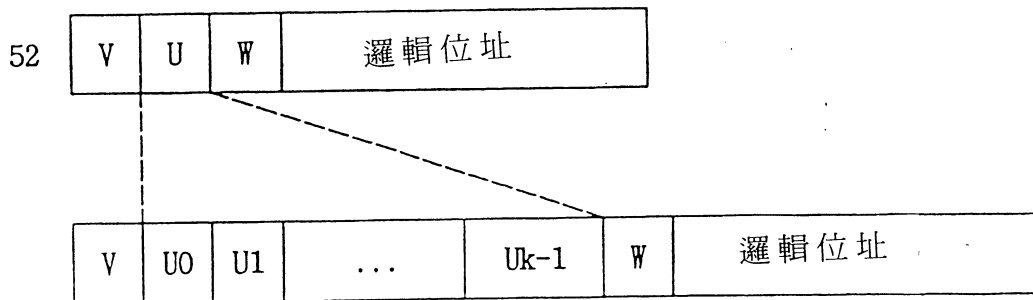
第 2 圖



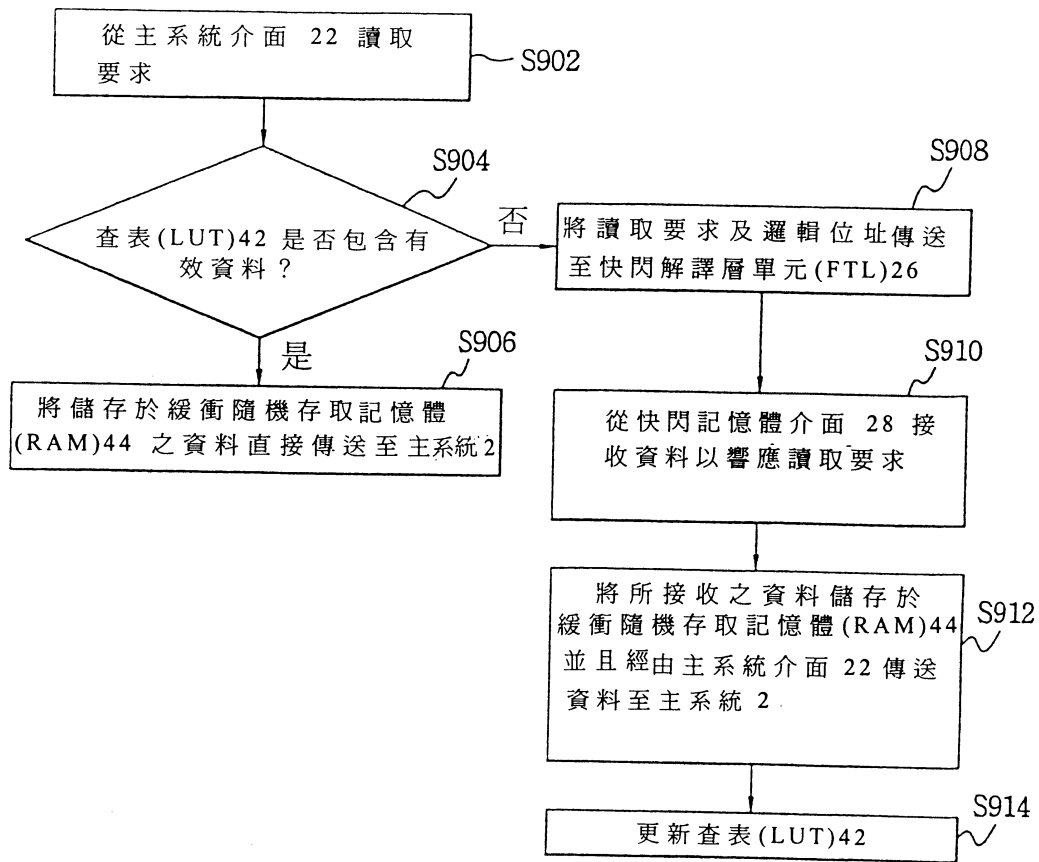
第 3 圖



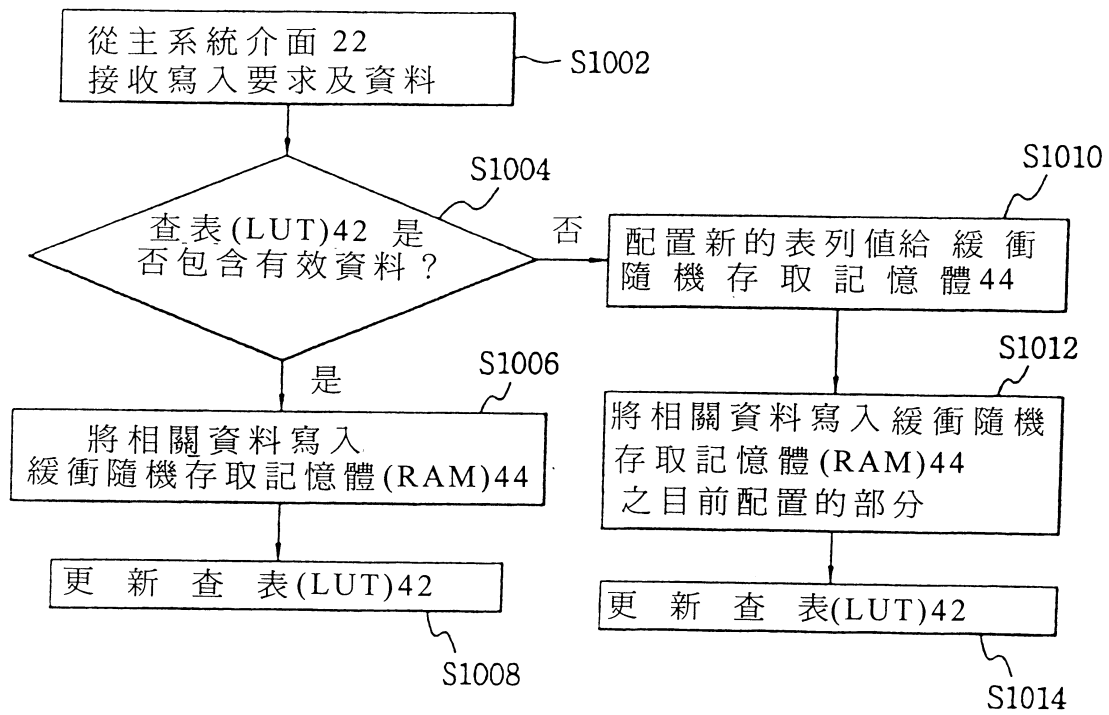
第 4 圖



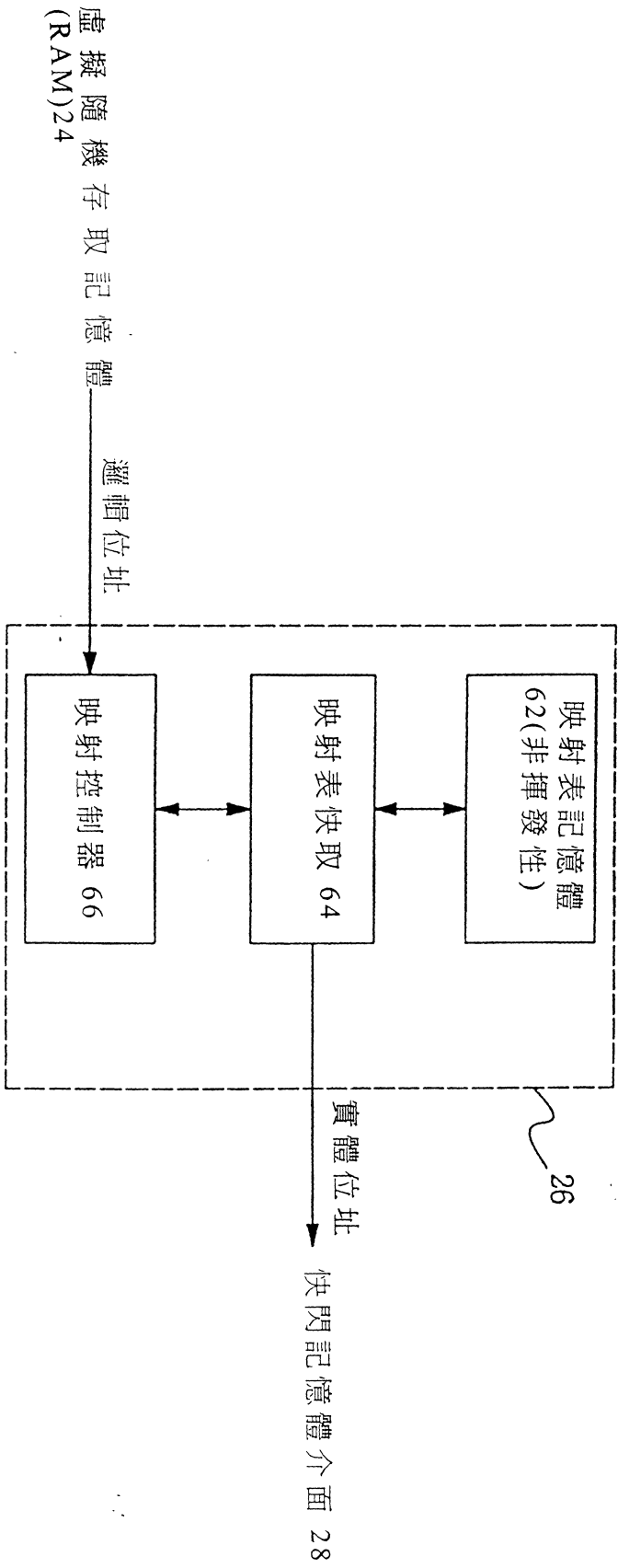
第 5 圖



第 6 圖



第 7 圖



第 8 圖

62 實體位址表

邏輯位址		
0	A	實體位址
1	A	實體位址
⋮		
n-1	A	實體位址

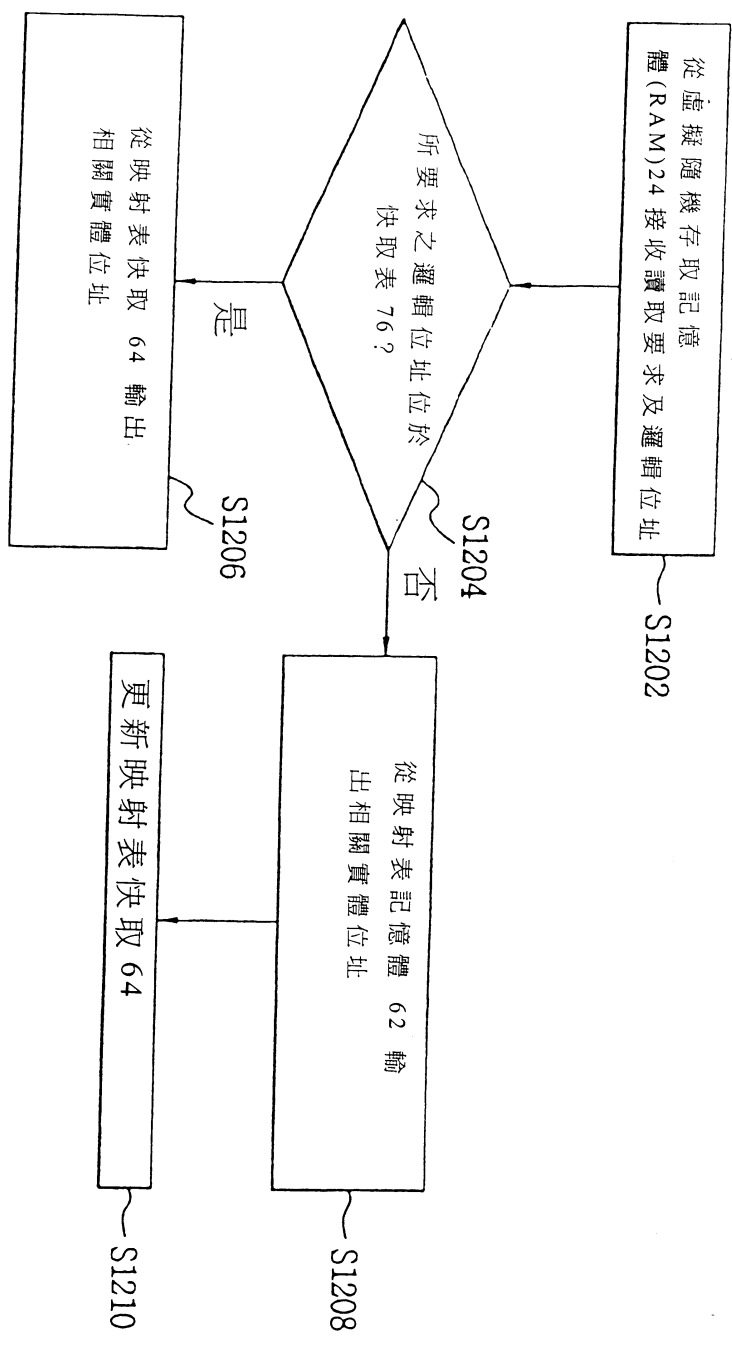
邏輯位址表

實體位址				
0	A	E	邏輯位址	雜項(欄位)
1	A	E	邏輯位址	雜項(欄位)
⋮				
n-1	A	E	邏輯位址	雜項(欄位)

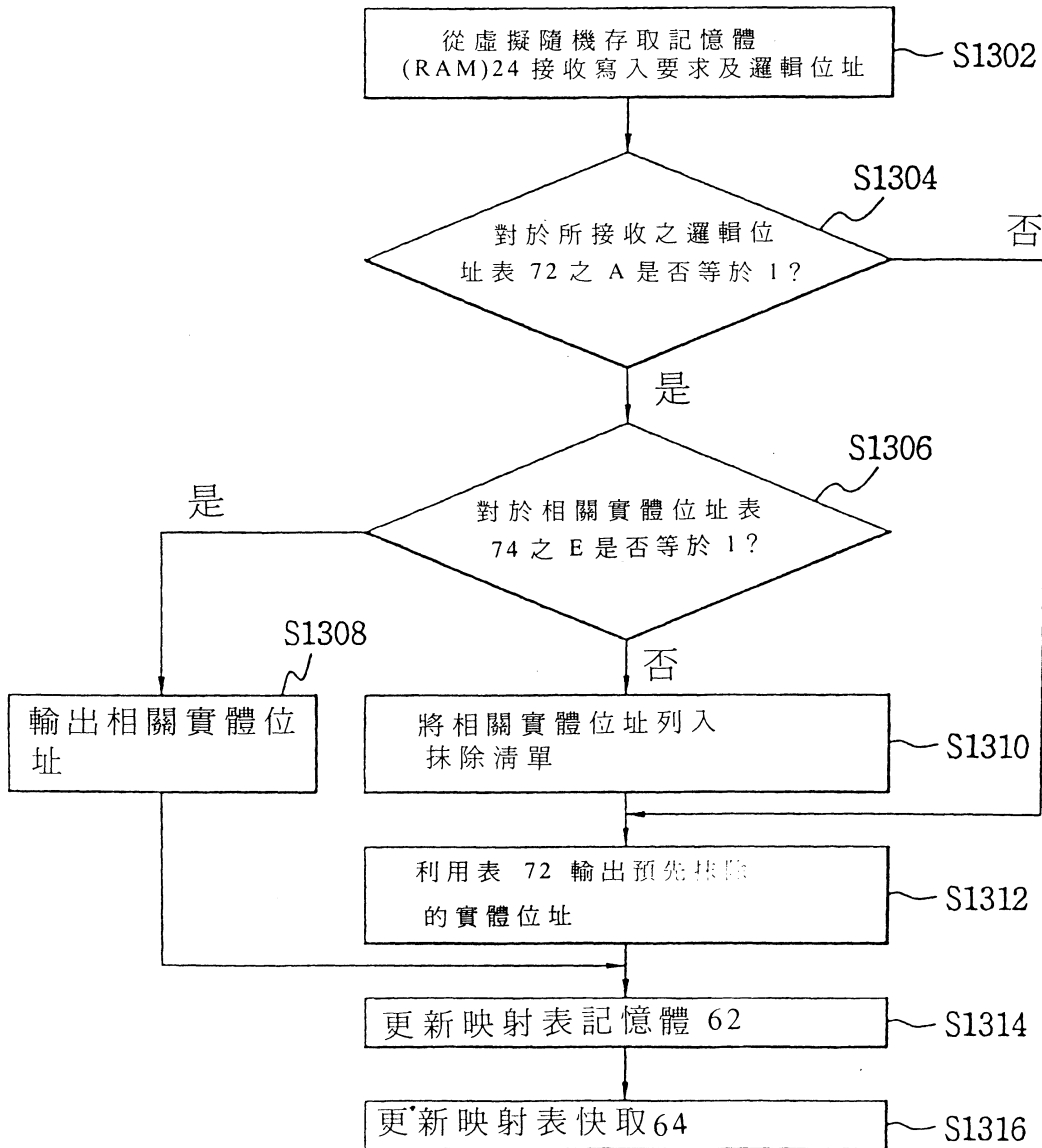
64 快取表

表列值				
0	邏輯位址	A	E	實體位址
1	邏輯位址	A	E	實體位址
⋮				
c-1	邏輯位址	A	E	實體位址

第 9 圖



第 10 圖



第 11 圖



<之前>

1102

邏輯位址	A	實體位址
#0	1	#31
...	...	...
...	...	...

<之後>

1106

邏輯位址	A	實體位址
#0	1	#32
...	...	...
...	...	...

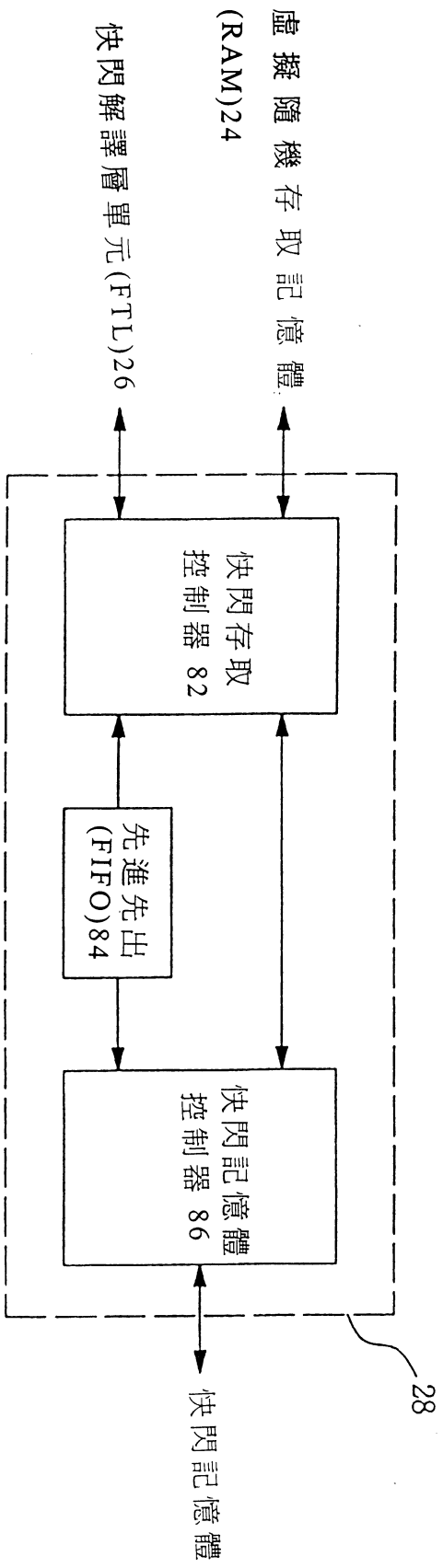
1104

實體位址	A	E	邏輯位址	雜項
...	...	...	...	...
#31	1	0	#0	...
#32	0	1	#1	...
...	...	...	...	...

1108

實體位址	A	E	邏輯位址	雜項
...	...	...	...	...
#31	0	0	#0	...
#32	1	0	#0	...
...	...	...	...	...

第 12 圖



第 13 圖