

(19) 대한민국특허청(KR)
(12) 특허공보(B1)

(51) Int. Cl.⁶
H01L 29/73

(45) 공고일자 1995년06월 15일
(11) 공고번호 특1995-0006479

(21) 출원번호	특1987-0005539	(65) 공개번호	특1987-0011704
(22) 출원일자	1987년05월30일	(43) 공개일자	1987년12월26일
(30) 우선권주장	36 18 166.8 1986년05월30일	독일(DE)	
(71) 출원인	텔레폰켄 엘렉트로닉 게엠베하 클라우스 봄하르트 · 한스-위르겐 마우트 독일연방공화국 데-7100 하일브론 테레지엔스트라쎄 2		
(72) 발명자	위르겐 아르트 독일연방공화국 데-7101 오버그롭펜바흐 임 도른 베르크 6		
(74) 대리인	남상욱, 남상선		

심사관 : 김정국 (책자공보 제4011호)

(54) 래터럴 트랜지스터

요약

내용 없음.

대표도

도1

명세서

[발명의 명칭]

래터럴 트랜지스터

[도면의 간단한 설명]

제1도는 제2도의 선 A-A'를 따라 취한 본 발명의 래터럴 트랜지스터의 단면도.

제2도는 제1도의 평면도.

제3도는 제1도에서 본 발명의 기본구성으로 되는 부분단면도.

제4도는 제3도의 B-B'를 따라 취한 활성 베이스영역에서 측면으로 본 2개의 가능한 도핑형태를 보인 간략도.

제5도는 매립된 전도성 채널이 없는 래터럴 트랜지스터와 비교하여 본 발명에 따른 래터럴 트랜지스터의 직류 이득을 나타낸 그래프.

제6a 내지 j도는 C-MOS 전계효과 트랜지스터 및 NPN 수직구조 트랜지스터와 본 발명에 따른 PNP 래터럴 트랜지스터를 포함하는 반도체 집적회로의 연속적인 제작과정을 보여주는 단면도.

* 도면의 주요부분에 대한 부호의 설명

- | | |
|-----------------|-----------------|
| 1 : 반도체 기관 | 2, 8 : 이산화 실리콘층 |
| 3, 11 : 질화 실리콘층 | 5c : 매립지역 |
| 7 : 반도체층 | 12 : n형 웰 |
| 14 : 패턴 | 22 : 절연층 |
| 25 : 전도성 채널 | 26 : 베이스영역 |

[발명의 상세한 설명]

본 발명은 에미터와 콜렉터를 구성하고, 제1전도형의 반도체 지역 표면애에 결합되어 있는 제2전도형의 2개의 영역으로 이루어진 PNP형 래터럴 트랜지스터에 관한 것이다. 이들 2개 영역 사이에 위치한 1차 전도형의 반도체 지역 부위가 활성 베이스영역을 구성한다.

수직구조(vertical)의 NPN 트랜지스터를 보충시키기 위해 바이폴라 집적회로에서 래터럴(lateral) PNP 바이폴라 트랜지스터를 사용하는 기술이 공지된바 있다. 이와같은 래터럴 트랜지스터의 특성은 특히 차단주파수, 전류이득 및 노이즈면에 있어서 상보형 수직 PNP 트랜지스터의 그것에 비해 명백히 열등한 것이다. 그러나, 제작과정의 양립성 때문에 이들 수직 PNP 트랜지스터는 집적회로내의 수직 NPN 트랜지스터와 함께 광범위하게 쓰인다.

"IEEE Journeal of Solid -Circuits"Vol. SC-18, No. 3, 1983년 6월호, 페이지 273에 n-채널 전계효과 트랜지스터를 p-웰(well) CMOS 기술에 의해 수직 NPN 바이폴라 트랜지스터로서 사용하는 것이 제안된 바 있다. 이 제안은 n-웰 CMOS 제조과정에서도 적용할 수 있으며, 이 경우, 웰 내에 위치한 p-채널 전계효과 트랜지스터가 수직 PNP 트랜지스터로서 사용된다.

본 발명의 목적은 전술한 바와같은 래터럴 트랜지스터와 비교할 때 실질적으로 개선된 전류이득 특성을 가지며, MOS 전계효과 트랜지스터와 바이폴라 트랜지스터 모두를 포함하는 집적회로의 제작과정에서 손쉽게 제작이 가능한 래터럴 트랜지스터, 특히 PNP 래터럴 트랜지스터를 제공하는데 있다.

위와같은 목적은 처음에 설명한 바와같은 종류의 래터럴 트랜지스터에서 에미터영역과 콜렉터영역 사이의 반도체 표면으로 부터 떨어져서 활성 베이스영역내에 소수전하 캐리어를 집중시키는 수단을 제공하는 본 발명에 의해 이루어질 수 있다. 바람직하게 이러한 목적은 상기 활성 베이스영역이 반도체표면 밑과 에미터영역 및 콜렉터영역에 인접하여 활성 베이스영역의 나머지 주변지역에 비해 반대성질의 불순물이 부가적으로 도핑된 매립된 반도체영역을 갖게 함으로써 달성된다.

본 발명은 전술한 바와같이 종래 구조의 래터럴 트랜지스터에서 불리한 이득 특성에 관련되는 다음의 2가지 효과에 대한 인식을 그 기초로 하고 있다 :

1. 산화 절연층(보호막)과 단결정 실리콘 사이의 경계에서 대전 및 비대전된 표면상태와 이곳에서 트랩의 발생에 따라 소수전하 캐리어가 격렬히 재결합하는 것.
2. 에미터로 부터 주입된 소수전류의 일부를 유출시키고, 각각의 래터럴 트랜지스터와 이론상 평행으로 배열된 기생 기관 트랜지스터.

이러한 결점들은 본 발명에 의해 에미터와 컬렉터 사이에서 양호하게 전도성 채널의 형태로 되는 베이스영역에서 소수전류를 집중시킴으로써 제거된다. 이것은 2개의 기생효과 즉, 특히 전류가 적을 때 표면 재결합과 기생 기관 트랜지스터의 발생에 따른 영향을 결정적으로 감소시킬 수 있다.

에미터-베이스 접합부에서 낮은 임계값을 갖는, 위와같은 전도성 채널은 p형 전도효과를 갖는 도핑 원자를 주입함에 의해 생성된다. 주입 에너지는 도핑 원자가 에미터영역의 수직 운장선의 약 1/2에 해당하는 표면으로부터의 거리에서 유입되도록 선택되어진다.

PNP 래터럴 트랜지스터에 있어서, 전도성 채널을 형성하는 매립된 반도체 영역을 도핑하는 것은 이 전도성 채널에서 n형 도핑의 환원이나 약간의 p형의 재도핑이 이루어지게 선택되나, p형 도핑은 통상 ON 상태(공핍 모드)가 전도성 채널내에 발생되지 않도록 선택되어진다. 본 발명의 래터럴 트랜지스터는 반도체 집적회로의 모든 성분에 공통으로 되는 반도체 기판위에 CMOS 전계효과 트랜지스터와 NPN 바이폴라 트랜지스터와 함께 배치된다. CMOS 전계효과 트랜지스터에 관련된 래터럴 트랜지스터의 제조에 있어서, 매립된 전도성 채널은 이온주입에 의해 형성되고, 이때 전계효과 트랜지스터의 임계전압은 반도체표면을 덮는 게이트 절연층을 통한 전하 캐리어의 주입에 의해 설정된다.

이제 본 발명과 그 장점은 도면을 참고로한 본 발명의 바람직한 실시예에 대한 설명으로부터 보다 명백하게 될 것이다.

도면에서 동일부분은 동일한 참고번호로 나타내었고, 도면의 표시는 실제크기가 아닌 이해를 돕기 위한 간략도이다.

제1도는 본 발명에 따른 래터럴 트랜지스터의 단면도이며, 그 평면도를 제1도에 나타내었다. 제2도의 선 A-A'를 따라 제1도의 단면도가 형성되어 있다. 제1도의 구성은 저농도로 도핑된 p형의 단결정 반도체기판(1)과 에피택셜로 부착된 p형 반도체층(7)을 포함한다. 고농도로 도핑된 n형의 매립지역(5c)은 반도체기판(1)과 반도체층(7) 사이에서 국부적으로 삼입되어 있다. n형의 도핑된 지역(12)(이하, n형 웰이라 칭한다)는 상기 매립지역에 인접하게 상부로 위치하고, 또 반도체표면에 인접하게 된다.

상기 n형 웰(12)에는 반도체표면에 인접하여 p⁺형의 에미터영역(19d)과, 이와 동심원상으로 p⁺형의 콜렉터영역(19c)이 배치된다. 이들 사이의 반도체표면에는, 예를들어 이산화 실리콘으로 된 절연층(24)에 의해 반도체기판과 분리되는, 예를들어 다결정 실리콘으로 구성된 환상의 게이트 전극층(15d)이 배치된다.

더우기, 이러한 집적회로의 구성은 이산화 실리콘으로 된 절연물질로 구성된 패턴(41)을 포함하고, 이 패턴은 실리콘내에 부분적으로 매립된다. 이 패턴(14)은 완전하게 n형 웰지역(12)의 경계를 정하고, 베이스단자지역(20c)과 콜렉터단자지역(19c)의 분리를 보장한다. n⁺형의 전도성 베이스단자지역(10)은 트랜지스터 구조의 측면에서 볼 때 n형 웰(12)안에 배치되고, 반도체표면의 부분절연지역(14a)에 의해 그로 부터 분리된다. 이 베이스단자지역(10)은 매립층(5c)까지 연장된다. 제1도에서, 베이스전극은(23h)로 나타내고, 동심원의 콜렉터전극은(23i), 에미터전극은 (23k)로 나타내었다. 본 발명의 PNP 트랜지스터에서, 에미터 단자(23m)와 전술한 전극(23h-23k)에 연결되어 있는 게이트전극(15d) 사이에는, 예를들어 고농도의 인으로 도핑된 유리로 구성되고, 바람직하게 기체상태로 증착된 절연층(22)이 위치한다.

제3도에서 명백히 나타난 바와같이 에미터영역(19d)과 콜렉터영역(19c) 사이에 부가적으로 삼입된 반도체영역(25)은 본 발명에 따른 배치의 특성에 대한 기본적인 중요성을 갖는다.

이 반도체영역(25)은 붕소와 같은 p형 전도형을 부가로 제공하는 불순물을 포함하며, 이는 각각 반도체지역(25)내의 베이스영역(26)의 n형 전도형을 감소시키고, 또 p형 전도체 내부로 n형 전도체가 재도핑되게 만든다. 제3도의 선 B-B'를 따라 취한 2개의 가능한 도핑형태 a 및 b가 제4도에 간략히 도시되었다.

도핑형태 a의 경우에 있어서, 소수전하 캐리어를 위한 전도성 채널을 형성하는 매립지역(25)에서 전도성 채널 위아래로 6×10^{15} atoms/cm³의 농도로 도핑된것이 약 5×10^{14} atoms/cm³로 감소된다. 또한, 도핑형태 b의 경우에서, p형 전도성으로 약간의 재도핑이 존재하게 되나, 여기서 p형 도핑은 통상 ON 상태(공핍 모드) MOS 전계효과 트랜지스터가 생성되지 않도록 소량으로 된다. 이것은 0의 전위가 게이트전극(15d)에 인가될 때 전도성 채널(25)내에서 아무런 전도가 일어나지 않게 될을 뜻한다. 또한 이것은 소오스지역(19d), 드레인지역(19c) 및 게이트전극(15d)을 가진 기생 p채널 MOS 트랜지스터가 -0.8V보다 작거나 같은 임계전압 U_{TH} 에 대해 통상 OFF 상태(인헨스먼트 모드)로 되어야 하기 때문에 필수적이다. 불순물의 양에 대해 자연적인 제한을 가한 이 결과는 전도성 채널(25)안에서 p형 전도형을 야기시킨다. 이는 예를들어 이온주입에 의해 유도된다. 제4b도에 있어서, 전도성 채널의 약 5×10^{14} atoms/cm³으로 된다.

본 발명에 따르면, 소수전류로서 베이스로 흐르는 양의 전하 캐리어(정공)을 위한 매립된 전도성 채널은 따라서 에미터영역(19c)과 콜렉터영역(19c) 사이의 활성 베이스영역(26)에서 생성된다.

더욱이 에미터단자에 게이트전극(15d)을 연결시키는 것은 전도성 전계효과 트랜지스터 때문에 에미터영역과 콜렉터영역 사이에서 기생전류가 발생하는 것을 방지하게 된다.

제5도는 본 발명에 따른 래터럴 PNP 트랜지스터의 실시예(곡선 a)와 에미터-콜렉터 사이에 반도체영역(25)이 없는 대응 트랜지스터(곡선 b)를 공통 에미터 접속에서 콜렉터전류 I_C 에 대한 직류이득 B로 비교 도시한 그래프이다. 여기서 $1\mu A$ 이하의 전류에 있어 본 발명에 의한 반도체 소자는 1차수 이상 더 크기로 되는 전류이득을 갖는다. 이 전류범위내에서의 노이즈 특성은 표면의 영향 제거에 의해 명백하게 개선된다. 이러한 개선은 저전력 저잡음 증폭기 입력단에서 유리한 결과를 가져온다.

상술한 바와같은 래터럴 PNP 바이폴라 트랜지스터는 수직 NPN 바이폴라 트랜지스터와 상보형 n-채널 및 p-채널 전계효과 트랜지스터와 함께 바이폴라 CMOS 혼합기술과 함께 유리하게 채택될 수 있다.

제6a도를 참조하면, 두께 약 $0.07\mu m$ 의 이산화 실리콘층(2)은 p형 실리콘 기판(1) 위에서 열적산화에 의해 비저항 $1-2\Omega cm$ 를 갖도록 생성된다. 공지된 기술로서 두께 $0.1\mu m$ 의 질화 실리콘층(3)이 이산화 실리콘층(2) 위에 생성되며, 그 최상 위층의 $10nm$ 는 수증기에서 열처리에 의해 이산화 실리콘으로 변환된다. 포토레지스트(4)와 그 변환된 표면을 포함하는 에칭층(3)으로 마스킹함으로써 기판표면 일부에 산화를 방지하는 마스크가 형성된다. 이에 의해 제6a도에 보인 구조를 얻게 된다. 이후, 비소(또는 안티몬)가 이온주입에 의하여 포토레지스트마스크의 윈도우를 통해 유입되고, 이에 의해 n형 반도체영역이 만들어진다.

포토레지스트 마스크를 제거한 후, n형 반도체영역(5a-5c)이 형성되는데, 이는 질소중에서 다시 열처리함에 의해 얻어진다. 에칭층(3)에 의해 덮여지지 않은 실리콘의 표면지역은 이후 습식 산소대기중에서 산화되고, 기판위에 부분적으로 가라앉은 산화물 패턴(6)은 n형 반도체영역(5a-5c)의 지역에서 형성된다(제6n도).

서로 상이한 두께를 갖는 산화영역(2) 및 (6)은 이후 불화수소 완충용액으로 에칭시킴에 의해 표면으로부터 제거된다. 표면에 형성된 단계들은 n+ 형으로 도핑된 반도체영역(5a-5c)를 재배치시킨다.

제6c도에 따르면, 두께 $5\mu m$ 의 p형 반도체층(7) (비저항 약 $20\Omega cm$)이 반도체 제조기술에서 통상적으로 쓰이는 공정에 의해 기판(1)위에 에피택셜 성장된다. 그 다음 두께 약 $0.7\mu m$ 의 이산화실리콘층(8)이 열적산화에 의해 그 위에 생성된다. n형 반도체영역(10a, 10b)은 윈도우를 통해 영역(5b, 5c)의 부분지역 위에서 인 이온(투여량 $1-5 \cdot 10^{15} cm^{-2}$)의 주입에 의해 만들어진다. 영역(5a-5c) 위로 n형 반도체영역(12)을 관통하는 윈도우는 약 $1-3 \cdot 10^{12} cm^{-2}$ 의 투여량에 의한 인 이온의 주입에 의해 생성되고(제6d도), 이는 새로운 포토레지스트층(9)의 제2의 마스킹 단계에 의해 만들어진다.

매립된 n형 영역(5b 및 5c) 까지 연장되는 n형 단자영역(10)은 영역(12)의 형성과 동시에 생성된다.

그 상부층 두께가 약 $10nm$ 인 $0.1\mu m$ 두께의 질화 실리콘층(11)은 다시 수증기중의 열처리에 의해 이산화 실리콘을 변환되며, 이 실리콘층(11)은 이산화실리콘층(8) 위에 성장된다. 포토레지스트(27)와 그 변환된 표면층을 가진 에칭층(11)으로 기판(제6d도)의 표면 일부에 산화를 방지하는 마스크가 형성된다.

구성된 포토레지스트층(27)은 그 다음 "하이드 베이크 처리"에 의해 저항성 있게 되고, 또 다른 포토레지스트층(13)이 제6e도에 따라 부착된다. 나중에 표면을 오염으로부터 보호하기 위해 층(7)(제6e도)의 p형 표면지역 내부로 $1-4 \cdot 10^{13} cm^{-2}$ 의 투여량을 가진 붕소이온주입중에 n형 반도체영역(5a-5c)을 커버링하는 구조가 만들어진다. 이와같은 2중 포토레지스트 공정은 p형 전도성 표면지역에서 활성 소자와 피일드 주입의 자기정렬이 가능하게 된다.

2중 포토레지스트 마스크(27, 13)의 제거후에 질화 실리콘막으로 씌워지지 않은 실리콘 표면부분은 습식산소대기중에서 산화되고, 피일드 산화막 패턴(14)은 제6f도에 나타난 것과 같이 기판에서 부분적으로 흠이 파여져서 형성된다.

NPN 트랜지스터의 베이스에 대한 윈도우는 포토레지스트층(15)의 도움에 의해 형성되고, 투여량 $8 \cdot 10^{13} cm^{-2} - 4 \cdot 10^{14} cm^{-2}$ 의 붕소이온이 이 윈도우내로 주입된다.

그 다음 레지스트층(15)이 제거되고, p형 전도성 베이스영역(28)이 주입된 불순물로 형성되어진다. 이 공정은 불활성 대기중에서 약 1050℃의 열확산에 의해 수행된다. 산화막(8)이 마스크없이 제거되 관서 게이트의 산화층(24)은 HCl이 첨가된 습식산소중에서 열적산화로 생성된다. 2개의 다른 에너지를 갖는 붕소이온은 이 게이트 산화층(24)을 통해 주입되어 전계효과 트랜지스터의 임계전압을 설정하게 된다 : 즉, 얇은 주입에 의해 30-50kV의 가속전압을 얻고, 깊은 주입에 의해 160-200kV의 가속 전압을 얻는다. 약 $4-7 \cdot 10^{11} \text{ cm}^{-2}$ 의 전체 투여량을 2회 주입으로 적절히 분할함에 의해 각각 p-채널과 n-채널의 전계효과 트랜지스터에 대해 -0.8V와 0.8V의 대칭적인 임계전압을 설정시킬 수 있다. 이로써 본 발명에 다른 반도체 소자에 원하는 이득 특성을 부여하는 제3도의 보인 반도체 영역(25), 즉 전도성 채널이 동시에 형성된다.

제6h도에 따르면, 베이스영역(28) 위의 NPN 트랜지스터의 에미터(15C)에 대한 개구가 포토레지스트 공정과 후속하는 산화막 에칭공정에 의해 게이트 산화막에 형성된다. 공지된 LPCVD 공법에 의해 도핑되지 않은 폴리실리콘층이 그위에 증착되고, $1-2 \cdot 10^{16}$ 의 투여량을 가지고 전체 표면에 걸친 인이온주입으로 N형 전도성을 갖게 된다. 전계효과 트랜지스터의 게이트전극(15A, 15B)과 NPN 바이폴라 트랜지스터의 에미터전극(15c) 및 래터럴 PNP 바이폴라 트랜지스터용 폴리실리콘링(15d)은 포토레지스트(16)로 마스크하고, 플라즈마 반응기내에서 후속되는 폴리실리콘의 에칭에 의해 형성된다(제6h).

구성된 포토레지스트층(16)은 이후 열처리에 의해 저항성 있게 만들고, 또 하나의 포토레지스트층(17)이 증착된다.

이 포토레지스트층(17)에서, p-채널 전계효과 트랜지스터(19a)의 소오스영역과 드레인영역에 대한 윈도우와 PNP 트랜지스터의 콜렉터(19c)와 에미터(19d), NPN 트랜지스터의 베이스단자(19b)에 대한 윈도우를 통해 투여량 $4-8 \cdot 10^{15} \text{ cm}^{-2}$ 의 붕소이온이 주입된다. n-형 전도성의 폴리실리콘(15a-15d)은 아직까지 존재하는 포토레지스트층(16)에 의해 붕소이온의 침투를 방지하게 된다.

포토레지스트층(16) 및 (17)을 제거한 다음에, 제6i도에 나타난 바와같은 새로운 포토레지스트층(18)이 증착되고, n-채널 전계효과 트랜지스터의 n형의 소오스영역과 드레인영역(20a)(제6j도)과, NN트랜지스터의 콜렉터단자(20b)(제6j도) 및 PNP 트랜지스터의 베이스단자(20c)(제6j도)에 개방된 윈도우를 통해 각각 투여량 $5-10 \cdot 10^{15} \text{ cm}^{-2}$ 의 인 또는 비소이온이 주입된다.

포토레지스트층(18)을 제거한 뒤, p+형 전도형 지역(19a-19d), n+형 전도형 지역(20a-20c) 및 n+형 전도형 에미터(21)(제6j도)가 유입된 불순물을 열처리 함에 의해 형성된다. 약 $0.8\mu\text{m}$ 두께의 산화막(22)이 전체 표면위에 생성되고, 콘택홀이 설치된 다음 맨 나중에 알루미늄층이 증착되고, 단자에 대한 금속도체 통로(23a-23i)가 사진 식각적 에칭처리에 의해 형성된다.

개별적인 소자의 성질이 측정되기 전에 생성가스(N_2H_2)중에서 450℃의 온도로 30분동안 어니일링이 실시된다.

제6j도에 나타난 배열은 동시에 왼편에서 오른편으로 다음과 같은 소자를 구성하게 된다 : n-채널 전계효과 트랜지스터, p-채널 전계효과 트랜지스터, NPN 수직 트랜지스터, PNP 래터럴 트랜지스터 상기한 바와같이, PNP형의 래터럴 트랜지스터에 콜렉터영역과 에미터영역 사이에 본 발명의 전도성 채널을 구비하게 함으로써 상기 열거한 반도체소자 등을 포함하는 복잡한 집적회로를 부가적인 경비를 들이지 않고 제작할 수 있는 이점이 있다.

(57) 청구의 범위

청구항 1

제2전도형인 에미터영역과 콜렉터영역으로 이루어진 2개의 영역(19c, 19d)와, 상기 2개의 영역 사이에 위치하여 제1전도형인 웰(12)로 이루어진 활성 베이스영역(26)으로 구성되며, 상기 2개의 영역(19c, 19d)이 상기 웰(12)의 표면부분에 결합되어 있는 래터럴 트랜지스터에 있어서, 상기 액티브 베이스영역(26)은 상기 웰(12)의 표면 아래로 간격을 유지하여 배치된 전도성 채널(25)을 포함하며, 상기 전도성 채널(25)은 상기 액티브 베이스영역(26)에서 전도성 채널(25)을 제외한 나머지 부분의 전도형과는 반대 전도형으로 도핑된 불순물을 추가로 포함하며, 따라서 에미터영역(19d)과 콜렉터영역(19c) 사이의 웰(12)의 표면과 간격을 유지하여 액티브 베이스영역(26)에 소수전하 캐리어를 집중시키는 것을 특징으로 하는 래터럴 트랜지스터.

청구항 2

제1항에 있어서, 상기 전도성 채널(25)은 제1전도형으로 되고, 상기 베이스영역(26)의 나머지 주변 지역에 비해 도핑농도가 실질적으로 감소되어 있는 것을 특징으로 하는 래터럴 트랜지스터.

청구항 3

제1항에 있어서, 상기 전도성 채널(25)은 제2전도형으로 되지만, 통상 ON 상태(공핍 모드)가 되지 않도록 약하게 도핑되는 것을 특징으로 하는 래터럴 트랜지스터.

청구항 4

제1항에 있어서, 상기 래터럴 트랜지스터가 PNP형 래터럴 트랜지스터인 것을 특징으로 하는 래터럴 트랜지스터.

청구항 5

제1항에 있어서, 상기 전도성 채널(25)은 이온주입에 의해 형성되는 것을 특징으로 하는 래터럴 트랜지스터.

청구항 6

제1항에 있어서, 상기 전도성 채널(25)은 웰(12)의 표면으로 부터 약 0.3 μ m의 깊이로 침투되며, n-형 및 p-형 전도형을 갖도록 각각 10¹⁴-10¹⁶ cm³ 농도의 도핑이 시행되게 한 것을 특징으로 하는 래터럴 트랜지스터.

청구항 7

제1항에 있어서, 상기 활성 베이스영역(26)은 웰(12)의 표면에서 에미터 접촉부(23k)와 연결된 전극층(15d)이 설치되어 있는 절연층(24)으로 씌워져 있는 것을 특징으로 하는 래터럴 트랜지스터.

청구항 8

제7항에 있어서, 상기 전극층(15d)은 전도성 단결정 실리콘으로 구성되며, 그 아래에 배치된 절연층(24)은 이산화실리콘 또는 질화실리콘으로 구성되는 것을 특징으로 하는 래터럴 트랜지스터.

청구항 9

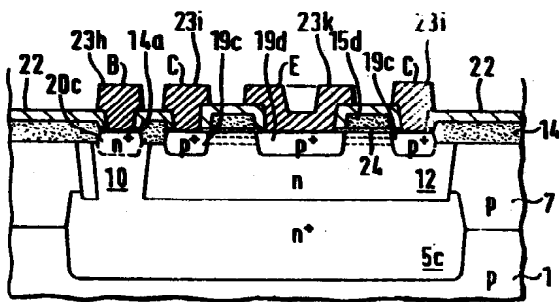
제1항에 있어서, 모든 구성요소와 공통연결되는 반도체기판(1) 위에 CMOS 전계효과 트랜지스터 및 NPN 바이폴라 트랜지스터가 함께 배치되어 있는 것을 특징으로 하는 래터럴 트랜지스터.

청구항 10

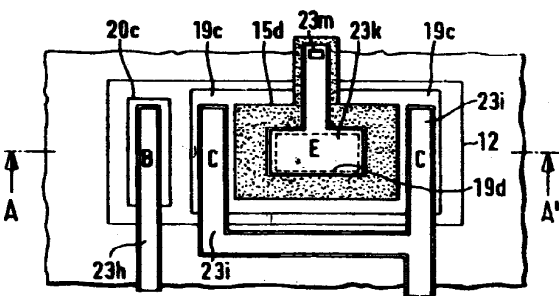
제1항에 있어서, 전도성 채널(25)이 이온주입에 의해 래터럴 트랜지스터의 활성 베이스영역(26)내에 형성되고, 이때 CMOS 전계효과 트랜지스터의 임계전압이 반도체 표면을 덮는 게이트 절연층(24)을 통한 전하 캐리어의 주입에 의해 설정되게 한 것을 특징으로 하는 래터럴 트랜지스터.

도면

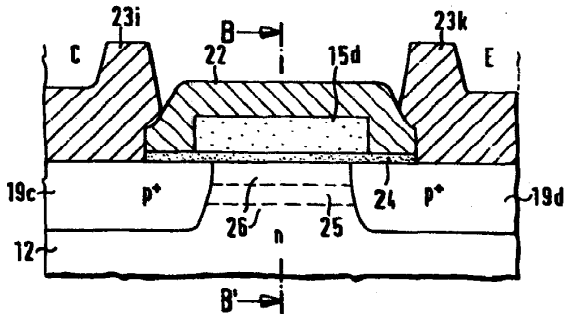
도면1



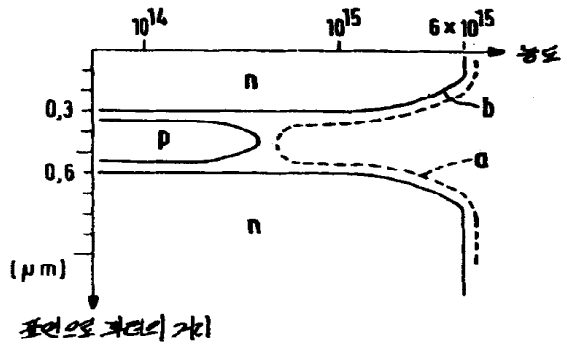
도면2



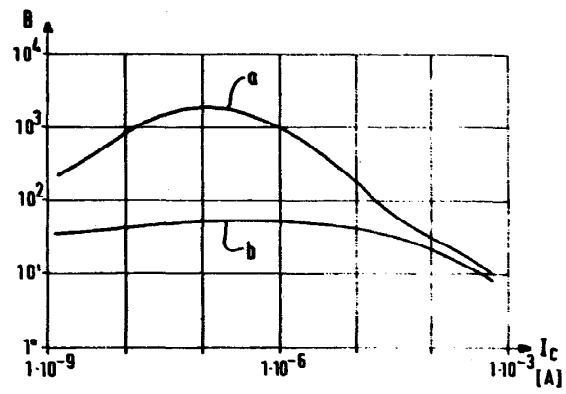
도면3



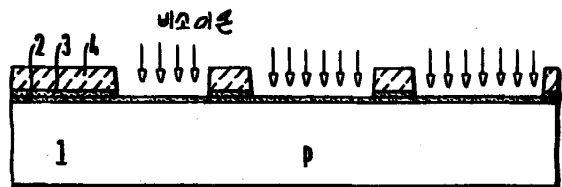
도면4



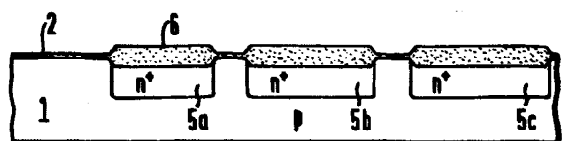
도면5



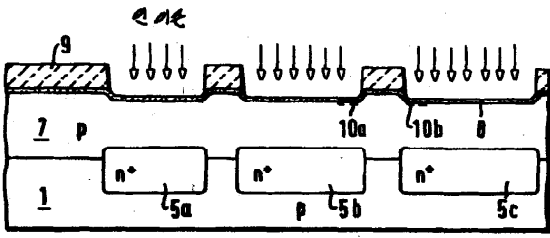
도면6a



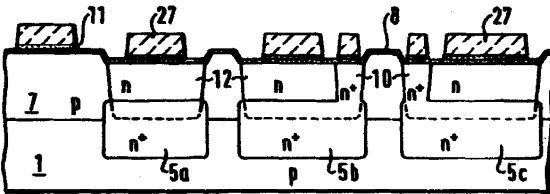
도면6b



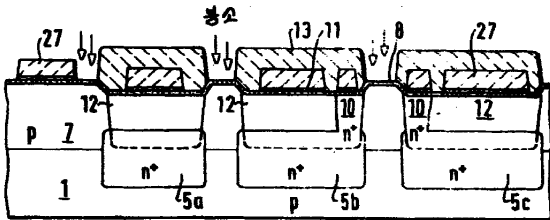
도면6c



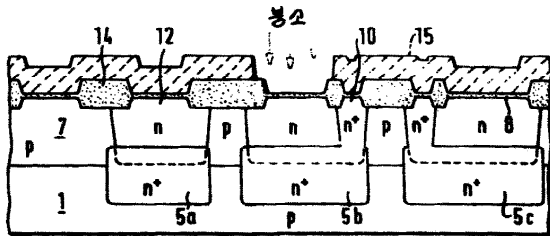
도면6d



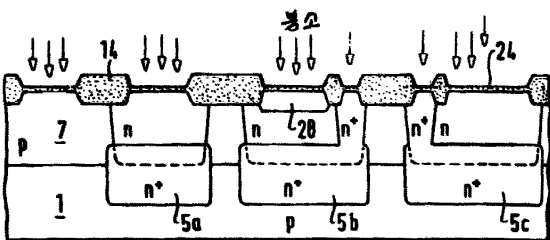
도면6e



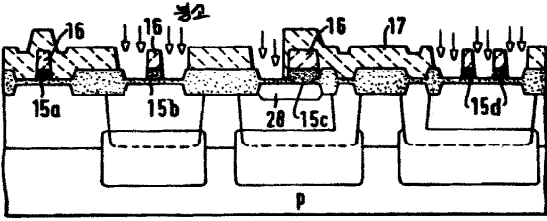
도면6f



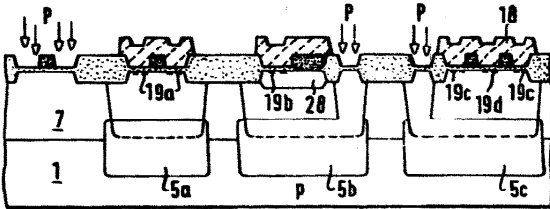
도면6g



도면6h



도면6i



도면6k

