



(12) 发明专利

(10) 授权公告号 CN 112614525 B

(45) 授权公告日 2023. 12. 29

(21) 申请号 202011486054.5
 (22) 申请日 2020.12.16
 (65) 同一申请的已公布的文献号
 申请公布号 CN 112614525 A
 (43) 申请公布日 2021.04.06
 (73) 专利权人 中国科学院上海微系统与信息技术研究所
 地址 200050 上海市长宁区长宁路865号
 (72) 发明人 张光明 雷宇 陈后鹏 宋志棠
 (74) 专利代理机构 上海泰能知识产权代理事务所(普通合伙) 31233
 专利代理师 钱文斌 黄志达
 (51) Int. Cl.
 G11C 13/00 (2006.01)
 (56) 对比文件
 CN 101770807 A, 2010.07.07
 CN 106356090 A, 2017.01.25

CN 108399931 A, 2018.08.14
 CN 109840223 A, 2019.06.04
 CN 111258793 A, 2020.06.09
 US 2006209593 A1, 2006.09.21
 US 2015262628 A1, 2015.09.17
 US 8830741 B1, 2014.09.09
 雷宇;陈后鹏;王倩;李喜;胡佳俊.相变存储器预充电读出方法.浙江大学学报(工学版).2018,全文.
 Daolin Cai;Houpeng Chen;Xi Li;Qian Wang;Zhitang Song.Circuit design for 128Mb PCRAM based on 40nm technology. 2011 11th Annual Non-Volatile Memory Technology Symposium Proceeding.2012,全文.
 沈菊;宋志棠;刘波;封松林.相变存储器驱动电路的设计与实现.半导体技术.2008,(第05期),全文.

审查员 梁晨陇

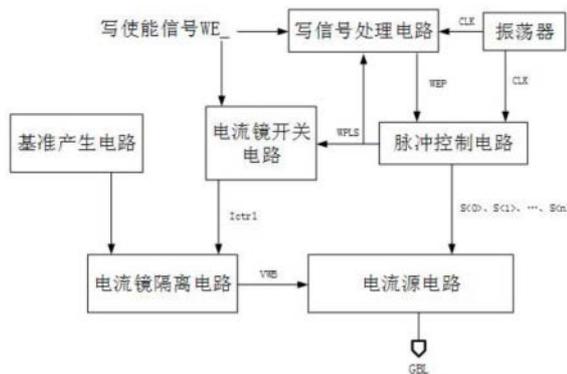
权利要求书2页 说明书4页 附图4页

(54) 发明名称

一种提高电阻一致性的低功耗相变存储器写驱动电路

(57) 摘要

本发明涉及一种提高电阻一致性的低功耗相变存储器写驱动电路,其中,基准产生电路产生基准电压或电流提供给电流镜隔离电路;振荡器产生时钟信号用于时序电路;写信号处理电路判断写使能信号与时钟信号的关系,直接或延时后提供使能信号给脉冲控制电路;电流镜隔离电路在电流镜开关电路控制下给电流源电路提供偏置;脉冲控制电路用来控制电流源电路产生的电流脉冲幅度、电流脉冲持续时间、电流脉冲阶梯数和阶梯时间的控制;电流源电路根据电流镜隔离电路提供的偏置和脉冲控制电路产生的控制信号产生相应的写电流脉冲。本发明可以优化存储器上电后第一次写电流脉冲波形,并尽可能减少功耗。



CN 112614525 B

1. 一种提高电阻一致性的低功耗相变存储器写驱动电路,其特征在于,包括:振荡器、写信号处理电路、电流镜隔离电路、电流镜开关电路、脉冲控制电路和电流源电路;所述振荡器分别与所述写信号处理电路和脉冲控制电路相连,用于产生一个固定频率的时钟信号;

所述电流镜开关电路与所述脉冲控制电路相连,用于控制所述电流镜隔离电路的打开和关断;

所述电流镜隔离电路产生一个电流源偏置电压VWB给所述电流源电路;

所述写信号处理电路分别与所述振荡器和脉冲控制电路相连,用于将外部输入的写使能信号WE_与所述振荡器产生的时钟信号进行比较,并根据比较结果产生使能信号WEP_提供给所述脉冲控制电路,以保证所述电流镜隔离电路的预充电时间;

所述脉冲控制电路由所述使能信号WEP_触发,利用所述振荡器产生的时钟信号和逻辑电路产生控制信号,控制所述电流源电路中不同支路的打开和关断;

所述电流源电路根据所述电流镜隔离电路提供的偏置电压VWB和所述脉冲控制电路提供的控制信号产生写电流脉冲。

2. 根据权利要求1所述的提高电阻一致性的低功耗相变存储器写驱动电路,其特征在于,所述电流镜开关电路在存储器上电后第一次写操作时,使用写使能信号WE_控制所述电流镜隔离电路的打开和关断;后续写操作时,使用所述脉冲控制电路输出的写脉冲使能WPLS控制所述电流镜隔离电路的打开和关断。

3. 根据权利要求1所述的提高电阻一致性的低功耗相变存储器写驱动电路,其特征在于,所述写信号处理电路在存储器上电后外部输入的第一次写使能信号WE_到来时,将写使能信号WE_与时钟信号进行对比;若写使能信号WE_下降沿到来时,时钟信号处于低电平,将写使能信号WE_延时后产生使能信号WEP_给所述脉冲控制电路;若WE_下降沿到来时,CLK处于高电平,则将写使能信号WE_作为使能信号WEP_。

4. 根据权利要求1所述的提高电阻一致性的低功耗相变存储器写驱动电路,其特征在于,所述电流镜隔离电路与基准产生电路相连,所述基准产生电路用于产生一个基准信号,所述电流镜隔离电路根据所述基准信号产生一个电流源偏置电压VWB以减小电流源电路中不同支路的控制开关导致的电荷馈通对偏置电压VWB的影响。

5. 根据权利要求1所述的提高电阻一致性的低功耗相变存储器写驱动电路,其特征在于,所述写信号处理电路是通过逻辑电路、传输门、触发器、锁存器或寄存器构成的电路。

6. 根据权利要求1所述的提高电阻一致性的低功耗相变存储器写驱动电路,其特征在于,所述电流镜开关电路是通过逻辑电路、传输门、触发器、锁存器或寄存器构成的电路。

7. 根据权利要求1所述的提高电阻一致性的低功耗相变存储器写驱动电路,其特征在于,所述脉冲控制电路包括计数器电路、比较器电路、分频器电路和逻辑修调电路;所述计数器电路用于计算时钟信号上升沿或下降沿的个数,所述比较器用于将计数器的输出与设置的脉冲时间长度修调信号对比,确定所述电流源电路中不同支路的控制信号的打开时间长度;所述分频器电路用于产生多个不同频率的时钟信号来修调电流脉冲阶梯时间;所述逻辑修调电路根据设置的脉冲高度修调信号,确定所述电流源电路中不同支路的控制信号的打开个数。

8. 根据权利要求1所述的提高电阻一致性的低功耗相变存储器写驱动电路,其特征在

于,所述脉冲控制电路将写脉冲使能信号WPLS同时提供给所述写信号处理电路和所述电流镜开关电路,使写信号处理电路和电流镜开关电路只在存储器上电后第一次写操作进行写使能信号WE_延时和使用写使能信号WE_控制所述电流镜隔离电路的开关,在后续的写操作不对写使能信号WE_进行延时,且由写脉冲使能信号WPLS控制所述电流镜隔离电路的开关。

一种提高电阻一致性的低功耗相变存储器写驱动电路

技术领域

[0001] 本发明涉及集成电路技术领域,特别是涉及一种提高电阻一致性的低功耗相变存储器写驱动电路。

背景技术

[0002] 相变存储器写驱动电路和系统的核心都是由驱动电流产生电路产生驱动电流输入到地址译码电路选中的相变单元,实现相变单元在晶态和非晶态之间的转变来存储0和1。现有技术主要集中在对电流脉冲信号幅度、持续时间、电流脉冲阶梯数和阶梯时间的控制;或者对存储器写电流大小的修调上,其未解决存储器上电后第一次写操作时,电流源电路偏置电压没有预充电导致第一次写操作上升沿缓慢,造成写一致性差的问题。

发明内容

[0003] 本发明所要解决的技术问题是提供一种提高电阻一致性的低功耗相变存储器写驱动电路,优化存储器上电后第一次写电流脉冲波形,并尽可能减少功耗。

[0004] 本发明解决其技术问题所采用的技术方案是:提供一种提高电阻一致性的低功耗相变存储器写驱动电路,包括:振荡器、写信号处理电路、电流镜隔离电路、电流镜开关电路、脉冲控制电路和电流源电路;

[0005] 所述振荡器分别与所述写信号处理电路和脉冲控制电路相连,用于产生一个固定频率的时钟信号;

[0006] 所述电流镜开关电路与所述脉冲控制电路相连,用于控制所述电流镜隔离电路的打开和关断;

[0007] 所述电流镜隔离电路产生一个电流源偏置电压VWB给所述电流源电路;

[0008] 所述写信号处理电路分别与所述振荡器和脉冲控制电路相连,用于将外部输入的写使能信号WE_与所述振荡器产生的时钟信号进行比较,并根据比较结果产生使能信号WEP_提供给所述脉冲控制电路,以保证所述电流镜隔离电路的预充电时间;

[0009] 所述脉冲控制电路由所述使能信号WEP_触发,利用所述振荡器产生的时钟信号和逻辑电路产生控制信号,控制所述电流源电路中不同支路的打开和关断;

[0010] 所述电流源电路根据所述电流镜隔离电路提供的偏置电压VWB和所述脉冲控制电路提供的控制信号产生写电流脉冲。

[0011] 所述电流镜开关电路在存储器上电后第一次写操作时,使用写使能信号WE_控制所述电流镜隔离电路的打开和关断;后续写操作时,使用所述脉冲控制电路输出的写脉冲使能WPLS控制所述电流镜隔离电路的打开和关断。

[0012] 所述写信号处理电路在存储器上电后外部输入的第一次写使能信号WE_到来时,将写使能信号WE_与时钟信号进行对比;若写使能信号WE_下降沿到来时,时钟信号处于低电平,将写使能信号WE_延时后产生使能信号WEP_给所述脉冲控制电路;若WE_下降沿到来时,CLK处于高电平,则将写使能信号WE_作为使能信号WEP_。

[0013] 所述电流镜隔离电路与基准产生电路相连,所述基准产生电路用于产生一个基准信号,所述电流镜隔离电路根据所述基准信号产生一个电流源偏置电压VWB以减小电流源电路中不同支路的控制开关导致的电荷馈通对偏置电压VWB的影响。

[0014] 所述写信号处理电路是通过逻辑电路、传输门、触发器、锁存器或寄存器构成的电路。

[0015] 所述电流镜开关电路是通过逻辑电路、传输门、触发器、锁存器或寄存器构成的电路。

[0016] 所述脉冲控制电路包括计数器电路、比较器电路、分频器电路和逻辑修调电路;所述计数器电路用于计算时钟信号上升沿或下降沿的个数,所述比较器用于将计数器的输出与设置的脉冲时间长度修调信号对比,确定所述电流源电路中不同支路的控制信号的打开时间长度;所述分频器电路用于产生多个不同频率的时钟信号来修调电流脉冲阶梯时间;所述逻辑修调电路根据设置的脉冲高度修调信号,确定所述电流源电路中不同支路的控制信号的打开个数。

[0017] 所述脉冲控制电路将写脉冲使能信号WPLS同时提供给所述写信号处理电路和所述电流镜开关电路,使写信号处理电路和电流镜开关电路只在存储器上电后第一次写操作进行写使能信号WE_延时和使用写使能信号WE_控制所述电流镜隔离电路的开关,在后续的写操作不对写使能信号WE_进行延时,且由写脉冲使能信号WPLS控制所述电流镜隔离电路的开关。

附图说明

[0018] 图1是本发明实施方式的结构方框图;

[0019] 图2是本发明实施方式中的一种写信号处理电路的电路图;

[0020] 图3是本发明实施方式中的一种电流镜开关电路的电路图;

[0021] 图4是现有技术中写电路由WPLS控制电流镜隔离电路开关的时序图;

[0022] 图5是WE_控制电流镜隔离电路开关的时序图;

[0023] 图6是本发明实施方式的电流镜隔离电路开关在存储器上电后第一次写操作的时序图;

[0024] 图7是本发明实施方式的电流镜隔离电路开关在存储器上电后前两次写操作的时序图;

[0025] 图8是由WE_控制电流镜隔离电路开关在写操作时平均功耗仿真结果图;

[0026] 图9是本发明在写操作时平均功耗仿真结果图。

具体实施方式

[0027] 本发明的实施方式涉及一种提高电阻一致性的低功耗相变存储器写驱动电路,如图1所示,包括:写信号处理电路、电流镜隔离电路、电流镜开关电路、基准产生电路、振荡器、电流源电路和脉冲控制电路。其中,所述基准产生电路与所述电流镜隔离电路连接,所述振荡器分别与所述写信号处理电路和所述脉冲控制电路连接,所述电流镜隔离电路与所述电流源电路连接,所述脉冲控制电路分别与所述写信号处理电路、所述电流镜开关电路和所述电流源电路连接。在写操作过程中,所述电流源电路将产生的电流脉冲或电压脉冲

输出到译码控制电路选中的相变单元。

[0028] 所述振荡器用于产生一个固定频率的时钟信号CLK。

[0029] 所述基准产生电路用于产生一个与电源、工艺、温度等参数无关的基准电压或电流。

[0030] 所述写信号处理电路用于将外部输入的写使能信号WE_与振荡器产生的时钟信号CLK进行比较,并根据比较结果产生使能信号WEP_提供给脉冲控制电路,保证电流镜隔离电路的预充电时间,实现对存储器上电后第一次写电流脉冲波形的优化。

[0031] 本实施方式中,所述写信号处理电路在存储器上电后外部输入的第一次写使能信号WE_到来时,将写使能信号WE_与时钟信号CLK进行对比;若写使能信号WE_下降沿到来时,时钟信号CLK处于低电平,即写使能信号WE_下降沿与即将到来的时钟信号CLK上升沿间隔时间较短,不能满足存储器上电后第一次写操作时电流镜隔离电路对偏置电压VWB预充电的时间需求,写信号处理电路将写使能信号WE_延时后产生使能信号WEP_给脉冲控制电路;若写使能信号WE_下降沿到来时,时钟信号CLK处于高电平,即写使能信号WE_下降沿与即将到来的时钟信号CLK上升沿间隔时间较长,能够满足存储器上电后第一次写操作时电流镜隔离电路对偏置电压VWB预充电的时间需求,或存储器上电后第二次及后续写操作,则写信号处理电路不进行延时操作,使得使能信号WEP_与写使能信号WE_相同。

[0032] 所述写信号处理电路是通过逻辑电路、传输门、触发器、锁存器或寄存器构成的电路。图2为本实施方式的一种写信号处理电路,其中,POR为上电复位信号,WENE为写使能信号WE_下降边沿检测信号。

[0033] 所述脉冲控制电路由写信号处理电路提供的使能信号WEP_触发,利用振荡器产生的时钟信号CLK和逻辑电路产生控制信号S<0>、S<1>、……、S<n>,控制所述电流源电路不同支路的打开和关断,实现对电流脉冲幅度、电流脉冲持续时间、电流脉冲阶梯数和下降阶梯时间的控制。

[0034] 本实施方式的脉冲控制电路包括计数器电路、比较器电路、分频器电路、逻辑修调电路。所述计数器计算时钟信号上升沿或下降沿的个数,比较器输出将计数器的输出与设置的脉冲时间长度修调信号对比,确定了控制信号S<0>、S<1>、……、S<n>的打开时间长度,分频器产生多个不同频率的时钟信号来修调电流脉冲阶梯时间,逻辑修调电路根据设置的脉冲高度修调信号,确定了控制信号S<0>、S<1>、……、S<n>的打开个数,从而实现不同的电流脉冲幅度、电流脉冲持续时间、电流脉冲阶梯数和下降阶梯时间的控制。

[0035] 所述脉冲控制电路将写脉冲使能信号WPLS提供给所述写信号处理电路和所述电流镜开关电路,使写信号使能电路和电流镜开关电路只在存储器上电后第一次写操作进行写使能信号WE_延时和使用WE_控制电流镜隔离电路的开关,在后续的写操作不对写使能信号WE_进行延时,且由写脉冲使能信号WPLS控制电流镜的开关,在优化存储器上电后第一次写电流脉冲波形的同时,尽可能地减少功耗。

[0036] 所述电流镜开关电路用于控制所述电流镜隔离电路的打开和关断。本实施方式中,所述电流镜开关电路在存储器上电后第一次写操作时,电流镜开关电路用写使能信号WE_控制电流镜隔离电路的开关,后续写操作脉冲控制电路输出的写脉冲使能WPLS控制电流镜隔离电路的开关。图3是本实施方式的一种电流镜开关电路的电路图。

[0037] 所述电流镜隔离电路用于根据基准产生电路提供的基准,产生一个电流源偏置电

压VWB,以显著减小S<0>、S<1>、……、S<n>开关导致的电荷馈通对偏置电压VWB的影响。

[0038] 所述电流源电路根据所述电流镜隔离电路提供的偏置电压VWB和所述脉冲控制电路提供的控制信号S<0>、S<1>、……、S<n>产生相应的写电流脉冲,由VRST信号控制产生电压初始化脉冲。

[0039] 如图4所示,传统写电路由WPLS控制电流镜隔离电路开关,存储器上电后第一次写操作流过相变单元的电流上升较慢,导致写一致性差。如图5所示,WE_控制电流镜隔离电路开关,当WE_下降沿离CLK上升沿较近的情况时,仍然存在存储器上电后第一次写操作流过相变单元的电流上升较慢,导致写一致性差的问题。

[0040] 本实施方式的电流镜隔离电路开关在存储器上电后第一次写操作由WE_控制,且判断WE_与CLK关系,如图6所示,若WE_下降沿与CLK上升沿较近,则延时后产生WEP_提供给脉冲控制电路,保证了预充电时间,上电后第一次写电流脉冲上升更快;后续的写操作由WPLS控制,相比于WE_控制减少电流镜隔离电路导通时间,降低了功耗。如下图7所示,本实施方式在上电后第一次写操作电流上升迅速,相变单元写一致性更好。

[0041] 图8是由WE_控制电流镜隔离电路开关在写操作时平均功耗;图9是本实施方式在写操作时平均功耗。比较后可知,本实施方式在写操作时的平均功耗明显低于由WE_控制电流镜隔离电路开关在写操作时平均功耗。

[0042] 值得一提的是,本实施方式中的上升沿、下降沿、高电平、低电平仅是为了便于描述本申请和简化描述,而不是指示或暗示所指的装置或元件必须具有特定的方位、以特定的方位构造和操作,因此不能理解为对本申请的限制。

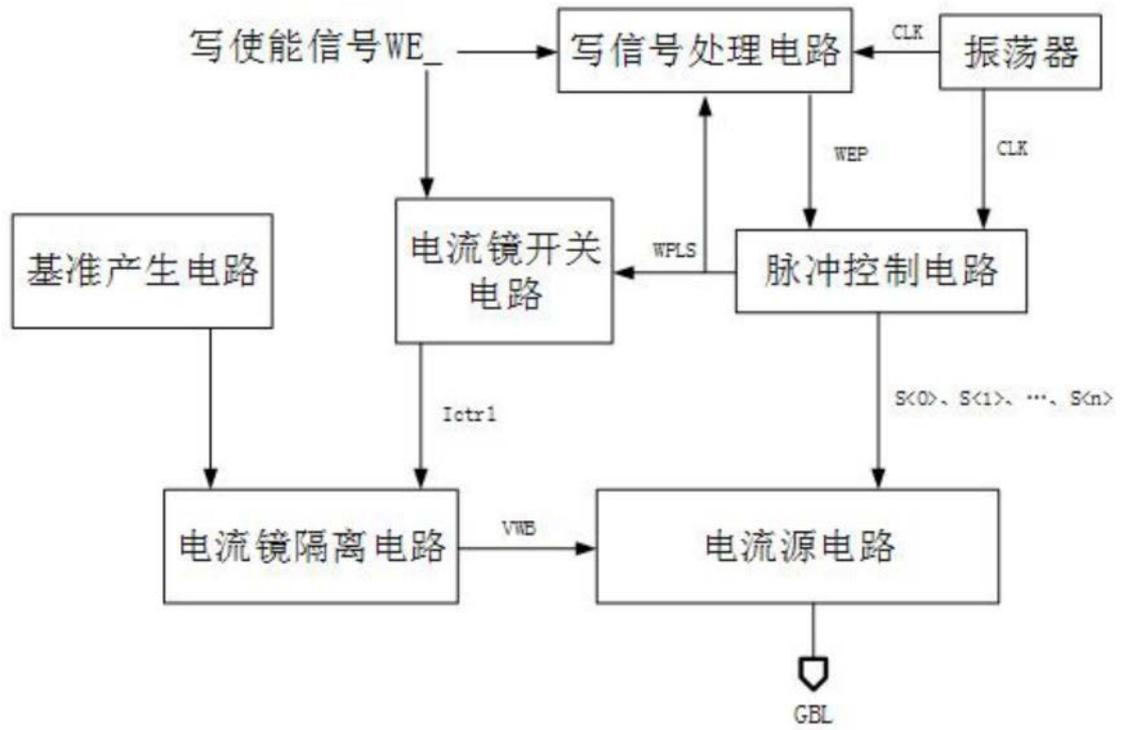


图1

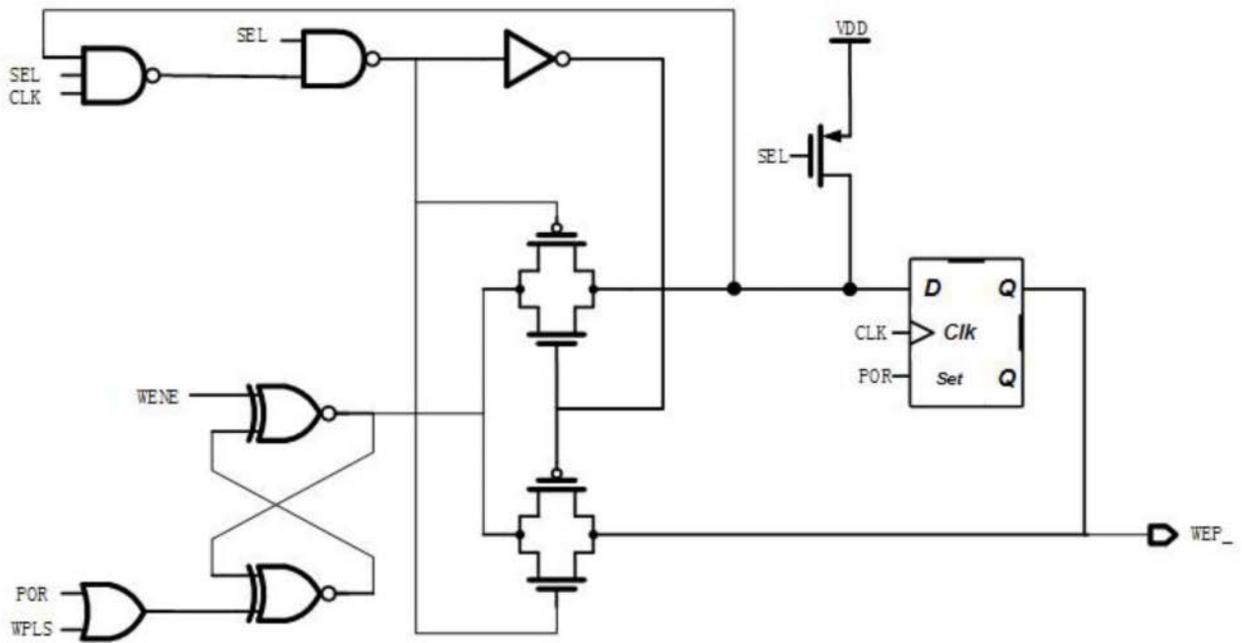


图2

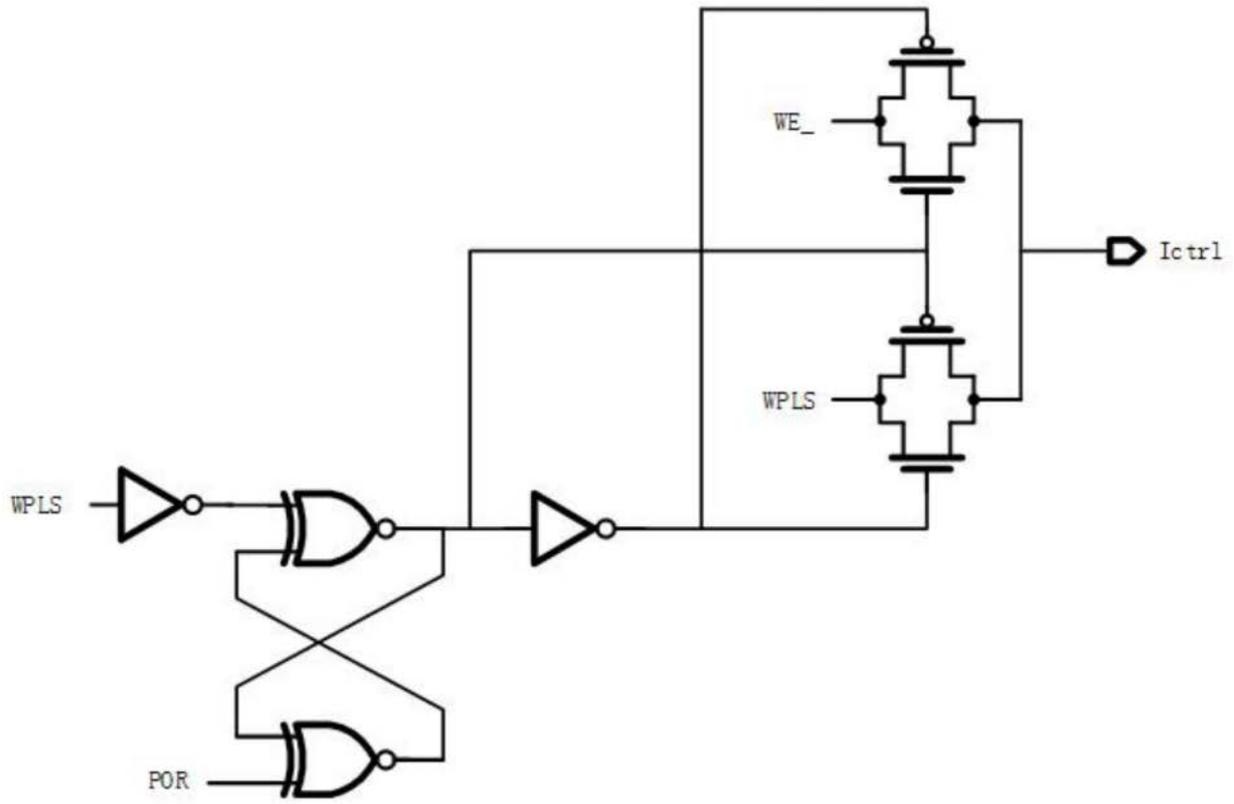


图3

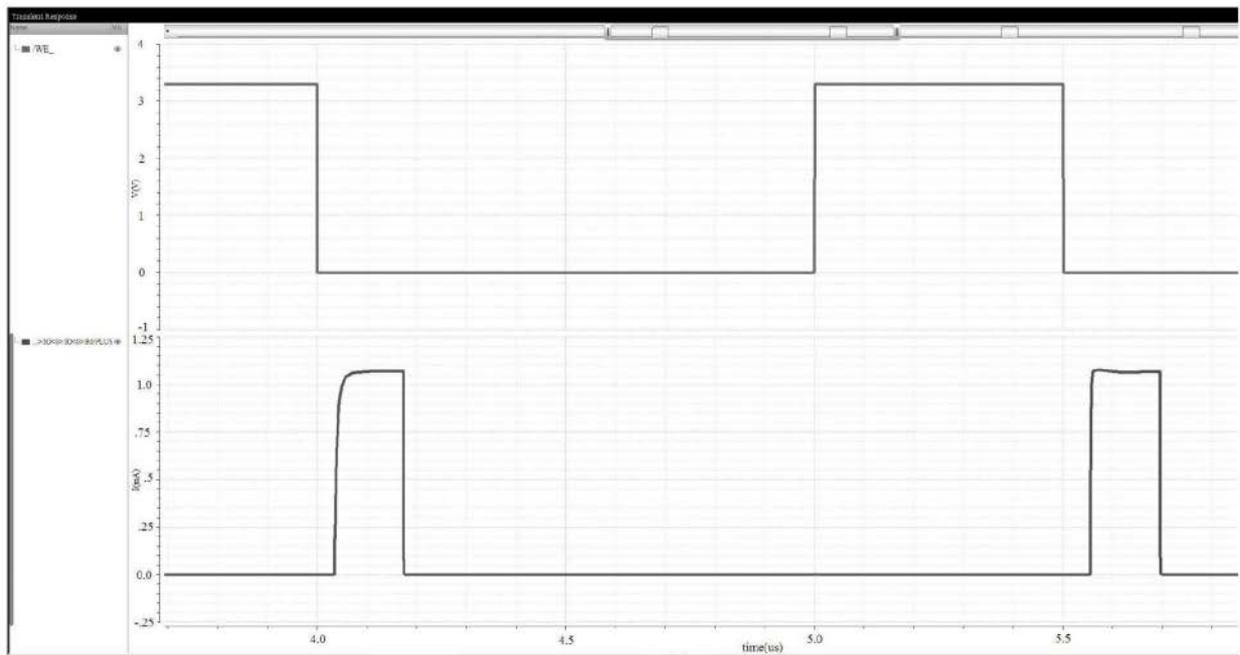


图4

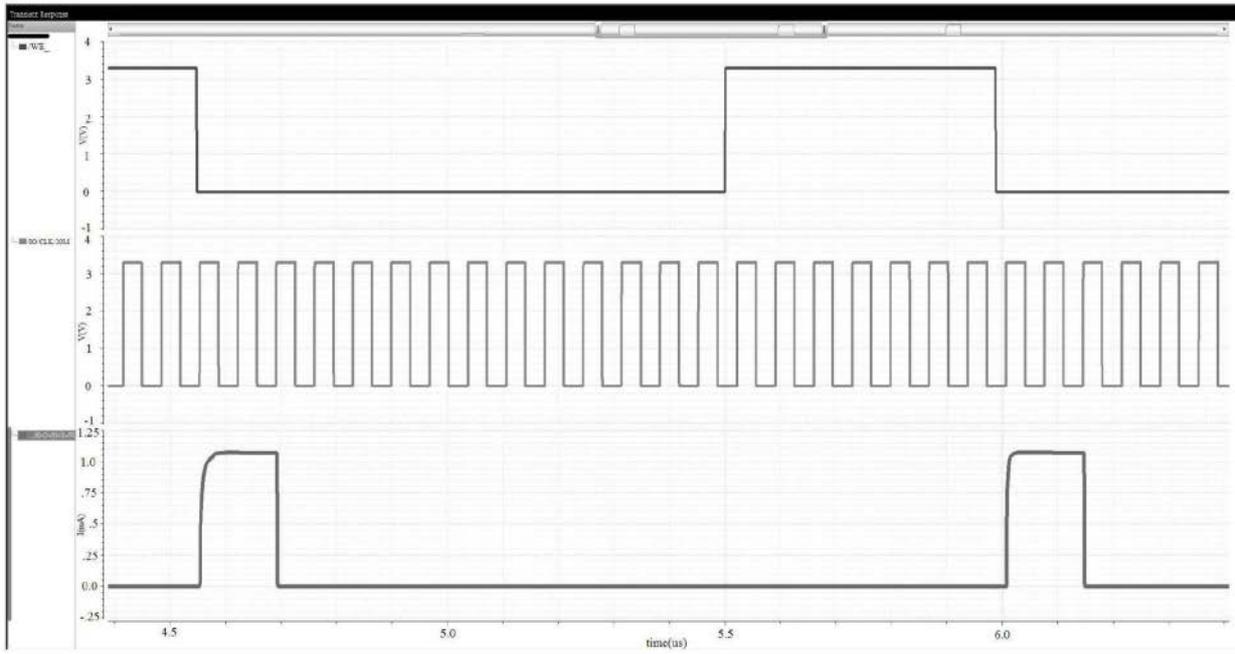


图5

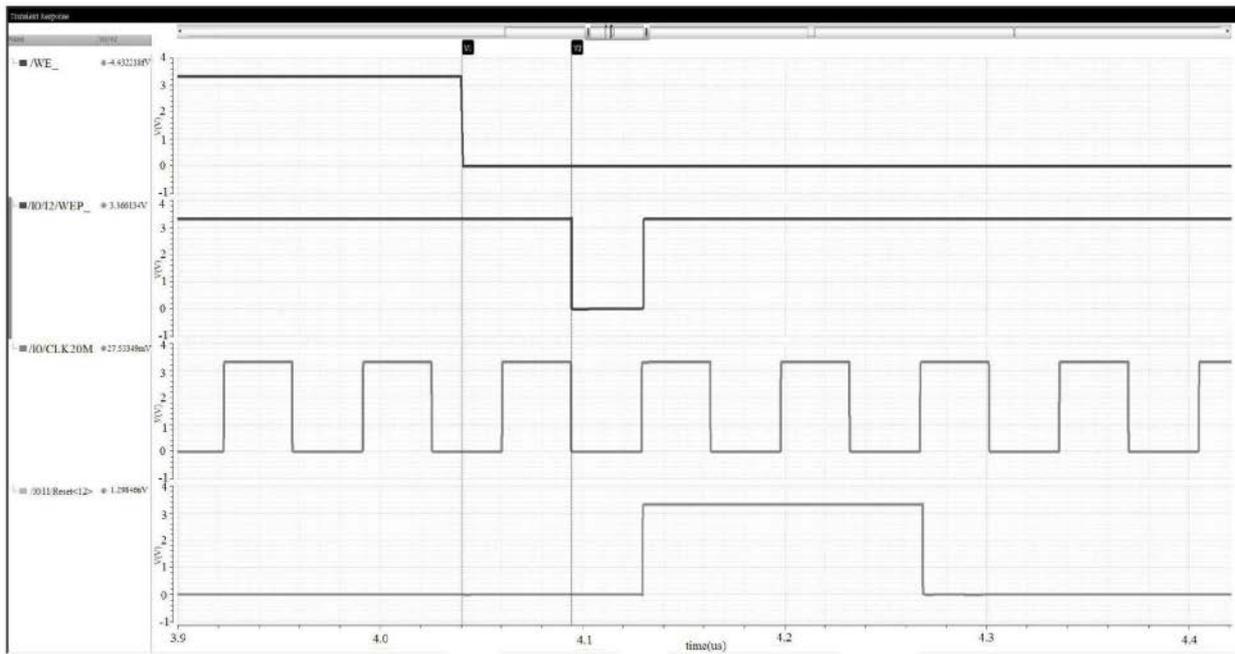


图6

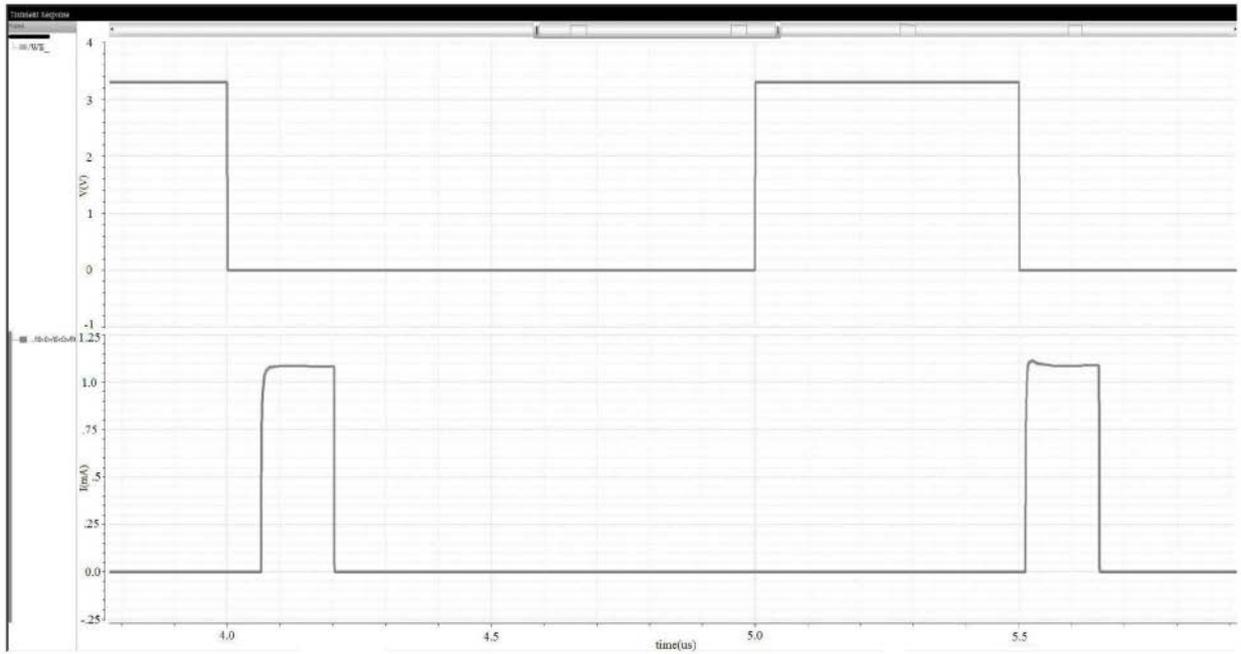


图7

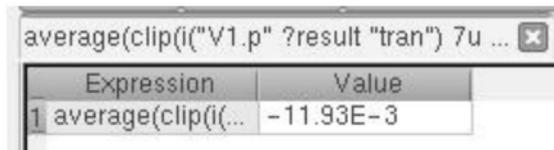


图8



图9