

發明專利說明書

(本說明書格式、順序，請勿任意更動)

【發明名稱】(中文/英文)

用以形成交叉耦接接觸之裝置及方法

DEVICES AND METHODS FOR FORMING CROSS
COUPLED CONTACTS

【技術領域】

【0001】本發明關於半導體裝置、製造半導體裝置的方法，以及通過有限數目的光刻曝光步驟圖案化鄰近形狀的方法，尤其關於針對交叉耦接拾取進行源汲圖案化的方法及裝置。

【先前技術】

【0002】隨著半導體裝置不斷縮小尺寸，該些裝置的尺寸持續縮小。對於較小的裝置，組件需要縮小尺寸且被設置得彼此更加靠近。為了將接觸設置得彼此更加靠近，通過多個遮罩執行多重圖案化。由於多重圖案化及多個遮罩，製造半導體裝置的成本大大增加。另外，在多重圖案化製程期間，所得接觸可能最終沒有被充分電性分離，從而導致短路及缺陷增加。因此，需要新的裝置及方法以降低執行多重圖案化的成本，同時保持接觸之間的電性分離。

【發明內容】

【0003】為克服現有技術的缺點並提供額外的優點，在一個態樣中提供一種方法，該方法包括例如：獲得中間半導體裝置；執行第一光刻，以圖案化第一形狀；執行第

二光刻，以圖案化與該第一形狀的部分重疊的第二形狀；處理該第一形狀及該第二形狀，以在該重疊處形成隔離區；以及形成由該隔離區分離的四個區域。

【0004】在另一個態樣中，一種方法包括例如：獲得中間半導體裝置；通過使用第一遮罩執行第一光刻，以形成至少一個第一過孔開口；通過使用第二遮罩執行第二光刻，以形成至少一個第二過孔開口，其中，該至少一個第二過孔開口與該至少一個第一過孔開口重疊；以及自該至少一個第一過孔開口及該至少一個第二過孔開口形成至少四個接觸。

【0005】在又一個態樣中，提供一種中間半導體裝置，其包括例如：基板；層間介電層，沉積於該基板上；硬遮罩雙層，位於該層間介電層上；多晶矽層，位於該硬遮罩雙層上；蝕刻停止層，位於該多晶矽層上；氧化物層，位於該蝕刻停止層上；至少一個第一開口，自該中間半導體裝置的頂部表面延伸穿過該氧化物層；至少一個第二開口，自該中間半導體裝置的該頂部表面延伸穿過該氧化物層，其中，該至少一個第一開口與該至少一個第二開口重疊；以及自對準區塊，位於該至少一個第一開口與該至少一個第二開口重疊之處。

【0006】通過本發明的技術實現額外的特徵及優點。本發明的其它實施例及態樣在本文中作詳細說明並被視為所請求保護的發明的部分。

【圖式簡單說明】

【0007】本發明的一個或多個態樣被特別指出並在說明書的結束處的聲明中被明確稱為示例。從下面結合圖式所作的詳細說明可清楚本發明的上述及其它目的、特徵以及優點，這些圖式中：

【0008】第 1A 圖顯示依據本發明的一個或多個態樣在半導體製程期間可使用的圖案化製程的方法的一個實施例；

【0009】第 1B 圖顯示依據本發明的一個或多個態樣用於交叉耦接拾取的源汲圖案化的方法的一個實施例；

【0010】第 2 圖顯示依據本發明的一個或多個態樣在中間半導體裝置上方具有至少一個光刻堆疊的積體電路的一個實施例的剖切立視圖；

【0011】第 3 圖顯示依據本發明的一個或多個態樣在執行光刻以圖案化至少一個第一源/汲過孔以後的第 2 圖的半導體裝置的剖切立視圖；

【0012】第 4 圖顯示依據本發明的一個或多個態樣在蝕刻中間半導體裝置的氧化物層以後的第 3 圖的半導體裝置的剖切立視圖；

【0013】第 5 圖顯示依據本發明的一個或多個態樣在剝離第一光刻堆疊以後的第 4 圖的半導體裝置的三維視圖；

【0014】第 6 圖顯示依據本發明的一個或多個態樣的第 5 圖的半導體裝置的剖切立視圖；

【0015】第 7 圖顯示依據本發明的一個或多個態樣在

沉積第二光刻堆疊以後的第 6 圖的半導體裝置的剖切立視圖；

【0016】第 8 圖顯示依據本發明的一個或多個態樣在執行光刻以圖案化至少一個第二源/汲過孔以後的第 7 圖的半導體裝置的三維視圖；

【0017】第 9 圖顯示依據本發明的一個或多個態樣的第 8 圖的半導體裝置的剖切立視圖；

【0018】第 10 圖顯示依據本發明的一個或多個態樣在執行氮化物反應離子蝕刻以後的第 9 圖的半導體裝置的三維視圖；

【0019】第 11 圖顯示依據本發明的一個或多個態樣在執行氮化物濕式蝕刻以擴大該第一與第二過孔開口之間的分離以後沿線 11--11 的第 10 圖的半導體裝置的三維視圖；

【0020】第 12 圖顯示依據本發明的一個或多個態樣在蝕刻氧化物層以後的第 10 圖的半導體裝置的剖切立視圖；

【0021】第 13 圖顯示依據本發明的一個或多個態樣的第 12 圖的半導體裝置的三維視圖；

【0022】第 14 圖顯示依據本發明的一個或多個態樣在剝離該第二光刻堆疊以後沿第 16 圖中的線 14--14 所作的第 12 圖的半導體裝置的剖切立視圖；

【0023】第 15 圖顯示依據本發明的一個或多個態樣的第 14 圖的半導體裝置的三維視圖；

【0024】第 16 圖顯示依據本發明的一個或多個態樣在氧化矽以後的第 15 圖的半導體裝置的三維視圖；

【0025】第 17 圖顯示依據本發明的一個或多個態樣沿第 16 圖中的線 17--17 所作的該半導體裝置的剖切立視圖；

【0026】第 18 圖顯示依據本發明的一個或多個態樣在蝕刻氮化物層以後的第 16 圖的半導體裝置的三維視圖；

【0027】第 19 圖顯示依據本發明的一個或多個態樣在蝕刻多晶矽層以後的第 18 圖的半導體裝置的剖切立視圖；

【0028】第 20 圖顯示依據本發明的一個或多個態樣的第 19 圖的半導體裝置的三維視圖；

【0029】第 21 圖顯示依據本發明的一個或多個態樣在沉積氧化物間隙壁層以後的第 19 圖的半導體裝置的剖切立視圖；

【0030】第 22 圖顯示依據本發明的一個或多個態樣的第 21 圖的半導體裝置的三維視圖；

【0031】第 23 圖顯示依據本發明的一個或多個態樣在該間隙壁層的受控反應離子蝕刻以後的第 21 圖的半導體裝置的剖切立視圖；

【0032】第 24 圖顯示依據本發明的一個或多個態樣的第 23 圖的半導體裝置的三維視圖；

【0033】第 25 圖顯示依據本發明的一個或多個態樣在執行另一個反應離子蝕刻以打穿第二硬遮罩層以後的第

23 圖的半導體裝置的剖切立視圖；

【0034】第 26 圖顯示依據本發明的一個或多個態樣的第 25 圖的半導體裝置的三維視圖；

【0035】第 27 圖顯示依據本發明的一個或多個態樣在執行等向性蝕刻以移除該間隙壁層以後的第 25 圖的半導體裝置的剖切立視圖；

【0036】第 28 圖顯示依據本發明的一個或多個態樣的第 27 圖的半導體裝置的三維視圖；

【0037】第 29 圖顯示依據本發明的一個或多個態樣在執行另一個反應離子蝕刻以打穿阻擋層以後的第 28 圖的半導體裝置的三維視圖；

【0038】第 30 圖顯示依據本發明的一個或多個態樣在蝕刻層間介電層以形成源/汲接觸溝槽以後的第 29 圖的半導體裝置的三維視圖；

【0039】第 31 圖顯示依據本發明的一個或多個態樣的第 30 圖的半導體裝置的剖切立視圖；

【0040】第 32 圖顯示依據本發明的一個或多個態樣在蝕刻以移除多晶矽層以後的第 31 圖的半導體裝置的剖切立視圖；

【0041】第 33 圖顯示依據本發明的一個或多個態樣的第 32 圖的半導體裝置的三維視圖；

【0042】第 34 圖顯示依據本發明的一個或多個態樣在沉積阻擋層並執行金屬填充製程以填充接觸以後的第 33 圖的半導體裝置的剖切立視圖；

【0043】第 35 圖顯示依據本發明的一個或多個態樣在執行平坦化以移除多餘金屬層、多餘阻擋層以及硬遮罩雙層以形成源/汲接觸以後的第 34 圖的半導體裝置的剖切立視圖；以及

【0044】第 36 圖顯示依據本發明的一個或多個態樣的第 35 圖的半導體裝置的三維視圖。

【實施方式】

【0045】下面通過參照圖式中所示的非限制性例子來更加充分地解釋本發明的態樣及其特定的特徵、優點以及細節。省略對已知材料、製造工具、製程技術等的說明，以免在細節上不必要地模糊本發明。不過，應當理解，當說明本發明的實施例時，詳細說明及具體例子僅作為示例，而非限制。所屬技術領域中具有通常知識者將會從本揭露中瞭解在基礎的發明概念的精神和/或範圍內的各種替代、修改、添加和/或佈局。還要注意，下面參照圖式，為方便理解，該些圖式並非按比例繪製，其中，不同圖式中所使用的相同元件符號表示相同或類似的組件。

【0046】一般來說，本文揭露特定半導體裝置，例如場效應電晶體（field-effect transistor；FET），其提供相對上述的現有半導體裝置及製程的優點。有利地，本文中所揭露的半導體裝置製程提供通過使用較少的遮罩所形成的裝置以及具有較大關鍵尺寸且疊置鬆弛的裝置。

【0047】在一個態樣中，如第 1A 圖中所示，顯示在半導體製程期間可使用的圖案化製程。依據本發明的一個或

多個態樣的該圖案化製程可包括例如：獲得具有基板的半導體裝置 10；執行第一光刻以圖案化第一形狀 20；執行第二光刻以圖案化與第一形狀的部分重疊的第二形狀 30；處理該第一形狀及該第二形狀以在該重疊處形成隔離區 40；以及形成由該隔離區分離的四個區域 50。該圖案化製程可為例如布林運算。該布林運算影響分別由獨立的光刻製程印刷的兩個相交的形狀。該兩個相交形狀可經處理以形成四個形狀或分支，各形狀或分支與其它形狀或分支隔離。各形狀或分支可經形成而為電性獨立。該兩個形狀之間的交點將導致沒有圖案電性分離各該形狀或分支。

【0048】在另一個態樣中，在如第 1B 圖中所示的一個實施例中，依據本發明的一個或多個態樣的半導體裝置形成製程可包括例如：獲得具有形成於基板上方的第一光刻堆疊的半導體裝置 100；執行光刻以圖案化第一源/汲過孔開口 102；沉積第二光阻堆疊 104；執行另一個光刻以圖案化第二源/汲過孔開口 106；執行反應離子蝕刻 108；執行濕式蝕刻 110；執行蝕刻以移除氧化物及第二光阻堆疊 112；執行氧化 114；執行至少一個蝕刻 116；形成間隙壁 118；執行蝕刻停止層打穿及等向性蝕刻 120；執行阻擋層打穿 122；蝕刻以形成源/汲接觸溝槽 124；以及執行源/汲接觸金屬化 126。

【0049】第 2 至 36 圖顯示（僅示例）依據本發明的一個或多個態樣的第 1A 至 1B 圖的半導體裝置形成製程及中間半導體裝置 200 的部分的詳細實施例。再次注意，這些

圖式並非按比例繪製，以促進理解本發明，且不同圖式中所使用的相同元件符號表示相同或類似的元件。

【0050】第 1A 至 1B 圖的該半導體裝置形成製程的一部分的一個詳細實施例顯示（僅示例）於第 2 至 36 圖中。第 2 圖顯示通過該製程所獲得的半導體裝置 200 的部分。裝置 200 可包括例如基板 202。在一些實施例中，基板 202 可具有或為基本結晶基板材料（也就是塊體矽），而在其它實施例中，基板 202 可基於絕緣體上矽（silicon-on-insulator；SOI）架構或任意已知基板例如玻璃、氮化鎵（GaN）、砷化鎵（AsGa）、碳化矽（SiC）或類似物形成。

【0051】可依據所製造裝置 200 的設計通過初始製程步驟處理裝置 200。例如，裝置 200 可包括沉積於基板 202 上的層間介電（interlayer dielectric；ILD）層 204。ILD 層 204 可為例如碳摻雜氧化物介電質，例如 SiCOH 及類似物，或這些常用介電材料的組合。裝置 200 也可包括硬遮罩雙層 206、208，其可包括第一硬遮罩層 206 及第二硬遮罩層 208。第一硬遮罩層 206 可為例如氮化矽（SiN）、氮氧化矽（SiON）、二氧化鈦（TiO₂）、氮化鋁（AlN）、氮化鈦（TiN）、非晶矽（Si）層或類似物。第二硬遮罩層 208 可為例如 TiN、SiN、SiON、TiO₂、AlN 層或類似物。裝置 200 也可包括多晶矽層 210，例如非晶矽層。裝置 200 還可包括蝕刻停止層 212，例如 SiN 或 AlN 層。在蝕刻停止層 212 上方可沉積氧化物層 214。氧化物層 214 可為例如二氧

化矽 (SiO_2) 層。最後，在氧化物層 214 上方可沉積第一光刻堆疊 216。第一光刻堆疊 216 可為任意已知的光刻堆疊，例如，第一光刻堆疊 216 可包括旋塗硬遮罩、介電層、底部抗反射塗 (bottom anti-reflection coating; BARC) 層以及光阻層。該旋塗硬遮罩可為例如非晶碳膜。該介電層可為例如 SiON 膜。

【0052】接著，如第 3 圖中所示，通過使用第一遮罩可執行光刻，以圖案化第一光刻堆疊 216，從而形成至少一個第一源/汲過孔圖案 218。接著，可對裝置 200 執行蝕刻，以蝕刻至少一個第一源/汲過孔圖案 218 下方的氧化物層 214，從而形成至少一個第一源/汲過孔開口 220，如第 4 圖中所示。該蝕刻一旦完成，即可剝離第一光刻堆疊 216，如第 5 及 6 圖中所示。接著，如第 7 圖中所示，在裝置 200 上方可沉積第二光刻堆疊 222。第二光刻堆疊 222 可為任意已知的光刻堆疊，例如，第二光刻堆疊 222 可包括間隙填充及自平坦化旋塗硬遮罩、介電層、底部抗反射塗 (BARC) 層以及光阻層。第二光刻堆疊 222 的該第一層可填充至少一個第一過孔開口 220。

【0053】接著，通過使用第二遮罩可執行光刻，以圖案化第二光刻堆疊 222，從而形成至少一個第二源/汲過孔圖案 224，如第 8 及 9 圖中所示。該光刻製程還可包括顯影製程以暴露區域 226，該區域形成於至少一個第一源/汲過孔開口 220 與至少一個第二源/汲過孔圖案 224 重疊之處，如第 8 圖中所示。重疊區 226 可被處理成自對準塊區，

如下面更詳細所述。區域 226 暴露蝕刻停止層 212 的部分。接著，可對裝置 200 執行蝕刻，以暴露重疊區 226 中的多晶矽層 210，如第 10 圖中所示。該蝕刻可為例如氮化物反應離子蝕刻，其對氧化物具有選擇性，且多晶矽層 210 可為例如非晶矽。接著，可執行濕式蝕刻以擴大至少一個第一源/汲過孔開口 220 與至少一個第二源/汲過孔圖案 224 之間的該分離，如第 11 圖中所示。該濕式蝕刻可為例如熱磷氮化物濕式蝕刻，其可蝕刻該蝕刻停止層 212 以形成凹槽 227。該些凹槽 227 可擴大至少一個第一源/汲過孔開口 220 與至少一個第二源/汲過孔圖案 224 之間的該分離，以防止在由至少一個第一源/汲過孔開口 220 及至少一個第二源/汲過孔圖案 224 形成的最終源/汲接觸中的短路。接著，通過使用至少一個第二源/汲過孔圖案 224 可執行另一個蝕刻，以蝕刻進入氧化物層 214，停止於蝕刻停止層 212 上並形成至少一個第二源/汲過孔開口 228，如第 12 及 13 圖中所示。該濕式蝕刻及氧化物蝕刻可形成較大的重疊區 230，如第 13 圖中所示。接著，可自裝置 200 剝離第二光刻堆疊 222，如第 14 及 15 圖中所示。

【0054】或者，在執行該氮化物反應離子蝕刻以移除蝕刻停止層 212 的該未覆蓋部分以後，可執行另一個蝕刻，以向下移除氧化物 214 的部分至蝕刻停止層 212，從而形成至少一個第二源/汲過孔開口 228。接著，可自裝置 200 剝離第二光刻堆疊 222。在剝離第二光刻堆疊 222 以後，可執行濕式蝕刻，以擴大過孔開口 220、228 之間的該

分離。該濕式蝕刻可為例如熱磷氮化物濕式蝕刻，其蝕刻該蝕刻停止層 212，以形成凹槽 227。

【0055】現在請參照第 14、16 及 17 圖，可對裝置 200 執行氧化。該氧化可為例如矽選擇性氧化，以在重疊區 230 上方形成硬遮罩層 232，從而形成非晶矽自對準區塊，如第 17 圖中所示。硬遮罩層 232 可為例如氧化物層。也考慮硬遮罩層 232 可通過使用矽化、磊晶或間隙壁插塞形成，如所屬技術領域中具有通常知識者所已知。接著，可執行另一個蝕刻，以自過孔開口 220、228 移除蝕刻停止層 212，從而暴露多晶矽層 210，如第 18 圖中所示。

【0056】如第 19 及 20 圖中所示，可對裝置 200 執行另一個蝕刻，以移除過孔開口 220、228 中的多晶矽層 210 的部分，從而形成較深的過孔開口 234、236，該些過孔開口向下延伸穿過氧化物層 214、蝕刻停止層 212 及多晶矽層 210 至第二硬遮罩層 208。接著，在裝置 200 上方可沉積間隙壁層 238，包括沉積進入至少一個第一過孔開口 234 及至少一個第二過孔開口 236 中，如第 21 及 22 圖中所示。間隙壁層 238 可通過例如原子層沉積 (atomic layer deposition; ALD) 來沉積且可為例如二氧化矽 (SiO_2)、氮化矽 (SiN)、氮氧化矽 (SiON)、二氧化鈦 (TiO_2)、非晶矽，或類似物。接著，可執行蝕刻，以移除間隙壁層 238 的水平部分，從而形成側間隙壁 238，如第 23 及 24 圖中所示。該蝕刻可為例如反應離子蝕刻 (RIE)，如受控 RIE。

【0057】在形成側間隙壁 238 以後，可執行硬遮罩開

口製程，如第 25 至 29 圖中所示。首先，如第 25 及 26 圖中所示，可執行乾式蝕刻和/或短蝕刻，以打穿或移除至少一個第一過孔開口 234 及至少一個第二過孔開口 236 中的第二硬遮罩層 208。接著，可執行等向性蝕刻，以移除側間隙壁 238 並形成過孔開口 240、242，如第 27 及 28 圖中所示。該等向性蝕刻可為例如二氧化矽 (SiO_2) 蝕刻或 $\text{SiCoNi}^{\text{TM}}$ 蝕刻。該等向性蝕刻也可蝕刻至少一個第一過孔開口 240 及至少一個第二過孔開口 242 中的氧化物層 214 的部分。另外，該等向性蝕刻可移除硬遮罩層 232，以暴露自對準多晶矽區塊 244。接著，可執行乾式蝕刻或 RIE 短蝕刻或打穿，以打穿第一硬遮罩層 206 並形成至少一個第一過孔開口 246 及至少一個第二過孔開口 248，如第 29 圖中所示。該 RIE 短蝕刻可為例如氮化物蝕刻，其相對氧化物具有選擇性。

【0058】接著，可執行至少一個蝕刻，以形成源/汲接觸溝槽，如第 30 至 33 圖中所示。現在請參照第 30 及 31 圖，可執行蝕刻，以移除至少一個第一過孔開口 246 及至少一個第二過孔開口 248 中的 ILD 層 204，從而形成至少一個第一源/汲接觸溝槽 250 及至少一個第二源/汲接觸溝槽 252。該蝕刻可為例如對非晶矽具有選擇性的蝕刻。接著，如第 32 及 33 圖中所示，可執行另一個蝕刻以移除多晶矽層 210，從而形成至少一個第一源/汲接觸溝槽 254、256 及至少一個第二源/汲接觸溝槽 258、260，各接觸溝槽 254、256、258、260 由自對準區塊 274 分離。

【0059】最後，可執行金屬化製程，以形成源/汲接觸，如第 34 至 36 圖中所示。該金屬化製程可包括例如在裝置 200 上方及接觸溝槽 254、256、258、260 中沉積阻擋層 262，如第 34 圖中所示。請繼續參照第 34 圖，該金屬化製程也可包括例如在裝置 200 上方執行金屬填充，以用金屬層 264 填充接觸溝槽 254、256、258、260。接著，如第 35 及 36 圖中所示，可執行平坦化製程，以移除多餘金屬層 264、多餘阻擋層 262、第二硬遮罩層 208 及第一硬遮罩層 206，從而形成至少一個第一源/汲接觸 266、270 以及至少一個第二源/汲接觸 268、272。該平坦化可為例如使用過蝕刻的化學機械拋光（chemical mechanical planarization; CMP）。如第 36 圖中所示，各接觸 266、268、270、272 可隔開，在各接觸 266、268、270、272 之間提供電性隔離。

【0060】本文中所使用的術語僅是出於說明特定實施例的目的，並非意圖限制本發明。除非上下文中明確指出，否則本文中所使用的單數形式“一個”以及“該”也意圖包括複數形式。還應當理解，術語“包括”（以及任意形式的包括）、“具有”（以及任意形式的具有）以及“包含”（以及任意形式的包含）都是開放式連接動詞。因此，“包括”、“具有”或“包含”一個或多個步驟或元件的方法或裝置具有那些一個或多個步驟或元件，但並不限於僅僅具有那些一個或多個步驟或元件。類似地，“包括”、“具有”或“包含”一個或多個特徵的一種方法的步驟或一種

裝置的元件具有那些一個或多個特徵，但並不限於僅僅具有那些一個或多個特徵。而且，以特定方式配置的裝置或結構至少以那種方式配置，但也可以未列出的方式配置。

【0061】所述的申請專利範圍中的所有手段或步驟加功能元件的相應結構、材料、動作及均等物（如果有的話）意圖包括結合具體請求保護的其它請求保護的元件執行該功能的任意結構、材料或動作。本發明的說明用於示例及說明目的，而非意圖詳盡無遺或限於所揭露形式的發明。許多修改及變更將對於所屬技術領域中具有通常知識者顯而易見，而不背離本發明的範圍及精神。這些實施例經選擇及說明以最佳解釋本發明的一個或多個態樣的原理以及實際應用，並使本領域的其他普通技術人員能夠理解針對各種實施例具有適合所考慮的特定應用的各種變更的本發明的一個或多個態樣。

【符號說明】

【0062】

10~50	步驟
100~126	步驟
200	中間半導體裝置、半導體裝置、裝置
202	基板
204	層間介電層、ILD層
206	硬遮罩雙層、第一硬遮罩層
208	硬遮罩雙層、第二硬遮罩層
210	多晶矽層

- 212 蝕刻停止層
- 214 氧化物層
- 216 第一光刻堆疊
- 218 第一源/汲過孔圖案
- 220 第一源/汲過孔開口、第一過孔開口、過孔開口
- 222 第二光刻堆疊
- 224 第二源/汲過孔圖案
- 226 區域、重疊區
- 227 凹槽
- 228 第二源/汲過孔開口、過孔開口
- 230 重疊區
- 232 硬遮罩層
- 234 過孔開口
- 236 過孔開口
- 238 間隙壁層、側間隙壁
- 240 過孔開口、第一過孔開口
- 242 過孔開口、第二過孔開口
- 244 自對準多晶矽區塊
- 246 第一過孔開口
- 248 第二過孔開口
- 250 第一源/汲接觸溝槽
- 252 第二源/汲接觸溝槽
- 254 第一源/汲接觸溝槽、接觸溝槽
- 256 第一源/汲接觸溝槽、接觸溝槽

258	第二源 / 汲接觸溝槽、接觸溝槽
260	第二源 / 汲接觸溝槽、接觸溝槽
262	阻擋層
264	金屬層
266	第一源 / 汲接觸、接觸
268	第二源 / 汲接觸、接觸
270	第一源 / 汲接觸、接觸
272	第二源 / 汲接觸、接觸
274	自對準區塊

I651764

發明摘要

※申請案號：106112178

※申請日：106/04/12

※IPC 分類：

H01L 21/033 (2006.01)
H01L 21/311 (2006.01)
H01L 21/3213 (2006.01)
H01L 21/762 (2006.01)
H01L 21/768 (2006.01)
H01L 23/522 (2006.01)
H01L 23/528 (2006.01)

【發明名稱】(中文/英文)

用以形成交叉耦接接觸之裝置及方法

DEVICES AND METHODS FOR FORMING CROSS

COUPLED CONTACTS

【中文】

本發明揭示通過針對交叉耦接拾取 (pick-up) 圖案化而具有交叉耦接接觸之半導體裝置以及製造該半導體裝置之方法。一種方法包括例如：獲得中間半導體裝置；執行第一光刻，以圖案化第一形狀；執行第二光刻，以圖案化與該第一形狀的部分重疊的第二形狀；處理該第一形狀及該第二形狀，以在該重疊處形成隔離區；以及形成由該隔離區分離的四個區域。本發明還揭露一種中間半導體裝置。

【英文】

Semiconductor devices and methods of fabricating the semiconductor devices with cross coupled contacts using patterning for cross couple pick-up are disclosed. One method includes, for instance: obtaining an intermediate semiconductor device; performing a first lithography to pattern a first shape; performing a second lithography to pattern a second shape overlapping a portion of the first shape; processing the first shape and the second shape to form an isolation region at the overlap; and forming four regions separated by the isolation region. An intermediate semiconductor device is also disclosed.

【代表圖】

【本案指定代表圖】：第（ 1A ）圖。

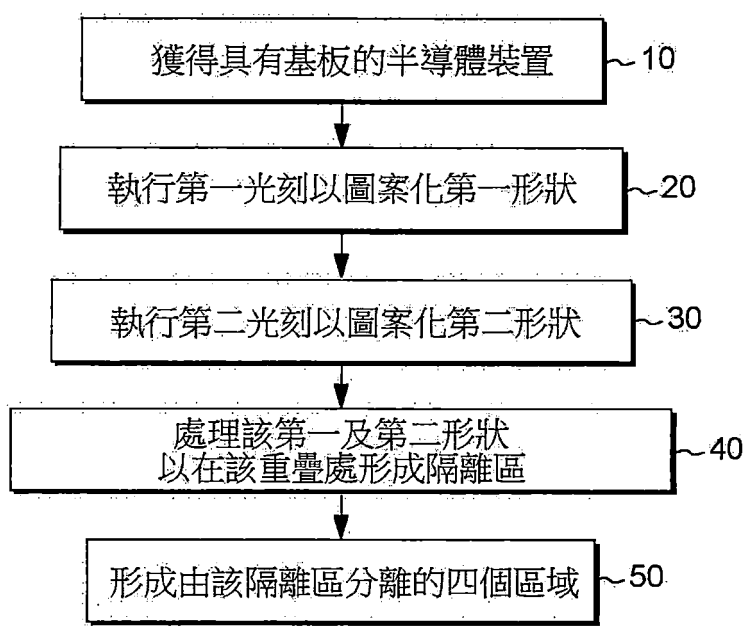
【本代表圖之符號簡單說明】：

10~50 步驟

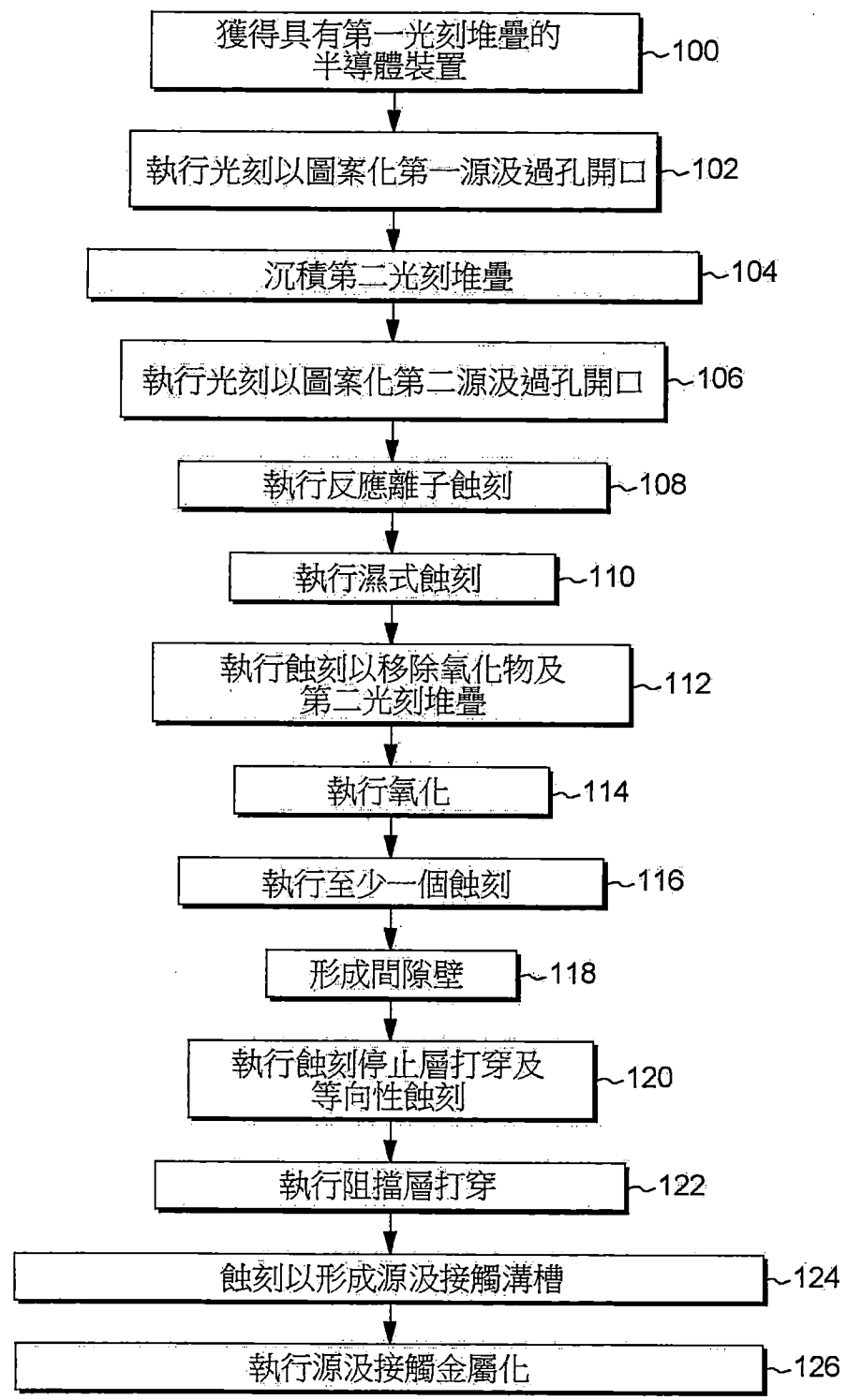
【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：

本案無化學式。

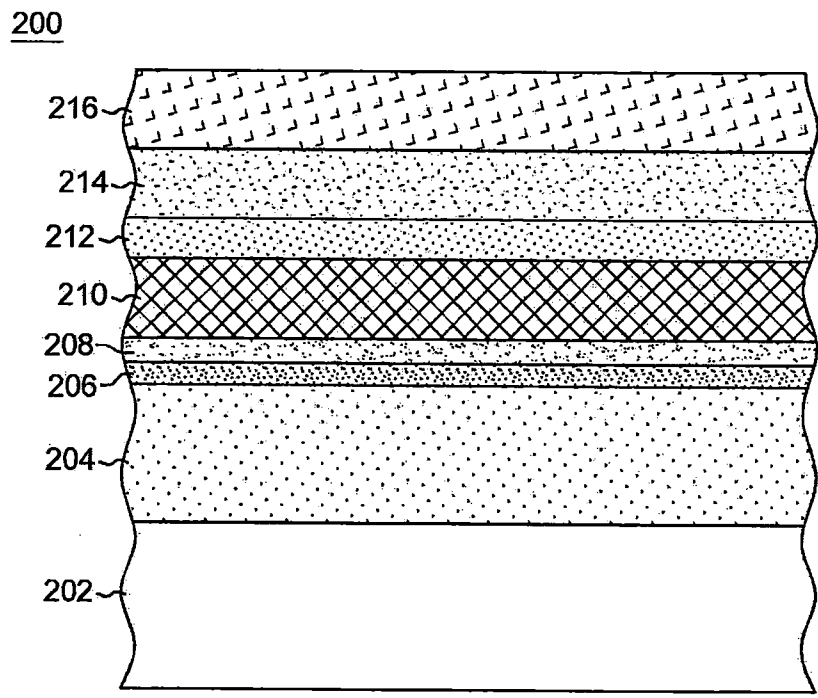
圖式



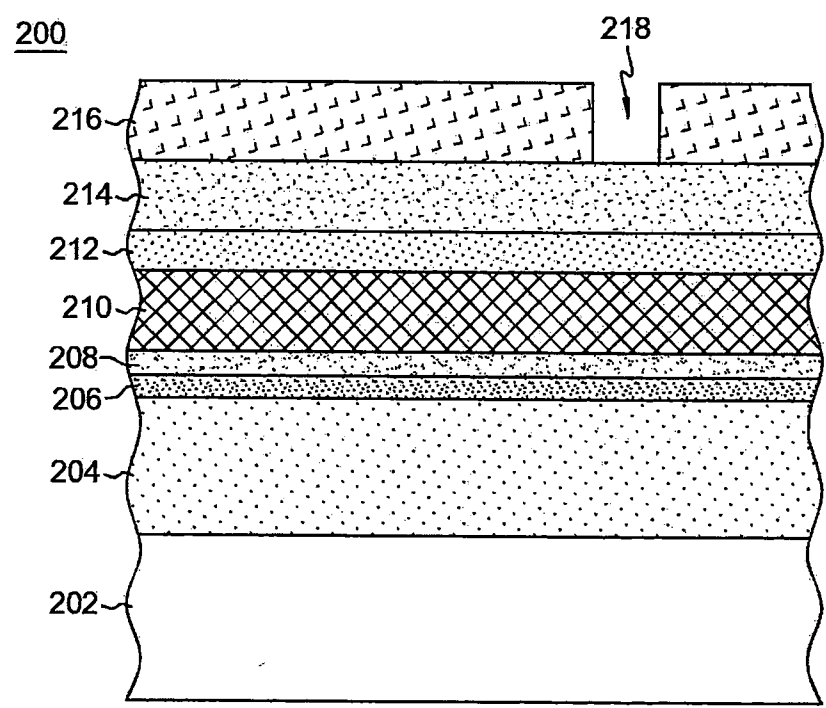
第1A圖



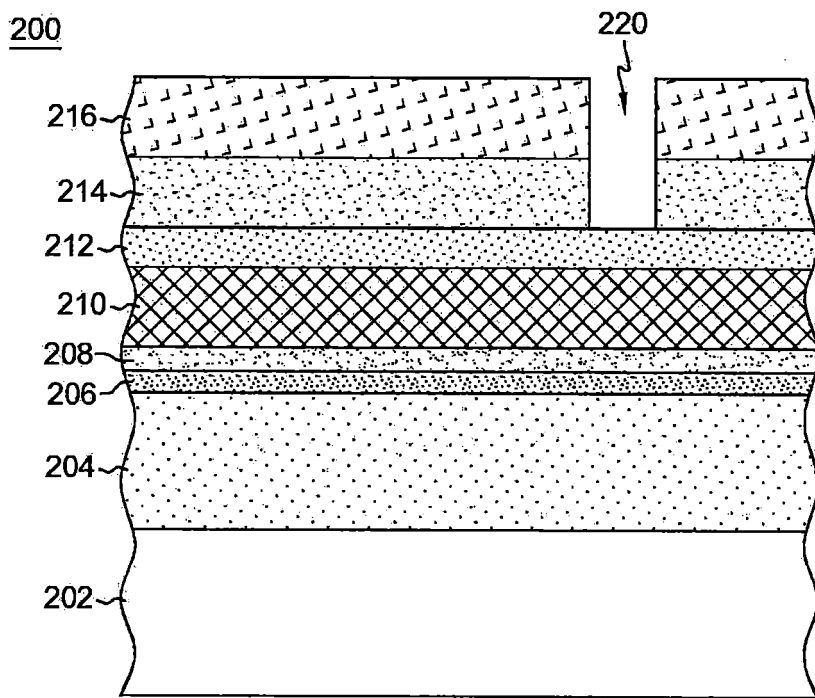
第1B圖



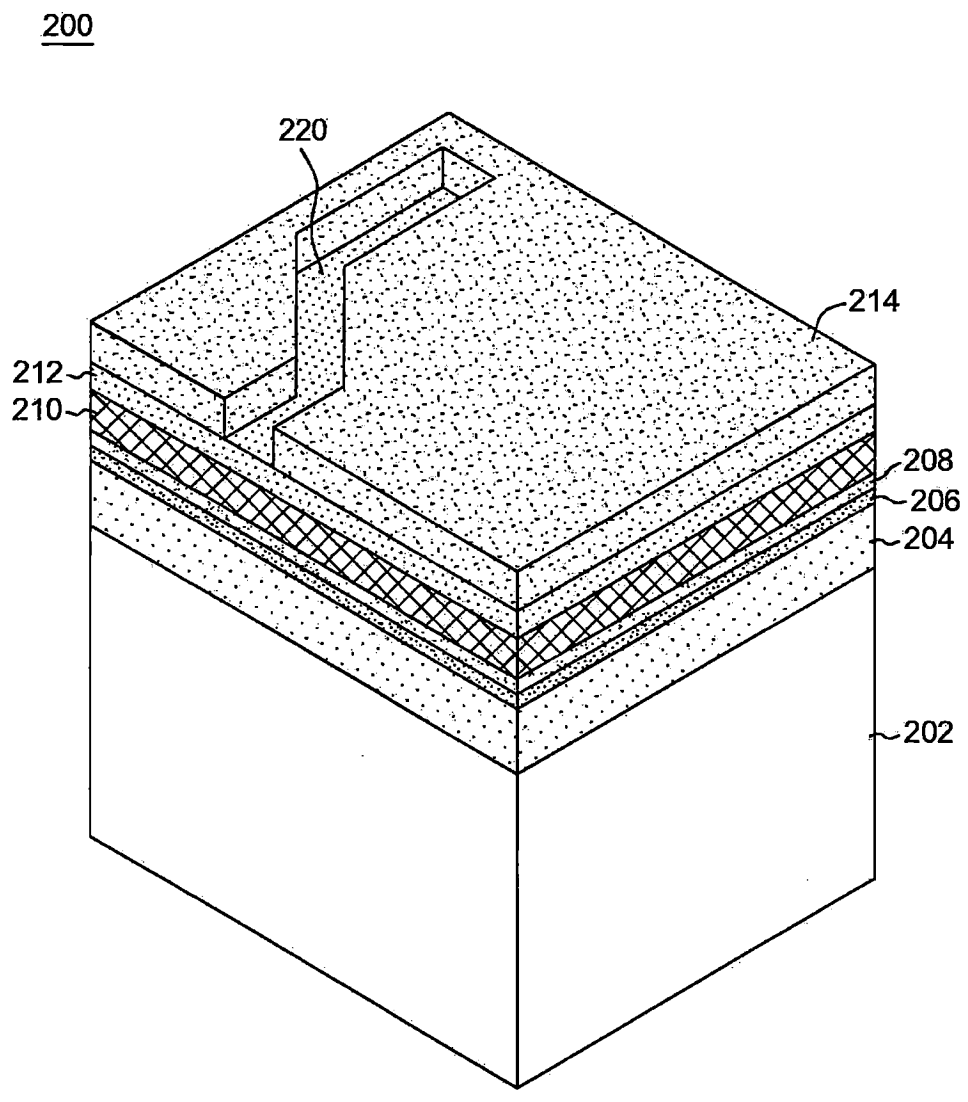
第2圖



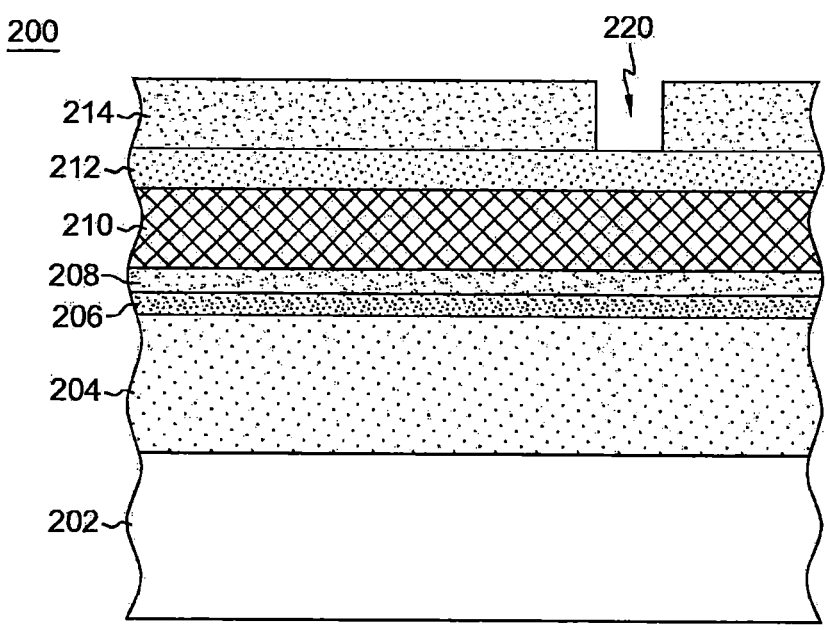
第3圖



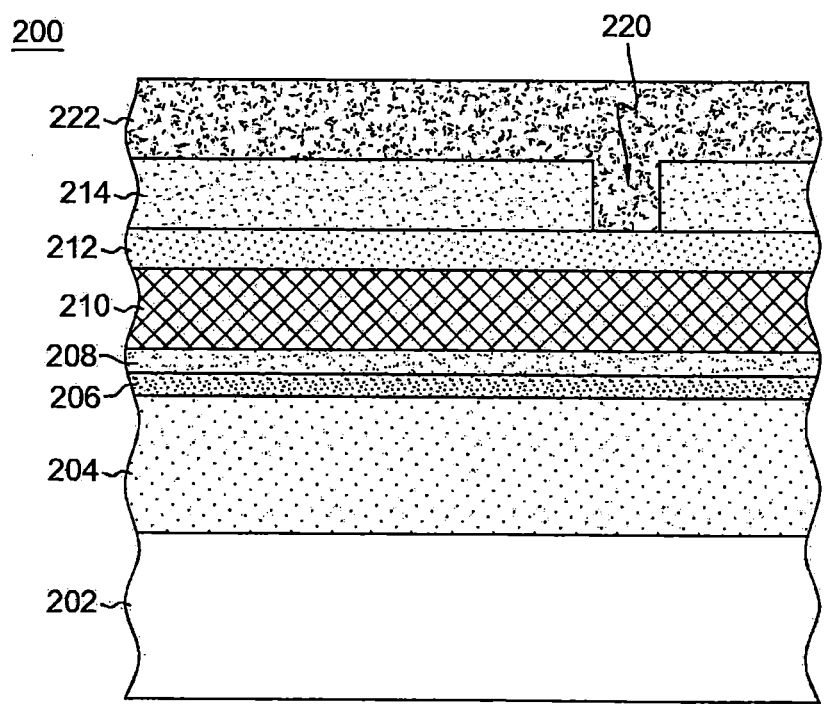
第4圖



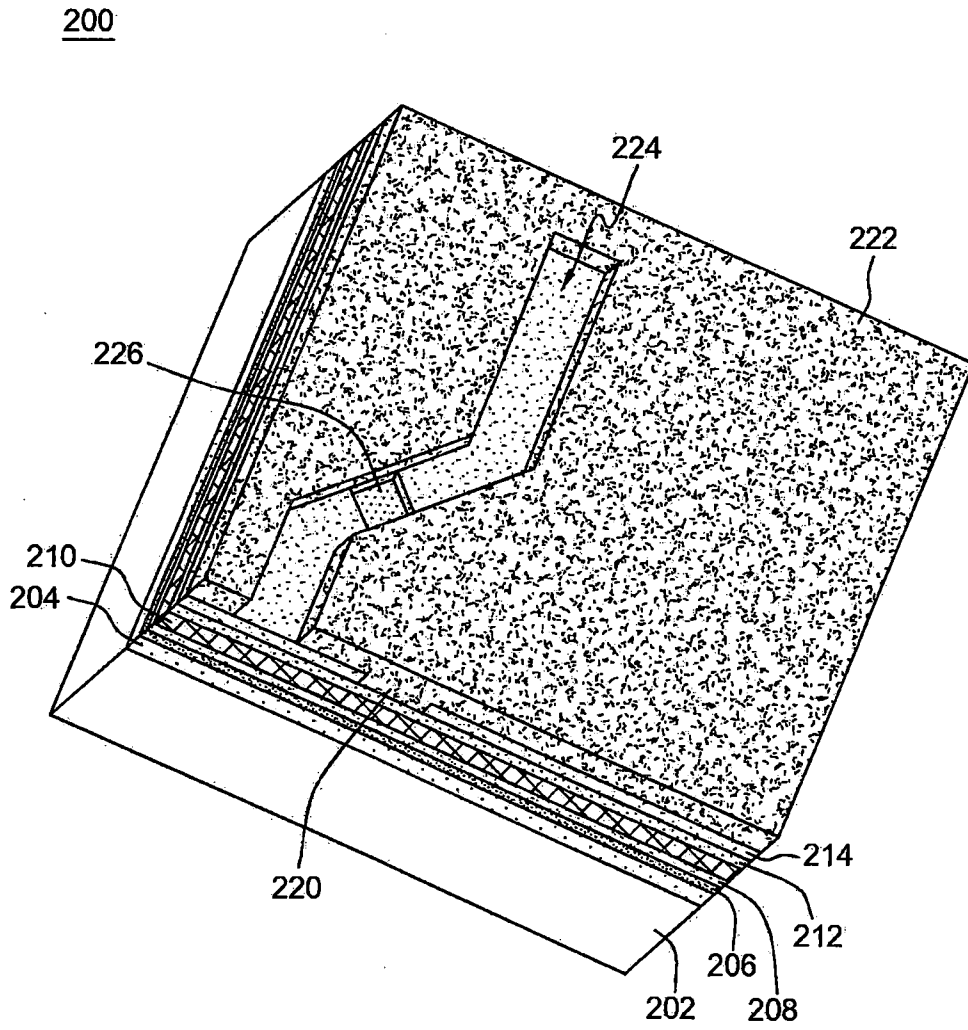
第5圖



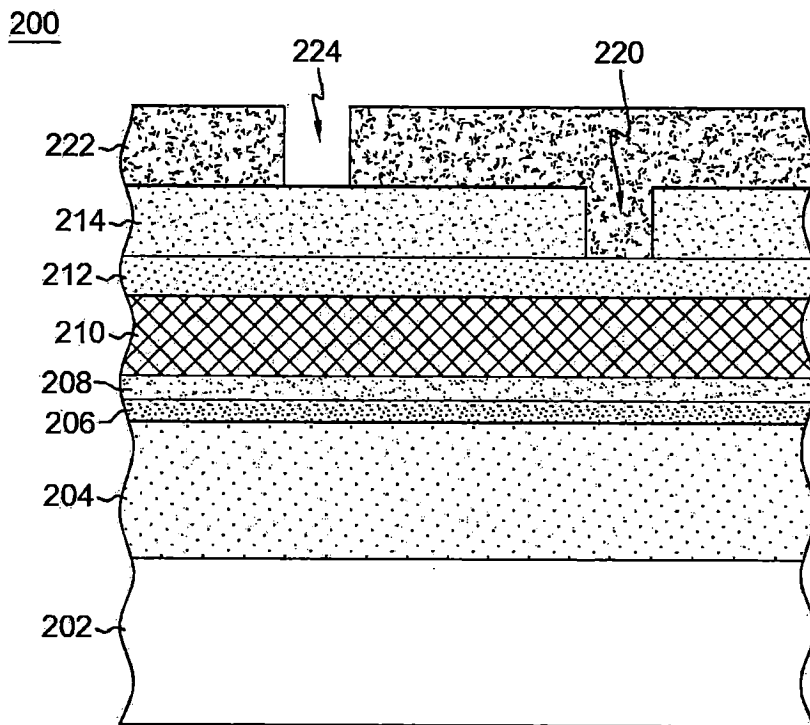
第6圖



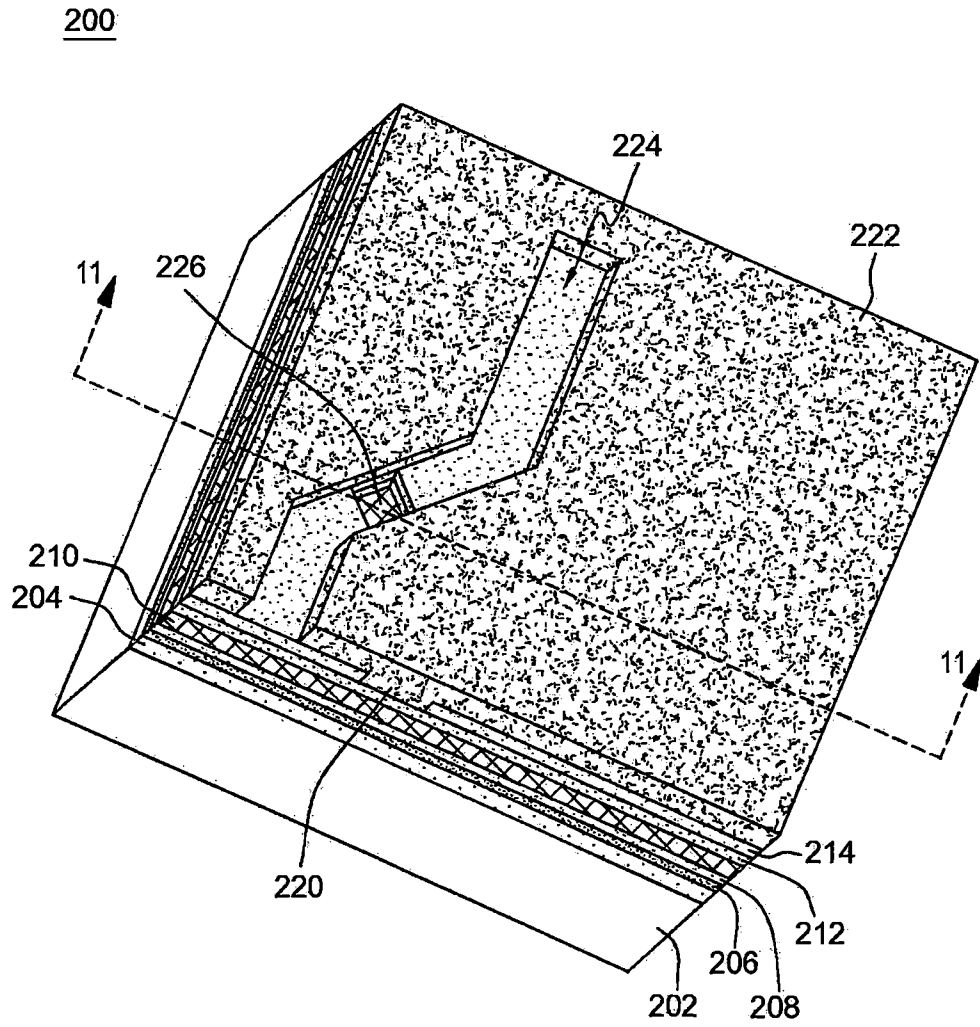
第7圖



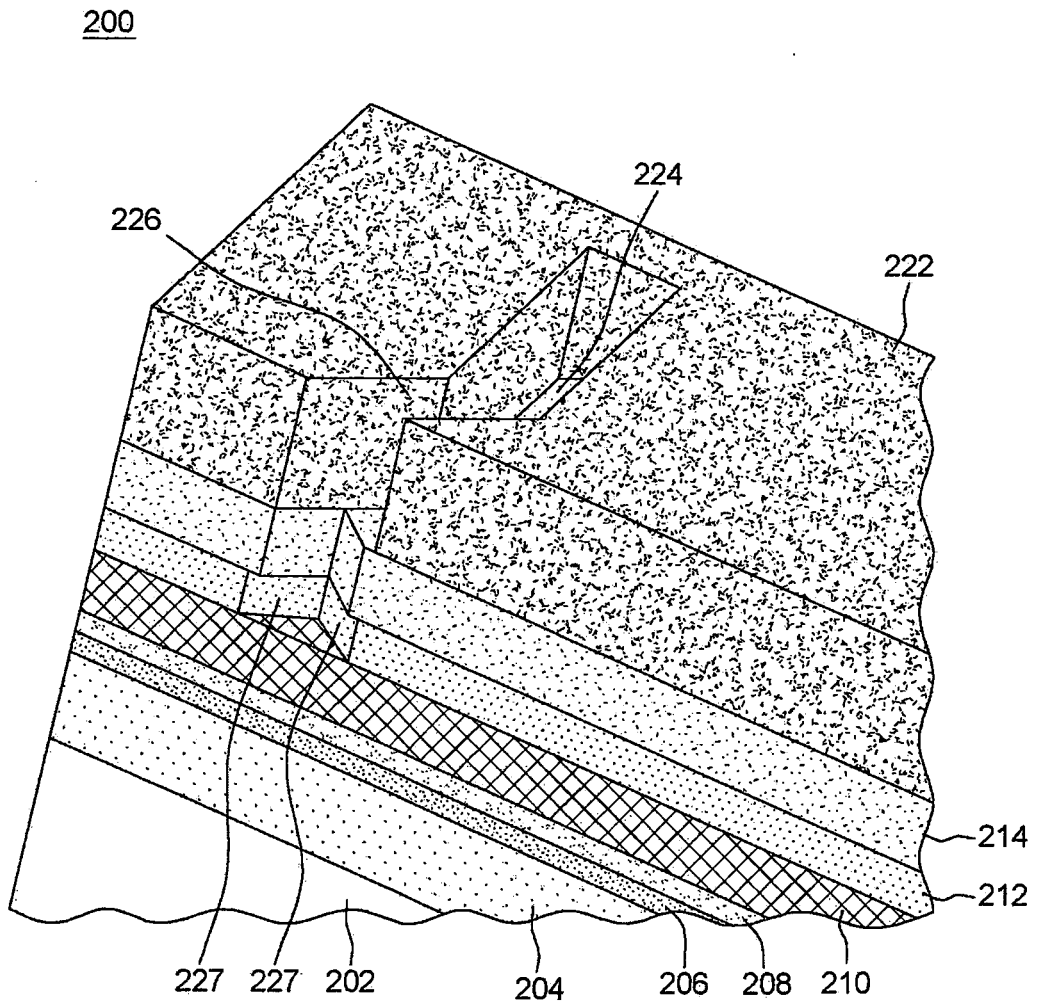
第8圖



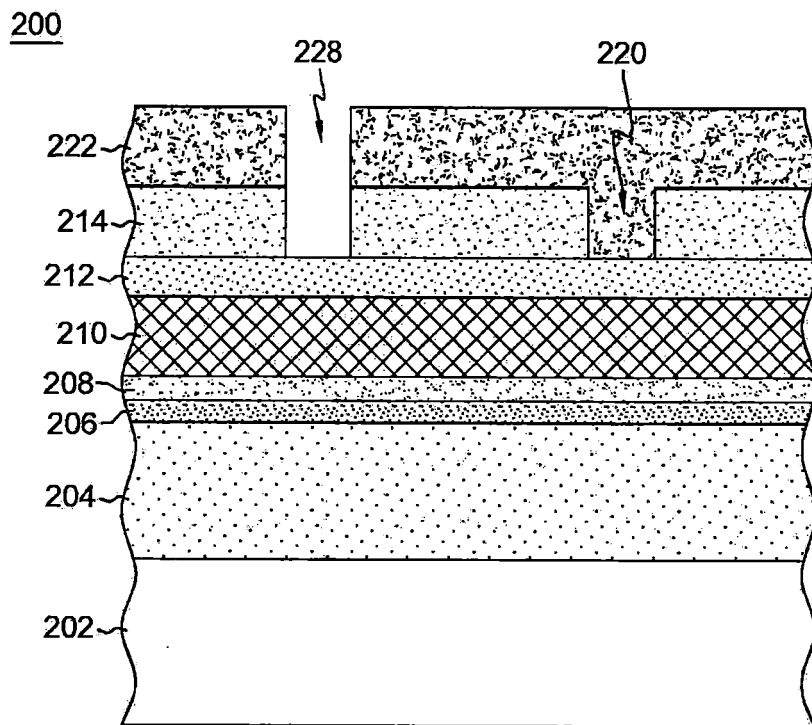
第9圖



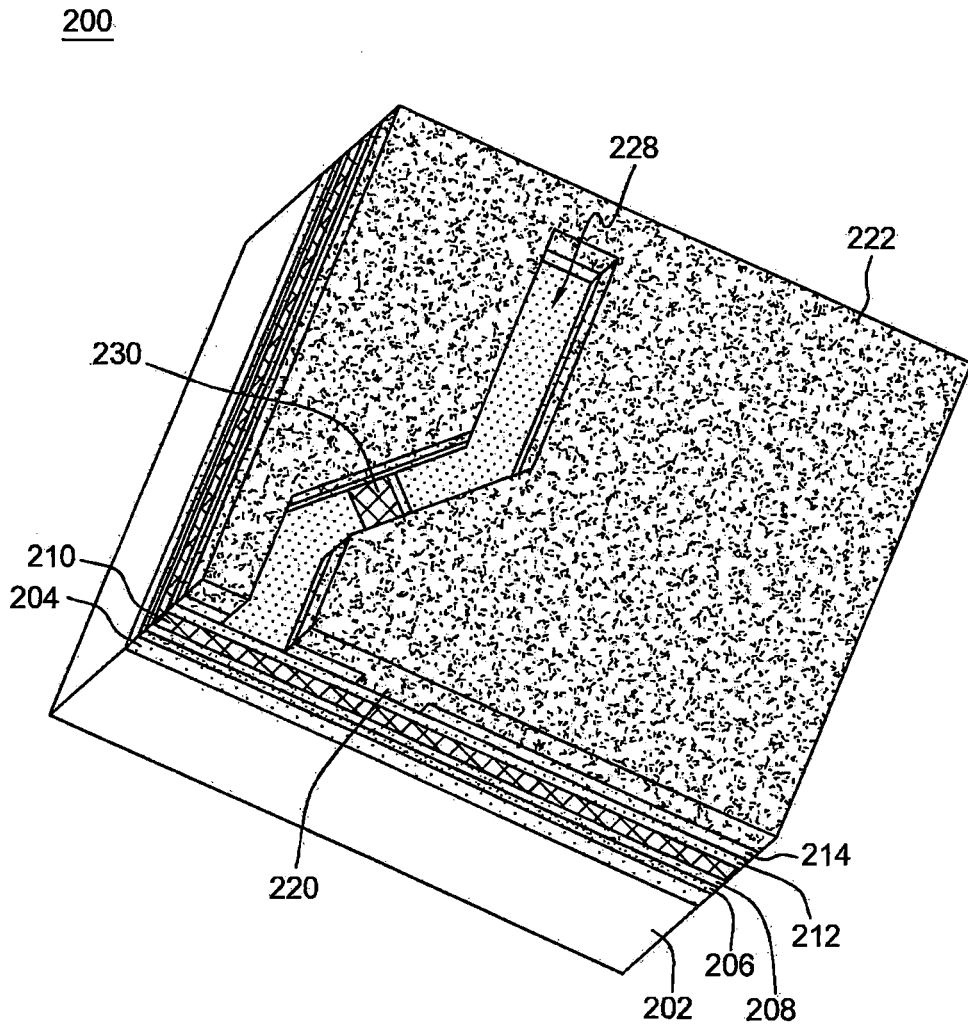
第10圖



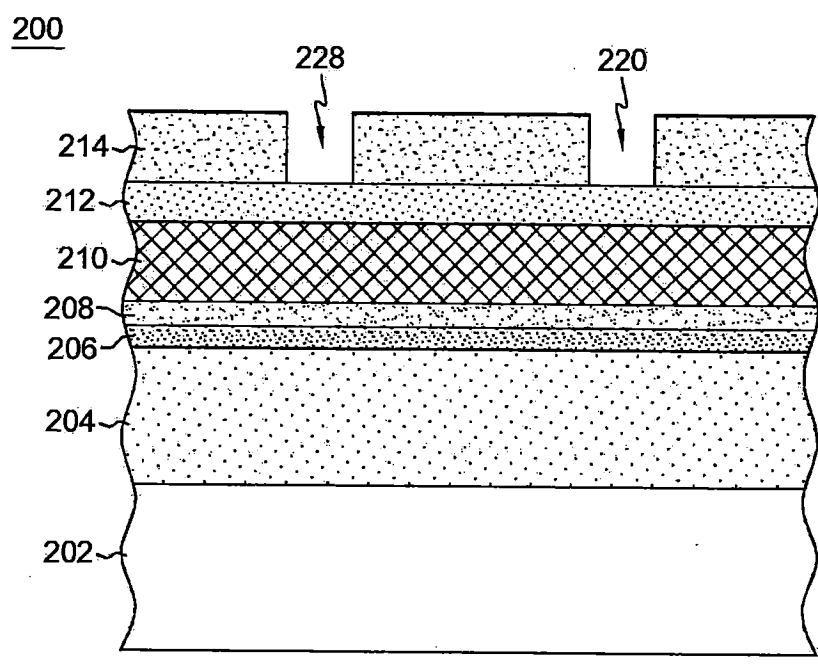
第11圖



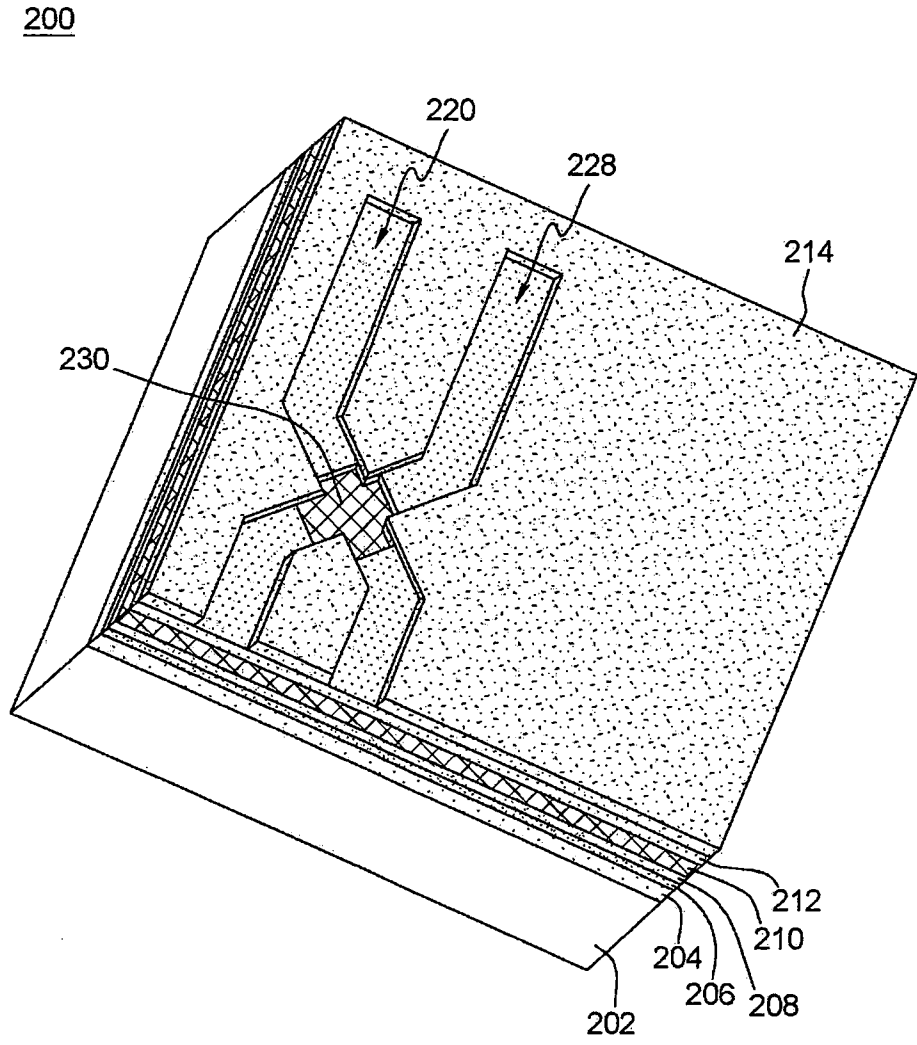
第12圖



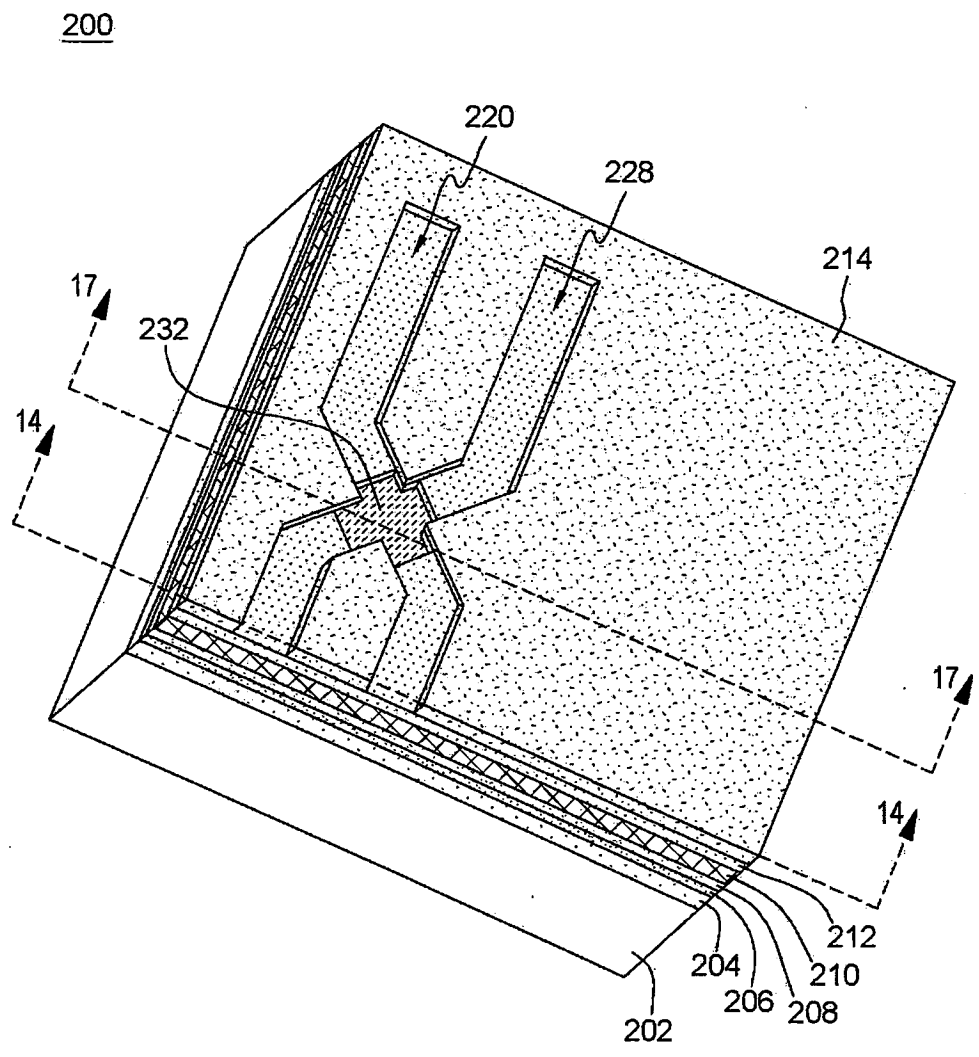
第13圖



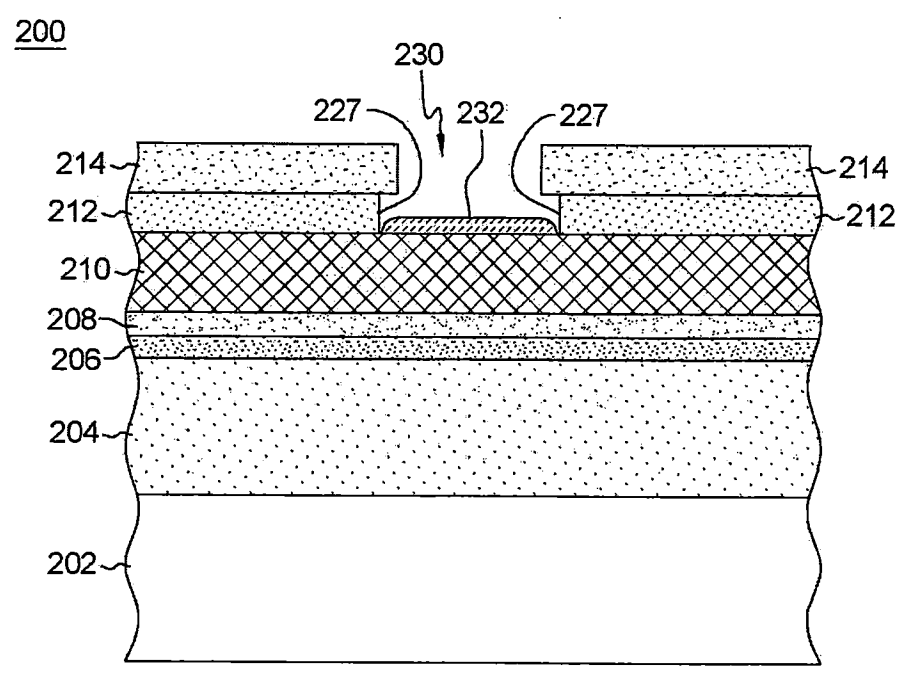
第14圖



第15圖

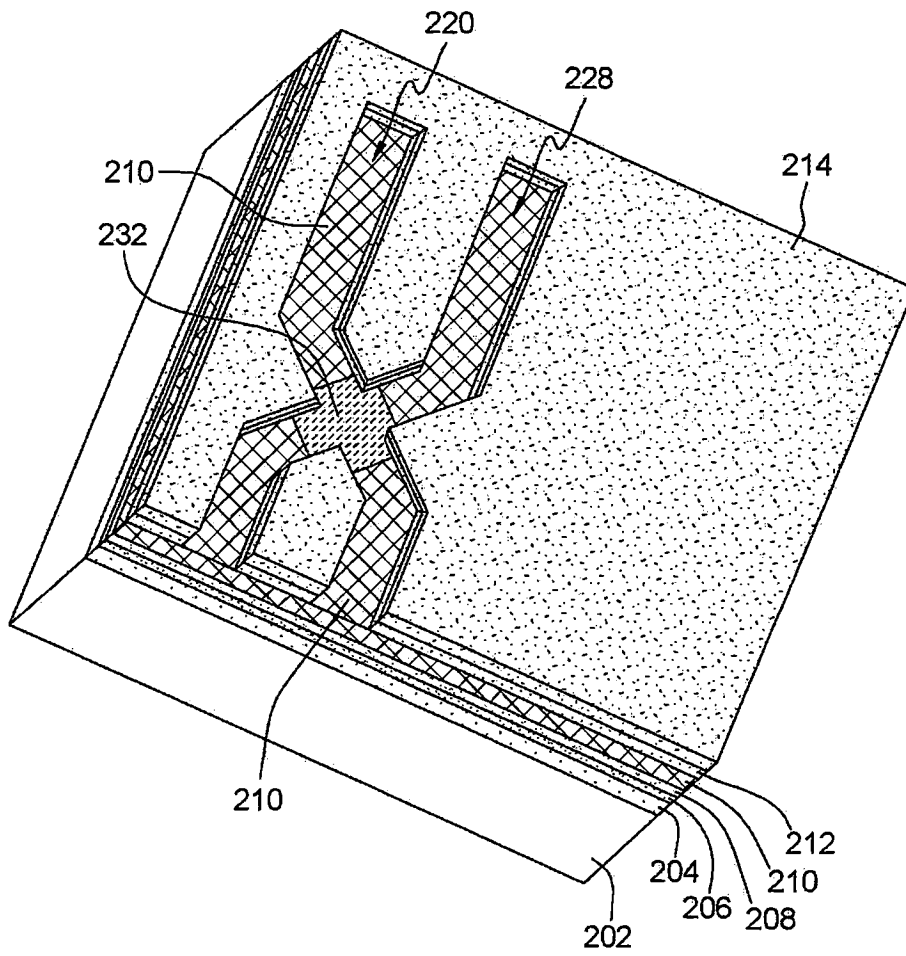


第16圖

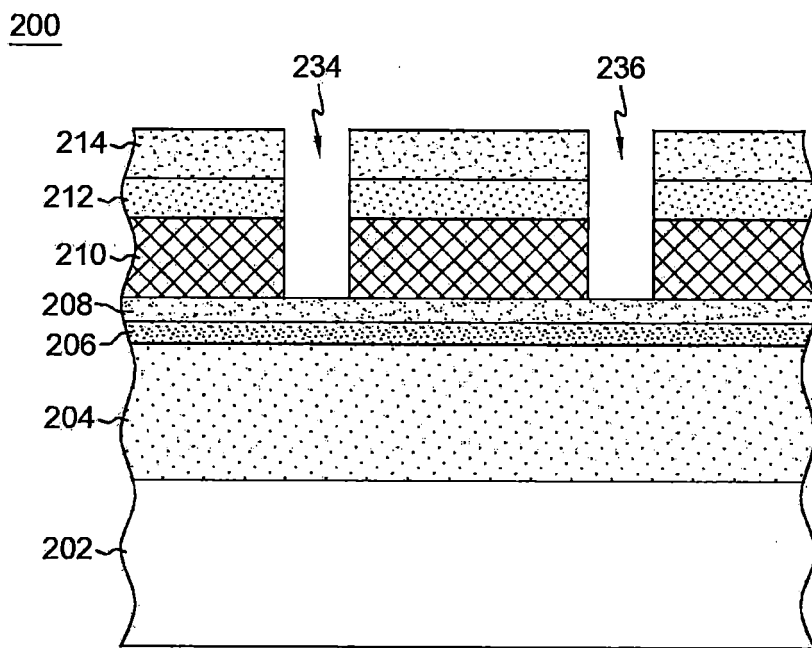


第17圖

200

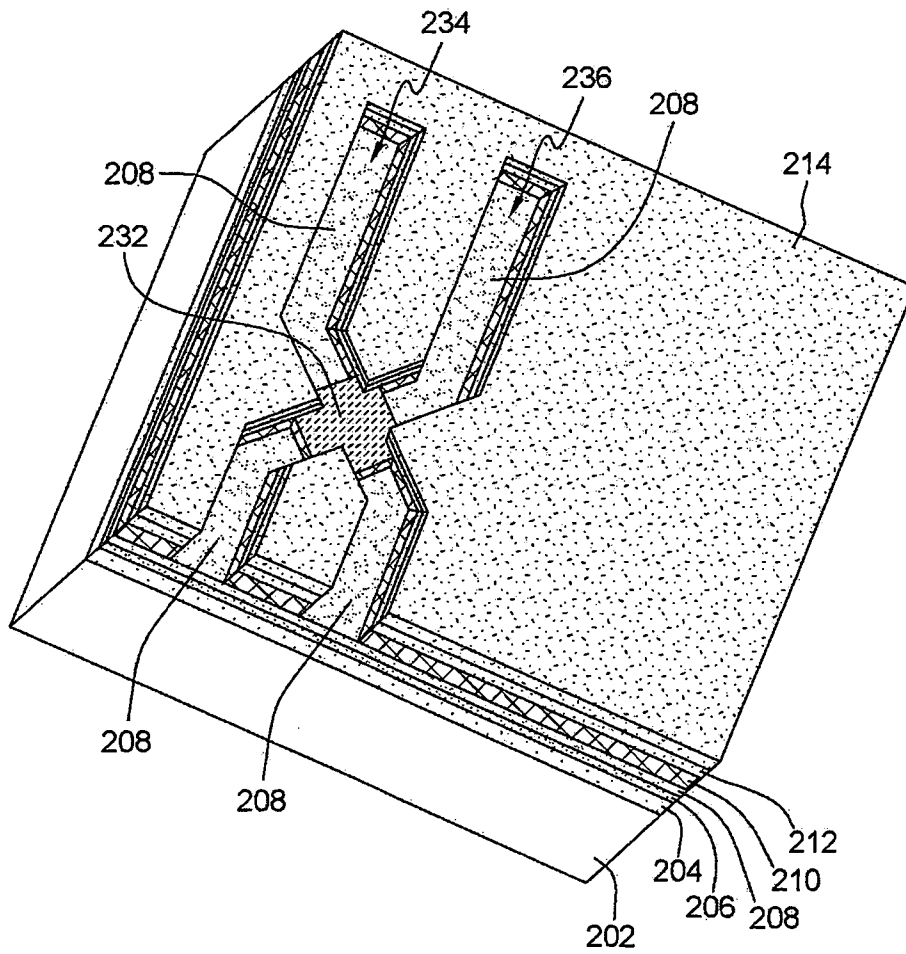


第18圖

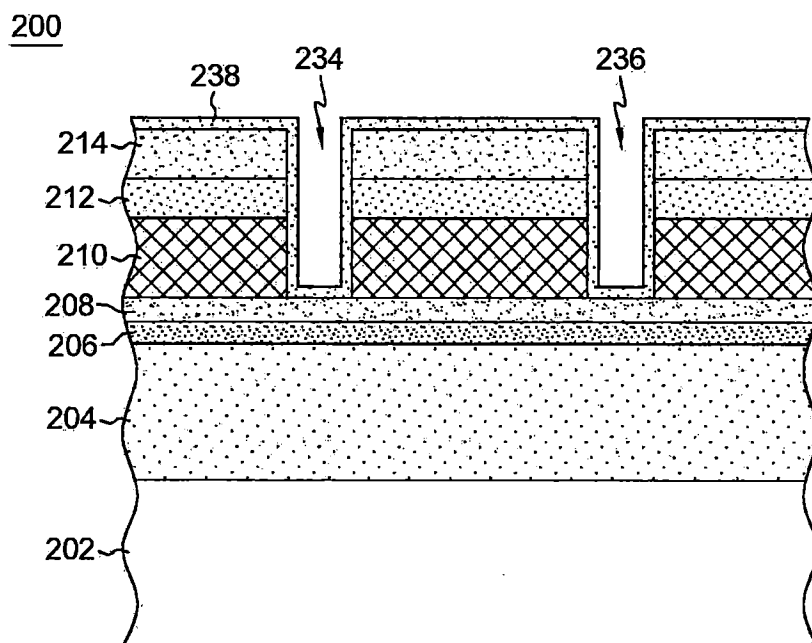


第19圖

200

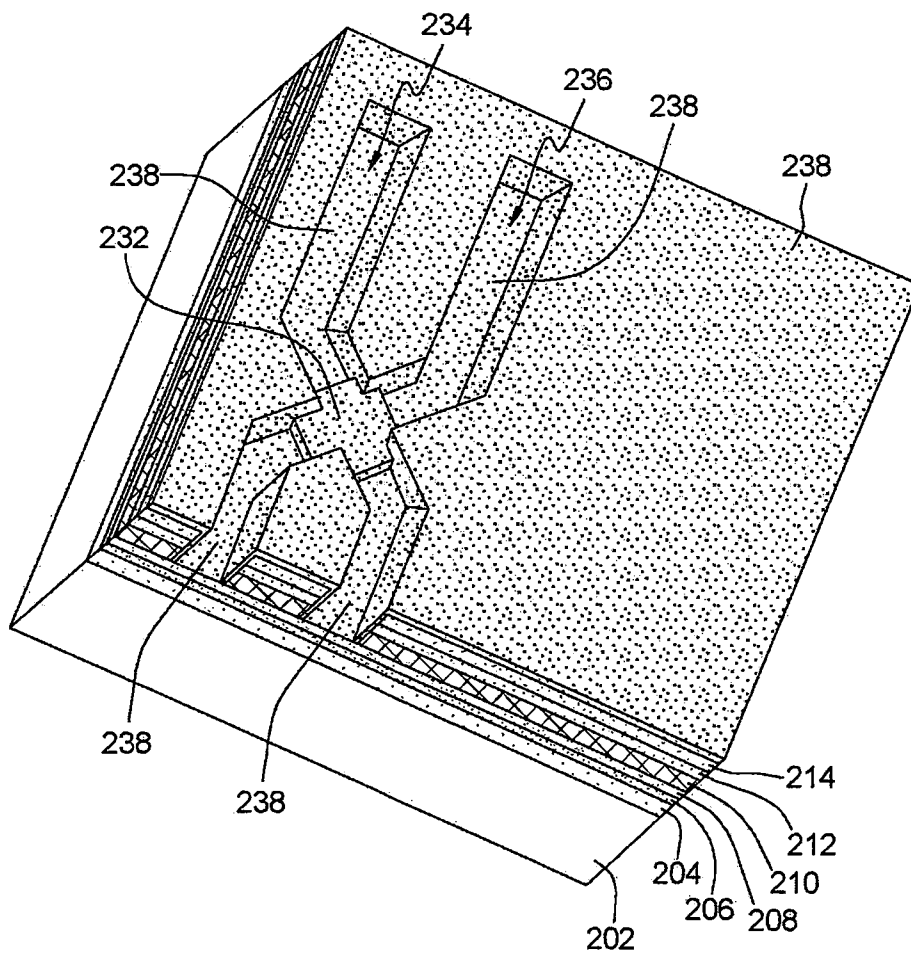


第20圖

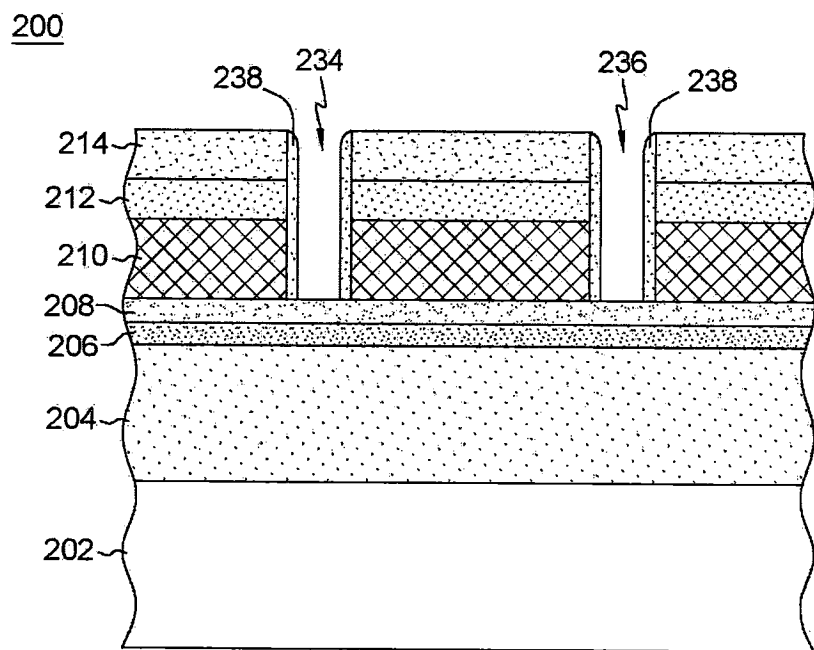


第21圖

200

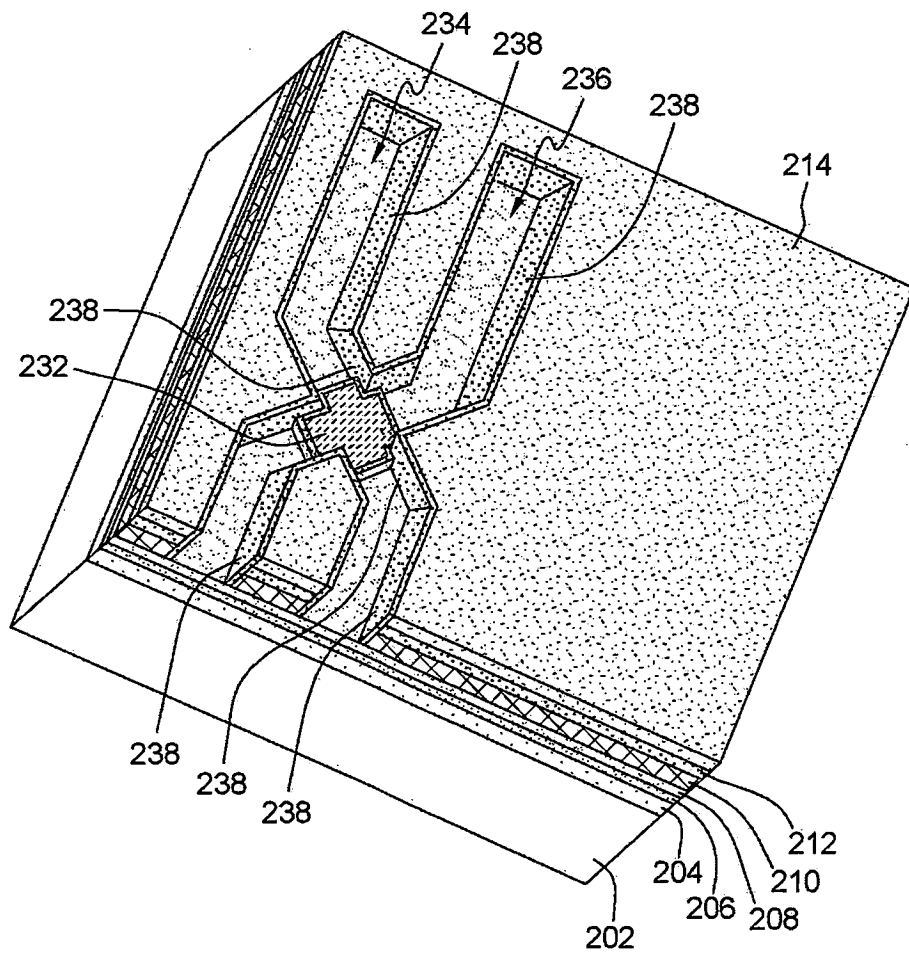


第22圖

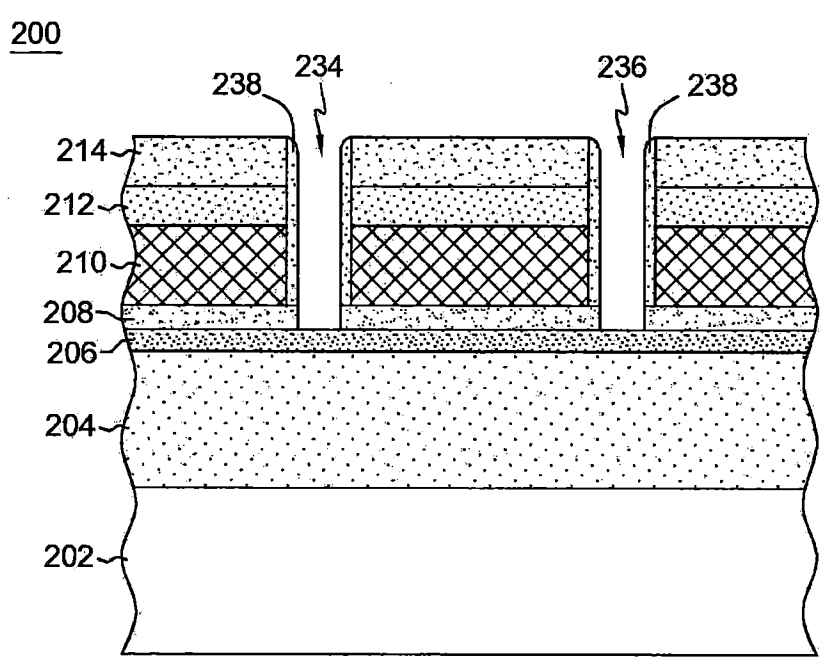


第23圖

200

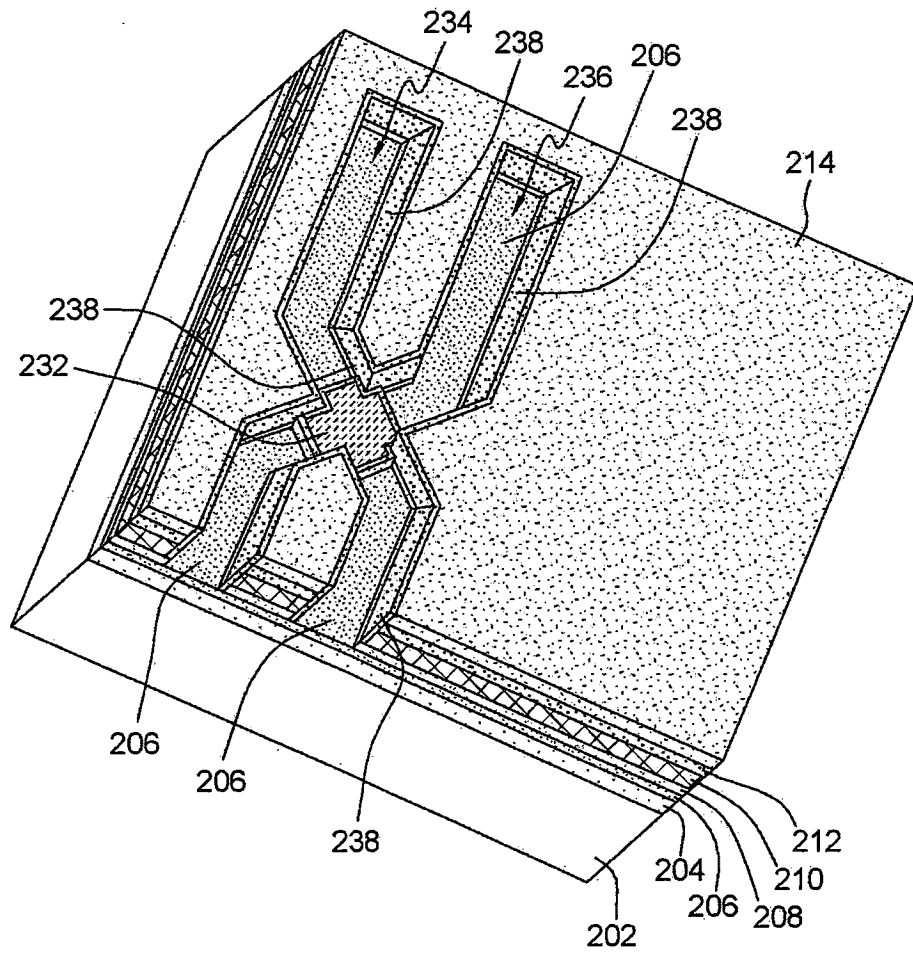


第24圖

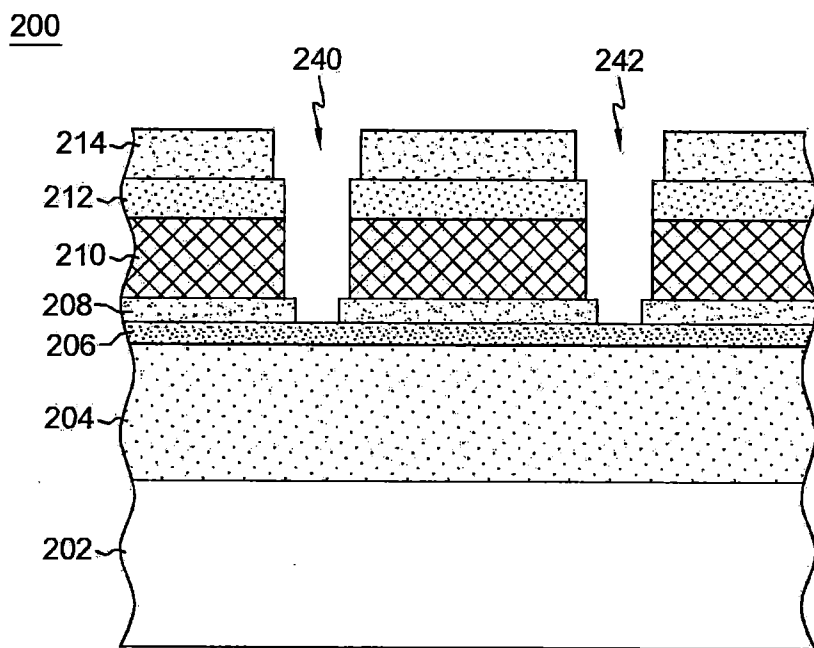


第25圖

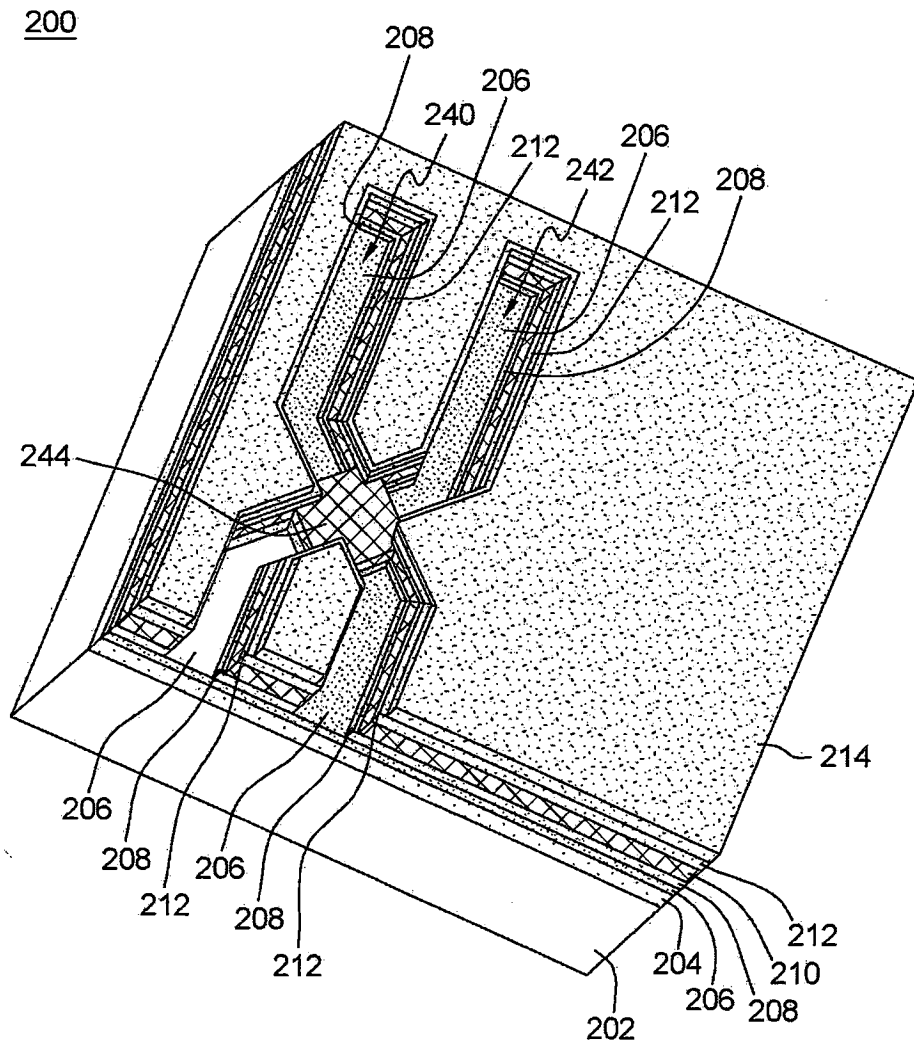
200



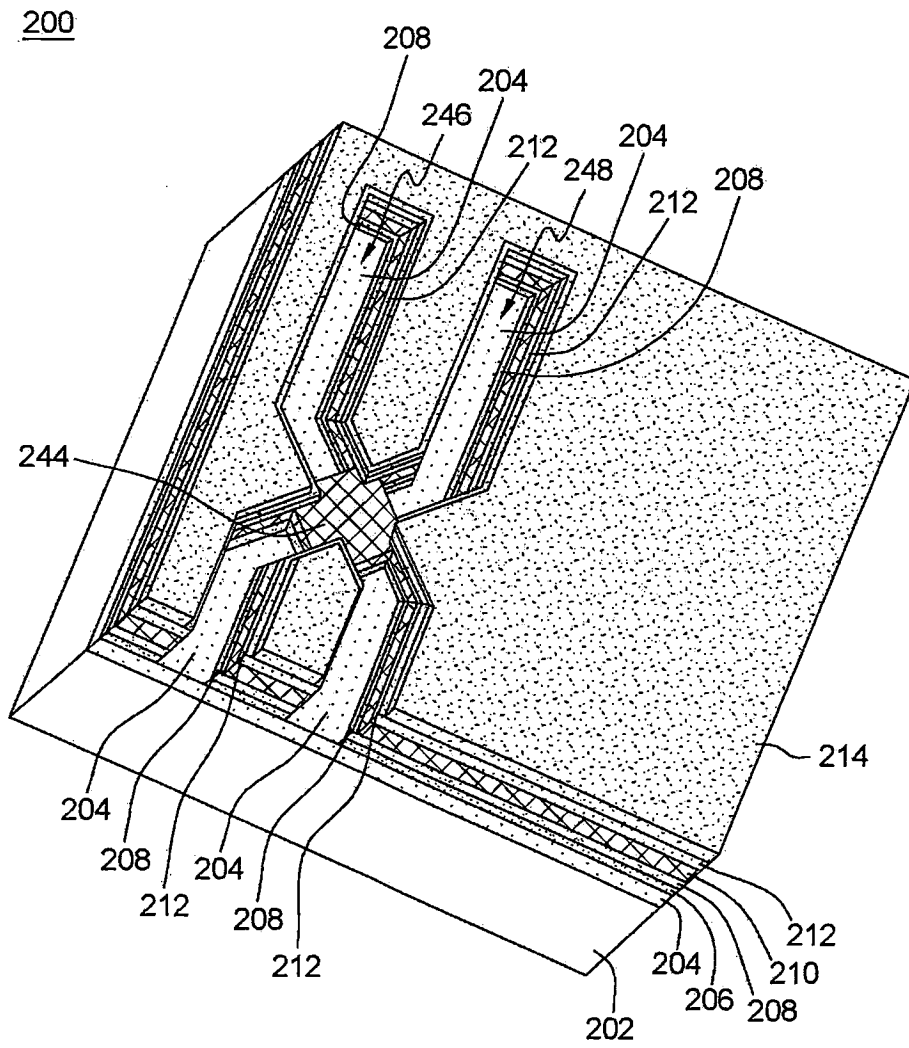
第26圖



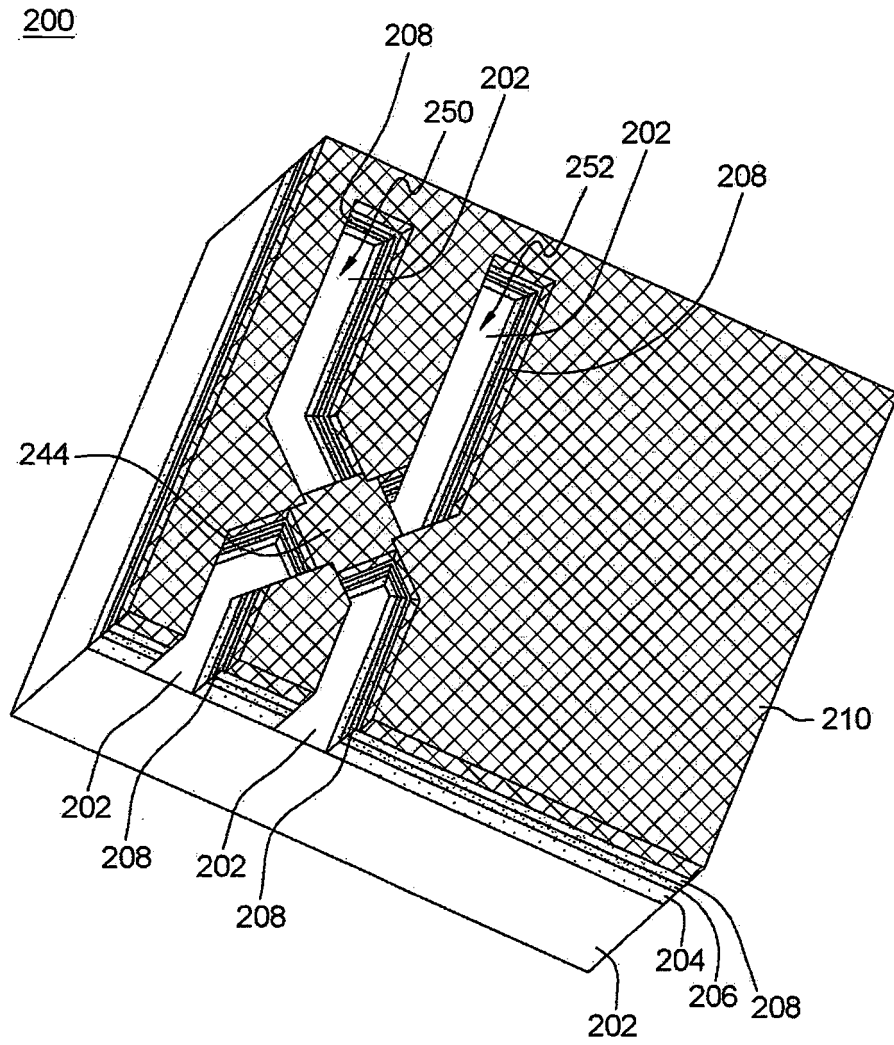
第27圖



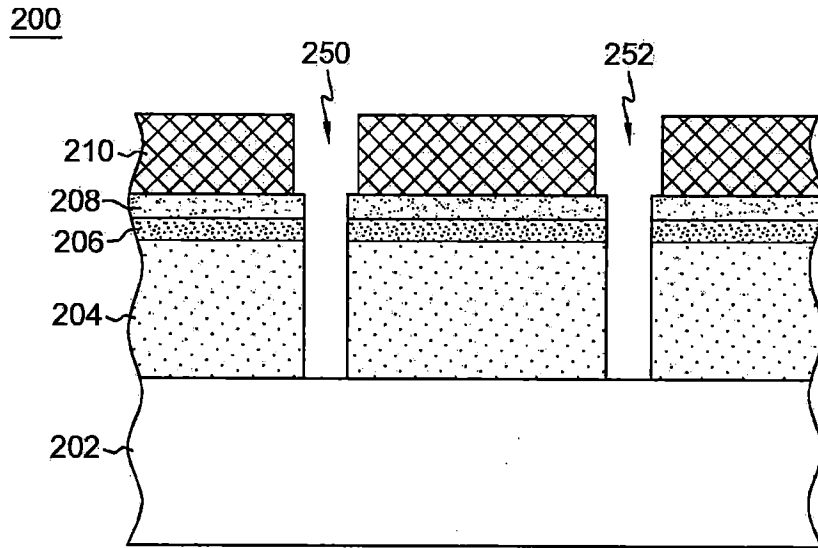
第28圖



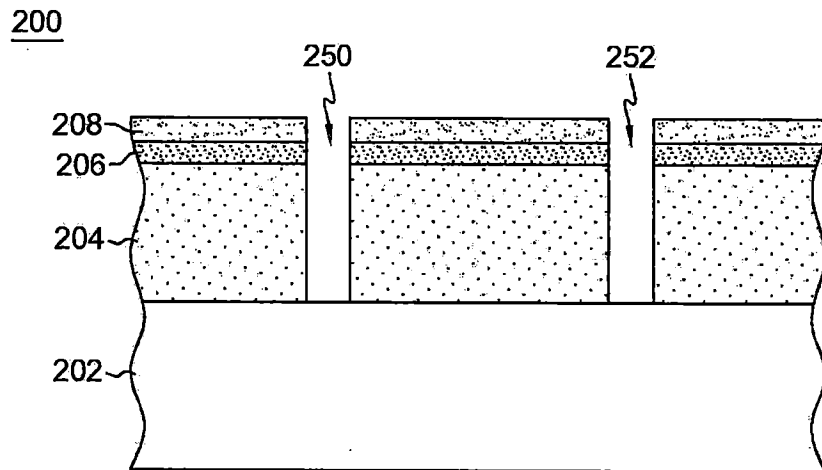
第29圖



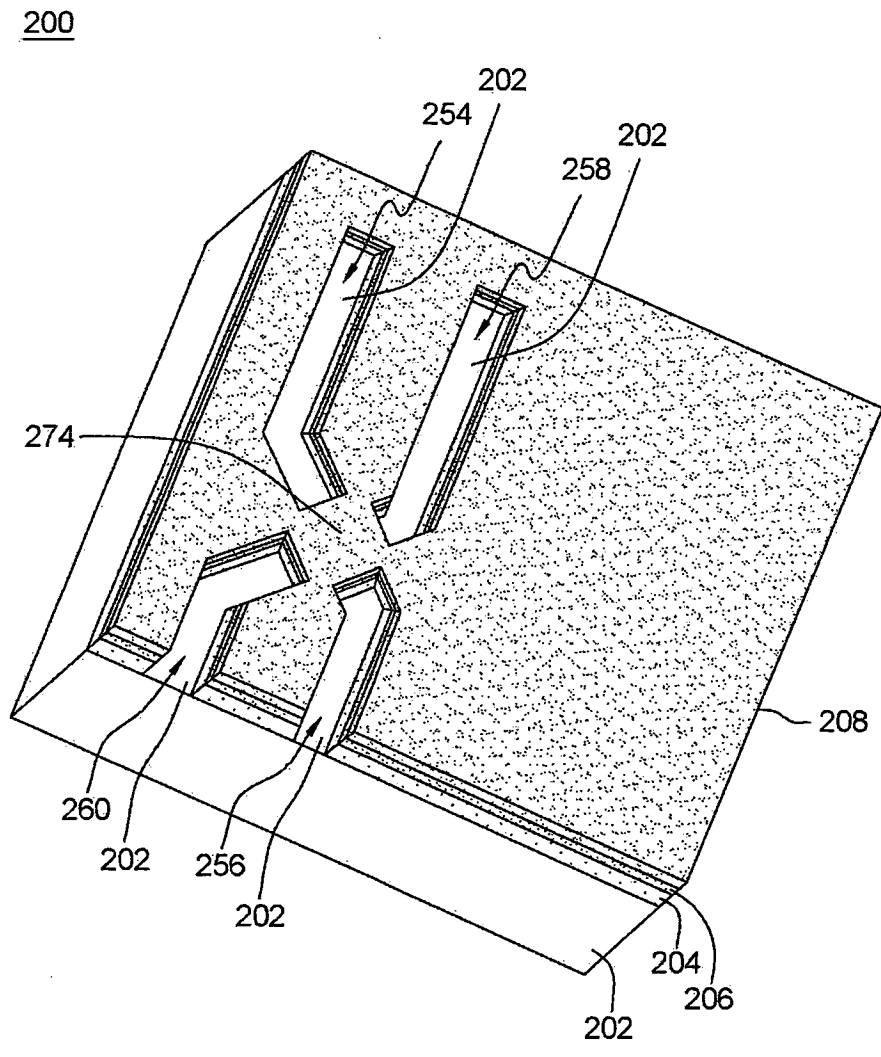
第30圖



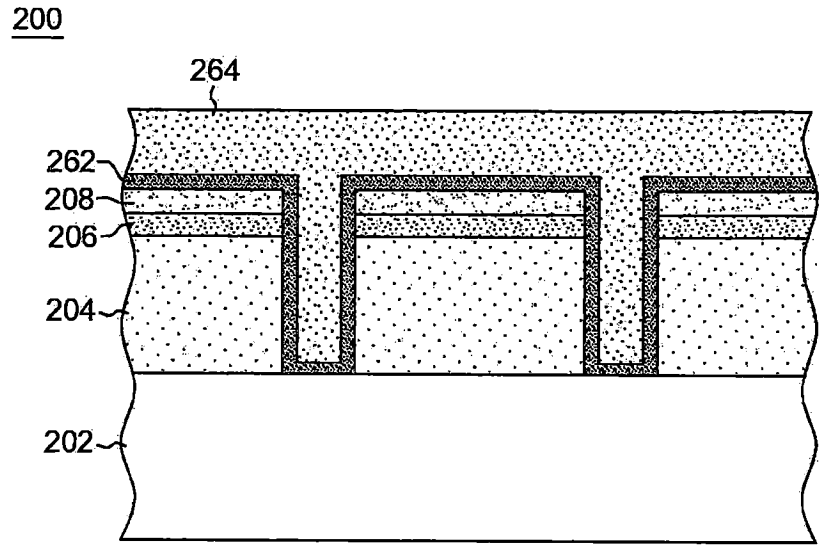
第31圖



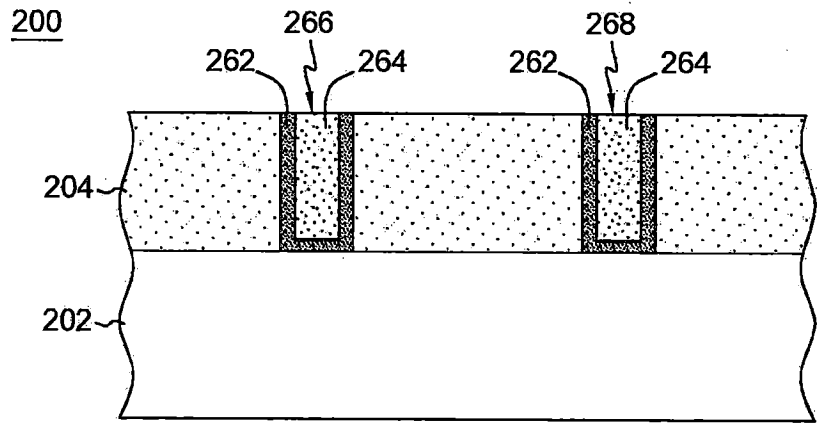
第32圖



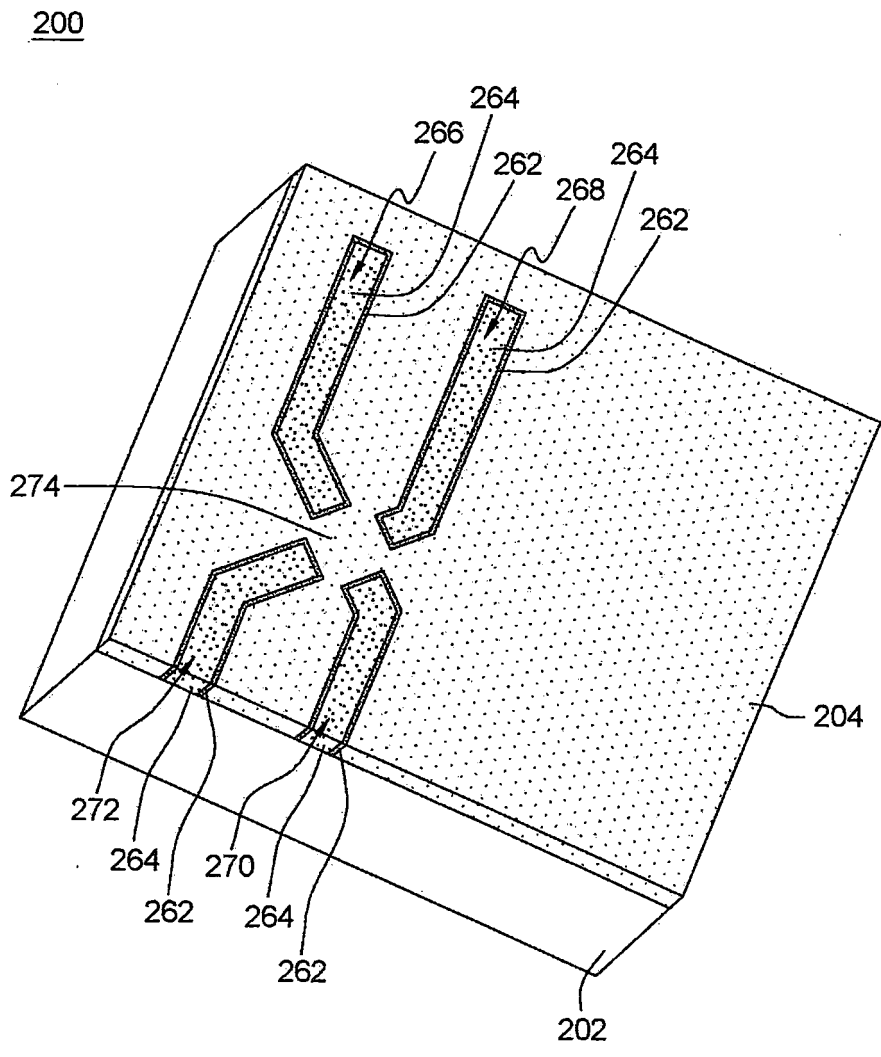
第33圖



第34圖



第35圖



第36圖

申請專利範圍

1. 一種製造半導體裝置之方法，包括：
 - 獲得中間半導體裝置；
 - 執行第一光刻，以圖案化第一形狀而形成至少一個第一過孔開口；
 - 執行第二光刻，以圖案化第二形狀而形成至少一個第二過孔開口，其中，該第二形狀的部分與該第一形狀的部分重疊；
 - 處理該第一形狀及該第二形狀，以在該重疊處形成隔離區，該隔離區使該至少一個第一過孔開口與該至少一個第二過孔開口分離；以及
 - 在該至少一個第一過孔開口與該至少一個第二過孔開口中形成四個導電區域。
2. 如申請專利範圍第 1 項所述之方法，其中，該中間半導體裝置包括：
 - 基板；
 - 層間介電層，位於該基板上；
 - 硬遮罩雙層，位於該層間介電層上；
 - 多晶矽層，位於該硬遮罩雙層上；
 - 蝕刻停止層，位於該多晶矽層上；
 - 氧化物層，位於該蝕刻停止層上；以及
 - 第一光刻堆疊，位於該氧化物層上。
3. 如申請專利範圍第 2 項所述之方法，其中，執行該第一光刻以圖案化該第一形狀包括：

使用第一遮罩以形成該至少一個第一過孔開口，其中，使用該第一遮罩以形成該至少一個第一過孔開口包括：

曝光該第一遮罩，以在該第一光刻堆疊中形成至少一個第一過孔圖案；

蝕刻該氧化物層以形成該至少一個第一過孔開口；以及

自該中間半導體裝置剝離該第一光刻堆疊。

4. 如申請專利範圍第 1 項所述之方法，其中，該中間半導體裝置包括：

基板；

層間介電層，位於該基板上；

硬遮罩雙層，位於該層間介電層上；

多晶矽層，位於該硬遮罩雙層上；

蝕刻停止層，位於該多晶矽層上；

氧化物層，位於該蝕刻停止層上；以及

第二光刻堆疊，位於該氧化物層上。

5. 如申請專利範圍第 4 項所述之方法，其中，執行第二光刻以圖案化與該第一形狀的部分重疊的第二形狀包括：

通過使用第二遮罩執行第二光刻，以形成該至少一個第二過孔開口，其中，該至少一個第二過孔開口與至少一個第一過孔開口重疊，其中，通過使用該第二遮罩執行該第二光刻以形成該至少一個第二過孔開口包括：

曝光該第二遮罩以在該第二光刻堆疊中形成

至少一個第二過孔圖案；

蝕刻該氧化物層以形成該至少一個第二過孔開口；以及

自該中間半導體裝置剝離該第二光刻堆疊。

6. 如申請專利範圍第 5 項所述之方法，其中，通過使用該第二遮罩執行該第二光刻以形成該至少一個第二過孔開口還包括：

執行顯影製程，以暴露自對準區塊，在該自對準區塊處，該至少一個第一過孔開口與該至少一個第二過孔圖案重疊；

蝕刻該中間半導體裝置，以暴露該自對準區塊的該多晶矽層；以及

執行濕式蝕刻，以擴大該至少一個第一過孔開口與該至少一個第二過孔圖案之間的該分離，從而在該蝕刻停止層中形成凹槽。

7. 如申請專利範圍第 6 項所述之方法，其中，用以形成該凹槽的該濕式蝕刻為熱磷氮化物濕式蝕刻。

8. 如申請專利範圍第 7 項所述之方法，其中，形成由該隔離區分離的四個導電區域包括：

自該至少一個第一過孔開口及該至少一個第二過孔開口形成至少四個接觸，其中，形成該至少四個接觸包括：

執行氧化，以在該自對準區塊上形成硬遮罩層；

執行第一蝕刻，以移除該蝕刻停止層的部分並暴露該至少一個第一過孔開口及該至少一個第二過孔開口中的該多晶矽層的部分；以及

執行第二蝕刻，以移除該多晶矽層的部分並暴露該硬遮罩雙層的部分。

9. 如申請專利範圍第 8 項所述之方法，其中，自該至少一個第一過孔開口及該至少一個第二過孔開口形成該至少四個接觸還包括：

在該中間半導體裝置上方沉積間隙壁層；以及

蝕刻該間隙壁層，以在該至少一個第一過孔開口及該至少一個第二過孔開口中形成側間隙壁。

10. 如申請專利範圍第 9 項所述之方法，其中，自該至少一個第一過孔開口及該至少一個第二過孔開口形成該至少四個接觸還包括：

執行乾式蝕刻，以移除該至少一個第一過孔開口及該至少一個第二過孔開口中的該硬遮罩雙層的第二硬遮罩層的部分；

執行等向性蝕刻，以移除該至少一個第一過孔開口及該至少一個第二過孔開口中的該側間隙壁並移除該自對準區塊上的該硬遮罩層，從而暴露自對準多晶矽區塊；以及

執行蝕刻，以移除該至少一個第一過孔開口及該至少一個第二過孔開口中的該硬遮罩雙層的該第一硬遮罩層的部分。

11. 如申請專利範圍第 10 項所述之方法，其中，自該至少一個第一過孔開口及該至少一個第二過孔開口形成該至少四個接觸還包括：

執行蝕刻，以移除該至少一個第一過孔開口及該至少一個第二過孔開口中的該層間介電層的部分，以形成至少一個第一接觸溝槽及至少一個第二接觸溝槽；以及

執行蝕刻，以自該中間半導體裝置移除該多晶矽層。

12. 如申請專利範圍第 11 項所述之方法，其中，自該至少一個第一過孔開口及該至少一個第二過孔開口形成該至少四個接觸還包括：

在該中間半導體裝置上方以及該至少一個第一接觸溝槽及至少一個第二接觸溝槽中沉積阻擋層；

執行金屬填充製程，以在該中間半導體裝置上以及該至少一個第一接觸溝槽及至少一個第二接觸溝槽中沉積金屬層；以及

執行平坦化，以移除多餘金屬層、多餘阻擋層以及該硬遮罩雙層，從而形成至少兩個第一接觸及至少兩個第二接觸。

13. 一種中間半導體裝置，包括：

基板；

層間介電層，沉積於該基板上；

硬遮罩雙層，位於該層間介電層上；

多晶矽層，位於該硬遮罩雙層上；

蝕刻停止層，位於該多晶矽層上；

氧化物層，位於該蝕刻停止層上；以及

至少一個第一開口，自該中間半導體裝置的頂部表面延伸穿過該氧化物層；

至少一個第二開口，自該中間半導體裝置的該頂部表面延伸穿過該氧化物層，其中，該至少一個第一開口與該至少一個第二開口重疊；以及

自對準區塊，位於該至少一個第一開口與該至少一個第二開口重疊之處。

14. 如申請專利範圍第 13 項所述之中間半導體裝置，其中，該自對準區塊包括：

該多晶矽層的部分；以及

硬遮罩層，位於該多晶矽層的該部分上。

15. 如申請專利範圍第 14 項所述之中間半導體裝置，其中，該蝕刻停止層凹入該至少一個第一開口及該至少一個第二開口內的該氧化物層下方。

16. 如申請專利範圍第 13 項所述之中間半導體裝置，其中，該至少一個第一開口及該至少一個第二開口進一步延伸穿過該蝕刻停止層、該多晶矽層以及該硬遮罩雙層的第二硬遮罩層。

17. 如申請專利範圍第 16 項所述之中間半導體裝置，其中，該自對準區塊包括：

該硬遮罩雙層的該第二硬遮罩層的部分；以及

該硬遮罩雙層的該第二硬遮罩層的該部分上的該

多晶矽層的部分。

18. 如申請專利範圍第 13 項所述之中間半導體裝置，其中，該至少一個第一開口及該至少一個第二開口進一步延伸穿過該蝕刻停止層、該多晶矽層以及該硬遮罩雙層。
19. 如申請專利範圍第 18 項所述之中間半導體裝置，其中，該自對準區塊包括：
 - 該硬遮罩雙層的部分；以及
 - 該硬遮罩雙層的該部分上的該多晶矽層的部分。
20. 如申請專利範圍第 13 項所述之中間半導體裝置，其中，該至少一個第一開口形成延伸穿過該層間介電層的至少兩個第一接觸；
 - 其中，該至少一個第二開口形成延伸穿過該層間介電層的至少兩個第二接觸；以及
 - 其中，該自對準區塊電性分離各該至少兩個第一接觸與該至少兩個第二接觸。