



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I722640 B

(45)公告日：中華民國 110 (2021) 年 03 月 21 日

(21)申請案號：108140318

(22)申請日：中華民國 108 (2019) 年 11 月 06 日

(51)Int. Cl. : H01L23/60 (2006.01)

H01L21/24 (2006.01)

(71)申請人：瑞昱半導體股份有限公司(中華民國) REALTEK SEMICONDUCTOR CORPORATION (TW)

新竹市新竹科學工業園區創新二路 2 號

(72)發明人：曹太和 TSAUR, TAY HER (TW)；顏承正 YEN, CHENG CHENG (TW)

(74)代理人：李世章；秦建譜

(56)參考文獻：

TW 201032466A

TW 201351604A

TW 201423952A

TW 201431065A

TW 201909377A

審查人員：修宇鋒

申請專利範圍項數：10 項 圖式數：6 共 26 頁

(54)名稱

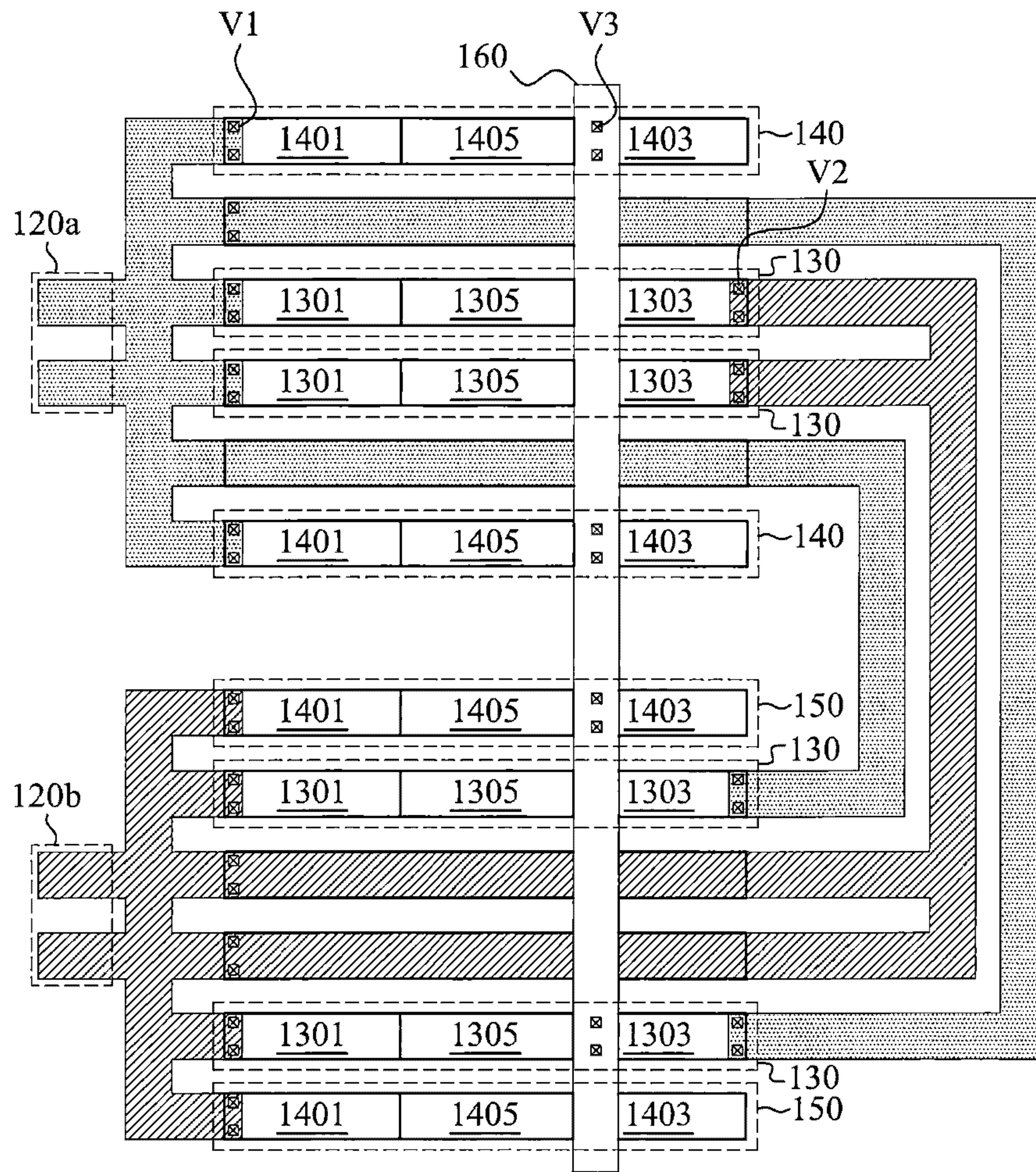
積體電路與靜電放電保護方法

(57)摘要

一種積體電路包含負載電路以及靜電放電保護電路。負載電路包含第一與第二輸入輸出端。靜電放電保護電路耦接第一與第二輸入輸出端。靜電放電保護電路包含第一保護電路。第一保護電路用以從第一輸入輸出端傳導第一靜電放電電流至第二輸入輸出端。第一保護電路包含第一、第二、第三摻雜區與井。第一摻雜區耦接第一輸入輸出端。井耦接第一摻雜區。第二摻雜區耦接井。第三摻雜區耦接第二摻雜區至第二輸入輸出端。第一摻雜區與第二摻雜區具有第一型導電性。井與第三摻雜區具有第二型導電性。第二型導電性與第一型導電性不同。

An integral circuit includes a load circuit and a electrostatic discharge(ESD) circuit. The load circuit includes a first and a second input/output(I/O) terminals. The ESD circuit includes a first protection circuit. The first protection circuit is configured to conduct a first ESD current from the first I/O terminal to the second I/O terminal. The first protection circuit includes a first, a second, a third doped regions, and a well. The first doped reigon is coupled to the first I/O terminal. The well is coupled to the first doped region. The second doped is coupled to the well. The third doped region is coupled to the second doped region. The first and the second doped regions have a first conductive type. The well and the third doped region have a second conductive type. The first conductive type is different from the second conductive type.

指定代表圖：



符號簡單說明：

- 120a . . . 輸入輸出端
- 120b . . . 輸入輸出端
- 130 . . . 保護電路
- 140 . . . 保護電路
- 150 . . . 保護電路
- 160 . . . 電源軌
- V1 . . . 導通孔
- V2 . . . 導通孔
- V3 . . . 導通孔
- 1301 . . . 摻雜區
- 1303 . . . 摻雜區
- 1305 . . . 絕緣區
- 1401 . . . 摻雜區
- 1403 . . . 摻雜區
- 1405 . . . 絕緣區

第 5 圖

I722640

【發明摘要】

【中文發明名稱】積體電路與靜電放電保護方法

【英文發明名稱】INTEGRATED CIRCUIT AND
ELECTROSTATIC DISCHARGE PROTECTION
METHOD

【中文】

一種積體電路包含負載電路以及靜電放電保護電路。負載電路包含第一與第二輸入輸出端。靜電放電保護電路耦接第一與第二輸入輸出端。靜電放電保護電路包含第一保護電路。第一保護電路用以從第一輸入輸出端傳導第一靜電放電電流至第二輸入輸出端。第一保護電路包含第一、第二、第三摻雜區與井。第一摻雜區耦接第一輸入輸出端。井耦接第一摻雜區。第二摻雜區耦接井。第三摻雜區耦接第二摻雜區至第二輸入輸出端。第一摻雜區與第二摻雜區具有第一型導電性。井與第三摻雜區具有第二型導電性。第二型導電性與第一型導電性不同。

【英文】

An integral circuit includes a load circuit and a electrostatic discharge(ESD) circuit. The load circuit includes a first and a second input/output(I/O) terminals. The ESD circuit includes a first protection circuit. The first protection circuit is

configured to conduct a first ESD current from the first I/O terminal to the second I/O terminal. The first protection circuit includes a first, a second, a third doped regions, and a well. The first doped region is coupled to the first I/O terminal. The well is coupled to the first doped region. The second doped is coupled to the well. The third doped region is coupled to the second doped region. The first and the second doped regions have a first conductive type. The well and the third doped region have a second conductive type. The first conductive type is different from the second conductive type.

【指定代表圖】第5圖

【代表圖之符號簡單說明】

120a...輸入輸出端

120b...輸入輸出端

130...保護電路

140...保護電路

150...保護電路

160...電源軌

V1...導通孔

V2...導通孔

V3...導通孔

1301... 摻雜區

1303... 摻雜區

1305... 絕緣區

1401... 摻雜區

1403... 摻雜區

1405... 絕緣區

【特徵化學式】

無

【發明說明書】

【中文發明名稱】積體電路與靜電放電保護方法

【英文發明名稱】INTEGRATED CIRCUIT AND
ELECTROSTATIC DISCHARGE PROTECTION
METHOD

【技術領域】

【0001】 本揭示內容是關於一種積體電路，特別是關於一種具有靜電放電保護功能的積體電路。

【先前技術】

【0002】 隨著積體電路技術日新月異，積體電路中元件的間隔也愈來愈小，因此，積體電路中因為各種原因而累積的靜電電荷也愈趨容易影響到周圍的元件，為了避免靜電影響，積體電路中的靜電處理功能也亦趨關鍵。

【發明內容】

【0003】 本揭示內容之一實施方式係關於一種積體電路，其包含負載電路以及靜電放電保護電路。負載電路包含第一與第二輸入輸出端。靜電放電保護電路耦接第一與第二輸入輸出端。靜電放電保護電路包含第一保護電路。第一保護電路用以從第一輸入輸出端傳導第一靜電放電電流至第二輸入輸出端。第一保護電路包含第一、第二、第三摻雜區與井。第一摻雜區耦接第一輸入輸出端。井耦接第一摻雜區。

第二摻雜區耦接井。第三摻雜區耦接第二摻雜區至第二輸入輸出端。第一摻雜區與第二摻雜區具有第一型導電性。井與第三摻雜區具有第二型導電性。第二型導電性與第一型導電性不同。

【0004】 本揭示內容之一實施方式係關於一種靜電放電保護方法，其包含下列操作。藉由PNPN結構，從第一輸入輸出端傳導第一靜電放電電流至第二輸入輸出端；以及藉由第一鰭式場效二極體，從第一輸入輸出端傳導第二靜電放電電流至第一電源軌。PNPN結構為鰭狀結構。

【0005】 綜上所述，本案一些實施例所提供的積體電路與電放電保護方法可在不改變積體電路佈圖面積的情況下，增加靜電放電保護功能。如此，可以避免積體電路因增加新功能，電路面積大幅提升的問題。

【圖式簡單說明】

【0006】 藉由閱讀以下對實施例之詳細描述可以更全面地理解本揭示案，參考附圖如下：

第1圖為根據本揭示文件之一些實施例所繪示的一種積體電路的示意圖；

第2圖為根據本揭示文件之一些實施例所繪示於第1圖中的積體電路的細部示意圖；

第3圖為根據本揭示文件之一些實施例所繪示於第1圖中的積體電路的部分電路示意圖；

第4A圖為根據本揭示文件之一些實施例所繪示的保護電路的結構示意圖；

第4B圖為根據本揭示文件之一些實施例所繪示的保護電路的結構示意圖；

第5圖為根據本揭示文件之另一些實施例所繪示的積體電路的細部示意圖；以及

第6圖為根據本揭示文件之一些實施例所繪示的靜電放電保護方法的流程圖。

【實施方式】

【0007】 下文係舉實施例配合所附圖式作詳細說明，但所描述的具體實施例僅僅用以解釋本案實施例，並不用來限定本案實施例，而結構操作之描述非用以限制其執行之順序，任何由元件重新組合之結構，所產生具有均等功效的裝置，皆為本案實施例揭示內容所涵蓋的範圍。

【0008】 關於本文中所使用之『耦接』或『連接』，均可指二或多個元件相互直接作實體或電性接觸，或是相互間接作實體或電性接觸，亦可指二或多個元件相互操作或動作。

【0009】 參考第1圖。第1圖為根據本揭示文件的一種積體電路100的示意圖。如第1圖所示，積體電路100包含負載電路110、靜電放電保護電路345以及電源軌160。在一些實施例中，積體電路100具有靜電放電功能，其是防止靜電對積體電路100的破壞。

【0010】 如第1圖所示，負載電路110包含輸入輸出端

120a與輸入輸出端120b，輸入輸出端120a與輸入輸出端120b耦接靜電放電保護電路345，以及靜電放電保護電路345更耦接至電源軌160。

【0011】 在一些實施例中，負載電路110透過輸入輸出端120a與輸入輸出端120b傳輸電力及/或訊號。在一些實施例中，透過輸入輸出端120a與透過輸入輸出端120b傳輸電力及/或訊號相同。在另一些實施例中，透過輸入輸出端120a與透過輸入輸出端120b傳輸電力及/或訊號不同。

【0012】 在一些實施例中，靜電放電保護電路345用以連接負載電路110的輸入輸出端120a、120b與電源軌160。靜電放電保護電路345用以保護負載電路110不被靜電放電損壞。靜電放電保護電路345包含保護電路130、保護電路140以及保護電路150。靜電放電保護電路345之細節將於後參考第2、3、4A、4B、5、6圖討論。

【0013】 在一些實施例中，電源軌160以金屬線設置，用以接收供應電壓。

【0014】 參考第2圖。第2圖為根據本揭示文件之一些實施例所繪示於第1圖中的積體電路100的細部示意圖。如第2圖所示，積體電路100包含負載電路110a、負載電路110b、保護電路130、保護電路140a、保護電路140b、保護電路150a、保護電路150b、電源軌160a以及電源軌160b。其中，負載電路110包含負載電路110a與負載電路110b，保護電路140包含保護電路140a與保護電路140b，保護電路150包含保護電路150a與保護電路150b，以及電源軌160包含電源軌

160a與電源軌160b。

【0015】 如第2圖所示，負載電路110a包含輸入輸出端120a，負載電路110b包含輸入輸出端120b。保護電路130耦接於輸入輸出端120a與輸入輸出端120b之間。保護電路140a與保護電路140b分別耦接輸入輸出端120a與輸入輸出端120b至電源軌160a。保護電路150a與保護電路150b分別耦接輸入輸出端120a與輸入輸出端120b至電源軌160b。

【0016】 在一些實施例中，保護電路130用以從輸入輸出端120a傳導靜電放電電流至輸入輸出端120b，以保護負載電路110a及其附近之元件不被負載電路110a上累積的靜電破壞。保護電路130亦用以從輸入輸出端120b傳導靜電放電電流至輸入輸出端120a，以保護負載電路110b及其附近之元件不被負載電路110b上累積的靜電破壞。

【0017】 在一些實施例中，保護電路140a與保護電路150a分別用以從輸入輸出端120a與輸入輸出端120b傳導靜電放電電流至電源軌160a，以及保護電路140b與保護電路150b分別用以從輸入輸出端120a與輸入輸出端120b傳導靜電放電電流至電源軌160b。

【0018】 在一些實施例中，電源軌160a用以接收供應電壓VDD，以及電源軌160b用以接收供應電壓VSS。在一些實施例中，供應電壓VDD為系統高電壓，供應電壓VSS為接地。

【0019】 參考第3圖。第3圖為根據本揭示文件之一些實施例所繪示於第1圖中的積體電路100的部分電路300示意圖。如第3圖所示，電路300包含輸入輸出端120a、輸入輸出

端120b、電源軌160a、保護電路130、保護電路140a與保護電路150a。

【0020】 在一些實施例中，輸入輸出端120a與輸入輸出端120b包含多個接點，其中每個接點耦接保護電路130、保護電路140a與保護電路150a中之一者。在一些實施例中，輸入輸出端120a中的每個接點相互短路，以及輸入輸出端120b中的每個接點相互短路。在第2圖中，保護電路140b與保護電路150b分別耦接輸入輸出端120a與輸入輸出端120b至電源軌160b，其與保護電路140a、保護電路150a與電源軌160a的部分相似。為了易於理解，於第3圖中儘繪示保護電路140a、保護電路150a與電源軌160a的部分。

【0021】 在一些實施例中，保護電路130包含多個獨立的部分，每個部分分別耦接輸入輸出端120a中的一個接點至輸入輸出端120b的一個接點。在一些實施例中，保護電路130的每個部份具有方向性，如第3圖所示，最上面的保護電路130的部份用以從輸入輸出端120b傳導靜電放電電流至輸入輸出端120a，以及位於中間的保護電路130的部份用以從輸入輸出端120a傳導靜電放電電流至輸入輸出端120b，其中圖中的箭頭表示傳導的方向。

【0022】 在一些實施例中，保護電路140a與保護電路150a以二極體實施。換言之，護電路140a與保護電路150a亦有方向性。第3圖繪示的二極體僅為釋例之用途。各種不同形式的二極體均在本揭示文件的考量與範疇之內。例如，二極體以鰭式場效二極體實施。

【0023】 參考第4A圖。第4A圖為根據本揭示文件之一些實施例所繪示的保護電路130的結構示意圖。如第4A圖所示，保護電路130包含摻雜區1301、井1302、摻雜區1303、摻雜區1304、絕緣區1305、導通孔V1、導通孔V2、金屬線M1以及金屬線M2。

【0024】 如第4A圖所示，摻雜區1301、摻雜區1303與絕緣區1305設置於井1302之上。絕緣區1305設置於摻雜區1301與摻雜區1303之間。摻雜區1304設置於井1302與摻雜區1303之間，且摻雜區1304與摻雜區1301沒有直接接觸。摻雜區1301透過導通孔V1耦接金屬線M1。摻雜區1303透過導通孔V2耦接金屬線M2。

【0025】 在一些實施例中，摻雜區1301、井1302、摻雜區1303與摻雜區1304為半導體，保護電路130中形成一個電流路徑，其依序通過金屬線M1、導通孔V1、摻雜區1301、井1302、摻雜區1304、摻雜區1303、導通孔V2至金屬線M2。保護電路130藉由金屬線M1與金屬線M2耦接至輸入輸出端120a與輸入輸出端120b。

【0026】 在一些實施例中，摻雜區1301與摻雜區1304具有第一型導電性，以及井1302與摻雜區1303具有第二型導電性。在一些實施例中，第一型導電性為P型，第二型導電性為N型，換言之，保護電路130為一個PNPN結構。在一些其他的實施例中，第一型導電性為N型，第二型導電性為P型，換言之，保護電路130為一個NPNP結構。

【0027】 在一些實施例中，摻雜區1301的摻雜濃度大於

井1302的摻雜濃度，摻雜區1303的摻雜濃度大於井1302的摻雜濃度。在一些實施例中，摻雜區1304由在井1302的表面之上執行離子佈植製程而形成，並且摻雜區1304的摻雜濃度大於摻雜區1303與井1302的摻雜濃度。

【0028】 在一些實施例中，保護電路130為鰭狀(Fin)結構，其中摻雜區1301、絕緣區1305與摻雜區1303形成鰭狀結構的鰭。在一些其他的實施例中，保護電路130不包含絕緣區1305。在一些實施例中，絕緣區1305由淺溝槽隔離(STI: shallow trench isolation)製程形成。第4A圖僅繪示一個鰭狀結構，但本揭示文件並不限於此。在一些實施例中，保護電路130由多個鰭狀結構組成，例如，如第3圖所示之保護電路130之多個部分皆分別由一個鰭狀結構組成。

【0029】 參考第4B圖。第4B圖為根據本揭示文件之一些實施例所繪示的保護電路140的結構示意圖。如第4B圖所示，保護電路140包含摻雜區1401、井1402、摻雜區1403、絕緣區1405、導通孔V1、導通孔V3以及金屬線M1。

【0030】 如第4B圖所示，摻雜區1401、摻雜區1403與絕緣區1405設置於井1402之上。絕緣區1405設置於摻雜區1401與摻雜區1403之間。摻雜區1401透過導通孔V1耦接金屬線M1。摻雜區1403透過導通孔V3耦接電源軌160。

【0031】 在一些實施例中，摻雜區1401、井1402、摻雜區1403、絕緣區1405、導通孔V1與金屬線M1相似於第4A圖中的摻雜區1301、井1302、摻雜區1303、絕緣區1305、導通孔V1與金屬線M1。因此，其細節於此不再贅述。

【0032】 在一些實施例中，保護電路140中形成一個電流路徑，其依序通過金屬線M1、導通孔V1、摻雜區1401、井1402、摻雜區103、導通孔V3至電源軌160。保護電路140藉由金屬線M1耦接至輸入輸出端120a。

【0033】 相較於第4A圖中的保護電路130，保護電路140耦接之電源軌160與金屬線M1設置於不同高度。如第4B圖所示，導通孔V3比導通孔V1長。

【0034】 在一些實施例中，保護電路140為鰭狀結構，其中摻雜區1401、絕緣區1405與摻雜區1403形成鰭狀結構的鰭。在一些實施例中，保護電路140以鰭式場效二極體實施。

【0035】 保護電路150與第4B圖繪示的保護電路140大體上相同。相較於第4B圖中的保護電路140，保護電路150藉由金屬線M1耦接至輸入輸出端120b。其他細節於此不再贅述。

【0036】 參考第5圖。第5圖為根據本揭示文件之另一些實施例所繪示的積體電路100的細部示意圖。如第5圖所示，積體電路100包含輸入輸出端120a、輸入輸出端120b、保護電路130、保護電路140、保護電路150以及電源軌160。

【0037】 在一些實施例中，保護電路130、保護電路140與保護電路150為多個鰭狀結構，該些鰭狀結構平行設置，以及該些鰭狀結構具有大體上相同的面積。如第5圖所示，輸入輸出端120a透過保護電路130耦接至輸入輸出端120b，以及透過保護電路140耦接至電源軌160。輸入輸出端120b透過保護電路130耦接至輸入輸出端120a，以及透過保護電路

150 耦接至電源軌 160。電源軌 160 與該些鰭狀結構垂直設置。

【0038】 在一些實施例中，保護電路 130 與保護電路 140 分別從輸入輸出端 120a 傳導靜電放電電流至輸入輸出端 120b 與電源軌 160，以及保護電路 130 與保護電路 150 分別從輸入輸出端 120b 傳導靜電放電電流至輸入輸出端 120a 與電源軌 160。在一些實施例中，流經不同路徑的靜電放電電流相互不同。在另一些實施例中，流經不同路徑的靜電放電電流中至少部分相同。

【0039】 在一些實施例中，保護電路 130 與保護電路 140/150 原為相同結構，在製程中，經過對保護電路 140 及/或保護電路 150 中的井 1402 執行一離子佈植製程而形成保護電路 130 的結構。

【0040】 為了易於理解，第 5 圖中繪示由輸入輸出端 120a 與輸入輸出端 120b 相互耦接的路徑繪示於鰭狀結構(保護電路 130、保護電路 140、保護電路 150)的外側，但本揭示文件並不限於此。例如，在一些實施例中，輸入輸出端 120a 與輸入輸出端 120b 相互耦接的路徑沒有覆蓋保護電路 130、保護電路 140、保護電路 150 之外的額外區域。

【0041】 在一些做法中，設置於兩個輸出端之間的靜電保護電路使用了額外的佈圖面積，因此積體電路的面積增加。相較於上述的做法，保護電路 130 由保護電路 140/150 增加一道離子佈植製程而形成，模有額外的元件佔去原本佈圖的面積，因此，積體電路的面積沒有增加。

【0042】 參考第6圖。第6圖為根據本揭示文件之一些實施例所繪示的靜電放電保護方法600的流程圖。靜電放電保護方法600包含操作S610與操作S620。

【0043】 在操作S610中，從輸入輸出端120a傳導靜電放電電流至輸入輸出端120b。藉由PNPN鰭式結構作為保護電路130，傳導累積在負載電路110中輸入輸出端120a上的靜電電荷至輸入輸出端120b，以保護輸入輸出端120a及其附近之元件不受靜電破壞。

【0044】 在一些實施例中，操作S610中亦從輸入輸出端120b傳導靜電放電電流至輸入輸出端120a。其操作類與功能類似從輸入輸出端120a傳導靜電放電電流至輸入輸出端120b。於此不再贅述。

【0045】 在操作S620中，從輸入輸出端120a傳導靜電放電電流至電源軌160。藉由多個鰭式場效二極體作為保護電路140與保護電路150，傳導累積在負載電路110中輸入輸出端120a上的靜電電荷至電源軌160，以保護輸入輸出端120a及其附近之元件不受靜電破壞。

【0046】 在一些實施例中，將累積的靜電電荷傳導至電源軌160包含藉由不同的鰭式場效二極體從輸入輸出端120a分別傳導靜電放電電流至電源軌160a與電源軌160b。

【0047】 在一些實施例中，操作S620中亦從輸入輸出端120b傳導靜電放電電流至電源軌160。其操作類與功能類似從輸入輸出端120a傳導靜電放電電流至電源軌160。於此不再贅述。

【0048】 上述的圖式包含釋例性的操作，但該些操作並不限於所示的順序。依據本揭露文件實施例考量與範疇，操作可能被適當地增加、取代、改變順序、及/或省略。

【0049】 雖然本揭示文件之實施例已揭露如上，然其並非用以限定本案，任何熟習此技藝者，在不脫離本揭示文件實施例之精神和範圍內，當可做些許之更動與潤飾，因此本揭示文件實施例之保護範圍當以後附之申請專利範圍所界定為準。

【符號說明】

【0050】

- 100... 積體電路
- 110... 負載電路
- 110a... 負載電路
- 110b... 負載電路
- 120a... 輸入輸出端
- 120b... 輸入輸出端
- 345... 靜電放電保護電路
- 130... 保護電路
- 140... 保護電路
- 140a... 保護電路
- 140b... 保護電路
- 150... 保護電路
- 150a... 保護電路

150b...保護電路

160...電源軌

160a...電源軌

160b...電源軌

VDD...供應電壓

VSS...供應電壓

300...電路

V1...導通孔

V2...導通孔

V3...導通孔

1301...摻雜區

1302...井

1303...摻雜區

1304...摻雜區

1305...絕緣區

M1...金屬線

M2...金屬線

1401...摻雜區

1402...井

1403...摻雜區

1405...絕緣區

600...方法

S610...操作

S620...操作

【發明申請專利範圍】

【第 1 項】一種積體電路，包含：

一負載電路包含一第一輸入輸出端與一第二輸入輸出端；以及

一靜電放電保護電路耦接該第一輸入輸出端與該第二輸入輸出端，其中該靜電放電保護電路包含一第一保護電路，

其中該第一保護電路用以從該第一輸入輸出端傳導一第一靜電放電電流至該第二輸入輸出端，該第一保護電路包含：

一第一摻雜區，耦接該第一輸入輸出端，其中該第一摻雜區具有一第一型導電性；

一井，耦接該第一摻雜區，其中該井具有一第二型導電性，其中該第二型導電性與該第一型導電性不同；

一第二摻雜區，耦接該井，其中該第二摻雜區具有該第一型導電性；以及

一第三摻雜區，耦接該第二摻雜區至該第二輸入輸出端，其中該第三摻雜區具有該第二型導電性，一絕緣區設置於該第一摻雜區與該第三摻雜區間。

【第 2 項】如請求項 1 所述之積體電路，更包含：

一電源軌，耦接該靜電放電保護電路，

其中該靜電放電保護電路更包含：

一第二保護電路，用以從該第一輸入輸出端傳

導一第二靜電放電電流至該電源軌；以及
一第三保護電路，用以從該第二輸入輸出端傳
導一第三靜電放電電流至該電源軌。

【第 3 項】如請求項 2 所述之積體電路，其中該靜電放電保護電路由複數個鰭狀結構組成，以及該第一保護電路、該第二保護電路與該第三保護電路分別由該些鰭狀結構中的不同三個鰭狀結構組成。

【第 4 項】如請求項 2 所述之積體電路，其中該第二保護電路與該第三保護電路為鰭式場效二極體。

【第 5 項】如請求項 1 所述之積體電路，其中該第一型導電性為 P 型，以及該第二型導電性為 N 型。

【第 6 項】如請求項 1 所述之積體電路，其中該第一摻雜區的一摻雜濃度大於該井的一摻雜濃度，該第三摻雜區的一摻雜濃度大於該井的該摻雜濃度，以及該第二摻雜區的一摻雜濃度大於該第三摻雜區的該摻雜濃度。

【第 7 項】如請求項 1 所述之積體電路，其中該第二摻雜區由執行一離子佈植方式於該井之一表面形成。

【第 8 項】如請求項 1 所述之積體電路，更包含：
一第一電源軌，耦接該靜電放電保護電路；以及

一第二電源軌，耦接該靜電放電保護電路，

其中該靜電放電保護電路更包含：

一第二保護電路，用以從該第一輸入輸出端傳導一第二靜電放電電流至該第一電源軌；以及

一第三保護電路，用以從該第一輸入輸出端傳導一第三靜電放電電流至該第二電源軌。

【第 9 項】如請求項 8 所述之積體電路，其中該第一保護電路、該第二保護電路與該第三保護電路分別由複數個鰭狀結構中的不同三個鰭狀結構組成，其中該些鰭狀結構與該第一電源軌垂直設置，以及該些鰭狀結構與該第二電源軌垂直設置。

【第 10 項】一種靜電放電保護方法，用於保護一負載電路，該負載電路包含一第一輸入輸出端與一第二輸入輸出端，包含：

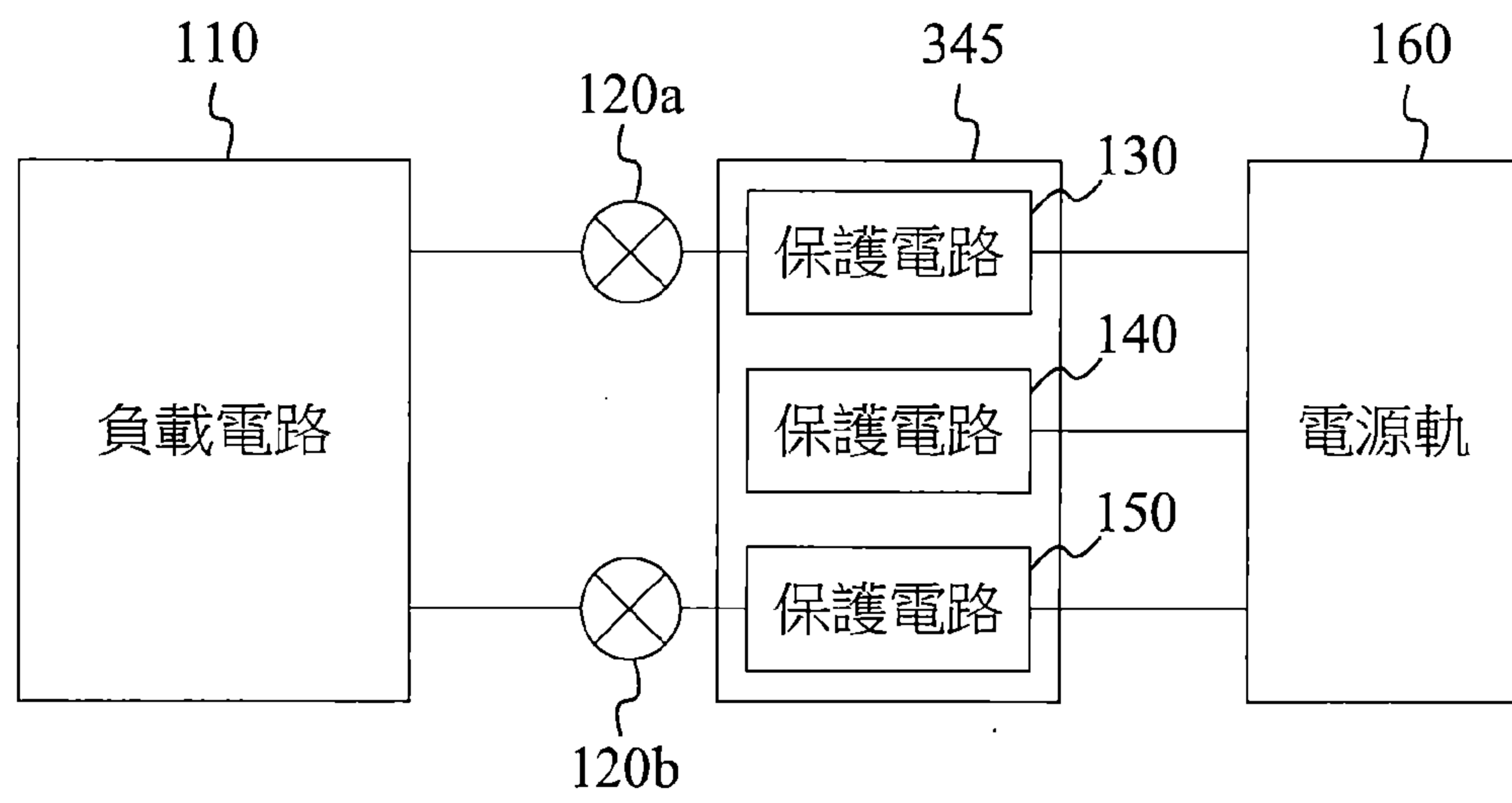
藉由一 PNP 結構，從該第一輸入輸出端傳導一第一靜電放電電流至該第二輸入輸出端；

藉由一第一鰭式場效二極體，從該第一輸入輸出端傳導一第二靜電放電電流至一第一電源軌；以及

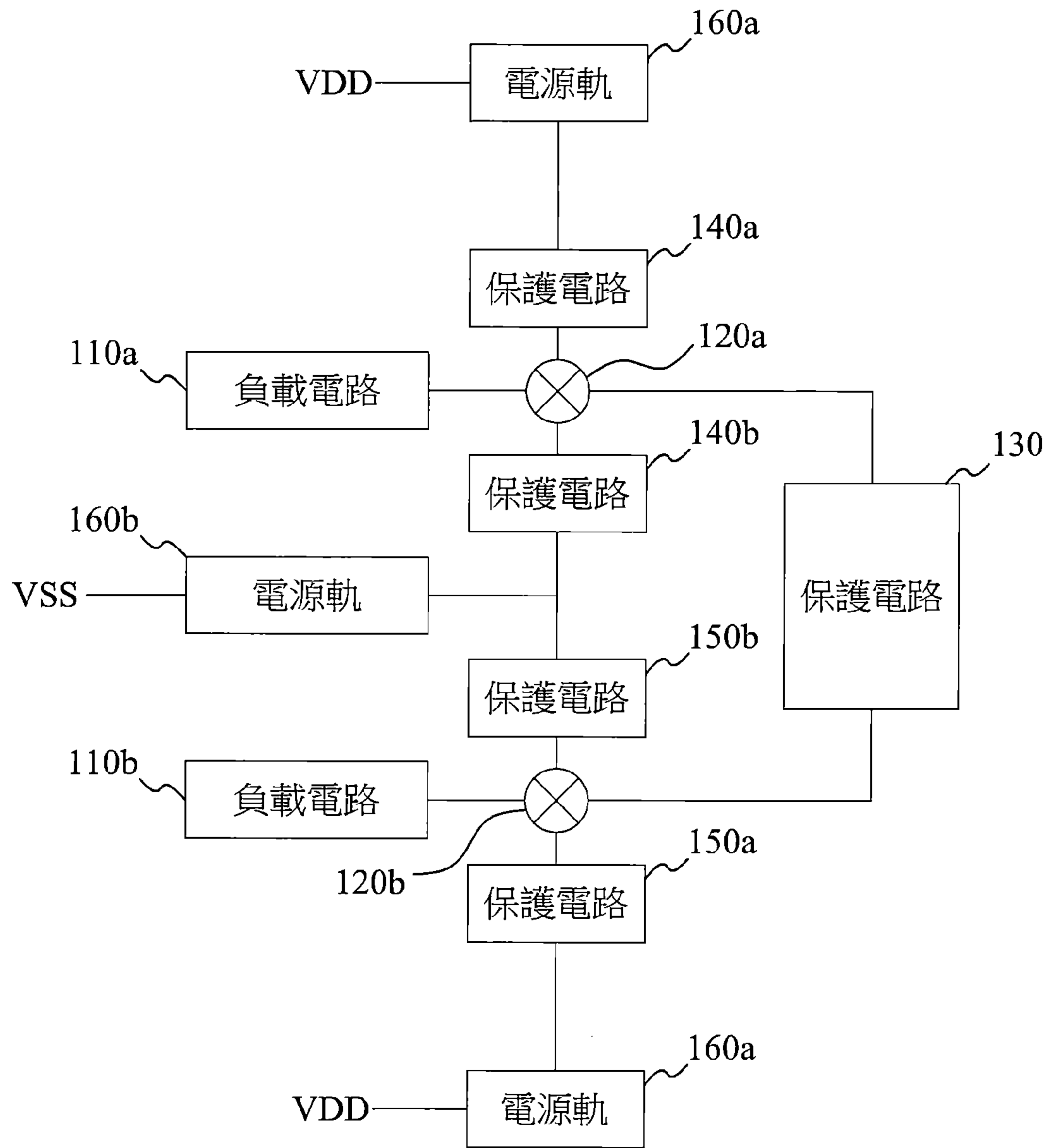
藉由一第二鰭式場效二極體，從該第一輸入輸出端傳導一第三靜電放電電流至一第二電源軌，其中該 PNP 結構為一鰭狀結構。

圖式

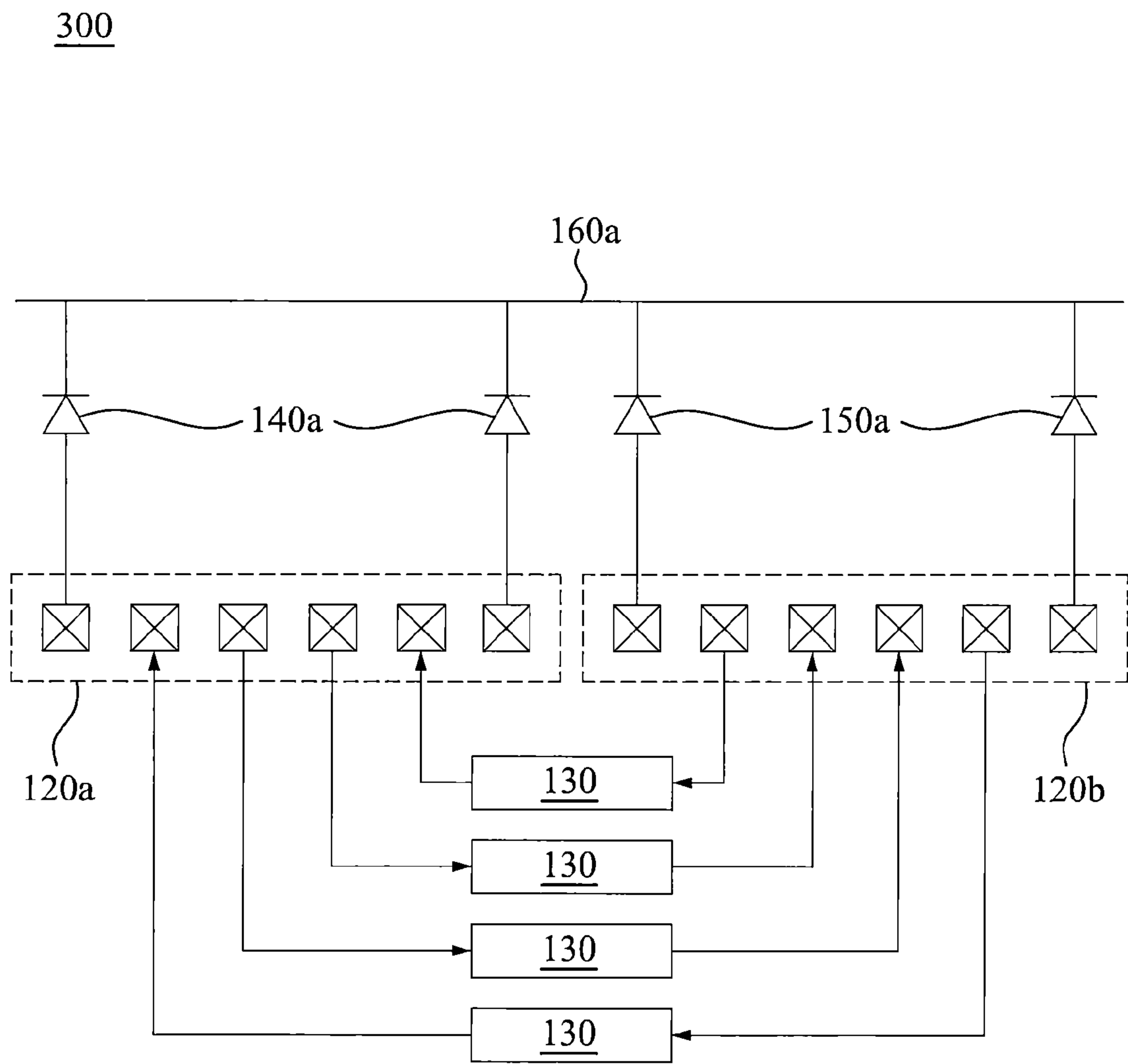
100



第 1 圖

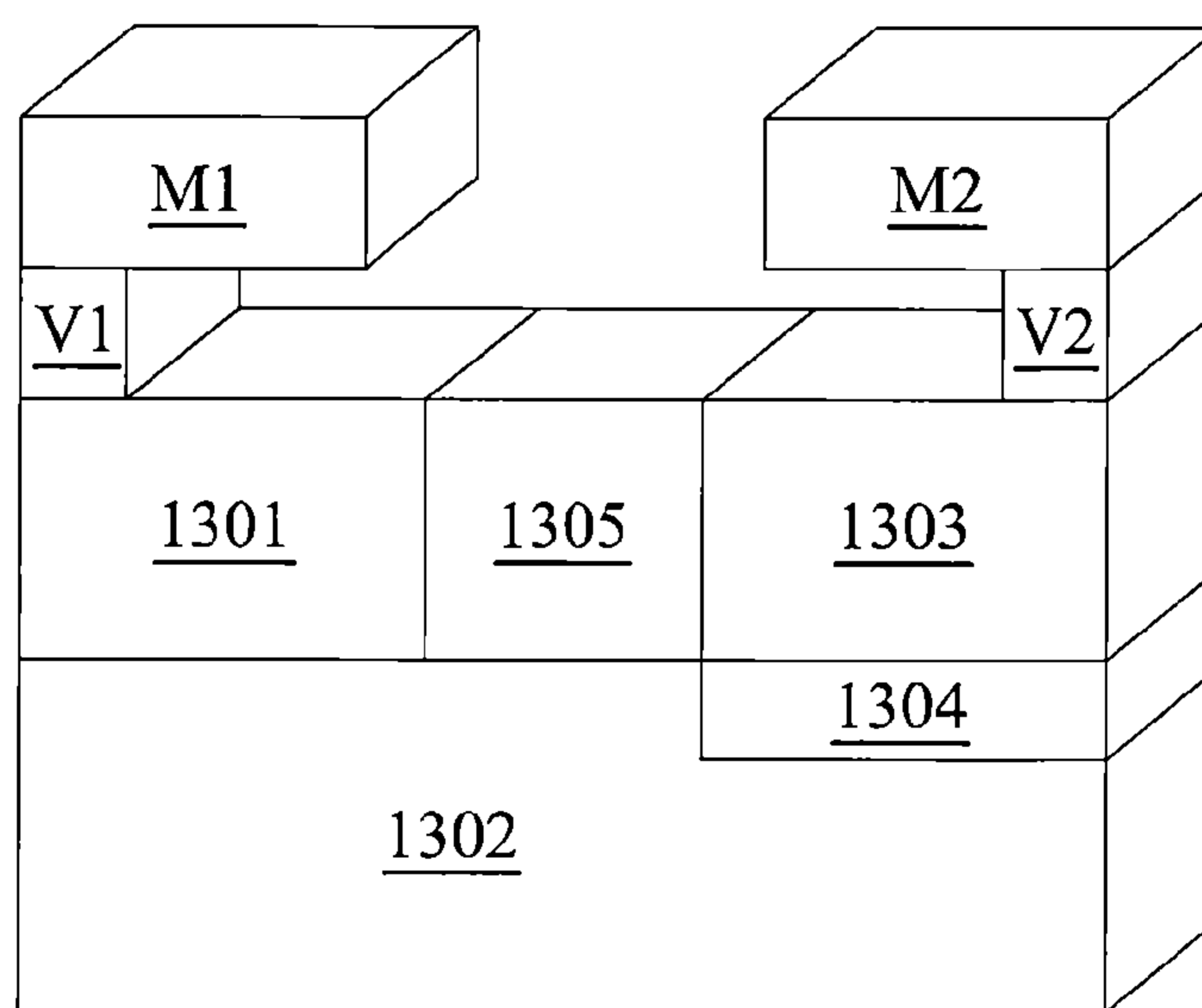


第 2 圖



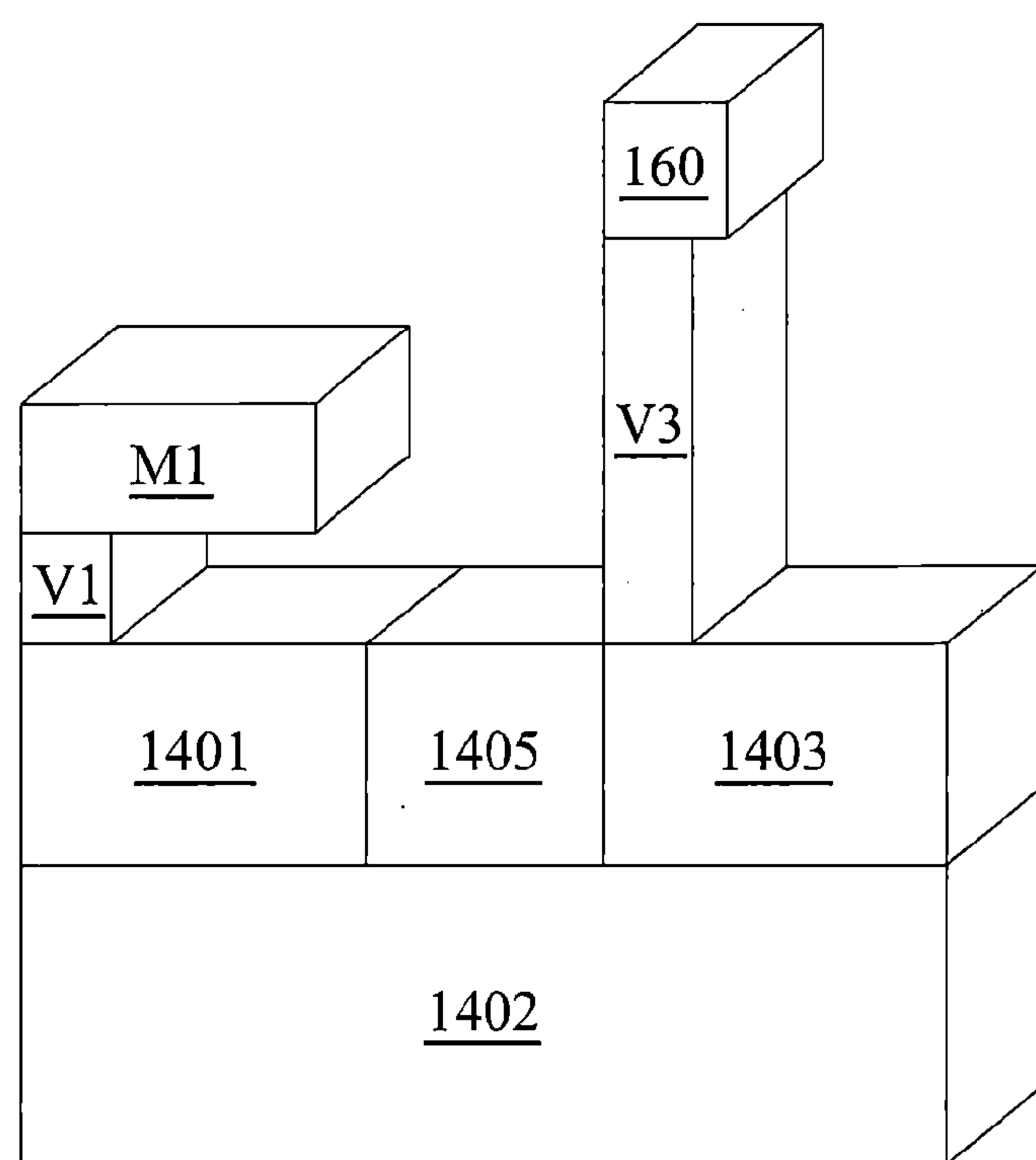
第 3 圖

130

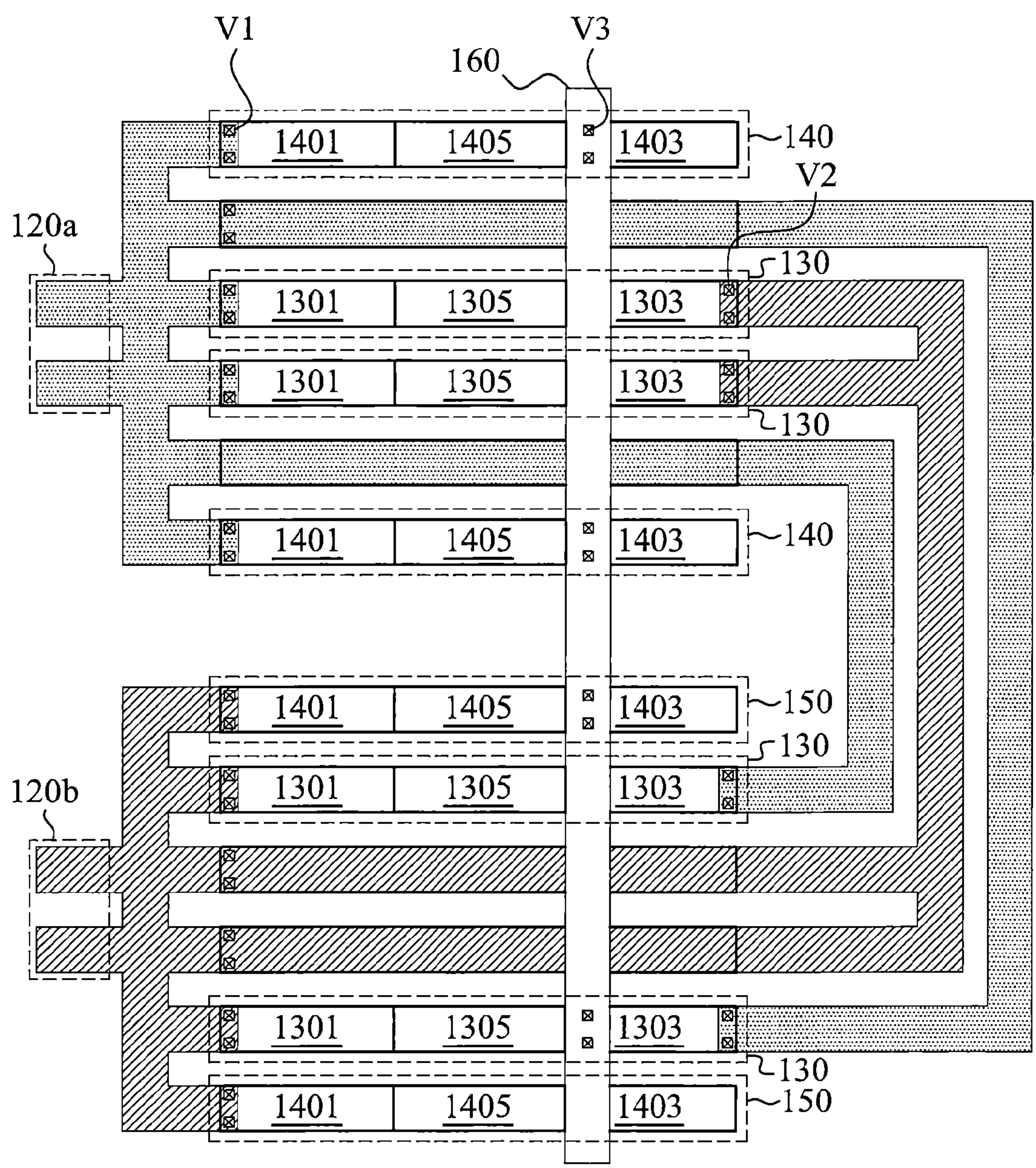


第 4A 圖

140

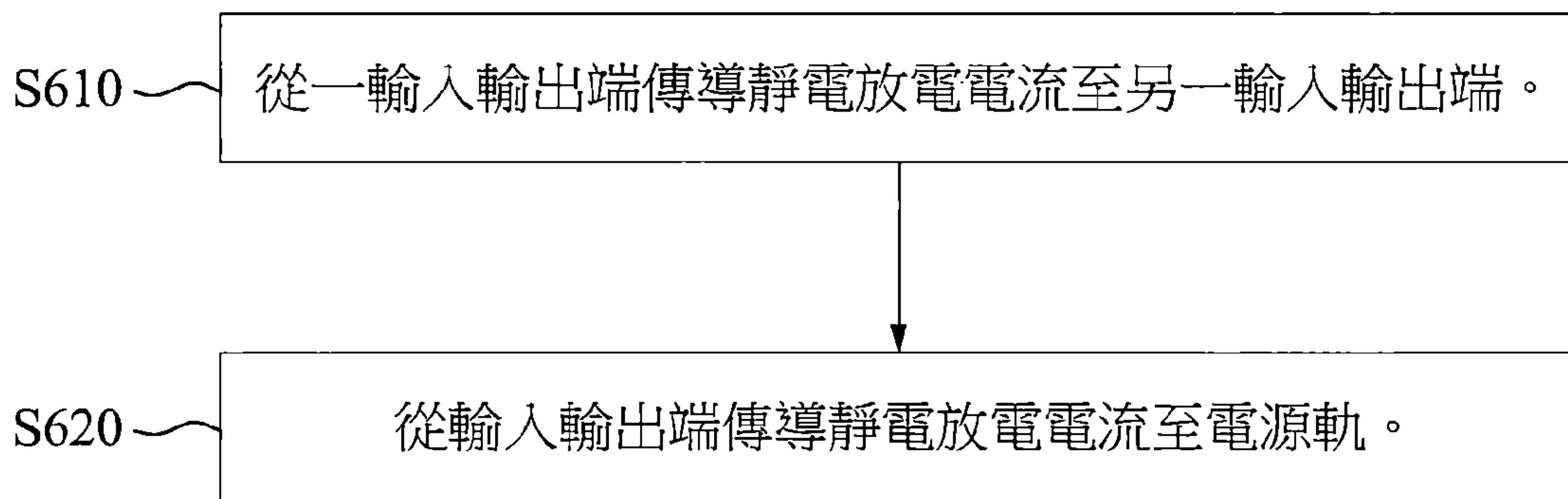


第 4B 圖



第 5 圖

600



第 6 圖