

發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※申請案號： 95116901

※申請日期： 95.5.12

※IPC 分類：H01L 21/336, 21/78, 21/8242, 21/108

一、發明名稱：(中文/英文)

自動對準凹入式閘極 MOS 電晶體元件的製作方法 / METHOD FOR FABRICATING SELF-ALIGNED RECESSED-GATE MOS TRANSISTOR DEVICE

二、申請人：(共 1 人)

姓名或名稱：(中文/英文)

南亞科技股份有限公司 / NANYA TECHNOLOGY CORP.

代表人：(中文/英文)

連日昌 / LIEN, JIH

住居所或營業所地址：(中文/英文)

桃園縣龜山鄉華亞科技園區復興三路六六九號 / Hwa-Ya Technology Park 669, Fuhsing 3 Rd., Kueishan, Tao-Yuan Hsien, Taiwan, R.O.C.

國籍：(中文/英文)

中華民國 / TWN

三、發明人：(共 3 人)

姓名：(中文/英文)

1. 李友弼 / LEE, YU-PI
2. 林瑄智 / LIN, SHIAN-JYH
3. 何家銘 / HO, JAR-MING

I278043

國 籍：(中文/英文)

1. 中華民國 /TWN
2. 中華民國 /TWN
3. 中華民國 /TWN

四、聲明事項：

主張專利法第二十二條第二項第一款或第二款規定之事實，其

事實發生日期為： 年 月 日。

申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號 順序註記】

有主張專利法第二十七條第一項國際優先權：

無主張專利法第二十七條第一項國際優先權：

主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

主張專利法第三十條生物材料：

須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

九、發明說明：

【發明所屬之技術領域】

本發明係有關於一種半導體元件的製作方法，特別是有關於一種溝渠式動態隨機存取記憶體(Dynamic Random Access Memory，簡稱為 DRAM)的凹入式閘極(recessed-gate)金氧半導體(Metal-Oxide-Semiconductor，簡稱為 MOS)電晶體元件的製作方法。

【先前技術】

隨著元件設計的尺寸不斷縮小，電晶體閘極通道長度(gate channel length)縮短所引發的短通道效應(short channel effect)已成為半導體元件進一步提昇積集度的障礙。過去已有人提出避免發生短通道效應的方法，例如，減少閘極氧化層的厚度或是增加摻雜濃度等，然而，這些方法卻可能同時造成元件可靠度的下降或是資料傳送速度變慢等問題，並不適合實際應用在製程上。

為解決這些問題，該領域現已發展出並逐漸採用一種所謂的四入式閘極(recessed-gate)的 MOS 電晶體元件設計，藉以提昇如動態隨機存取記憶體(DRAM)等積體電路積集度。相較於傳統水平置放式 MOS 電晶體的源極、閘極與汲極，所謂的四入式閘極 MOS 電晶體係將閘極與汲極、源極製作於預先蝕刻在半導體基底中的溝渠中，並且將閘極通道區域設置在該溝渠的底部，俾形成一凹入式通道(recessed-channel)，藉此降低 MOS 電晶體的橫向面積，以提昇半導體元件的積集度。

然而，前述製作凹入式閘極(recessed-gate) MOS 電晶體的方法仍有諸多缺點，猷待進一步的改善與改進。舉例來說，凹入式閘極 MOS 電晶體的閘極溝渠係利用微影製程與乾蝕刻製程形成在半導體基底中，而微影製程的偏差與形成溝渠的乾蝕刻製程並無法確保每個閘極溝渠的深淺都完全相同，因而可能造成每個電晶體的通道的長短並不完全一致，產生電晶體元件其臨界電壓(threshold voltage)之控制問題。

【發明內容】

因此，本發明之主要目的即在提供一種形成溝渠式動態隨機存取記憶體的凹入式閘極電晶體的方法，以解決前述習知技藝之問題。

根據本發明之較佳實施例，本發明提供一種自動對準凹入式閘極 MOS 電晶體元件的製作方法，至少包含有以下的步驟：

- 提供一半導體基底，其中該半導體基底具有一主表面；
- 於該半導體基底的一記憶體陣列區域中形成複數個溝渠電容，其中各該複數個溝渠電容上皆有一溝渠上蓋層，凸出該主表面；
- 於該半導體基底上沈積一氮化矽層，使其覆蓋該溝渠上蓋層的上表面以及側壁；
- 於該氮化矽層上沈積一多晶矽側壁子層；
- 非等向性蝕刻該多晶矽側壁子層，以於該溝渠上蓋層的側壁上形成一多晶矽側壁子；

氧化該多晶矽側壁子，形成一矽氧側壁子；
利用該矽氧側壁子作為一蝕刻硬遮罩，蝕刻該氮化矽層以及該半導體基底，自動對準形成一閘極溝渠；
於該閘極溝渠的側壁以及底部上形成一閘極介電層；以及
於該閘極介電層上形成一閘極材料層，並使其填滿該閘極溝渠。

為了使 貴審查委員能更進一步了解本發明之特徵及技術內容，請參閱以下有關本發明之詳細說明與附圖。然而所附圖式僅供參考與輔助說明用，並非用來對本發明加以限制者。

【實施方式】

請參閱第 1 圖至第 16 圖，其中第 1 圖繪示的是本發明較佳實施例記憶體陣列區域中的溝渠電容佈局的上視示意圖；第 2 圖至第 16 圖繪示的是本發明較佳實施例凹入式閘極 MOS 電晶體元件的製作方法的剖面示意圖。首先，如第 1 圖以及第 2 圖所示，在記憶體陣列區域 102 內的半導體基底 10 中形成複數個溝渠電容結構 12，其中，第 2 圖中分別顯示第 1 圖的溝渠電容結構 12 的 I-I' 剖面結構以及 II-II' 剖面結構。

如第 2 圖所示，溝渠電容結構 12 包含有一側壁電容介電 (sidewall capacitor dielectric) 層 24 以及一摻雜多晶矽 (doped polysilicon) 層 26，在各溝渠電容結構 12 上則有一溝渠上蓋層 18，其凸出於半導體基底 10 的主表面 11。

溝渠電容結構 12 係以所謂的「單邊埋入導電帶(Single-Sided Buried Strap, 又稱為 SSBS)」製程完成, 其中摻雜多晶矽層 26 係用來作為溝渠電容結構 12 的上電極。

溝渠電容結構 12 的製作方法為習知技藝, 因此其詳細製作過程不再贅述。此外, 為了簡化說明, 溝渠電容結構 12 的埋入式電容下電極(buried plate)並未特別顯示在圖中, 而僅簡要顯示溝渠電容結構 12 的上部構造。

前述之「單邊埋入導電帶」製程通常包括有以下的步驟: 將側壁矽氧介電層以及一第二多晶矽層(Poly-2)回蝕刻至一第一預定深度, 再填入另一第三多晶矽層(Poly-3), 回蝕刻 Poly-3 至第二預定深度後, 在 Poly-3 上形成不對稱的側壁子, 然後蝕刻未被該不對稱的側壁子覆蓋的 Poly-3 以及 Poly-2 至第三預定深度。

如第 3 圖所示, 在半導體基底 10 的表面 11 上形成一犧牲氧化層 34, 其厚度約為 50 至 150 埃之間。接下來, 可以接著進行離子井的離子佈植製程, 在半導體基底 10 的表面 11 上形成 N 型或者 P 型離子井。

如第 4 圖所示, 在半導體基底 10 上沈積一氮化矽層 36, 使其均勻地覆蓋在溝渠上蓋層 18 的表面以及犧牲氧化層 34 上。根據本發明之較佳實施例, 氮化矽層 36 可以是利用化學氣相沈積

(Chemical Vapor Deposition, 又稱為 CVD)製程, 例如高密度電漿化學氣相沈積(High-Density Plasma CVD, 又稱為 HDPCVD)製程所沈積者。

如第 5 圖所示, 進行一化學氣相沈積製程, 例如低壓化學氣相沈積製程或者電漿加強化學氣相沈積製程等, 在半導體基底 10 上沈積一多晶矽層 38, 使其覆蓋在氮化矽層 36 上。根據本發明之較佳實施例, 多晶矽層 38 的厚度約為 200 至 500 埃, 例如 300 埃左右。

如第 6 圖所示, 進行斜角度離子佈植製程 40, 將 BF_2 等摻質植入溝渠上蓋層 18 相對應的兩側側壁上的多晶矽層 38 中。根據本發明之較佳實施例, 的離子佈植角度 θ 應該儘量傾斜, 但較佳為大於 32 度。

如第 7 圖所示, 先進行一非等向性乾蝕刻製程, 蝕刻多晶矽層 38, 在溝渠上蓋層 18 的側壁上形成環繞著溝渠上蓋層 18 的多晶矽側壁子 42, 並且暴露出氮化矽層 36。

接著, 如第 8 圖所示, 進行一選擇性多晶矽蝕刻製程, 將未植入 BF_2 離子的多晶矽去除, 以在溝渠上蓋層 18 的側壁上形成對稱的多晶矽側壁子 44。

如第 9 圖所示，接著，進行一氧化製程，將形成在溝渠上蓋層 18 側壁上的多晶矽側壁子 44 氧化成矽氧側壁子 54，而多晶矽側壁子 44 氧化成矽氧側壁子 54 之後，體積膨脹為原本的 1.4 至 1.8 倍。

如第 10 圖所示，接著，行一非等向性乾蝕刻製程，利用矽氧側壁子 54 以及溝渠上蓋層 18 作為蝕刻硬遮罩，蝕刻氮化矽層 36、犧牲氧化層 34 以及半導體基底 10 至一預定深度，形成一閘極溝渠 60。

如第 11 圖所示，然後，在閘極溝渠 60 的表面形成一氧化層 62。根據本發明之較佳實施例，氧化層 62 可以是利用熱氧化方式形成者。接著，可以繼續進行位於閘極溝渠 60 底部的通道區域啟始電壓(threshold voltage)離子佈植調整。

如第 12 圖所示，接著再進行一濕蝕刻製程，去除氧化層 62。然後，進行一熱氧化製程，在裸露出來的半導體基底 10 的表面以及閘極溝渠 60 的表面上形成一閘極介電層 72。

前述之熱氧化製程，例如，同步蒸汽成長(In-Situ Steam Growth，簡稱為 ISSG)製程，但不限於此。進行一化學氣相沈積製程，例如低壓化學氣相沈積製程或者電漿加強化學氣相沈積製程等，在半導體基底 10 上沈積一多晶矽層 74，使其填滿閘極溝渠 60。

如第 13 圖所示，進行一回蝕刻步驟，蝕刻掉一預定厚度的多晶矽層 74，暴露出溝渠上蓋層 18 的上表面。此時，多晶矽層 74 的上表面低於半導體基底 10 的表面，形成一凹陷區域 80。

如第 14 圖所示，進行一蝕刻製程，例如濕蝕刻製程，利用稀釋的氫氟酸溶液蝕刻掉剩下的矽氧側壁子 54。然後，進行另一蝕刻製程，例如濕蝕刻製程，利用熱磷酸溶液去除氮化矽層 34。

如第 15 圖所示，接著，依序在半導體基底 10 上沈積一矽氧蓋層 86。矽氧蓋層 86 覆蓋在矽氧層 34、溝渠上蓋層 18 的上表面，以及凹陷區域 80 內。矽氧蓋層 86 可以是以 TEOS 作為前驅物的化學氣相沈積製程所形成的 TEOS 矽氧層。

如第 16 圖所示，最後，進行一乾蝕刻製程，蝕刻矽氧蓋層 86，在凹陷區域 80 內形成一矽氧側壁子 88。

以上所述僅為本發明之較佳實施例，凡依本發明申請專利範圍所做之均等變化與修飾，皆應屬本發明之涵蓋範圍。

【圖式簡單說明】

第 1 圖繪示的是本發明較佳實施例記憶體陣列區域中的溝渠電容佈局的上視示意圖。

第 2 圖至第 16 圖繪示的是本發明較佳實施例凹入式閘極 MOS 電

晶體元件的製作方法的剖面示意圖。

【主要元件符號說明】

10	半導體基底	11	主表面
12	溝渠電容結構	18	溝渠上蓋層
24	側壁電容介電層	26	摻雜多晶矽層
34	犧牲氧化層	36	氮化矽層
38	多晶矽層	40	斜角度離子佈植製程
42	多晶矽側壁子	44	多晶矽側壁子
54	矽氧側壁子	60	閘極溝渠
62	氧化層	72	閘極介電層
74	多晶矽層	80	凹陷區域
86	矽氧蓋層	88	矽氧側壁子
102	記憶體陣列區域		

五、中文發明摘要：

本發明提供一種凹入式閘極 MOS 電晶體元件的製作方法。首先提供一半導體基底，其具有一記憶體陣列區，其中該半導體基底具有一主表面，且在該主表面上形成有一墊氧化層以及一墊氮化矽層。本發明之特徵在於利用形成在溝渠上蓋層的側壁上的對稱側壁子，進行閘極溝渠以及自我對準凹入式閘極電晶體的製作。

六、英文發明摘要：

A method of fabricating self-aligned gate trench utilizing TTO spacer is disclosed. Trench capacitors are formed in a memory array region of semiconductor substrate. Each of the trench capacitors has a trench top oxide (TTO) that extrudes from a main surface of the semiconductor substrate. Spacers are formed on the extruding TTO and are used, after oxidized, as an etching hard mask for etching a recessed gate trench in close proximity to the trench capacitor.

十、申請專利範圍：

1. 一種自動對準凹入式閘極 MOS 電晶體元件的製作方法，包含有：

提供一半導體基底，其中該半導體基底具有一主表面；

於該半導體基底中形成複數個溝渠電容，其中各該複數個溝渠電容上皆有一溝渠上蓋層，凸出該主表面；

於該半導體基底上沈積一氮化矽層，使其覆蓋該溝渠上蓋層的上表面以及側壁；

於該氮化矽層上沈積一多晶矽層；

非等向性蝕刻該多晶矽層，以於該溝渠上蓋層的側壁上形成一多晶矽側壁子；

氧化該多晶矽側壁子，形成一矽氧側壁子；

利用該矽氧側壁子作為一蝕刻硬遮罩，蝕刻該氮化矽層以及該半導體基底，形成一閘極溝渠；

於該閘極溝渠的側壁以及底部上形成一閘極介電層；以及

於該閘極介電層上形成一閘極材料層，並使其填滿該閘極溝渠。

2. 如申請專利範圍第 1 項所述之自動對準凹入式閘極 MOS 電晶體元件的製作方法，其中該溝渠上蓋層係為矽氧層。

3. 如申請專利範圍第 1 項所述之自動對準凹入式閘極 MOS 電晶體元件的製作方法，其中該閘極材料層包含有多晶矽。

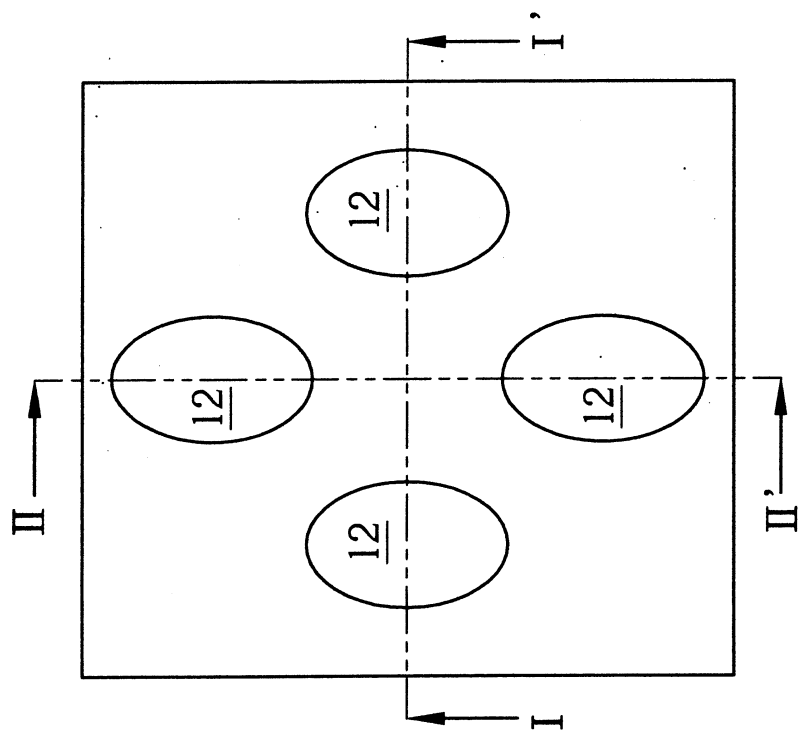
4. 如申請專利範圍第 1 項所述之自動對準凹入式閘極 MOS 電晶體元件的製作方法，其中該方法在於該氮化矽層上沈積一多晶矽側壁子層之後，另包含有下列步驟：

進行一斜角度離子佈植製程，將 BF_2 摻質植入該溝渠上蓋層相對應的兩側側壁上的該多晶矽側壁子層中。

5. 如申請專利範圍第 1 項所述之自動對準凹入式閘極 MOS 電晶體元件的製作方法，其中該方法在形成該閘極材料層，使其填滿該閘極溝渠之後，另包含有下列步驟：

回蝕刻該閘極材料層，暴露出該溝渠上蓋層；以及
去除剩下的該矽氧側壁子以及該氮化矽層。

十一、圖式：

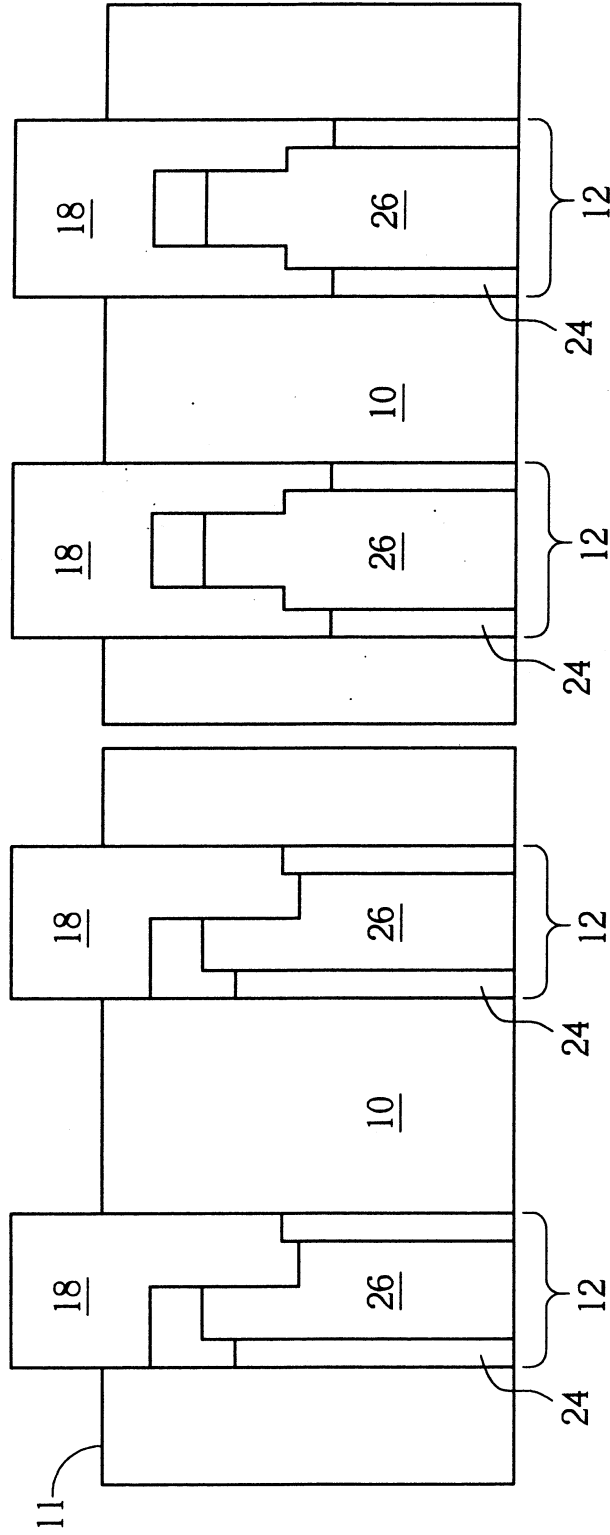


第1圖

102

II-II' 剖面

I-I' 剖面

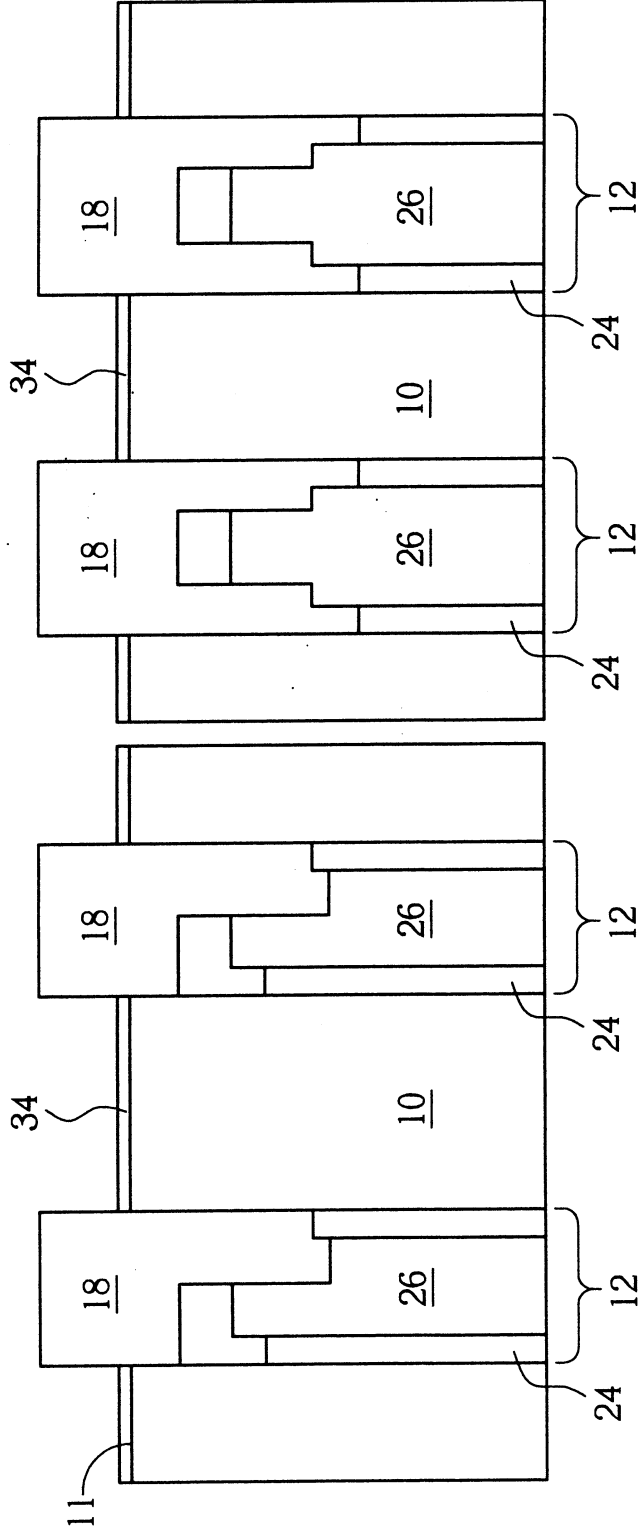


第2圖

102

II-II' 剖面

I-I' 剖面

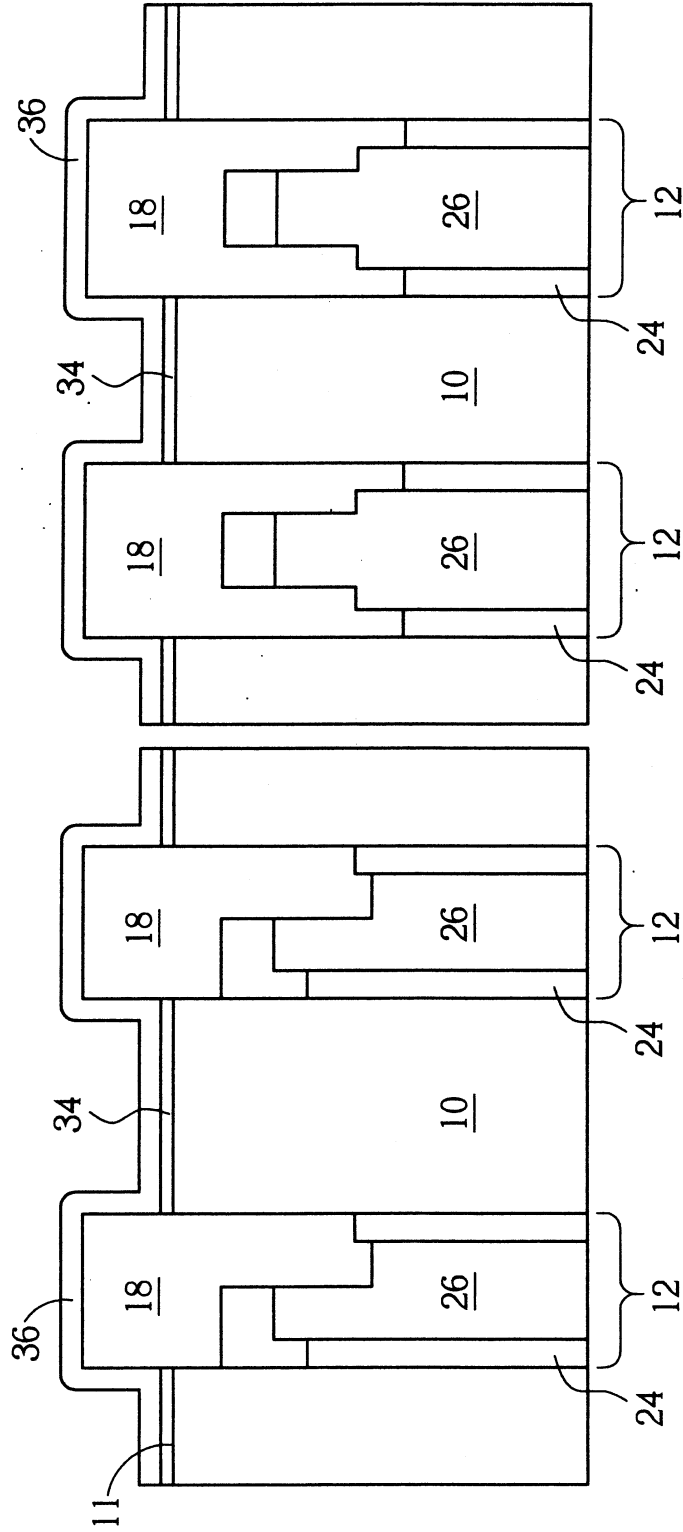


第3圖

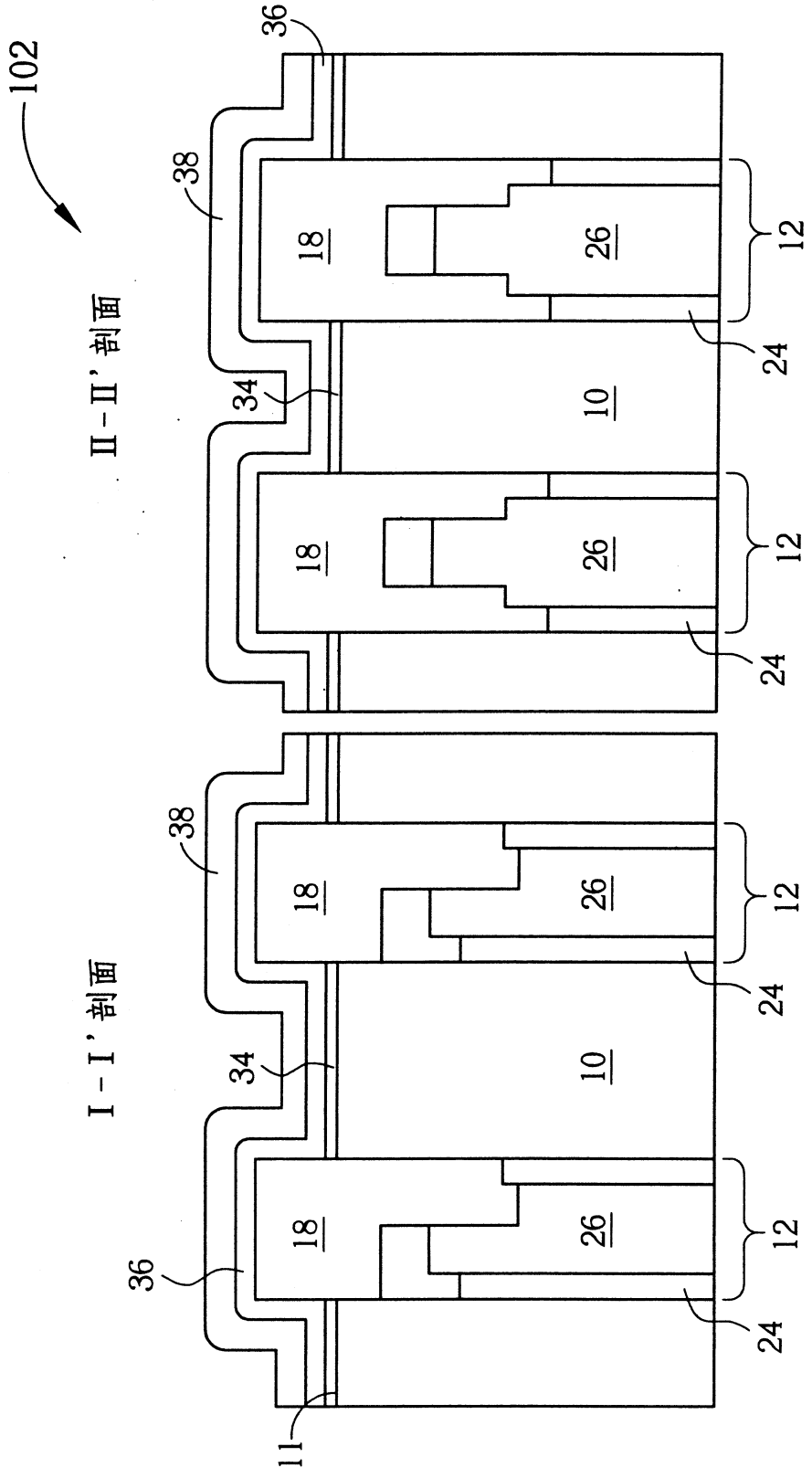
102

I-I' 剖面

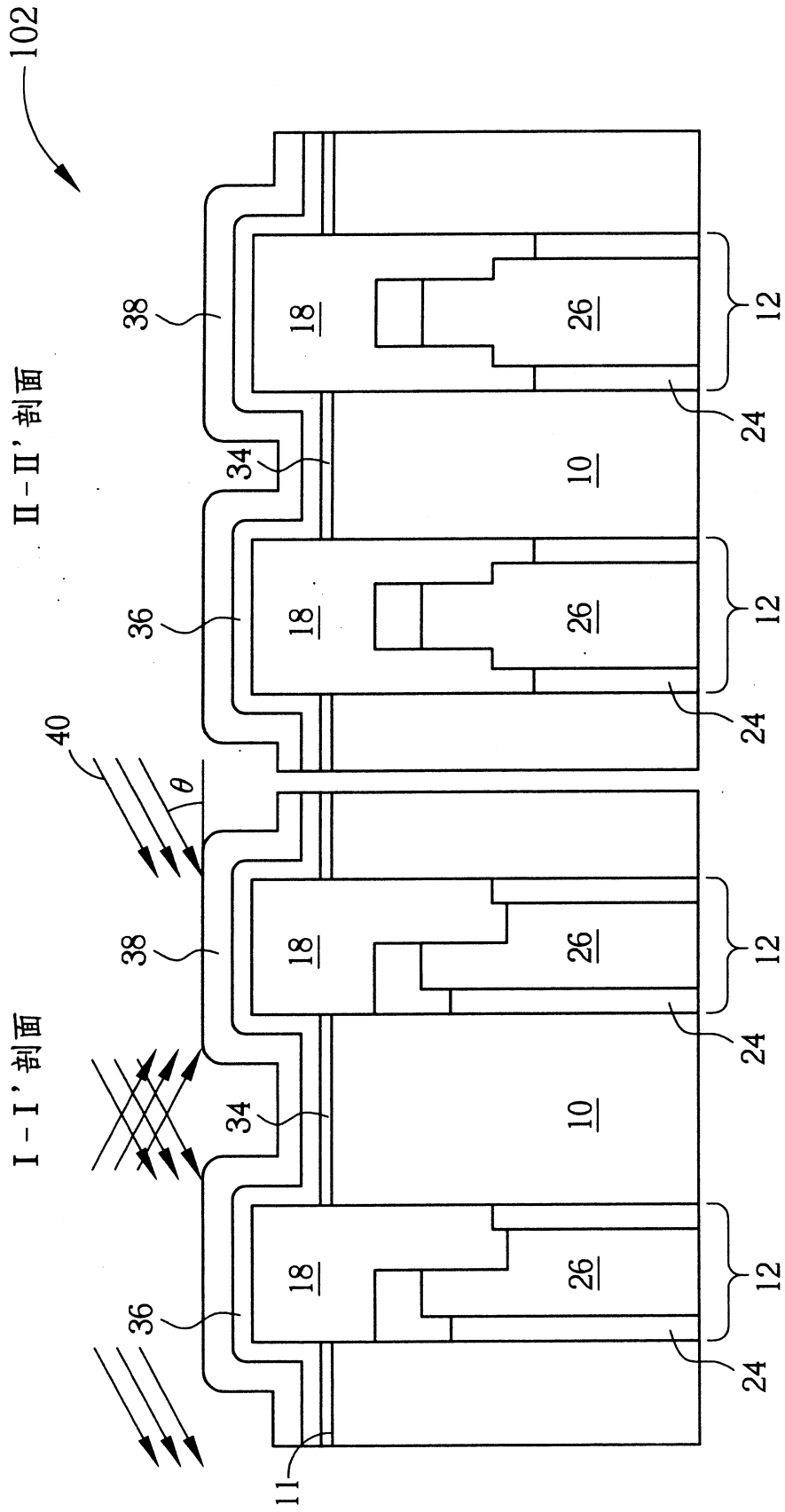
II-II' 剖面



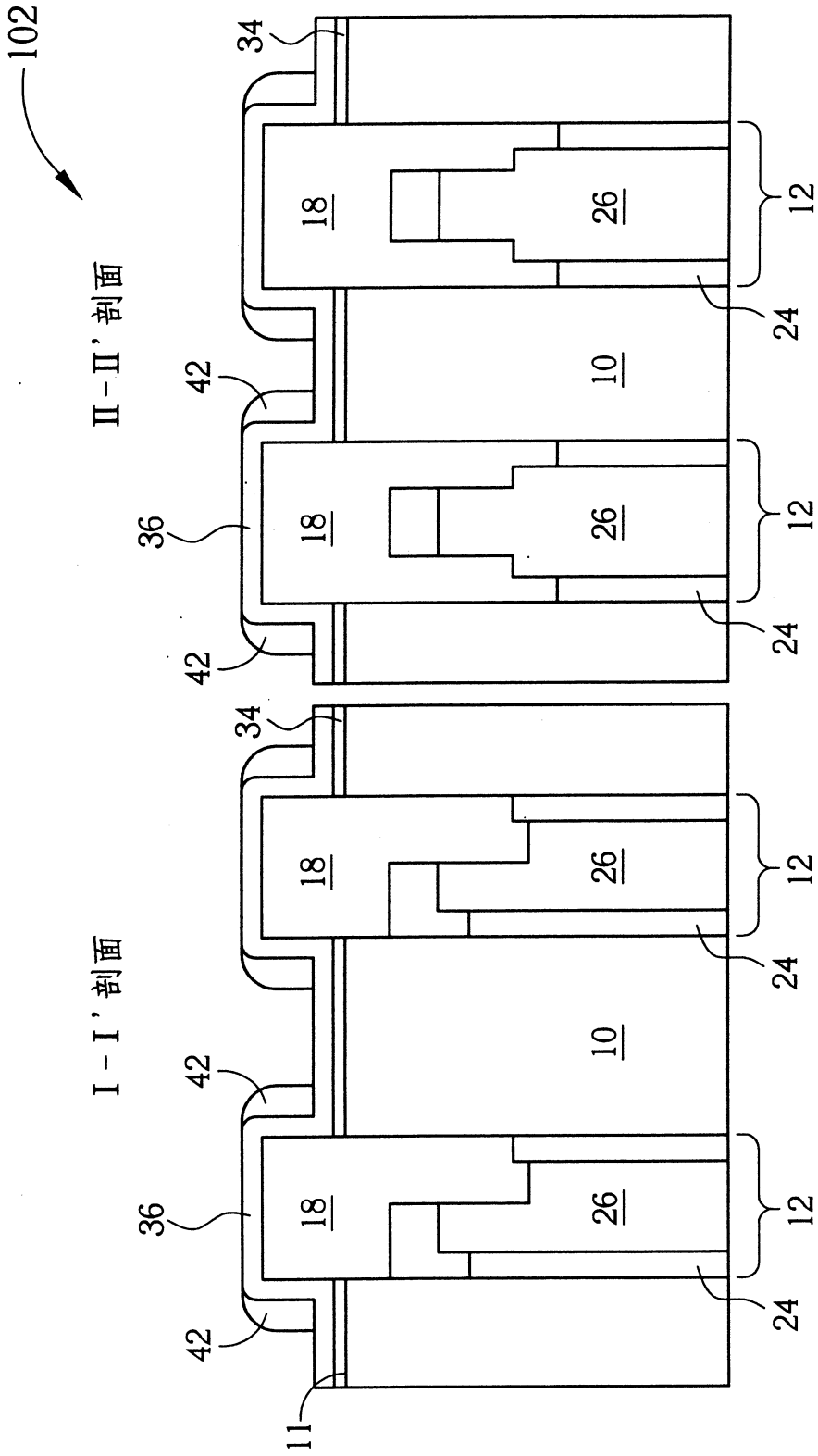
第4圖



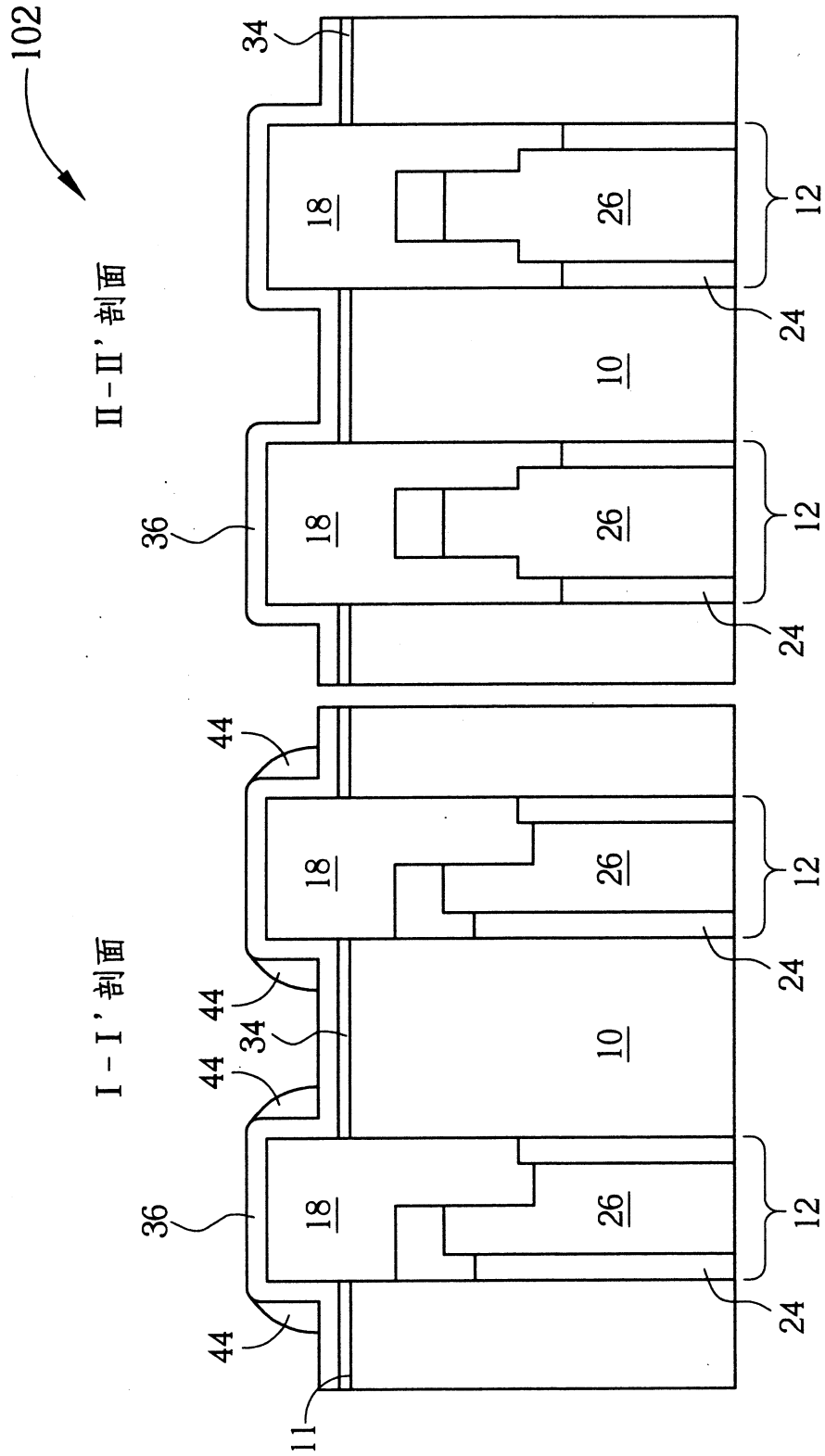
第5圖



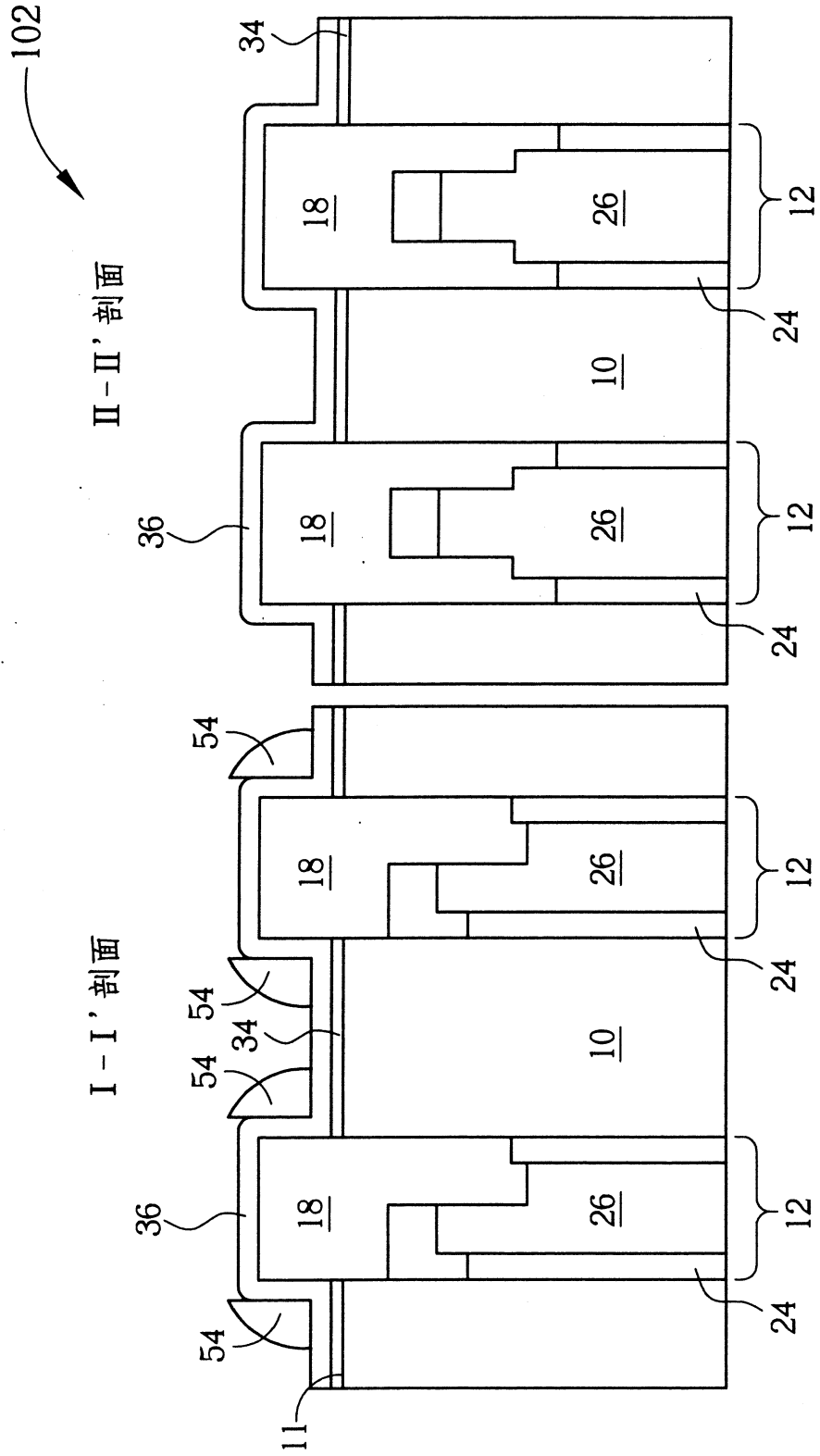
第6圖



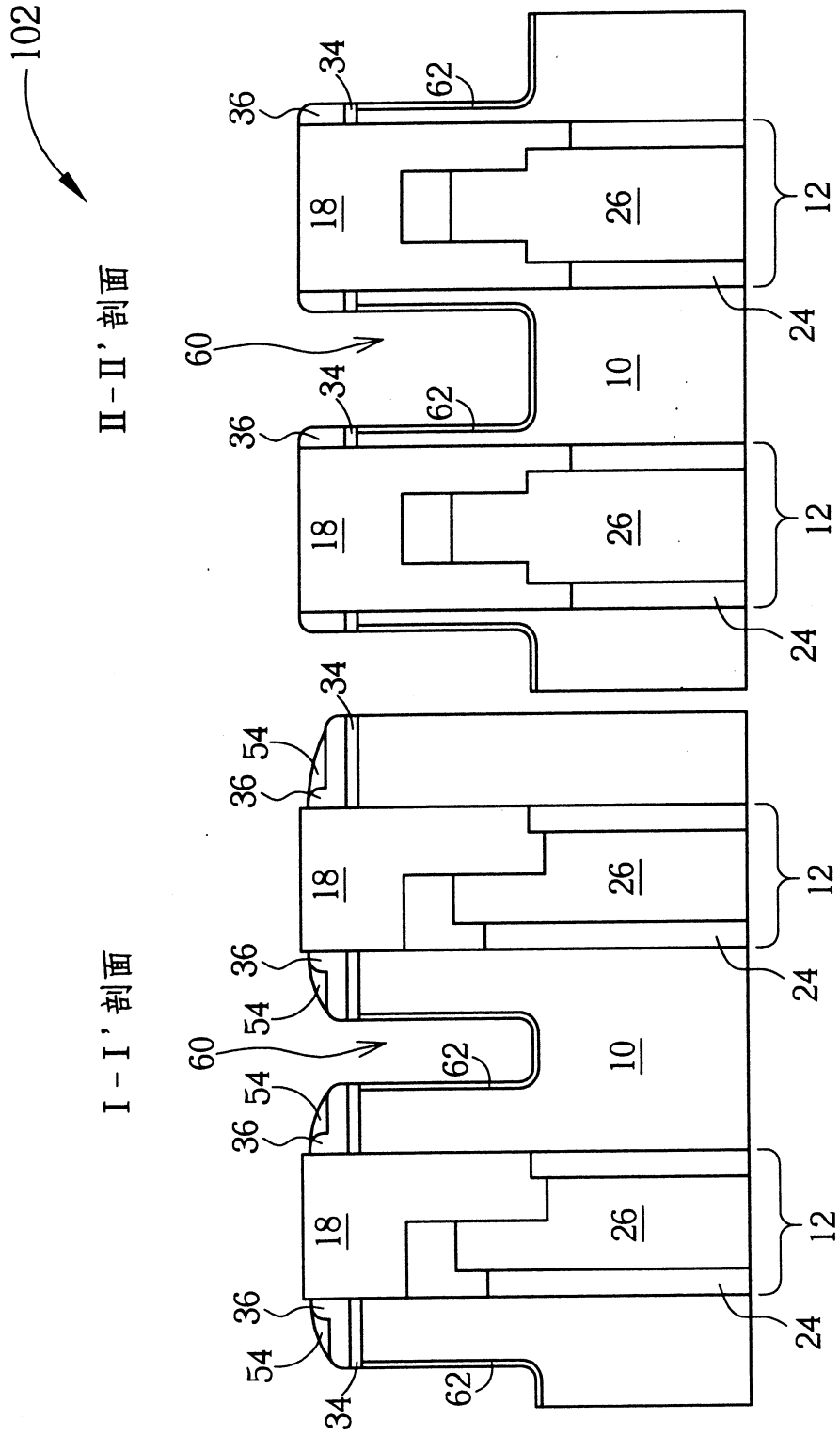
第7圖



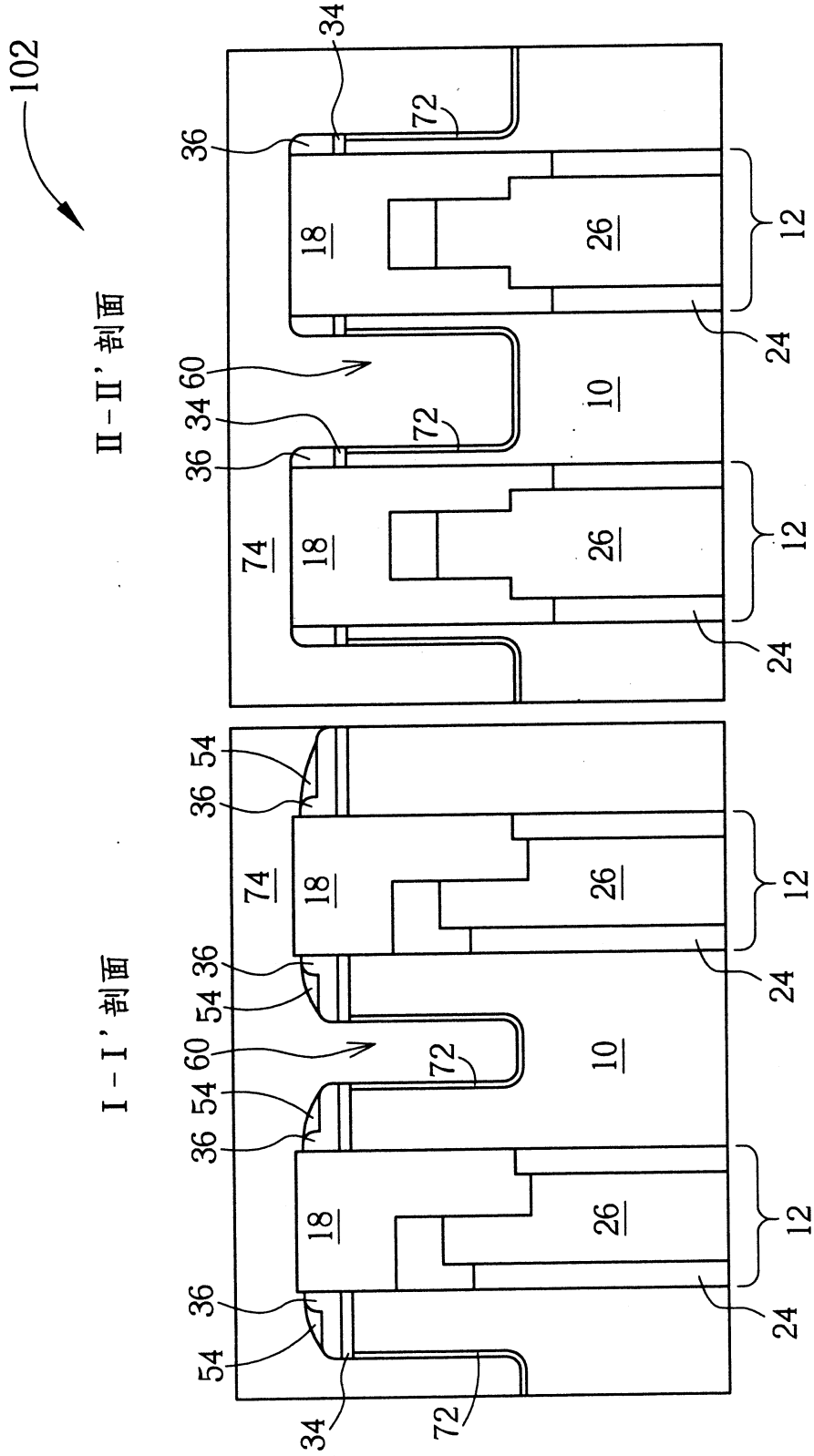
第8圖



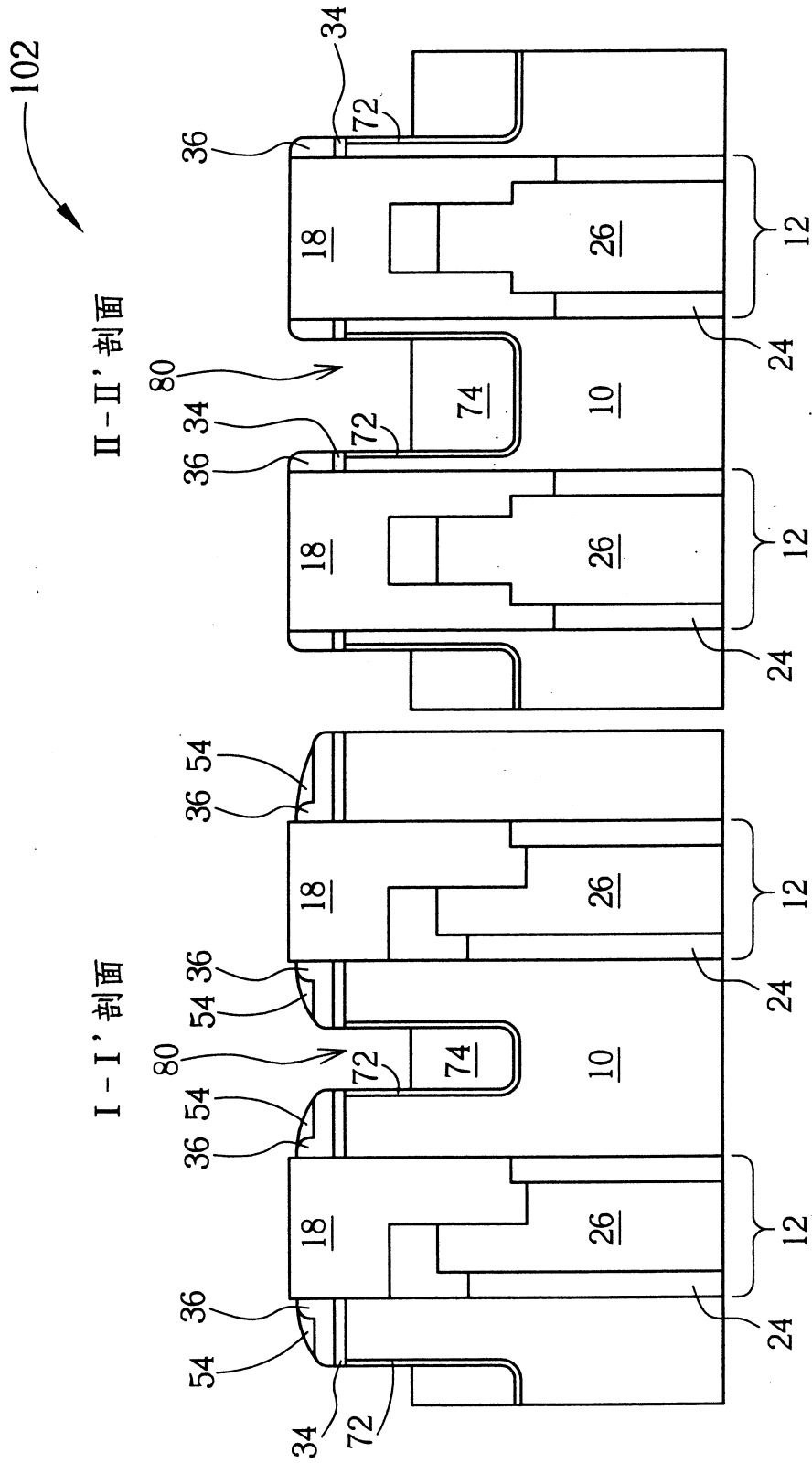
第9圖



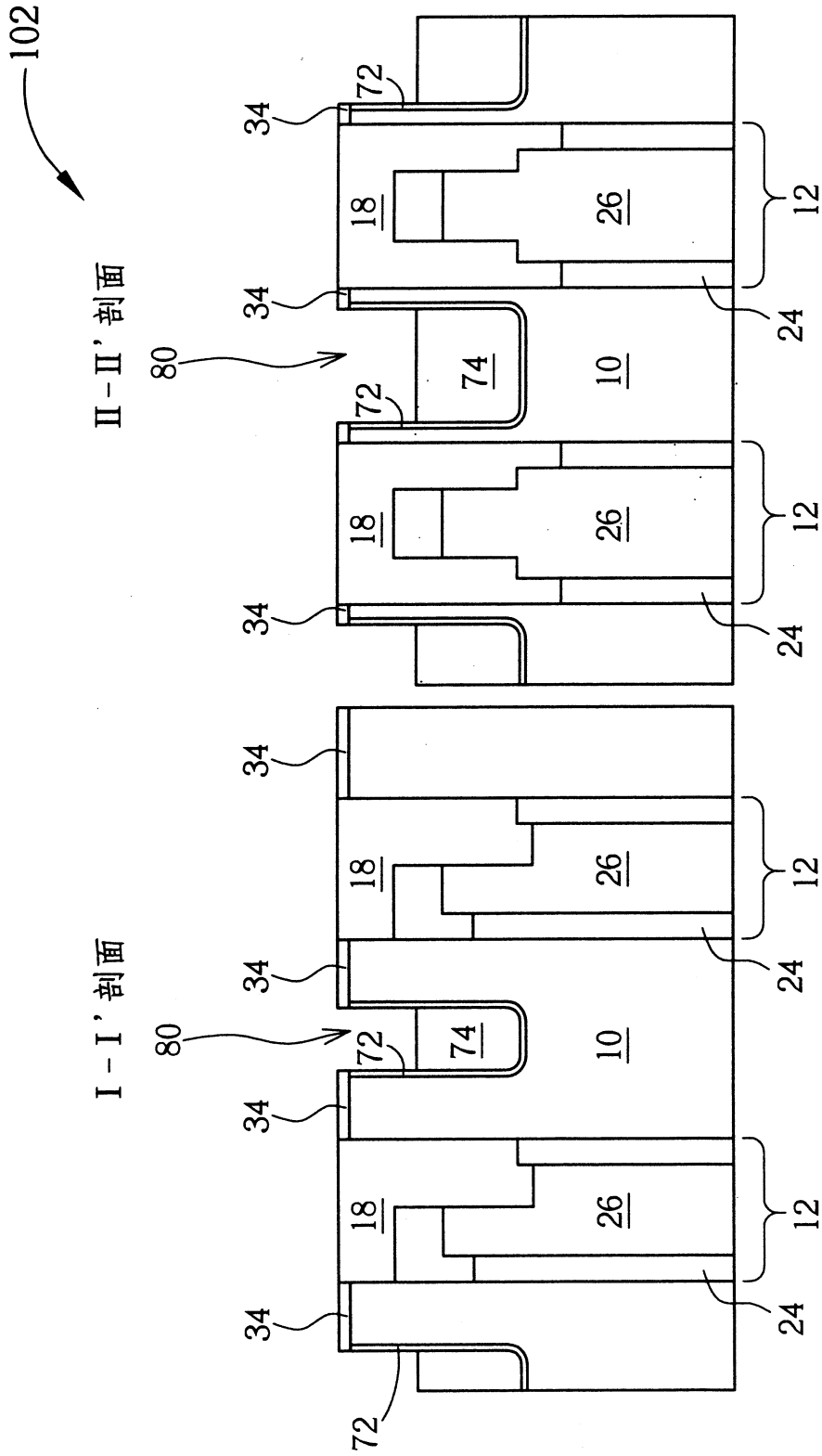
第11圖



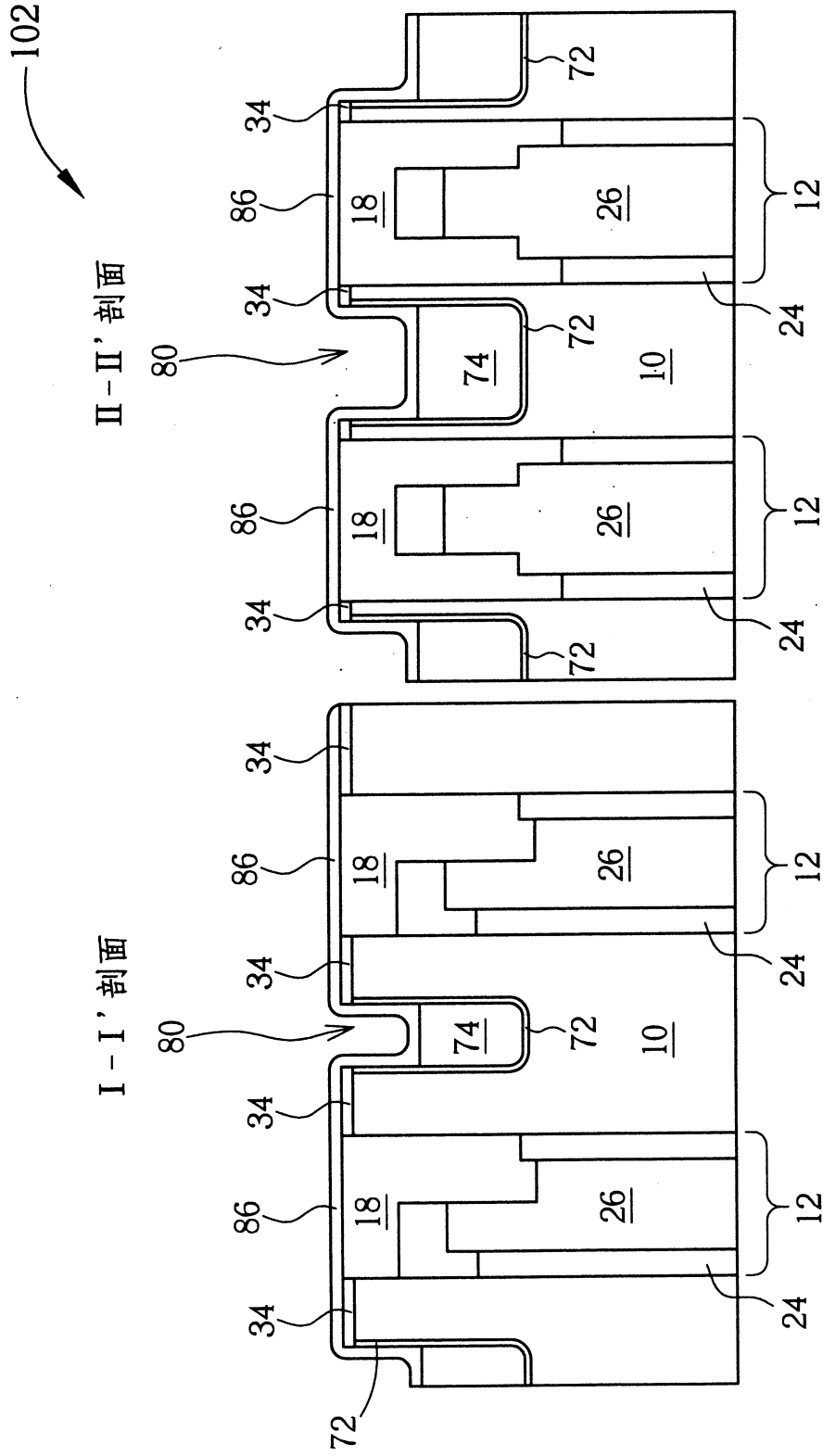
第12圖



第13圖



第14圖

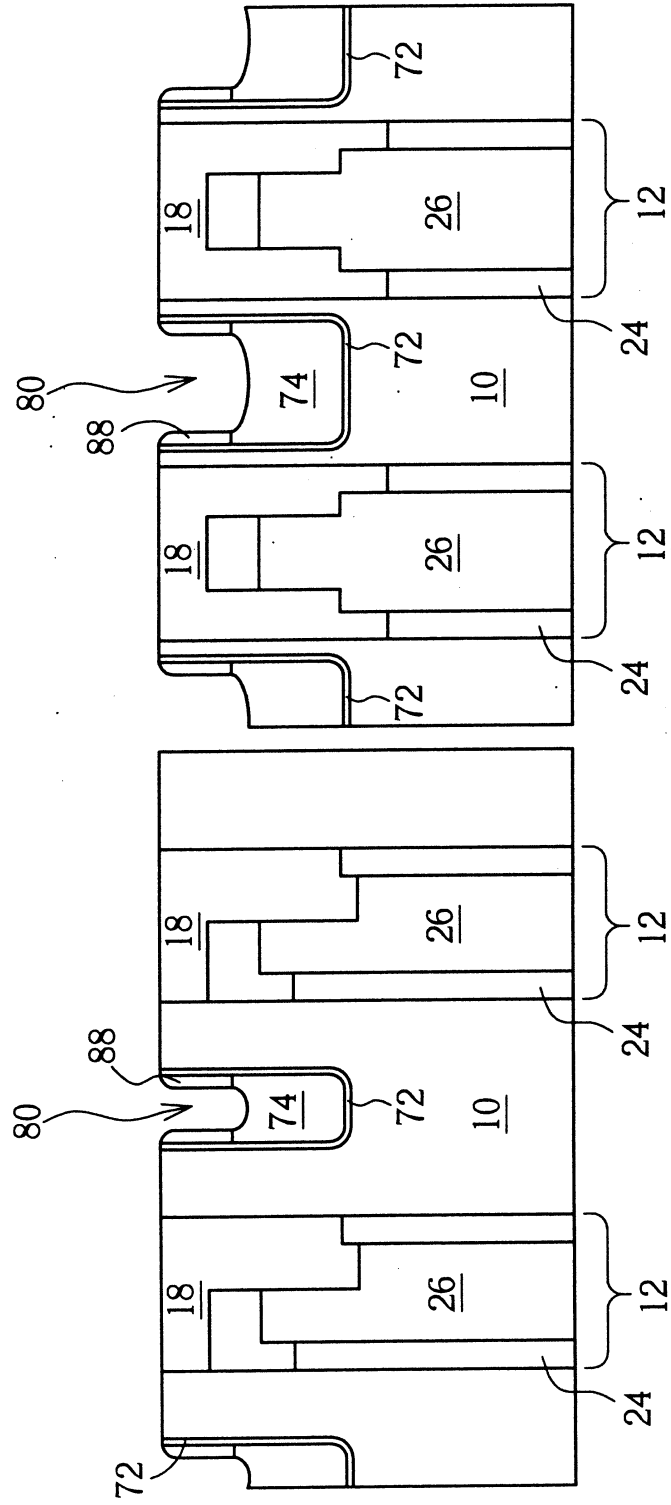


第15圖

102

II-II' 剖面

I-I' 剖面



第16圖

七、指定代表圖：

(一)本案指定代表圖為：第 (5) 圖。

(二)本代表圖之元件符號簡單說明：

10	半導體基底	11	主表面
12	溝渠電容結構	18	溝渠上蓋層
24	側壁電容介電層	26	摻雜多晶矽層
34	犧牲氧化層	36	氮化矽層
38	多晶矽層	102	記憶體陣列區域

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

無