

(19) 日本国特許庁(JP)

再公表特許(A1)

(11) 国際公開番号

W02011/104786

発行日 平成25年6月17日 (2013.6.17)

(43) 国際公開日 平成23年9月1日 (2011.9.1)

(51) Int.Cl. F I テーマコード (参考)
H03M 1/14 (2006.01) H03M 1/14 A 5 J 0 2 2

審査請求 未請求 予備審査請求 未請求 (全 38 頁)

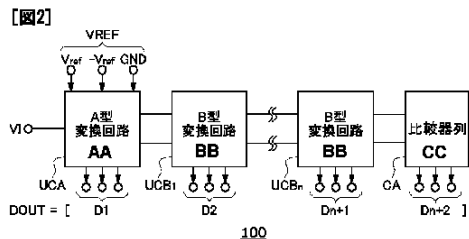
<p>出願番号 特願2012-501538 (P2012-501538)</p> <p>(21) 国際出願番号 PCT/JP2010/005929</p> <p>(22) 国際出願日 平成22年10月4日 (2010.10.4)</p> <p>(31) 優先権主張番号 PCT/JP2010/001313</p> <p>(32) 優先日 平成22年2月26日 (2010.2.26)</p> <p>(33) 優先権主張国 日本国 (JP)</p>	<p>(71) 出願人 304021417 国立大学法人東京工業大学 東京都目黒区大岡山2丁目12番1号</p> <p>(74) 代理人 100105924 弁理士 森下 賢樹</p> <p>(74) 代理人 100109047 弁理士 村田 雄祐</p> <p>(74) 代理人 100109081 弁理士 三木 友由</p> <p>(74) 代理人 100133215 弁理士 真家 大樹</p> <p>(72) 発明者 松澤 昭 東京都目黒区大岡山2丁目12番1号 国立大学法人東京工業大学内</p>
---	--

最終頁に続く

(54) 【発明の名称】 パイプライン型A/DコンバータおよびA/D変換方法、ならびにダイナミック型差動増幅器

(57) 【要約】

A型変換回路は、入力電圧を複数のしきい値電圧と比較し、複数のセグメントのいずれに属するかを判定し、入力電圧が属するセグメントを挟む第1電圧と第2電圧を生成する。A型変換回路は、第1電圧と入力電圧の差分を、所定の共通電圧を基準として増幅することにより第3電圧を生成する。また第2電圧と入力電圧の差分を、共通電圧を基準として増幅することにより第4電圧を生成する。B型変換回路は、第3電圧と第4電圧の間を、複数のセグメントに分割し、共通電圧が複数のセグメントのいずれに属するかを判定する。続いて共通電圧が属するセグメントを挟む第5電圧と第6電圧を生成する。B型変換回路は、第5電圧と共通電圧の差分を、共通電圧を基準として増幅することにより第7電圧(次段の第3電圧)を生成し、第6電圧と共通電圧の差分を、共通電圧を基準として増幅することにより第8電圧を生成する。



AA A-TYPE CONVERTER CIRCUIT
 BB B-TYPE CONVERTER CIRCUIT
 CC COMPARATOR ARRAY

【特許請求の範囲】

【請求項 1】

アナログの入力電圧をデジタルデータに変換する A / D 変換方法であって、
前記入力電圧を複数のしきい値電圧と比較し、複数のセグメントのいずれに属するかを
判定する第 1 ステップと、

前記入力電圧が属するセグメントを挟む第 1 電圧と第 2 電圧を生成する第 2 ステップと

、
前記第 1 電圧と前記入力電圧の差分を、所定のコモン電圧を基準として増幅することにより
第 3 電圧を生成する第 3 ステップと、

前記第 2 電圧と前記入力電圧の差分を、前記コモン電圧を基準として増幅することにより
第 4 電圧を生成する第 4 ステップと、

前記第 3 電圧と前記第 4 電圧の間を、複数のセグメントに分割し、前記コモン電圧が複数
のセグメントのいずれに属するかを判定する第 5 ステップと、

前記コモン電圧が属するセグメントを挟む第 5 電圧と第 6 電圧を生成する第 6 ステップ
と、

前記第 5 電圧と前記コモン電圧の差分を、前記コモン電圧を基準として増幅することにより
第 7 電圧を生成する第 7 ステップと、

前記第 6 電圧と前記コモン電圧の差分を、前記コモン電圧を基準として増幅することにより
第 8 電圧を生成する第 8 ステップと、

を備え、

前記第 5 ステップから第 8 ステップは繰り返し実行されるものであり、

前記第 8 ステップから前記第 5 ステップに戻るとき、前回の第 7 ステップで得られた第
7 電圧を次の第 5 ステップの第 3 電圧として、前回の第 8 ステップで得られた第 8 電圧を
次の第 5 ステップの第 4 電圧として利用することを特徴とする A / D 変換方法。

【請求項 2】

前記第 6 ステップにおいて、前記第 5 電圧と前記第 6 電圧はそれぞれ、前記第 3 電圧と
前記第 4 電圧を補間することにより生成されることを特徴とする請求項 1 に記載の A / D
変換方法。

【請求項 3】

前記第 1 電圧から第 8 電圧はそれぞれ、差動信号として生成されることを特徴とする請
求項 1 に記載の A / D 変換方法。

【請求項 4】

前記第 6 ステップにおいて、前記第 5 電圧と前記第 6 電圧は、前記第 3 電圧と前記第 4
電圧を外挿補間することにより生成されることを特徴とする請求項 3 に記載の A / D 変換
方法。

【請求項 5】

アナログの入力電圧をデジタルデータに変換するパイプライン型 A / D コンバータであ
って、

直列に接続された A 型変換回路、少なくともひとつの B 型変換回路および比較器列を備
え、

前記 A 型変換回路は、

前記入力電圧を複数のしきい値電圧と比較し、複数のセグメントのいずれに属するかを
判定する第 1 サブ A / D コンバータと、

前記入力電圧が属するセグメントの上限以上の電圧レベルを有する第 1 電圧を生成し、
前記第 1 電圧と前記入力電圧の差分を所定のコモン電圧を基準として増幅することにより
第 3 電圧を生成し、後段の B 型変換回路に出力する第 1 増幅回路と、

前記入力電圧が属するセグメントの下限以下の電圧レベルを有する第 2 電圧を生成し、
前記第 2 電圧と前記入力電圧の差分を所定のコモン電圧を基準として増幅することにより
第 4 電圧を生成し、後段の B 型変換回路に出力する第 2 増幅回路と、

を備え、

10

20

30

40

50

前記 B 型変換回路は、

前段からの前記第 3 電圧と前記第 4 電圧の間を複数のセグメントに分割し、前記コモン電圧が複数のセグメントのいずれに属するかを判定する第 2 サブ A / D コンバータと、

前記コモン電圧が属するセグメントの上限以上の電圧レベルを有する第 5 電圧と前記コモン電圧の差分を、前記コモン電圧を基準として増幅することにより第 7 電圧を生成し、後段の B 型変換回路に前記第 3 電圧として出力する第 3 増幅回路と、

前記コモン電圧が属するセグメントの下限以下の電圧レベルを有する第 6 電圧と前記コモン電圧の差分を、前記コモン電圧を基準として増幅することにより第 8 電圧を生成し、後段の B 型変換回路に前記第 4 電圧として出力する第 4 増幅回路と、

を備え、

前記比較器列は、前段の B 型変換回路からの前記第 3 電圧と前記第 4 電圧の間を複数のセグメントに分割し、前記コモン電圧が複数のセグメントのいずれに属するかを判定することを特徴とする A / D コンバータ。

【請求項 6】

前記第 1 増幅回路は、

それぞれの第 1 端子が共通に接続された複数の第 1 キャパシタを含む第 1 キャパシタ列と、

標本化状態において前記第 1 キャパシタ列の第 2 端子に前記入力電圧を印加し、補間増幅状態において、前記第 1 キャパシタ列のうち、前記第 1 サブ A / D コンバータによる判定結果に応じた個数の第 1 キャパシタの第 2 端子に、基準電圧を印加する第 1 スイッチ回路と、

前記第 1 キャパシタ列の前記第 1 端子と固定電圧端子の間に設けられ、標本化状態においてオンし、補間増幅状態においてオフする第 1 スイッチと、

その第 1 入力端子に前記コモン電圧が入力され、その第 2 入力端子が前記第 1 キャパシタ列の前記第 1 端子と接続された第 1 増幅器と、

を含み、

前記第 2 増幅回路は、第 2 キャパシタ列、第 2 スイッチ回路、第 2 スイッチ、第 2 増幅器を含み、前記第 1 増幅回路と同様に構成されることを特徴とする請求項 5 に記載の A / D コンバータ。

【請求項 7】

前記第 3 増幅回路および前記第 4 増幅回路は、前記第 3 電圧と前記第 4 電圧を補間することにより、前記第 5 電圧と前記第 6 電圧を生成することを特徴とする請求項 5 または 6 に記載の A / D コンバータ。

【請求項 8】

前記第 3 増幅回路は、

それぞれの第 1 端子が共通に接続された複数の第 3 キャパシタを含む第 3 キャパシタ列と、

それぞれの第 1 端子が前記第 3 キャパシタ列の前記第 1 端子と共通に接続された複数の第 4 キャパシタを含む第 4 キャパシタ列と、

標本化状態において前記第 3 キャパシタ列の第 2 端子に前記第 3 電圧を印加し、補間増幅状態において、前記第 3 キャパシタ列のうち、前記第 2 サブ A / D コンバータによる判定結果に応じた個数の第 3 キャパシタの第 2 端子に、固定電圧を印加する第 3 スイッチ回路と、

標本化状態において前記第 4 キャパシタ列の第 2 端子に前記第 4 電圧を印加し、補間増幅状態において、前記第 4 キャパシタ列のうち、前記第 2 サブ A / D コンバータによる判定結果に応じた個数の第 4 キャパシタの第 2 端子に、固定電圧を印加する第 4 スイッチ回路と、

前記第 3 キャパシタ列および前記第 4 キャパシタ列の共通接続された前記第 1 端子と固定電圧端子の間に設けられ、標本化状態においてオンし、補間増幅状態においてオフする第 3 スイッチと、

10

20

30

40

50

その第 1 入力端子に前記コモン電圧が入力され、その第 2 入力端子が前記第 3 キャパシタ列および前記第 4 キャパシタ列の共通接続された前記第 1 端子と接続された第 3 増幅器と、

を含み、

前記第 4 増幅回路は、第 5 キャパシタ列、第 6 キャパシタ列、第 5 スイッチ回路と、第 6 スイッチ回路、第 4 スイッチ、第 4 増幅器を含み、前記第 3 増幅回路と同様に構成されることを特徴とする請求項 7 に記載の A / D コンバータ。

【請求項 9】

前記第 3 スイッチ回路は、補間増幅状態において、前記第 3 キャパシタ列に前記固定電圧を印加する際、当該固定電圧として前段からの前記第 3 電圧を印加するとともに、前記第 4 スイッチ回路は、補間増幅状態において、前記第 4 キャパシタ列に前記固定電圧を印加する際、当該固定電圧として前段からの前記第 4 電圧を印加することにより、前段の変換回路の増幅器のオフセット電圧をキャンセルすることを特徴とする請求項 8 に記載の A / D コンバータ。

10

【請求項 10】

前記第 1 増幅回路から前記第 4 増幅回路は、差動形式で構成されることを特徴とする請求項 8 に記載の A / D コンバータ。

【請求項 11】

前記第 3 増幅回路、前記第 4 増幅回路は、前記第 3 電圧の正転信号と反転信号、前記第 4 電圧の正転信号と反転信号を組み合わせることにより、前記第 5 電圧と前記第 6 電圧を、前記第 3 電圧と前記第 4 電圧の内挿補間または外挿補間のいずれかにより生成することを特徴とする請求項 10 に記載の A / D コンバータ。

20

【請求項 12】

前記第 3 スイッチ回路は、標本化状態において前記第 3 キャパシタ列の第 2 端子に前記第 3 電圧の正転信号または反転信号を印加し、

前記第 4 スイッチ回路は、標本化状態において前記第 4 キャパシタ列の第 2 端子に前記第 4 電圧の正転信号または反転信号を印加することを特徴とする請求項 11 に記載の A / D コンバータ。

【請求項 13】

前記 B 型変換回路は、前記第 3 増幅器および前記第 4 増幅器の利得をデジタル制御可能な利得調整部をさらに備えることを特徴とする請求項 8 に記載の A / D コンバータ。

30

【請求項 14】

前記 B 型変換回路の前段に設けられ、前記第 3 電圧と第 4 電圧をスワップして前記 B 型変換回路に供給する入力スイッチと、

前記 B 型変換回路の後段に設けられ、前記第 7 電圧、前記第 8 電圧をスワップして後段の B 型変換回路に出力する出力スイッチと、

をさらに備えることを特徴とする請求項 5 に記載の A / D コンバータ。

【請求項 15】

前記第 1 増幅器および前記第 2 増幅器はそれぞれダイナミック型差動増幅器を含み、

前記ダイナミック型差動増幅器は、

第 1、第 2 入力端子と、

第 1、第 2 出力端子と、

前記第 1 出力端子と固定電圧端子の間の設けられた第 1 負荷キャパシタと、

前記第 2 出力端子と固定電圧端子の間の設けられた第 2 負荷キャパシタと、

前記第 1、第 2 負荷キャパシタの電荷を初期化する初期化回路と、

前記第 1、第 2 負荷キャパシタをそれぞれ負荷とするとともに、それぞれの制御端子が前記第 1、第 2 入力端子と接続される第 1、第 2 入力トランジスタを含む入力差動対と、

前記第 1 出力端子と前記第 2 出力端子それぞれの電位の中点電圧が所定のしきい値電圧に達すると、前記第 1、第 2 負荷キャパシタの充放電経路を遮断する制御回路と、

を備えることを特徴とする請求項 6 に記載の A / D コンバータ。

40

50

【請求項 16】

前記第3増幅器および前記第4増幅器はそれぞれダイナミック型差動増幅器を含み、
 前記ダイナミック型差動増幅器は、
 第1、第2入力端子と、
 第1、第2出力端子と、
 前記第1出力端子と固定電圧端子の間の設けられた第1負荷キャパシタと、
 前記第2出力端子と固定電圧端子の間の設けられた第2負荷キャパシタと、
 前記第1、第2負荷キャパシタの電荷を初期化する初期化回路と、
 前記第1、第2負荷キャパシタをそれぞれ負荷とするとともに、それぞれの制御端子が
 前記第1、第2入力端子と接続される第1、第2入力トランジスタを含む入力差動対と、
 前記第1出力端子と前記第2出力端子それぞれの電位の中点電圧が所定のしきい値電圧
 に達すると、前記第1、第2負荷キャパシタの充放電経路を遮断する制御回路と、
 を備えることを特徴とする請求項8に記載のA/Dコンバータ。

10

【請求項 17】

前記第1負荷キャパシタと前記第1入力トランジスタの間に設けられた第1スイッチと
 、
 前記第2負荷キャパシタと前記第2入力トランジスタの間に設けられた第2スイッチと
 、
 をさらに備え、
 前記制御回路は、前記第1、第2スイッチをオフすることにより、前記第1、第2負荷
 キャパシタの充放電経路を遮断することを特徴とする請求項15または16に記載のA/
 Dコンバータ。

20

【請求項 18】

前記ダイナミック型差動増幅器は、前記入力差動対にテイル電流を供給するテイル電流
 源をさらに備え、
 前記制御回路は、前記テイル電流源をオフすることにより、前記第1、第2負荷キャ
 パシタの充放電経路を遮断することを特徴とする請求項15から17のいずれかに記載のA
 /Dコンバータ。

【請求項 19】

前記制御回路は、
 前記第1出力端子と前記第2出力端子の間に直列に設けられた第1、第2分圧キャパシ
 タと、
 前記第1、第2分圧キャパシタの接続点の電位を所定のしきい値電圧と比較する比較器
 と、
 を含むことを特徴とする請求項15から18のいずれかに記載のA/Dコンバータ。

30

【請求項 20】

前記比較器は、電源として電源電圧および接地電圧を受けるインバータを含むことを特
 徴とする請求項19に記載のA/Dコンバータ。

【請求項 21】

前記初期化回路は、前記第1、第2分圧キャパシタの接続点の電位を、前記第1、第2
 出力端子と同じ電位に初期化することを特徴とする請求項19に記載のA/Dコンバータ
 。

40

【請求項 22】

前記制御回路は、前記第1負荷キャパシタと前記第2負荷キャパシタそれぞれの電位を
 受けるNANDゲートを含み、前記NANDゲートの出力に応じて、前記第1、第2負荷
 キャパシタの充放電経路を遮断し、
 前記NANDゲートは、
 電源端子と接地端子の間に第1経路を形成するように順にスタックされた第1Pチャ
 ネルトランジスタ、第1Nチャネルトランジスタ、第2Nチャネルトランジスタと、
 電源端子と接地端子の間に、第1経路と並列した第2経路を形成するように順にスタッ

50

クされた第 2 P チャンネルトランジスタ、第 3 N チャンネルトランジスタ、第 4 N チャンネルトランジスタと、

を含み、

前記第 1 P チャンネルトランジスタ、第 1、第 4 N チャンネルトランジスタのゲートに、第 1 入力信号が印加され、

前記第 2 P チャンネルトランジスタ、第 2、第 3 N チャンネルトランジスタのゲートに、第 2 入力信号が印加され、

前記 N A N D ゲートの出力端子が前記第 1、第 2 P チャンネルトランジスタのドレインと接続されていることを特徴とする請求項 2 1 に記載の A / D コンバータ。

【請求項 2 3】

10

第 1、第 2 入力端子と、

第 1、第 2 出力端子と、

前記第 1 出力端子と固定電圧端子の間の設けられた第 1 負荷キャパシタと、

前記第 2 出力端子と固定電圧端子の間の設けられた第 2 負荷キャパシタと、

前記第 1、第 2 負荷キャパシタの電荷を初期化する初期化回路と、

前記第 1、第 2 負荷キャパシタをそれぞれ負荷とするとともに、それぞれの制御端子が前記第 1、第 2 入力端子と接続される第 1、第 2 入力トランジスタを含む入力差動対と、

前記第 1 出力端子と前記第 2 出力端子それぞれの電位の中点電圧が所定のしきい値電圧に達すると、前記第 1、第 2 負荷キャパシタの充放電経路を遮断する制御回路と、

を備えることを特徴とするダイナミック型差動増幅器。

20

【請求項 2 4】

前記第 1 負荷キャパシタと前記第 1 入力トランジスタの間に設けられた第 1 スイッチと

、

前記第 2 負荷キャパシタと前記第 2 入力トランジスタの間に設けられた第 2 スイッチと

、

をさらに備え、

前記制御回路は、前記第 1、第 2 スイッチをオフすることにより、前記第 1、第 2 負荷キャパシタの充放電経路を遮断することを特徴とする請求項 2 3 に記載のダイナミック型差動増幅器。

【発明の詳細な説明】

30

【技術分野】

【0001】

本発明は、パイプライン型 A / D コンバータに関する。

【背景技術】

【0002】

アナログ電圧をデジタル信号に変換するために、パイプライン型の A / D コンバータが利用される。図 1 (a) ~ (c) は、一般的なパイプライン型の A / D コンバータの構成を示すブロック図および入出力特性である。A / D コンバータ 1100 は、カスケードに接続された複数 (n 段) の単位変換回路 $U C_1 \sim U C_n$ を備える。

【0003】

40

単位変換回路 $U C_1 \sim U C_n$ は、最上位ビット M S B から最下位ビット L S B に向けて m ビットずつ、順次 A / D 変換を実行する。図 1 (b) は単位変換回路 U C の構成を示す。単位変換回路 U C は、演算増幅器 O A 1 と、スイッチ回路 S W、サブ A / D コンバータ S A D C を備え、標本化状態 0 と、差分増幅状態 1、をクロック信号と同期しながら時分割的に交互に繰り返す。あるステージの単位変換回路 U C が標本化状態 0 にあるとき、それと隣接するステージの単位変換回路 U C は差分増幅状態 1 にある。

【0004】

入力端子 P i には、前段からの入力電圧 $V_{i n}$ が入力される。入力電圧範囲は $-V_{r e f} \sim +V_{r e f}$ である。標本化状態 0 において、サブ A / D コンバータ S A D C は、入力電圧 $V_{i n}$ を複数の基準電圧と比較し、比較結果 k を示す比較データ D 1 を生成する。

50

この例では、6 値つまり約 2.5 ビットの冗長構成を有しており、入力電圧 V_{in} が、以下のように標本化（量子化）される。

$$\begin{aligned} -V_{ref} < V_{in} < -5/8 \times V_{ref} & k = -3 \\ -5/8 \times V_{ref} < V_{in} < -3/8 \times V_{ref} & k = -2 \\ -3/8 \times V_{ref} < V_{in} < -1/8 \times V_{ref} & k = -1 \\ -1/8 \times V_{ref} < V_{in} < +1/8 \times V_{ref} & k = 0 \\ +1/8 \times V_{ref} < V_{in} < +3/8 \times V_{ref} & k = 1 \\ +3/8 \times V_{ref} < V_{in} < +5/8 \times V_{ref} & k = 2 \\ +5/8 \times V_{ref} < V_{in} < +V_{ref} & k = 3 \end{aligned}$$

【0005】

10

また、標本化状態 0 において、スイッチ S_1 がオン、スイッチ S_2 が入力端子 P_i 側にオンする。またスイッチ回路 SW は、入力電圧 V_{in} を選択し、入力キャパシタ $C_{s1} \sim C_{s3}$ の一端に印加する。その結果、フィードバックキャパシタ C_f および入力キャパシタ $C_{s1} \sim C_{s3}$ は、等しく入力電圧 V_{in} によって充電される。

【0006】

次にクロック信号の位相が切り替わると差分増幅状態 1 となり、スイッチ S_1 がオフし、スイッチ S_2 は演算増幅器 OA の出力端子 P_o 側にオンする。またサブ A/D コンバータ $SADC$ は、比較結果をスイッチ回路 SW へと出力する。スイッチ回路 SW は、比較結果に応じて、基準電圧列 $+V_{ref}$ 、 $-V_{ref}$ 、 GND のいずれかを、入力キャパシタ $C_{s1} \sim C_{s3}$ それぞれの一端に印加する。上述のように、比較結果を示す変換値 k は $-3 \sim +3$ の間の 7 値を取り得る。スイッチ回路 SW は、 k が正のとき、 k 個の入力キャパシタ C_s に基準電圧 $+V_{ref}$ を印加し、残りに接地電圧 GND を印加する。反対に k が負のときには、 $(-k)$ 個の入力キャパシタ C_s に基準電圧 $-V_{ref}$ を印加し、残りに接地電圧 GND を印加する。 k がゼロのとき、すべてのキャパシタ $C_{s1} \sim C_{s3}$ に接地電圧 GND が印加される。

20

【0007】

すべてのキャパシタ C_f 、 $C_{s1} \sim C_{s3}$ の容量値が等しく C_0 とすると、演算増幅器 OA の反転入力端子（-）に保持される電荷 Q は、

$$Q = -4C_0 \cdot V_{in} \quad \dots (1)$$

で与えられる。また、演算増幅器 OA の反転入力端子（-）の電位を v_i 、その出力電圧を v_o 、その利得を G とするとき、

30

$$(v_i - V_{ref}) \times k \times C_0 + (v_i - v_o) C_0 = Q = -4C_0 \cdot V_{in} \quad \dots (2a)$$

$$v_o = -G \cdot v_i \quad \dots (2b)$$

【0008】

したがって差分増幅状態 1 における単位変換回路 UC の出力電圧 V_{out} ($=v_o$) は、式 (3) で与えられる。

$$V_{out} = 4(V_{in} - k/4 \times V_{ref}) / \{1 + (k+1)/G\} \quad \dots (3)$$

【0009】

いま、 G が無限大であると仮定すると、単位変換回路 UC の入出力特性として式 (3') を得る。

40

$$V_{out} = 4 \cdot (V_{in} - k \times V_{ref} / 4) \quad \dots (3')$$

【0010】

図 1 (c) には、式 (3) で与えられる単位変換回路 UC の入出力特性が示される。白丸はサブ A/D コンバータ $SADC$ の基準電圧を示す。図中、黒丸は式 (3') 中の右辺第 2 項の $(k \times V_{ref})$ で与えられる X 軸方向のオフセット電圧を示す。すなわち単位変換回路 UC は、入力電圧 V_{in} と、オフセット電圧の差分を利得 4 で増幅する。

【0011】

この出力信号 V_{out} は、次段の単位変換回路 UC の入力電圧 V_{in} として供給される。図 1 (a) に示すように、複数の単位変換回路 UC がクロック信号と同期してパイプラ

50

イン動作を行うことにより、各单位変換回路UCから順次、変換値kを示すデータD₁、D₂...が出力される。なお最終段の単位変換回路UCは、差分増幅処理は必要ないため、比較器列(サブA/Dコンバータ)のみで構成することができる。

【先行技術文献】

【特許文献】

【0012】

【特許文献1】特開2006-54608号公報

【非特許文献】

【0013】

【非特許文献1】K. Sushihara and A. Matsuzawa, 「A 7b 450MSPS 50mW CMOS ADC in 0.3mm²」、IEEE International Solid-State Circuits Conference, Digest of Technical、2002、pp.170-171 10

【非特許文献2】Yusuke Asada, Kei Yoshihara, Tatsuya Urano, Masaya Miyahara, and Akira, 「A 6bit, 7mW, 250fJ, 700MS/s Subranging ADC」、IEEE Asian Solid-State Circuits Conference (A-SSCC)、台湾、2009年11月、5-3、pp.141-144

【発明の概要】

【発明が解決しようとする課題】

【0014】

図1に示すような、従来のパイプライン型A/Dコンバータ1100の変換精度は、回路系の利得の正確さに依存しており、具体的にはキャパシタC_f、C_{s1}~C_{s3}の比精度と、演算増幅器OA1の利得に依存している。これまでの説明では、演算増幅器OA1の利得Gが無大であると仮定したが、実際の演算増幅器の利得は有限であり、近年の半導体プロセスの微細化にともなってその利得はますます減少する傾向にある。分解能をNビットとし、変換誤差を1/4LSBとするときの必要利得Gは、 20

$$G(\text{dB}) > 6N + 10 \quad \dots (4)$$

程度となる。したがって分解能を10ビットとすると、必要な利得Gは70dB以上、分解能を12ビットとすると必要な利得Gは82dB以上となる。近年の微細化されたCMOSデバイスを用いた演算増幅器の利得はせいぜい60dB程度であり、このような高い利得を得ることは困難となっている。

【0015】

さらにこの変換方式では、演算増幅器を用いた負帰還増幅を前提としている。負帰還回路は演算増幅器の利得を上げることで、回路系の精度が、容量の比精度によって定まるように構成されているが、負帰還回路は発振やセトリング時間の増大を招きやすく、A/Dコンバータの高速化にとって大きな障害となっている。

【0016】

本発明に係る課題に鑑みてなされたものであり、そのある態様の例示的な目的のひとつは、負帰還回路を用いないパイプライン型A/Dコンバータの提供にある。

【課題を解決するための手段】

【0017】

本発明のある態様は、アナログの入力電圧をデジタルデータに変換するA/D変換方法に関する。この方法は、以下の処理を行う。 40

1. 入力電圧を複数のしきい値電圧と比較し、複数のセグメントのいずれに属するかを判定する第1ステップ

2. 入力電圧が属するセグメントを挟む第1電圧と第2電圧を生成する第2ステップ

3. 第1電圧と入力電圧の差分を、所定のコモン電圧を基準として増幅することにより第3電圧を生成する第3ステップ

4. 第2電圧と入力電圧の差分を、コモン電圧を基準として増幅することにより第4電圧を生成する第4ステップ

5. 第3電圧と第4電圧の間を、複数のセグメントに分割し、コモン電圧が複数のセグメントのいずれに属するかを判定する第5ステップ 50

6. コモン電圧が属するセグメントを挟む第5電圧と第6電圧を生成する第6ステップ

7. 第5電圧とコモン電圧の差分を、コモン電圧を基準として増幅することにより第7電圧を生成する第7ステップ

8. 第6電圧とコモン電圧の差分を、コモン電圧を基準として増幅することにより第8電圧を生成する第8ステップ

第5ステップから第8ステップは繰り返し実行されるものであり、第8ステップから第5ステップに戻るとき、前回の第7ステップで得られた第7電圧を次の第5ステップの第3電圧として、前回の第8ステップで得られた第8電圧を次の第5ステップの第4電圧として利用する。

【0018】

この態様によると、高速なA/D変換が実現できる。

【0019】

第6ステップにおいて、第5電圧と第6電圧はそれぞれ、第3電圧と第4電圧を補間することにより生成されてもよい。

【0020】

第1電圧から第8電圧はそれぞれ、差動信号として生成されてもよい。

【0021】

第6ステップにおいて、第5電圧と第6電圧は、第3電圧と第4電圧を外挿補間することにより生成されてもよい。

【0022】

本発明の別の態様は、アナログの入力電圧をデジタルデータに変換するパイプライン型A/Dコンバータに関する。このA/Dコンバータは、直列に接続されたA型変換回路、少なくともひとつのB型変換回路、および比較器列を備える。

A型変換回路は、入力電圧を複数のしきい値電圧と比較し、複数のセグメントのいずれに属するかを判定する第1サブA/Dコンバータと、入力電圧が属するセグメントの上限以上の電圧レベルを有する第1電圧を生成し、第1電圧と入力電圧の差分を所定のコモン電圧を基準として増幅することにより第3電圧を生成し、後段のB型変換回路に出力する第1増幅回路と、入力電圧が属するセグメントの下限以下の電圧レベルを有する第2電圧を生成し、第2電圧と入力電圧の差分を所定のコモン電圧を基準として増幅することにより第4電圧を生成し、後段のB型変換回路に出力する第2増幅回路と、を備える。

B型変換回路は、前段からの第3電圧と第4電圧の間を複数のセグメントに分割し、コモン電圧が複数のセグメントのいずれに属するかを判定する第2サブA/Dコンバータと、コモン電圧が属するセグメントの上限以上の電圧レベルを有する第5電圧とコモン電圧の差分を、コモン電圧を基準として増幅することにより第7電圧を生成し、後段のB型変換回路に第3電圧として出力する第3増幅回路と、コモン電圧が属するセグメントの下限以下の電圧レベルを有する第6電圧とコモン電圧の差分を、コモン電圧を基準として増幅することにより第8電圧を生成し、後段のB型変換回路に第4電圧として出力する第4増幅回路と、を備える。比較器列は、前段のB型変換回路からの第3電圧と第4電圧の間を複数のセグメントに分割し、コモン電圧が複数のセグメントのいずれに属するかを判定する。

【0023】

この態様によると、高速なA/D変換が実現できる。

【0024】

第1増幅回路は、それぞれの第1端子が共通に接続された複数の第1キャパシタを含む第1キャパシタ列と、標本化状態において第1キャパシタ列の第2端子に入力電圧を印加し、補間増幅状態において、第1キャパシタ列のうち、第1サブA/Dコンバータによる判定結果に応じた個数の第1キャパシタの第2端子に、基準電圧を印加する第1スイッチ回路と、第1キャパシタ列の第1端子と固定電圧端子の間に設けられ、標本化状態においてオンし、補間増幅状態においてオフする第1スイッチと、その第1入力端子にコモン電

10

20

30

40

50

圧が入力され、その第 2 入力端子が第 1 キャパシタ列の第 1 端子と接続された第 1 増幅器と、を含んでもよい。第 2 増幅回路は、第 1 増幅回路と同様に構成されてもよい。

【0025】

第 3 増幅回路および第 4 増幅回路は、第 3 電圧と第 4 電圧を補間することにより、第 5 電圧と第 6 電圧を生成してもよい。

【0026】

第 3 増幅回路は、それぞれの第 1 端子が共通に接続された複数の第 3 キャパシタを含む第 3 キャパシタ列と、それぞれの第 1 端子が第 3 キャパシタ列の第 1 端子と共通に接続された複数の第 4 キャパシタを含む第 4 キャパシタ列と、標本化状態において第 3 キャパシタ列の第 2 端子に第 3 電圧を印加し、補間増幅状態において、第 3 キャパシタ列のうち、第 2 サブ A / D コンバータによる判定結果に応じた個数の第 3 キャパシタの第 2 端子に、固定電圧を印加する第 3 スイッチ回路と、標本化状態において第 4 キャパシタ列の第 2 端子に第 4 電圧を印加し、補間増幅状態において、第 4 キャパシタ列のうち、第 2 サブ A / D コンバータによる判定結果に応じた個数の第 4 キャパシタの第 2 端子に、固定電圧を印加する第 4 スイッチ回路と、第 3 キャパシタ列および第 4 キャパシタ列の共通接続された第 1 端子と固定電圧端子の間に設けられ、標本化状態においてオンし、補間増幅状態においてオフする第 3 スイッチと、その第 1 入力端子にコモン電圧が入力され、その第 2 入力端子が第 3 キャパシタ列および第 4 キャパシタ列の共通接続された第 1 端子と接続された第 3 増幅器と、を含んでもよい。第 4 増幅回路は、第 3 増幅回路と同様に構成されてもよい。

【0027】

第 3 スイッチ回路は、補間増幅状態において、第 3 キャパシタ列に固定電圧を印加する際、当該固定電圧として前段からの第 3 電圧を印加するとともに、第 4 スイッチ回路は、補間増幅状態において、第 4 キャパシタ列に固定電圧を印加する際、当該固定電圧として前段からの第 4 電圧を印加することにより、前段の変換回路の増幅器のオフセット電圧をキャンセルしてもよい。

【0028】

なお、以上の構成要素の任意の組み合わせ、本発明の表現を、方法、装置などの中で変換したものもまた、本発明の態様として有効である。

【発明の効果】

【0029】

本発明のある態様によれば、高速な A / D コンバータが提供される。

【図面の簡単な説明】

【0030】

【図 1】図 1 (a) ~ (c) は、一般的なパイプライン型の A / D コンバータの構成を示すブロック図および入出力特性である。

【図 2】実施の形態に係るパイプライン型の A / D コンバータの構成を示すブロック図である。

【図 3】A 型変換回路の機能を説明する図である。

【図 4】A 型変換回路の入出力特性を示す図である。

【図 5】A 型変換回路の構成を示す回路図である。

【図 6】B 型変換回路の機能を説明する図である。

【図 7】A / D コンバータの入出力特性を示す図である。

【図 8】B 型変換回路の構成を示す回路図である。

【図 9】変形例に係る B 型変換回路の構成を示す回路図である。

【図 10】第 2 の変形例に係る B 型変換回路の構成を示す回路図である。

【図 11】図 11 (a)、(b) は、図 10 の B 型変換回路の動作を示す図である。

【図 12】図 12 (a)、(b) は、差動形式の増幅器を用いた場合の、A 型変換回路および B 型変換回路の入出力特性を示す図である。

【図 13】第 3 の変形例に係る B 型変換回路の構成の一部を示す回路図である。

【図14】図13のB型変換回路の入出力特性を示す図である。

【図15】ダイナミック型差動増幅器の構成を示す回路図である。

【図16】図15のダイナミック型差動増幅器の動作を示す波形図である。

【図17】比較技術に係る増幅器の構成を示す回路図である。

【図18】図18(a)、(b)は、図15のダイナミック型差動増幅器の具体例を示す回路図である。

【図19】図19(a)、(b)は、ダイナミック型差動増幅器の別の具体例を示す回路図である。

【図20】図15のダイナミック型差動増幅器の変形例を示す回路図である。

【発明を実施するための形態】

10

【0031】

以下、本発明を好適な実施の形態をもとに図面を参照しながら説明する。各図面に示される同一または同等の構成要素、部材、処理には、同一の符号を付するものとし、適宜重複した説明は省略する。また、実施の形態は、発明を限定するものではなく例示であって、実施の形態に記述されるすべての特徴やその組み合わせは、必ずしも発明の本質的なものであるとは限らない。

【0032】

本明細書において、「部材Aが、部材Bと接続された状態」とは、部材Aと部材Bが物理的に直接的に接続される場合のほか、部材Aと部材Bが、電気的な接続状態に影響を及ぼさない他の部材を介して間接的に接続される場合も含む。

20

同様に、「部材Cが、部材Aと部材Bの間に設けられた状態」とは、部材Aと部材C、あるいは部材Bと部材Cが直接的に接続される場合のほか、電気的な接続状態に影響を及ぼさない他の部材を介して間接的に接続される場合も含む。

【0033】

図2は、実施の形態に係るパイプライン型のA/Dコンバータ100の構成を示すブロック図である。A/Dコンバータ100は、アナログ入力電圧 V_I をデジタルデータ DO に変換する。アナログ入力信号 V_I の入力電圧範囲は、 $-V_{ref} \sim +V_{ref}$ であるとする。

【0034】

A/Dコンバータ100は、直列に接続されたA型変換回路 UCA と、少なくともひとつのB型変換回路 $UCB_1 \sim UCB_n$ と、比較器列(コンパレータアレイ) CA と、を備える。最終段の比較器列 CA は、後述するB型変換回路の第2サブA/Dコンバータ20と同様の処理を行うため、 $(n+1)$ 段目のB型変換回路 UCB_{n+1} の一部として構成されてもよいし、比較器列単体として構成されてもよい。

30

【0035】

変換回路 UCA 、 $UCB_1 \sim UCB_n$ および比較器列 CA は、最上位ビット MSB から最下位ビット LSB に向けて m ビットずつ、順次A/D変換を実行する。

【0036】

各変換回路 UCA 、 $UCB_1 \sim UCB_n$ は、標本化状態0と、差分増幅状態(補間増幅状態)1、をクロック信号と同期しながら時分割的に交互に繰り返す。あるステージの変換回路が標本化状態0にあるとき、それと隣接するステージの変換回路は差分増幅状態(補間増幅状態)1にある。

40

【0037】

(A型変換回路)

はじめに初段に設けられたA型変換回路 UCA について説明する。

図3は、A型変換回路 UCA の機能を説明する図である。A型変換回路 UCA は、入力信号 V_I と、基準電圧列 V_{REF} (たとえば、 $+V_{ref}$ 、 $-V_{ref}$ 、 $GND=0V$ の3つの電圧)を受ける。A型変換回路 UCA は、標本化状態0と差分増幅状態1を交互に繰り返す。

【0038】

50

標本化状態 0 において、A 型変換回路 U C A は、基準電圧 $-V_{ref}$ と V_{ref} の間を、複数のセグメント S E G に分割し、入力信号 V I がいずれのセグメントに属するか判定する（標本化）。

【0039】

具体的には A 型変換回路 U C A は、入力電圧 V I を、基準電圧 $-V_{ref}$ と V_{ref} の間に間隔 $V (= V_{ref} / M)$ に配置された複数のしきい値電圧列 V t h と比較し、比較結果を示す変換データ D 1 を出力する。変換データ D 1 は、入力電圧 V I が属するセグメントの番号 k を示している。図 3 では、入力電圧 V I がセグメント S E G₀ に属する場合を示す。

【0040】

続いてクロック信号の位相が切りかわると、A 型変換回路 U C A は差分増幅状態 1 となる。A 型変換回路 U C A は、入力電圧 V I に応じた 2 つの中間電圧 V_{ma} 、 V_{mb} を生成する。

第 1 中間電圧 V_{ma} は、所定のコモン電圧 V_c および整数のパラメータ k_a を用いて、

$$V_{ma} = V_c + k_a \times V_{ref} / M \quad \dots (5a)$$
 で与えられる電圧であり、かつ入力電圧 V I が属するセグメント S E G_k の上側のしきい値電圧より高い電圧である。

第 2 中間電圧 V_{mb} は、整数のパラメータ k_b を用いて、

$$V_{mb} = V_c + k_b \times V_{ref} / M \quad \dots (5b)$$
 で与えられる電圧であり、かつ入力電圧 V I が属するセグメント S E G_k の下側のしきい値電圧より低い電圧である。つまり、中間電圧 V_{ma} 、 V_{mb} は、セグメント S E G_k を挟み込むように決定される。

【0041】

なお、中間電圧 V_{ma} 、 V_{mb} は、セグメント S E G 間のしきい値電圧に対してオフセットさせることが望ましい。オフセット量は、 $V_{ref} / (2M)$ が好適である。

【0042】

そして、A 型変換回路 U C A は、入力電圧 V I と中間電圧 V_{ma} の差分を、コモン電圧 V_c を基準として利得 G で増幅して第 1 出力電圧 V a を生成する。同様に、入力電圧 V I と中間電圧 V_{mb} の差分を、コモン電圧 V_c を基準として利得 G で増幅して第 2 出力電圧 V b を生成する。第 1 出力電圧 V a、第 2 出力電圧 V b は、それぞれ第 1 出力端子 P o_a、第 2 出力端子 P o_b から出力する。

$$\begin{aligned} V_a &= G \times (V_{ma} - V_I - V_c) + V_c \\ &= G \times (k_a \times V_{ref} / M - V_I) + V_c \quad \dots (6a) \end{aligned}$$

$$\begin{aligned} V_b &= G \times (V_{mb} - V_I - V_c) + V_c \\ &= G \times (k_b \times V_{ref} / M - V_I) + V_c \quad \dots (6b) \end{aligned}$$

【0043】

つまり式 (6a)、(6b) で表される差分増幅処理は、入力電圧 V I をコモン電圧 V_c にシフト（オフセット）し、中間電圧 V_{ma} と入力電圧 V I の電位差を増幅した電圧 V a と、中間電圧 V_{mb} と入力電圧 V I の電位差を増幅した電圧 V b を生成する処理と理解できる。

【0044】

図 4 は、A 型変換回路 U C A の入出力特性を示す図である。以下では、説明の簡素化と理解の容易のために、コモン電圧 V_c を接地電圧 G N D ($= 0V$) として説明する。

第 1 出力電圧 V a、第 2 出力電圧 V b は、以下の式で与えられる。

$$V_a = G \times (V_I - k_a / M \cdot V_{ref}) \quad \dots (7a)$$

$$V_b = G \times (V_I - k_b / M \cdot V_{ref}) \quad \dots (7b)$$

k_a 、 k_b はそれぞれ、2 つの直線 V a、V b が、入力電圧 V I の電圧範囲を挟むように決められた整数のパラメータである。式 (7a) は、傾きが G、x 切片が $(k_a / M \cdot V_{ref})$ である直線を表し、式 (7b) は、傾きが G、x 切片が $(k_b / M \cdot V_{ref})$ である直線を表す。以下、 $(k_a / M \cdot V_{ref})$ を第 1 オフセット電圧、 $(k_b / M$

10

20

30

40

50

・ V_{ref}) を第 2 オフセット電圧と称する。

【 0 0 4 5 】

数値 k_a 、 k_b は、整数のパラメータ (1) を用いて、以下のように決めてもよい。

$$k_a = (k +)$$

$$k_b = (k -)$$

図 4 および式 (7 a)、(7 b) から明らかなように、2 つの出力電圧 V_a 、 V_b の差分 ($V_b - V_a$) は、

$$V_b - V_a = G \times (k_a - k_b) / M \cdot V_{ref} = G \times 2 / M \cdot V_{ref} \dots (8)$$

となり、入力電圧 V_I の値によらず一定となる。つまり、後段の回路の入力電圧範囲も、
入力電圧 V_I によらずにほぼ一定となる。たとえば

$$V_b - V_a = V_{ref} \dots (8 a)$$

となるように、つまり $G \times 2 / M = 1$ となるように、 M 、 G の値を決めるとよい。

【 0 0 4 6 】

図 4 には、 $M = 4$ 、 $G = 2$ の場合が示され、しきい値電圧 V_{th} は白丸で示される。たとえば標本化状態 0 において、入力電圧 V_I が $k = 0$ すなわち、 $-V_{ref} / 8 < V_I < V_{ref} / 8$ と判定されると、

$$V_a = G \times (V_I - 1 / M \cdot V_{ref}) \dots (9 a)$$

$$V_b = G \times (V_I + 1 / M \cdot V_{ref}) \dots (9 b)$$

で与えられる出力電圧 V_a 、 V_b が出力される。ここでは $= 1$ としている。

【 0 0 4 7 】

続いて A 型変換回路 UCA の具体的な構成例を説明する。

図 5 は、A 型変換回路 UCA の構成を示す回路図である。A 型変換回路 UCA は、第 1 サブ A / D コンバータ 10、第 1 増幅回路 11 a、第 2 増幅回路 11 b を備える。

【 0 0 4 8 】

第 1 サブ A / D コンバータ 10 は、標本化状態 0 において、入力電圧 V_I をしきい値電圧列 V_{th} と比較し、入力電圧 V_i が複数のセグメントのいずれに属するかを判定し、結果を示す変換データ D_1 を生成する。たとえば、しきい値電圧列 V_{th} は、

$$V_{th_j} = V_{ref} / (2 M) + j \times V_{ref} / M \dots (1 0)$$

を満たすように決定してもよい。ここで j は、 $-M \sim M$ の範囲をとる整数である。

【 0 0 4 9 】

第 1 サブ A / D コンバータ 10 によって、入力信号 V_I が以下のように標本化される。

$$-V_{ref} < V_I < -5 / 8 \times V_{ref} \quad k = -3$$

$$-5 / 8 \times V_{ref} < V_I < -3 / 8 \times V_{ref} \quad k = -2$$

$$-3 / 8 \times V_{ref} < V_I < -1 / 8 \times V_{ref} \quad k = -1$$

$$-1 / 8 \times V_{ref} < V_I < +1 / 8 \times V_{ref} \quad k = 0$$

$$+1 / 8 \times V_{ref} < V_I < +3 / 8 \times V_{ref} \quad k = 1$$

$$+3 / 8 \times V_{ref} < V_I < +5 / 8 \times V_{ref} \quad k = 2$$

$$+5 / 8 \times V_{ref} < V_I < +V_{ref} \quad k = 3$$

【 0 0 5 0 】

第 1 サブ A / D コンバータ 10 の構成は特に限定されず、公知の、あるいは将来において利用可能となる技術を用いればよい。たとえば、本発明者が提案した非特許文献 1、2 に記載のコンパレータを、本発明の第 1 サブ A / D コンバータ 10 として好適に利用することができる。あるいは、基準電圧列 $-V_{ref}$ 、 GND 、 V_{ref} を抵抗分圧することによってしきい値電圧 V_{th} を生成し、コンパレータアレイ (比較器列) を用いて電圧比較を行ってもよい。

【 0 0 5 1 】

第 1 増幅回路 11 a は、入力電圧 V_I が属するセグメントの上限以上の電圧レベルを有する第 1 電圧 V_{m_a} を生成し、第 1 電圧 V_{m_a} と入力電圧 V_I の差分を所定のコモン電圧 V_c を基準として増幅し、第 3 電圧 V_a を生成する。

10

20

30

40

50

【0052】

第2増幅回路11bは、入力電圧V_Iが属するセグメントの下限以下の電圧レベルを有する第2電圧V_{m_b}を生成し、第2電圧V_{m_b}と入力電圧V_Iの差分を所定の共通電圧V_cを基準として増幅し、第3電圧V_bを生成する。第1電圧V_{m_a}と第2電圧V_{m_b}は、入力電圧V_Iが属するセグメントを挟んでいる。

【0053】

第1増幅回路11aは、第1スイッチ回路12a、第1増幅器14a、第1キャパシタ列C_{a₁}~C_{a_M}、第1スイッチS_{1_a}を含む。同様に、第2増幅回路11bは第2スイッチ回路12b、第2増幅器14b、第2キャパシタ列C_{b₁}~C_{b_M}、第2スイッチS_{1_b}を含む。

10

【0054】

まず第1増幅回路11aについて説明する。第1増幅器14aは反転増幅器であり、その利得は(-G)である。第1増幅器14aの非反転入力端子には共通電圧V_c(接地電圧GND)が印加されており、その反転入力端子の電圧がV_iであるとき、その出力電圧V_aは、

$$V_a = -G \times V_i \quad \dots (11)$$

となる。

【0055】

第1スイッチS_{1_a}は、第1増幅器14aの反転入力端子と固定電圧端子(接地端子)の間に設けられる。第1スイッチS_{1_a}は、標本化状態0においてオンし、差分増幅状態1においてオフする。

20

【0056】

第1キャパシタ列C_{a₁}~C_{a_M}それぞれの一端(第1端子)は、第1増幅器14aの反転入力端子と共通に接続される。キャパシタC_{a₁}~C_{a_M}の容量値は、等しくC₀であるものとする。

【0057】

第1スイッチ回路12aには、第1サブA/Dコンバータ10による比較結果、すなわち値kを示す変換データD₁、もしくはそれに応じた制御信号が与えられる。第1スイッチ回路12aは、その内部に複数のスイッチを含むスイッチマトリクスであり、第1キャパシタ列C_{a₁}~C_{a_M}それぞれの他端(第2端子)に、変換データD₁の値kに応じて、入力電圧V_I、基準電圧V_{r_{e_f}}、GND、-V_{r_{e_f}}のいずれかを選択的に印加する。

30

【0058】

具体的には、標本化状態0において第1スイッチ回路12aは、すべてのキャパシタC_{a₁}~C_{a_M}の第2端子に入力電圧V_Iを印加する。このとき、第1スイッチS_{1_a}はオンしているから、キャパシタC_{a₁}~C_{a_M}は、入力電圧V_Iによって充電され、それらに蓄えられる電荷の総量Qは、

$$Q = -M \cdot C_0 \cdot V_I \quad (12)$$

となる。

【0059】

第1スイッチ回路12aは、差分増幅状態1において、キャパシタC_{a₁}~C_{a_M}のうち、j個のキャパシタの第2端子に基準電圧V_{r_{e_f}}を印加し、残りのキャパシタの第2端子に接地電圧GNDを印加する。個数jは、値kに応じて定められる。このとき、第1増幅器14aの反転入力端子の電位をv_iとすると、電荷の保存則によって以下の式(13)が成り立つ。

$$j \cdot C_0 \cdot (V_I - V_{r_{e_f}}) + (M - j) \cdot C_0 \cdot V_I = Q = -M \cdot C_0 \cdot V_I$$

... (13)

40

【0060】

式(13)を整理すると、

$$v_i = -(V_I + j \cdot V_{r_{e_f}} / M) \quad \dots (14)$$

50

を得る。式(11)、(14)から、第1出力電圧 V_a は、式(15)で与えられる。

$$V_a = -G \times V_i = G \times (V_I + j \cdot V_{ref} / M) \quad \dots (15)$$

【0061】

第1スイッチ回路12aが、 j 個のキャパシタの第2端子に基準電圧 $-V_{ref}$ を印加し、残りのキャパシタの第2端子に接地電圧GNDを印加した場合、第1出力電圧 V_a は、式(16)で与えられる。

$$V_a = -G \times V_i = G \times (V_I - j \cdot V_{ref} / M) \quad \dots (16)$$

【0062】

つまり、図5のA型変換回路UCAによれば、上述の式(7a)を満たす第1出力電圧 V_a を生成することができる。式(7a)において $k_a = k + 1$ とする場合、第1スイッチ回路12aの状態は以下の通りである。

(1) $k = 0$ のとき

第1スイッチ回路12aは、 $(k + 1)$ 個のキャパシタに $-V_{ref}$ を印加し、残りの $M - (k + 1)$ 個のキャパシタに接地電圧GNDを印加する。

(2) $k = -1$ のとき

第1スイッチ回路12aは M 個すべてのキャパシタに接地電圧GNDを印加する。

(3) $k = -2$ のとき

第1スイッチ回路12aは、 $(-k + 1)$ 個のキャパシタに基準電圧 V_{ref} を印加し、残りの $M - (-k + 1)$ 個のキャパシタに接地電圧GNDを印加する。

【0063】

$k_a = k + 1$ と一般化すると、第1スイッチ回路12aの状態は以下の通りとなる。

(1) $k_a = 1$ のとき

第1スイッチ回路12aは、 k_a 個のキャパシタに $-V_{ref}$ を印加し、残りの $M - (k_a)$ 個のキャパシタに接地電圧GNDを印加する。

(2) $k_a = 0$ のとき

第1スイッチ回路12aは M 個すべてのキャパシタに接地電圧GNDを印加する。

(3) $k_a = -1$ のとき

第1スイッチ回路12aは、 k_a 個のキャパシタに基準電圧 V_{ref} を印加し、残りの $M - (k_a)$ 個のキャパシタに接地電圧GNDを印加する。

【0064】

第2スイッチ回路12b、第2増幅器14b、キャパシタ $C_{b1} \sim C_{bM}$ 、第2スイッチ S_{1b} を含む回路群は、第2出力電圧 V_b を生成し、上述した第1出力電圧 V_a を生成する回路群と同様に構成され、式(7b)を満たす第2出力電圧 V_b を生成する。

【0065】

式(7b)において $k_b = k - 1$ とする場合、第2スイッチ回路12bの状態は、以下の通りである。

(1) $k = 2$ のとき

第2スイッチ回路12bは、 $(k - 1)$ 個のキャパシタに $-V_{ref}$ を印加し、残りの $M - (k - 1)$ 個のキャパシタに接地電圧GNDを印加する。

(2) $k = 1$ のとき

第2スイッチ回路12bは M 個すべてのキャパシタに接地電圧GNDを印加する。

(3) $k = 0$

第2スイッチ回路12bは、 $(-k + 1)$ 個のキャパシタに基準電圧 V_{ref} を印加し、残りの $M - (-k + 1)$ 個のキャパシタに接地電圧GNDを印加する。

【0066】

$k_b = k - 1$ と一般化すると、第2スイッチ回路12bの状態は以下の通りとなる。

(1) $k_b = 1$ のとき

第2スイッチ回路12bは、 k_b 個のキャパシタに $-V_{ref}$ を印加し、残りの $M - (k_b)$ 個のキャパシタに接地電圧GNDを印加する。

(2) $k_b = 0$ のとき

10

20

30

40

50

第2スイッチ回路12bはM個すべてのキャパシタに接地電圧GNDを印加する。

(3) $k_b - 1$ のとき

第2スイッチ回路12bは、 k_b 個のキャパシタに基準電圧 V_{ref} を印加し、残りの $M - (k_b)$ 個のキャパシタに接地電圧GNDを印加する。

【0067】

以上がA型変換回路UCAの構成である。コモン電圧 V_c を接地電圧GNDとは異なる電圧とする場合、図中の接地端子をコモン電圧端子と置き換えればよい。

【0068】

(B型変換回路)

B型変換回路UCBは、前段のA型変換回路UCAもしくはB型変換回路UCBからの第1入力電圧(第3電圧) V_{ia} 、第2入力電圧(第4電圧) V_{ib} を受ける。以下では理解の容易のため、前段がA型変換回路UCAであるものとして説明する。

【0069】

はじめにB型変換回路UCBの機能を説明する。B型変換回路UCBは、標本化状態0と補間増幅状態1を交互に繰り返す。図6は、B型変換回路UCBの機能を説明する図である。図7は、A/Dコンバータ100の入出力特性を示す図である。

【0070】

上述のように、前段のA型変換回路UCAによって生成される入力電圧 V_{ia} 、 V_{ib} は、入力電圧VIがコモン電圧 V_c と一致するように電圧変換されている。そこでB型変換回路UCBは標本化状態0において、2つの入力電圧 V_{ia} 、 V_{ib} の間を複数のセグメントSEG₁~SEG₇に分割し、コモン電圧 V_c (GND)がいずれのセグメントSEG_jに属するかを判定する。セグメントSEGの間隔は、等しく以下のVに設定される。

$$V = (V_{ib} - V_{ia}) / L \quad \dots (17)$$

Lは2以上の整数である。上述したように前段からの2つの電圧 V_{ia} (V_a)、 V_{ib} (V_b)の差分は、式(8)で与えられるから、セグメントSEGの間隔Vは、

$$V = G \times 2 / M \cdot V_{ref} / L \quad \dots (18)$$

となり、もとの基準電圧 V_{ref} と比例する。式(8a)が成り立つとき、

$$V = V_{ref} / L \quad \dots (18a)$$

である。

【0071】

図6ではL=8の場合が示される。B型変換回路UCBは、外部からの基準電圧 V_{ref} 、 $-V_{ref}$ を用いず、前段からの入力電圧 V_{ia} 、 V_{ib} を利用して標本化(量子化)を行う点が、B型変換回路UCBの特徴のひとつである。

【0072】

B型変換回路UCBは、コモン電圧 V_c (GND)がj番目のセグメントSEG_jに属するとき、値jを示す変換データD2を出力する。図6では、接地電圧GNDがj=4番目のセグメントSEG₄に属している状態を示している。

【0073】

B型変換回路UCBにおける標本化は、前段において得られた2つのオフセット電圧($k_a \times V_{ref} / M$)と($k_b \times V_{ref} / M$)の間を複数のセグメントに分割したときに、入力電圧VIがどのセグメントに属しているかを判定することと等価である。

【0074】

続いてクロック信号の位相が切りかわると、B型変換回路UCBは補間増幅状態1となり、式(19a)~(19d)で与えられる第7電圧(第1出力電圧) V_{oa} 、第8電圧(第2出力電圧) V_{ob} を出力する。

$$V_{oa} = -H \times V_{ma}$$

$$V_{ma} = \{ (L - j_a) \cdot V_{ia} + j_a \cdot V_{ib} \} / L \quad \dots (19a)$$

$$V_{ob} = -H \times V_{mb}$$

$$V_{mb} = \{ (L - j_b) \cdot V_{ia} + j_b \cdot V_{ib} \} / L \quad \dots (19b)$$

10

20

30

40

50

【0075】

j_a 、 j_b は、変換値 j に応じて決められる整数である。たとえば、数値 j_a 、 j_b は、整数のパラメータ (1) を用いて、以下のように決めてもよい。

$$j_a = (j -) \quad \dots (20a)$$

$$j_b = (j +) \quad \dots (20b)$$

具体的には $= 1$ としてもよい。

【0076】

式 (19a) に現れる第5電圧 (第1中間電圧と称する) V_{m_a} は、2つの入力電圧 V_{i_a} と V_{i_b} を $j_a : (L - j_a)$ に内分する電圧である。また式 (19b) に現れる第6電圧 (第2中間電圧と称する) V_{m_b} は、2つの入力電圧 V_{i_a} と V_{i_b} を、 $j_b : (L - j_b)$ に内分する電圧である。

10

【0077】

B型変換回路UCBは、2つの中間電圧 V_{m_a} 、 V_{m_b} が、コモン電圧 V_c (GND) が属するセグメントSEG_jを挟み込むように、内分点 j_a 、 j_b を決定する。B型変換回路UCBは、2つの中間電圧 V_{m_a} 、 V_{m_b} をそれぞれ、コモン電圧 V_c を基準として利得 (-H) で反転増幅することにより、出力電圧 V_{o_a} 、 V_{o_b} を生成する。図6には、 $H = 4$ の場合が示される。

【0078】

2つの出力電圧 V_{o_a} と V_{o_b} の差分に着目すると、式 (19a)、(19b) から以下の式 (21) が成り立つ。

20

$$V_{o_b} - V_{o_a} = -H \times \{ (j_a - j_b) \cdot V_{a_i} + (j_b - j_a) V_{b_i} \} / L \quad \dots (21)$$

式 (21) に、式 (20a)、(20b) を代入すれば、式 (22) を得る。

$$V_{b_o} - V_{a_o} = -H \times \{ -2 \cdot (V_{b_i} - V_{a_i}) \} / L \quad \dots (22)$$

式 (22) に、式 (8) を代入すれば、式 (23) を得る。

$$V_{b_o} - V_{a_o} = -H \times \{ -2 \cdot G \times 2 / M \cdot V_{ref} \} / L \quad \dots (23)$$

【0079】

$= 1$ 、 $H = 4$ 、 $G \times 2 / M = 1$ 、 $L = 8$ が成り立つとき、

$$V_{o_b} - V_{o_a} = V_{ref}$$

となり、後段のB型変換回路UCBに対する入力電圧範囲は一定となる。

30

【0080】

2段目以降のB型変換回路UCBは、同様の処理を繰り返し行う。その結果、パイプライン処理によって高い分解能のA/D変換を行うことができる。

【0081】

以上がB型変換回路UCBの機能である。続いて、この機能を実現するためのB型変換回路UCBの構成を説明する。図8は、B型変換回路UCBの構成を示す回路図である。

【0082】

B型変換回路UCBは、第2サブA/Dコンバータ20、第7電圧 (第1出力電圧) V_{o_a} を生成する第3増幅回路21a、第8電圧 (第2出力電圧) V_{o_b} を生成する第4増幅回路21bを備える。

40

【0083】

第2サブA/Dコンバータ20は、標準化状態 0 において、負の入力電圧 (第5電圧) V_{i_a} と正の入力電圧 (第6電圧) V_{i_b} を複数のセグメントSEG₀ ~ SEG₈ に分割し、コモン電圧 V_c (GND) がいずれのセグメントSEG_jに属するかを判定する。第2サブA/Dコンバータ20は、コモン電圧 V_c (GND) が、 j 番目のセグメントSEG_jに属するとき、値 j を示す変換データD2を出力する。

【0084】

第2サブA/Dコンバータ20の構成は特に限定されず、公知の、あるいは将来において利用可能となる技術を用いればよい。第2サブA/Dコンバータ20は、図6に示すように2つの入力電圧 V_{i_a} 、 V_{i_b} を分圧することによって複数のしきい値電圧 V_{th_1}

50

$\sim V_{th8}$ を生成し、接地電圧 GND を各しきい値電圧 $V_{th1} \sim V_{th8}$ と比較し、標本化を行ってもよい。この場合、第2サブA/Dコンバータ20は、コンパレータアレイ（比較器列）で構成できる。この第2サブA/Dコンバータ20として、本発明者が提案した非特許文献1、2に記載のコンパレータを利用することができる。

【0085】

第3増幅回路21aは、コモン電圧 V_c が属するセグメントの上限以上の電圧レベルを有する第5電圧 V_{m_a} とコモン電圧 V_c の差分を、コモン電圧 V_c を基準として増幅することにより第7電圧 V_{o_a} を生成する。

【0086】

同様に第4増幅回路21bは、コモン電圧 V_c が属するセグメントの下限以下の電圧レベルを有する第6電圧 V_{m_b} とコモン電圧 V_c の差分を、コモン電圧 V_c を基準として増幅することにより第8電圧 V_{o_b} を生成する。

この第7電圧 V_{o_a} 、第8電圧 V_{o_b} はそれぞれ、後段の第3電圧 V_{i_a} 、第4電圧 V_{i_b} となる。

【0087】

第3増幅回路21aに着目し、その構成を説明する。

第3増幅回路21aは、第3スイッチ回路22_{aa}、第4スイッチ回路22_{ab}、第3増幅器24a、第3キャパシタ列 $C_{a a 1} \sim C_{a a L}$ 、第4キャパシタ列 $C_{a b 1} \sim C_{a b L}$ 、第3スイッチ $S_{1 a}$ を含む。第4増幅回路21bは、第5スイッチ回路22_{ba}、第6スイッチ回路22_{bb}、第4増幅器24b、第5キャパシタ列 $C_{b a 1} \sim C_{b a L}$ 、第6キャパシタ列 $C_{b b 1} \sim C_{b b L}$ 、第4スイッチ $S_{1 b}$ を含む。第3増幅回路21aと第4増幅回路21bは同様に構成される。

【0088】

第3増幅器24aは反転増幅器であり、それぞれの利得は $(-H)$ である。

第3スイッチ $S_{1 a}$ は、第3増幅器24aの反転入力端子と固定電圧端子（接地端子）の間に設けられる。第3スイッチ $S_{1 a}$ は、標本化状態0においてオンし、補間増幅状態1においてオフする。

【0089】

第3キャパシタ列 $C_{a a 1} \sim C_{a a L}$ 、第4キャパシタ列 $C_{a b 1} \sim C_{a b L}$ それぞれ的一端（第1端子）は、第3増幅器24aの反転入力端子と共通に接続される。キャパシタ $C_{a a 1} \sim C_{a a L}$ 、 $C_{a b 1} \sim C_{a b L}$ の容量値は、等しく C_0 であるものとする。

【0090】

第3スイッチ回路22_{aa} および第4スイッチ回路22_{ab} には、第1サブA/Dコンバータ10による標本化の結果、すなわち値 j を示す変換データ D 、もしくはそれに応じた制御信号が与えられる。第3スイッチ回路22_{aa}、第4スイッチ回路22_{ab} は、その内部に複数のスイッチを含むスイッチマトリクスである。

【0091】

標本化状態0において、第3スイッチ回路22_{aa} は、第3キャパシタ列 $C_{a a 1} \sim C_{a a L}$ それぞれの他端（第2端子）を第1入力端子 P_{i_a} と接続し、第4スイッチ回路22_{ab} は、第4キャパシタ列 $C_{a b 1} \sim C_{a b M}$ それぞれの他端（第2端子）を第2入力端子 P_{i_b} と接続する。その結果、第3キャパシタ列 $C_{a a}$ が第1入力電圧 V_{i_a} で充電され、第4キャパシタ列 $C_{a b}$ が第2入力電圧 V_{i_b} で充電される。

【0092】

第3スイッチ回路22_{aa} は、補間増幅状態1において、 L 個の第3キャパシタ列 $C_{a a 1} \sim C_{a a L}$ のうち $(L - j_a)$ 個の第2端子を固定電圧端子（接地端子）に接続し、残りの j_a 個のキャパシタを開放、もしくは短絡する。

第4スイッチ回路22_{ab} は、補間増幅状態1において、 L 個の第4キャパシタ列 $C_{a b 1} \sim C_{a b L}$ のうち j_a 個の第2端子を固定電圧端子（接地端子 P_{GND} ）に接続し、残りの $(L - j_a)$ 個のキャパシタを開放、もしくは短絡する。このとき第3増幅器24aの反転入力端子の電荷 Q は、

10

20

30

40

50

$$Q = -C_0 \cdot V_{i_a} \cdot (L - j_a) - C_0 \cdot V_{i_b} \cdot j_a \quad \dots (24a)$$

となる。このときの容量 C_{tot} は、

$$C_{tot} = L \cdot C_0 \quad \dots (25)$$

であるから、第3増幅器24aの反転入力端子の電位 V_{m_a} は、

$$V_{m_a} = Q / C_{tot} = \{ (L - j_a) \cdot V_{i_a} + j_a \cdot V_{i_b} \} / L \quad \dots (26a)$$

となり、式(19a)と一致することが分かる。

【0093】

第3増幅器24aは、反転入力端子の電位 V_{m_a} を利得(-H)で反転増幅し、第1出力端子 P_{o_a} から第1出力電圧 V_{o_a} を出力する。

$$V_{o_a} = (-H) \times V_{m_a} \quad \dots (27)$$

【0094】

第4増幅回路21bについて説明する。標本化状態0において、第5スイッチ回路22_{ba}は、第5キャパシタ列 $C_{b_{a1}} \sim C_{b_{aL}}$ それぞれの他端(第2端子)を第1入力端子 P_{i_a} と接続し、第6スイッチ回路22_{bb}は、第6キャパシタ列 $C_{b_{b1}} \sim C_{b_{bL}}$ それぞれの他端(第2端子)を第2入力端子 P_{i_b} と接続する。その結果、第5キャパシタ列 C_{b_a} が第1入力電圧 V_{i_a} で充電され、第6キャパシタ列 C_{b_b} が第2入力電圧 V_{i_b} で充電される。

【0095】

第5スイッチ回路22_{ba}は、補間増幅状態1において、L個の第5キャパシタ列 $C_{b_{a1}} \sim C_{b_{aL}}$ のうち $(L - j_b)$ 個の第2端子を固定電圧端子(接地端子 P_{GND}) に接続し、残りの j_b 個のキャパシタを開放、もしくは短絡する。

第6スイッチ回路22_{bb}は、補間増幅状態1において、L個の第6キャパシタ列 $C_{b_{b1}} \sim C_{b_{bL}}$ のうち j_b 個の第2端子を固定電圧端子(接地端子 P_{GND}) に接続し、残りの $(L - j_b)$ 個のキャパシタを開放、もしくは短絡する。このとき第4増幅器24bの反転入力端子の電荷Qは、

$$Q = -C_0 \cdot V_{i_a} \cdot (L - j_b) - C_0 \cdot V_{i_b} \cdot j_b \quad \dots (24b)$$

となる。第3増幅器24aの反転入力端子の電位 V_{m_b} は、

$$V_{m_b} = Q / C_{tot} = \{ (L - j_b) \cdot V_{i_a} + j_b \cdot V_{i_b} \} / L \quad \dots (26b)$$

となり、式(19b)と一致することが分かる。以上がB型変換回路UCBの構成である。

【0096】

実施の形態に係るA/Dコンバータ100によれば、A型変換回路UCAおよびB型変換回路UCBの増幅器の利得G、Hは、2倍~8倍程度あれば十分であり、また従来ほど厳密な利得精度が要求されない。したがって負帰還を用いないオープンループ型の広帯域増幅器を用いることができる。負帰還系を用いる場合には、回路の安定性(発振)に十分配慮する必要があるため設計の難易度が高くなり、またセトリング時間が長くなると行った問題が生ずるが、実施の形態に係るA/Dコンバータ100は、オープンループ型で構成することができるため、このような問題を解決することができ、微細なCMOS技術を用いても、容易に高速・高精度なA/Dコンバータを実現することができる。

【0097】

なお、負帰還型回路にともなう問題が解決できる場合には、実施の形態に係るA/Dコンバータ100において、負帰還型の増幅器を用いても構わないことはいうまでもない。

【0098】

以下、A/Dコンバータ100の変形例を説明する。

【0099】

(第1の変形例)

図9は、変形例に係るB型変換回路の構成を示す回路図である。上述のように、実施の形態に係るA/Dコンバータ100では、従来に比べて増幅器に要求される利得の精度は低くてよいが、同じ変換回路に属する第3増幅器24a、第4増幅器24bの利得Hの相対的な精度は、ある程度要求される。通常、このような相対的な精度は、集積回路技術(

10

20

30

40

50

たとえば対応する素子同士のペアリングなど)を用いることで達成できることはよく知られている。さらに高い相対精度が要求される場合には、図9の回路が有効である。

【0100】

図9のB型変換回路UCBは、図8のB型変換回路UCBに加えて、利得調整回路26をさらに備える。第3増幅器24a、第4増幅器24bは、可変利得増幅器であり、利得調整回路26は、第3増幅器24a、第4増幅器24bそれぞれの利得Hをデジタル的に調節し、直線性誤差を低減する。

【0101】

また、利得調整回路26による調整に加えて、あるいはそれと代えて、第3増幅器24aと第4増幅器24bをスワップしながら、差分増幅処理を行う手法も有効である。入力スイッチ28a、28bは、入力電圧 V_{i_a} 、 V_{i_b} を、B型変換回路UCBの2つの入力端子 P_{i_a} 、 P_{i_b} に切りかえて出力する。同様に、出力スイッチ29a、29bは、B型変換回路UCBの2つの出力端子 P_{o_a} 、 P_{o_b} からの電圧を、2つの出力端子 $P_{o_a'}$ 、 $P_{o_b'}$ との間で切りかえて出力する。

10

【0102】

第3増幅器24a、第4増幅器24bの増幅率が同一であれば、入出力端子をスワップしても変換特性は一致する。増幅率にミスマッチが生ずる場合には、利得調整回路26と組み合わせることにより、変換特性を一致させることができる。

【0103】

(第2の変形例)

ところで、これまでの説明においては増幅器のオフセット電圧はゼロであることを仮定していたが、実際の増幅器には一定量をオフセット電圧があり、精度を劣化させるので、対策が必要である。そこで、第2の変形例では、増幅器のスイッチ動作を工夫することでオフセット電圧の問題を解決する。

20

【0104】

図10は、第2の変形例に係るB型変換回路の構成を示す回路図である。図8のスイッチ回路22_{aa}、22_{ab}、22_{ba}、22_{bb}では、接地電圧GNDをキャパシタ列 C_{aa} 、 C_{ab} 、 C_{ba} 、 C_{bb} に印加する構成であった。これに対して図10のスイッチ回路22_{aa}、22_{ab}、22_{ba}、22_{bb}は、前段からの入力電圧 V_{i_a} 、 V_{i_b} をキャパシタ列 C_{aa} 、 C_{ab} 、 C_{ba} 、 C_{bb} に印加する。

30

【0105】

図11(a)、(b)は、図10のB型変換回路の動作を示す図である。図11(a)は標本化状態0を、図11(b)は補間増幅状態1を示す。

【0106】

図11(a)を参照する。注目するB型変換回路UCB_iが標本化状態0にあるとき、前段は補間増幅状態1であり、前段のスイッチ S_{1a} 、 S_{1b} はオフである。前段の増幅器第3増幅器24a(14a)、第4増幅器24b(14b)にオフセット電圧 V_{off_a} 、 V_{off_b} が存在するとき、前段からの電圧 V_{i_a} 、 V_{i_b} には、信号成分 V_{sig_a} 、 V_{sig_b} にオフセット電圧 V_{off_a} 、 V_{off_b} が重畳されている。B型変換回路UCB_iにおいて、キャパシタ列は、 $(V_{sig_a} + V_{off_a})$ 、 $(V_{sig_b} + V_{off_b})$ で充電される。ノードxに蓄積される電荷は、

40

$$Q_x = - (V_{sig_a} + V_{off_a}) \cdot C_0 \cdot (L - j) - (V_{sig_b} + V_{off_b}) \cdot C_0 \cdot j \quad \dots (27)$$

【0107】

続いて、注目するB型変換回路UCB_iが補間増幅状態1に遷移する。このとき前段の変換回路は標本化状態となり、スイッチ S_{1a} 、 S_{1b} がオンとなる。このときのB型変換回路UCB_iの入力電圧 V_{i_a} 、 V_{i_b} はそれぞれ、オフセット電圧 V_{off_a} 、 V_{off_b} となる。図11(b)に示す補間増幅状態1においては、以下の関係式(28)が成り立つ。 V_x はノードxの電圧を示す。

$$(V_x - V_{off_a}) \cdot C_0 \cdot (L - j) + (V_x + V_{off_b}) \cdot C_0 \cdot j = Q \quad 50$$

$$x = - (V_{s i g _ a} + V_{o f f _ a}) \cdot C_0 \cdot (L - j) - (V_{s i g _ b} + V_{o f f _ b}) \cdot C_0 \cdot j \quad \dots (28)$$

【0108】

したがって、

$$(-V_{o f f _ a}) \cdot C_0 \cdot (L - j) + (V_x - V_{o f f _ b}) \cdot C_0 \cdot j = Q_x$$

$$V_x = - \{ V_{s i g _ a} \cdot (L - j) + V_{s i g _ b} \cdot j \} / L \quad \dots (29)$$

となり、オフセット電圧 $V_{o f f _ a}$ 、 $V_{o f f _ b}$ の影響を除去し、高精度な A / D 変換が実現できる。

【0109】

(第3の変形例)

これまでは、シングルエンド形式の増幅器を用いる実施例を説明したが、当業者であれば、差動形式の増幅器を利用可能であることが理解される。

図12(a)、(b)は、差動形式の増幅器を用いた場合の、A型変換回路およびB型変換回路の入出力特性を示す図である。

【0110】

差動回路を用いると、コモン電圧 V_c を中心とした反転信号が得られるため、実施の形態で説明した内分法(内挿補間)に加えて、外分法(外挿補間)を用いることが可能となる。図13は、第3の変形例に係るB型変換回路の構成の一部を示す回路図である。図13では、増幅器a側に関する第3増幅回路21aのみを示している。図14は、図13のB型変換回路の入出力特性を示す図である。

【0111】

図8の構成では、内分法(内挿)によって、太線で示す直線 $V_{a p}$ 、 $V_{b p}$ の内側の直線 $V_{i n _ p}$ のみを生成できる。これに対して、図13の構成では、直線 $V_{a p}$ 、 $V_{b p}$ の外側の直線 $V_{e x _ p}$ を生成することができる。

【0112】

図13のB型変換回路UCBは、差動形式の第1入力電圧 $V_{i a p}$ 、 $V_{i a n}$ 、第2入力電圧 $V_{i b p}$ 、 $V_{i b n}$ を受ける。B型変換回路UCBの第3増幅回路21aは、第2サブA/Dコンバータ20、第3スイッチ回路22ap、22an、第3増幅器24a、キャパシタ列 $C_{a p}$ 、 $C_{a n}$ 、スイッチ $S_{1 a}$ を備える。

【0113】

スイッチ $S_{1 a}$ は、第3増幅器24aの入力端子の間に設けられる。

キャパシタ列 $C_{a p}$ は、第3キャパシタ列 $C_{a a 1} \sim C_{a a L}$ 、第4キャパシタ列 $C_{a b 1} \sim C_{a b L}$ を含む。キャパシタ列 $C_{a n}$ も同様である。

【0114】

第3スイッチ回路22ap、22anはマトリクススイッチであり、第2サブA/Dコンバータ20からの制御信号に応じて、キャパシタ列 $C_{a p}$ 、 $C_{a n}$ を充電する。

【0115】

内分法によって電圧を生成する場合、標本化状態 0において第3スイッチ回路22apは、キャパシタ列 $C_{a a}$ に対して正転の入力電圧 $V_{a p}$ を、キャパシタ列 $C_{a b}$ に対して正転の入力電圧 $V_{b p}$ を印加すればよい。第3スイッチ回路22anは、キャパシタ列 $C_{b a}$ に対して反転の入力電圧 $V_{a n}$ を、キャパシタ列 $C_{b b}$ に対して反転の入力電圧 $V_{b n}$ を印加すればよい。これは図8と同様である。内分法によって、 $V_{i n _ p}$ 、 $V_{i n _ n}$ を生成できる。

$$V_{i n _ p} = \{ (L - j) V_{a p} + j \cdot V_{b p} \} / L \quad \dots (30p)$$

$$V_{i n _ n} = \{ (L - j) V_{a n} + j \cdot V_{b n} \} / L \quad \dots (30n)$$

【0116】

外分法によって電圧を生成する場合、標本化状態 0において第3スイッチ回路22apは、キャパシタ列 $C_{a a}$ に対して正転の入力電圧 $V_{a p}$ を、キャパシタ列 $C_{a b}$ に対して反転の入力電圧 $V_{b n}$ を印加すればよい。

10

20

30

40

50

補間増幅状態 1において、第3キャパシタ列 $C_{a a}$ の $(L + j)$ 個のキャパシタを接地し、第4キャパシタ列 $C_{a b}$ の j 個のキャパシタを接地すると、第3増幅器24aの入力端子には、

$$V_{e x _ p} = \{ (L + j) \cdot V_{a p} + j \cdot V_{b n} \} / L \quad \dots (31p)$$

を得る。ここで $V_{b n} = -V_{b p}$ であるから、式(31p)は、

$$V_{e x _ p} = \{ (L + j) \cdot V_{a p} - j \cdot V_{b p} \} / L \quad \dots (31p)$$

と書き直される。これは、2つの電圧 $V_{a p}$ と $V_{b p}$ を、 $j : (L + j)$ に外分する電圧に他ならない。

【0117】

第3スイッチ回路22 $_{a n}$ は、キャパシタ列 $C_{b a}$ に対して反転の入力電圧 $V_{a n}$ を、キャパシタ列 $C_{b b}$ に対して正転の入力電圧 $V_{b n}$ を印加すればよい。その結果、式(31n)で表される電圧 $V_{e x _ n}$ を得る。

$$V_{e x _ n} = \{ (L + j) \cdot V_{a n} - j \cdot V_{b n} \} / L \quad \dots (31n)$$

これは、2つの反転電圧 $V_{a n}$ 、 $V_{b n}$ を $j : (L + j)$ に外分する電圧に他ならない。

。

【0118】

すなわち図13のB型変換回路UCBでは、キャパシタ列に印加する電圧を、反転側(n)に拡張し、キャパシタの数を必要なだけ増加すればよい。外挿法を用いた場合、第3増幅器24a、第4増幅器24bの利得Hをさらに低下させることができる。

【0119】

実施の形態では、コモン電圧 V_c が接地電圧GNDである場合について説明したが、本発明はそれに限定されない。回路を正電圧の範囲で動作させたい場合、コモン電圧 V_c は、電源電圧 $V_{d d}$ の中点電圧 $V_{d d} / 2$ としてもよい。あるいは、基準電圧 $V_{r e f}$ が与えられる場合には、 $V_{r e f} / 2$ としてもよい。

【0120】

上述したように、同じ変換回路に属する第1増幅器14aおよび第2増幅器14bの利得(-G)には、相対的な精度は要求されるが、絶対的な精度は必要とされない。また、それぞれの利得は数倍、高くても数十倍程度で足りるという性質を有する。第3増幅器24a、第4増幅器24bについても同様である。そこでこのような特性を有するダイナミック型差動増幅器の好ましい構成を説明する。

【0121】

図15は、ダイナミック型差動増幅器30の構成を示す回路図である。ダイナミック型差動増幅器30は、第1入力端子 $P_{i 1}$ 、第2入力端子 $P_{i 2}$ に入力された信号 $V_{i 1}$ 、 $V_{i 2}$ を増幅し、増幅された信号 $V_{o 1}$ 、 $V_{o 2}$ を第1出力端子 $P_{o 1}$ 、第2出力端子 $P_{o 2}$ から出力する。

【0122】

ダイナミック型差動増幅器30は、第1負荷キャパシタ $C_{L 1}$ 、第2負荷キャパシタ $C_{L 2}$ 、入力差動対32、初期化回路34、制御回路36、テイル電流源M0を備える。

【0123】

第1負荷キャパシタ $C_{L 1}$ は、第1出力端子 $P_{o 1}$ と固定電圧端子(接地端子)の間に設けられる。第2負荷キャパシタ $C_{L 2}$ は、第2出力端子 $P_{o 2}$ と接地端子の間に設けられる。

【0124】

初期化回路34は、第1負荷キャパシタ $C_{L 1}$ 、第2負荷キャパシタ $C_{L 2}$ の電荷を初期化する。初期化回路34は、たとえば初期化トランジスタM3、M4を含む。初期化トランジスタM3は、第1負荷キャパシタ $C_{L 1}$ と第2の固定電圧端子(電源端子)の間に設けられる。同様に初期化トランジスタM4は、第2負荷キャパシタ $C_{L 2}$ と電源端子の間に設けられる。初期化トランジスタM3、M4は、所定の周期でローレベルに遷移する制御クロック $V_{C L K}$ と同期してオン、オフが制御される。初期化トランジスタM3、M4がオンすると、第1負荷キャパシタ $C_{L 1}$ 、第2負荷キャパシタ $C_{L 2}$ が電源電圧 V_D

10

20

30

40

50

D によって充電され、それぞれの電荷が初期化される。

【0125】

入力差動対32は、入力トランジスタM1、入力トランジスタM2を含む。入力トランジスタM1は、第1負荷キャパシタ C_{L1} を負荷とするとともに、その制御端子(ゲート)には第1入力信号 V_{i1} が入力される。同様に入力トランジスタM2は、第2負荷キャパシタ C_{L2} を負荷とするとともに、そのゲートには第2入力信号 V_{i2} が入力される。テイル電流源M0は、入力差動対32に動作電流(テイル電流) $I_0 = I_{D1} + I_{D2}$ を供給する。

【0126】

制御回路36は、第1出力端子 P_{o1} と第2出力端子 P_{o2} それぞれの電位 V_{o1} 、 V_{o2} の midpoint 電圧($V_{o1} + V_{o2}$)/2が、所定のしきい値電圧 V_{th} に達すると、第1負荷キャパシタ C_{L1} および第2負荷キャパシタ C_{L2} の充放電経路を遮断する。

【0127】

第1負荷キャパシタ C_{L1} と第2負荷キャパシタ C_{L2} の充放電経路を遮断するために、第1スイッチSW1および第2スイッチSW2が設けられる。第1スイッチSW1は、第1負荷キャパシタ C_{L1} と入力トランジスタM1の間に設けられる。第2スイッチSW2は、第2負荷キャパシタ C_{L2} と入力トランジスタM2の間に設けられる。

【0128】

制御回路36は、第1スイッチSW1、第2スイッチSW2のオン、オフ状態を切りかえることにより、第1負荷キャパシタ C_{L1} および第2負荷キャパシタ C_{L2} の充放電経路の導通、遮断を切りかえる。

【0129】

以上がダイナミック型差動増幅器30の基本的な構成である。続いてその動作を説明する。図16は、図15のダイナミック型差動増幅器30の動作を示す波形図である。横軸は時間、縦軸は出力電圧 V_{o1} 、 V_{o2} を示す。

【0130】

1. 初期化状態

増幅に先立ち、ダイナミック型差動増幅器30は初期化状態にセットされる($t < t_0$)。初期化状態において、制御クロック V_{CLK} がローレベルとなり初期化トランジスタM3、M4がオンする。また制御回路36は、第1スイッチSW1、第2スイッチSW2をオンする。その結果、第1負荷キャパシタ C_{L1} 、第2負荷キャパシタ C_{L2} に電源電圧 V_{DD} が印加され、出力電圧 V_{o1} 、 V_{o2} が電源電圧 V_{DD} に初期化される。

【0131】

2. 増幅状態

制御クロック V_{CLK} がハイレベルとなると、初期化トランジスタM3、M4がオフし、増幅状態となる($t_0 < t < t_1$)。増幅状態では、入力トランジスタM1、入力トランジスタM2それぞれに、入力電圧 V_{i1} 、 V_{i2} に応じた電流 I_{D1} 、 I_{D2} が流れる。電流 I_{D1} 、 I_{D2} は、入力トランジスタM1、入力トランジスタM2の相互コンダクタンスを g_m 、テイル電流を I_0 として、式(32a)、(32b)で与えられる。

$$I_{D1} = I_0 / 2 + g_m \times (V_{i1} - V_{i2}) / 2 \quad \dots (32a)$$

$$I_{D2} = I_0 / 2 - g_m \times (V_{i1} - V_{i2}) / 2 \quad \dots (32b)$$

なお、 $I_0 = I_{D1} + I_{D2}$ が成り立つ。

【0132】

増幅開始からの経過時間を t とすると、出力電圧 V_{o1} 、 V_{o2} はそれぞれ、式(33a)、(33b)で与えられる。

$$V_{o1} = V_{DD} - I_{D1} / C_{L1} \cdot t \quad \dots (33a)$$

$$V_{o2} = V_{DD} - I_{D2} / C_{L2} \cdot t \quad \dots (33b)$$

【0133】

制御回路36は、出力電圧 V_{o1} 、 V_{o2} の midpoint 電圧 $V_x = (V_{o1} + V_{o2}) / 2$ を監視し、所定のしきい値電圧 V_{th} に達すると、その時刻 t_1 に第1スイッチSW1、第

10

20

30

40

50

2 スイッチ SW_2 をオフする。第 1 負荷キャパシタ C_{L1} 、第 2 負荷キャパシタ C_{L2} の容量値を等しく C_L と書くとき、中点電圧 V_x は、式 (34) で与えられる。

$$V_x = V_{DD} - I_0 \times t / (2 \times C_L) \quad \dots (34)$$

【0134】

しきい値電圧 V_{th} が、電源電圧の中点電圧 $V_{DD} / 2$ であるとき、増幅状態の期間 T は、式 (35) で与えられる。

$$T = C_L \times V_{DD} / I_0 \quad \dots (35)$$

このときの出力電圧 V_{o1} 、 V_{o2} は、式 (36a)、(36b) となる。

$$V_{o1} = V_{DD} / 2 - g_{m1} / 2 \times (V_{i1} - V_{i2}) / I_0 \times V_{DD} \quad \dots (36a)$$

)

$$V_{o2} = V_{DD} / 2 + g_{m2} / 2 \times (V_{i1} - V_{i2}) / I_0 \times V_{DD} \quad \dots (36b)$$

)

【0135】

したがって、ダイナミック型差動増幅器 30 の差動利得 G は、式 (37) で与えられる。

。

$$\begin{aligned} G &= (V_{o1} - V_{o2}) / (V_{i1} - V_{i2}) \\ &= - (g_{m1} + g_{m2}) / 2 \times V_{DD} / (I_{D1} + I_{D2}) \quad \dots (37) \end{aligned}$$

【0136】

入力トランジスタ M_1 、入力トランジスタ M_2 のコンダクタンスは、

$$g_{m1} = 2 \times I_{D1} / V_{eff} \quad \dots (38a)$$

$$g_{m2} = 2 \times I_{D2} / V_{eff} \quad \dots (38b)$$

であるから、この関係を式 (37) に代入して、式 (39) を得る。

$$G = - V_{DD} / V_{eff} \quad \dots (39)$$

なお、 $V_{eff} = V_{GS} - V_t$ である。 V_{GS} はゲートソース間電圧、 V_t は MOSFET のゲートソース間しきい値電圧である。

【0137】

図 15 のダイナミック型差動増幅器 30 の 1 回の増幅当たりの消費エネルギー E_c は、

$$E_c = Q \cdot V_{DD} = 2 \cdot I_D \cdot T \cdot V_{DD} = C_L \cdot V_{DD}^2 \quad \dots (40)$$

となる。したがって消費電力 P_d は、繰り返し周波数を f_c として、

$$P_d = f_c \cdot E_c = f_c \cdot C_L \cdot V_{DD}^2 \quad \dots (41)$$

となる。

【0138】

図 15 のダイナミック型差動増幅器 30 の利点は、図 17 の増幅器との対比によって明確となる。図 17 は、比較技術に係る増幅器 1030 の構成を示す回路図である。増幅器 1030 は、初期化回路に代えて、負荷抵抗 R_{L1} 、 R_{L2} を備える。キャパシタ C_{L1} 、 C_{L2} およびスイッチ SW_1 、 SW_2 は、トランジスタ M_1 、 M_2 のドレイン電圧をサンプリングするために設けられ、図 15 のダイナミック型差動増幅器 30 とは機能が異なっていることに留意すべきである。

【0139】

増幅器 1030 は、入力トランジスタ M_1 、入力トランジスタ M_2 のドレイン電流が、負荷抵抗 R_{L1} 、 R_{L2} に定常的に流れる。バイアス状態での出力電圧 V_{o1} 、 V_{o2} は、電源電圧 V_{DD} の $1/2$ 程度に設定されるため、抵抗 R_{L1} 、 R_{L2} は、

$$R_L = V_{DD} / 2 I_D \quad \dots (42)$$

が成り立つ。ここで $R_L = R_{L1} = R_{L2}$ 、 $I_D = (I_{D1} + I_{D2}) / 2$ である。トランジスタ M_1 、 M_2 の相互コンダクタンス g_m は、MOS トランジスタの飽和領域での電圧電流の関係式から、

$$g_m = 2 \cdot I_D / V_{eff} \quad \dots (43)$$

で与えられる。したがってこの回路の差動利得 G は、

$$G = - g_m \cdot R_L = - V_{DD} / V_{eff} \quad \dots (44)$$

となる。つまり、図 15 のダイナミック型差動増幅器 30 の利得は、図 17 の増幅器 10

10

20

30

40

50

30と同じ利得を有することがわかる。

【0140】

図17の増幅器の消費電力について検討する。電圧 V_{eff} は通常0.2V程度であるため、 $V_{DD} = 1V$ とすると、約5倍となる。増幅器1030の時間応答は、

$$\begin{aligned} V_{o1} - V_{o2} &= G \cdot (V_{i1} - V_{i2}) \cdot (1 - e^{-t/\tau}) \quad \dots (45) \\ &= R_L \cdot C_L \end{aligned}$$

である。この回路には定常電流 $2 \cdot I_D$ が流れることを考慮すると、その消費電力 P_D は、

$$P_D = 2 \cdot I_D \cdot V_{DD} = V_{DD}^2 / R_L = C_L \cdot V_{DD}^2 / \tau \quad \dots (46)$$

【0141】

式(45)から明らかなように、増幅器1030の応答時定数は、抵抗と容量の積で定まるところ、応答速度を速く、つまり時定数を短くするためには、抵抗値を下げる必要がある。ところが抵抗値を下げると、式(46)で与えられる消費電力は、それと反比例して増加する。

【0142】

図17の増幅器において、1%のセtringを仮定すると、半周期で5%は必要であるため、その消費電力 P_D は、式(47)で与えられる。

$$P_D = C_L \cdot V_{DD}^2 / \tau = 10 \cdot f_c \cdot C_L \cdot V_{DD}^2 \quad \dots (47)$$

【0143】

図17の図15の増幅器を対比すると、図15のダイナミック型差動増幅器30の利点が以下のように明らかとなる。

まず、図15のダイナミック型差動増幅器30では、その消費電力 P_D は式(41)で与えられるため、式(47)で与えられる図17の増幅器1030の消費電力 P_D に比べて、約1/10程度まで低減できることがわかる。

【0144】

図17の回路でも、繰り返し周波数 f_c に反比例して負荷抵抗 R_L を設計すると、消費電力を下げるができるが、広帯域にわたり抵抗値を可変とすることは容易ではなく、非現実的である。つまり現実的には、想定される最高繰り返し周波数 f_{cmax} において十分な応答速度が得られるように抵抗 R_L を低く設定せざるを得ず、式(47)に示すように消費電力は大きくなる。この点、図15の構成によれば、式(41)に示すように、消費電力は動作電流とは無関係であるため、高速化を目的として動作電流を大きくしても消費電力は増大しないという利点がある。また周波数 f_c を下げた場合には、きわめて低消費電力で動作する増幅器を提供することができる。

【0145】

続いて、ダイナミック型差動増幅器30のより具体的な構成例を説明する。

図18(a)、(b)は、図15のダイナミック型差動増幅器30の具体例を示す回路図である。

【0146】

図18(a)のダイナミック型差動増幅器30aにおいて、制御回路36aは、第1分圧キャパシタ C_1 、第2分圧キャパシタ C_2 、比較器38を含む。第1分圧キャパシタ C_1 、第2分圧キャパシタ C_2 は、第1出力端子 P_{o1} と第2出力端子 P_{o2} の間に直列に設けられる。第1分圧キャパシタ C_1 と第2分圧キャパシタ C_2 の容量値は等しく C_0 である。比較器38は、第1分圧キャパシタ C_1 、第2分圧キャパシタ C_2 の接続点の電位 V_x を所定のしきい値電圧 V_{th} と比較し、比較結果に応じた信号によってスイッチ SW_1 、 SW_2 を制御する。

【0147】

図18(a)の下段に示すように、比較器38は、インバータ39を含んでもよい。インバータ39は、電源電圧 V_{DD} と接地電圧 GND を受けており、そのしきい値電圧 V_{th} は $V_{DD} / 2$ となる。インバータ39の段数は、スイッチ SW_1 、 SW_2 の制御論理に応じて設計すればよい。

10

20

30

40

50

【0148】

初期化回路34aは、第1分圧キャパシタ C_1 と第2分圧キャパシタ C_2 の接続点 N_x の電位 V_x を、第1出力端子 P_{o1} 、第2出力端子 P_{o2} と同じく、電源電圧 V_{DD} に初期化する。具体的には、ノード N_x と電源端子の間に、初期化トランジスタ M_5 が設けられており、これがオンすることにより、ノード N_x の電位が初期化される。

【0149】

初期化によってキャパシタ C_1 、 C_2 の電荷がゼロに初期化される。プリチャージが解除されて増幅が開始する。第1出力端子 P_{o1} 、第2出力端子 P_{o2} に出力電圧 V_1 、 V_2 が発生するとき、寄生容量を無視すると式(48)が成り立つ。

$$C_0(V_x - V_1) = C_0(V_x - V_2) \quad \dots (48)$$

式(48)を V_x について解くと、式(49)を得る。

$$V_x = (V_1 + V_2) / 2 \quad \dots (49)$$

つまり、接続点 N_x の電位 V_x は、2つの出力電圧 V_{o1} 、 V_{o2} の midpoint 電圧となり、図15の回路と同様に、midpoint 電圧 V をしきい値電圧と比較できる。

【0150】

またテイル電流源 M_0 のゲートには、制御クロック V_{CLK} が入力される。これによりテイル電流源 M_0 を初期化状態においてオフすることができるため、消費電力をさらに低減することができる。

【0151】

図18(b)のダイナミック型差動増幅器30bは、図18(a)のダイナミック型差動増幅器30aに加えて、論理ゲート40を備える。論理ゲート40は、制御回路36の出力信号 CNT と、制御クロック V_{CLK} の論理積を、テイル電流源 M_0 のゲートに供給する。この構成によれば、第1負荷キャパシタ C_{L1} 、第2負荷キャパシタ C_{L2} の充放電経路を、より確実に遮断することができる。また、テイル電流源 M_0 をオフすることにより、第1出力端子 P_{o1} 、第2出力端子 P_{o2} の電位が接地電位(0V)まで下がらない。したがって、図18(a)よりもさらに消費電力を低減できる。

【0152】

図19(a)、(b)は、ダイナミック型差動増幅器の別の具体例を示す回路図である。図19(a)のダイナミック型差動増幅器30cにおいて、制御回路36cは論理ゲートで構成される。具体的には、制御回路36cはANDゲートである。図19(b)は、制御回路36cの具体的な構成を示す回路図である。制御回路36cは、NANDゲート42と、その後段に設けられたインバータ(NOTゲート)44を含む。

【0153】

NANDゲート42は、Pチャンネルトランジスタ M_{P1} 、 M_{P2} 、Nチャンネルトランジスタ M_{N1} 、 M_{N2} 、 M_{N3} 、 M_{N4} を含む。第1Pチャンネルトランジスタ M_{P1} 、第1Nチャンネルトランジスタ M_{N1} 、第2Nチャンネルトランジスタ M_{N2} は、電源端子と接地端子の間に第1経路を形成するように順にスタックされる。第2Pチャンネルトランジスタ M_{P2} 、第3Nチャンネルトランジスタ M_{N3} 、第4Nチャンネルトランジスタ M_{N4} は、電源端子と接地端子の間に、第1経路と並列な第2経路を形成するように順にスタックされる。

【0154】

第1Pチャンネルトランジスタ M_{P1} 、第1Nチャンネルトランジスタ M_{N1} 、第4Nチャンネルトランジスタ M_{N4} のゲートには、第1入力信号 V_1 が印加される。第2Pチャンネルトランジスタ M_{P2} 、第2Nチャンネルトランジスタ M_{N2} 、第3Nチャンネルトランジスタ M_{N3} のゲートには、第2入力信号 V_2 が印加される。NANDゲート42の出力端子は、第1、第2Pチャンネルトランジスタ M_{P1} 、 M_{P2} のドレインと接続される。

【0155】

Nチャンネルトランジスタの平均ドレイン電流を I_{DN} 、Pチャンネルトランジスタの平均ドレイン電流を I_{DP} とすると、微細なトランジスタでは、電圧-電流特性は式(5

10

20

30

40

50

0 a)、(50 b)で近似できる。

$$I_{DN} = K_N (V_{GS} - V_{TN}) \quad \dots (50 a)$$

$$I_{DP} = -K_P (V_{GS} - V_{TP}) \quad \dots (50 b)$$

【0156】

のNANDゲート42の出力は、Pチャンネルトランジスタを流れる全電流と、Nチャンネルトランジスタに流れる全電流が等しいときに、論理状態が遷移する。したがって、

$$\begin{aligned} I_{DN} &= K_N (V_1 - V_{TN}) + K_N (V_2 - V_{TN}) \\ &= 2 \cdot K_N \{ (V_1 + V_2) / 2 - V_{TN} \} \quad \dots (51 a) \end{aligned}$$

$$\begin{aligned} I_{DP} &= K_P (V_{DD} - V_1 + V_{TP}) + K_P (V_{DD} - V_2 + V_{TP}) \\ &= 2 \cdot K_P \{ - (V_1 + V_2) / 2 + V_{DD} + V_{TP} \} \quad \dots (51 b) \end{aligned}$$

10

【0157】

これらより、 $I_{DN} = I_{DP}$ を与える入力電圧 V_1 、 V_2 は、

$$(V_1 + V_2) / 2 = (K_N \cdot V_{TN} + K_P \cdot V_{TP}) / (K_N + K_P) + K_P / (K_N + K_P) \cdot V_{DD} \quad \dots (52)$$

となり、 V_1 と V_2 の中間電圧で出力論理状態が切り替わることがわかる。このように、分圧キャパシタ C_1 、 C_2 に代えて、図19(b)に示すNANDゲート42を用いることによっても、中間電圧をしきい値電圧 V_{th} と比較することができる。

【0158】

なお、図15～図19では、入力差動対32がNチャンネルMOSFETで構成される場合を示したが、これと反対に、PチャンネルMOSFETを用いて構成してもよい。この場合、NチャンネルとPチャンネルを置換するとともに、電源電圧と接地電圧を天地反転し、さらに必要に応じて、各トランジスタのゲート信号を反転すればよい。

20

【0159】

実施の形態では、制御回路36が、出力電圧 V_{o1} と V_{o2} の中間電圧 V_x に応じて、負荷キャパシタ C_{L1} 、 C_{L2} の充放電経路を遮断する場合を説明したが、放電開始からの経過時間を測定するタイマー回路で構成されてもよい。

【0160】

図20は、図15のダイナミック型差動増幅器30の変形例を示す回路図である。図15のダイナミック型差動増幅器30では、入力トランジスタM1、M2の動作電流を設定するためにテイル電流源M0が設けられている。テイル電流源M0のドレインソース間電圧として0.2V以上必要であるため、電源電圧 V_{DD} が低い状況での利用が難しい。そこで、図20のダイナミック型差動増幅器30dは、図15のテイル電流源M0が省略された疑似差動回路で構成される。入力トランジスタM1、M2それぞれのドレイン側には、制御クロック V_{CLK} と同期してオン、オフが制御されるスイッチトランジスタM5、M6が設けられる。スイッチトランジスタM5、M6は、初期化状態においてオフ、増幅状態においてオンする。

30

【0161】

図20のダイナミック型差動増幅器30dにおいては、入力トランジスタM1と入力トランジスタM2のゲート電圧 V_{i1} 、 V_{i2} を制御することにより、入力トランジスタM1、入力トランジスタM2の動作電流が制御される。スイッチトランジスタM5、M6は、オン、オフの2状態で切り替わるスイッチとして機能するため、動作状態においてそれらのドレインソース間電圧 V_{ds} は実質的にゼロとなる。したがって、ダイナミック型差動増幅器30dは、図15に比べて、テイル電流源M0のドレインソース間電圧 V_{ds} (0.2V)低い電源電圧 V_{DD} でも動作可能となる。

40

【0162】

図20において、トランジスタM5、M6を省略し、それらがオフすべき期間に、入力トランジスタM1、M2がオフするようにゲート電圧 V_{i1} 、 V_{i2} を制御してもよい。

また図20と図18(b)を組み合わせてもよい。この場合、図20のトランジスタM5、M6のゲートに、図18(b)のゲート40の出力を入力すればよい。

【0163】

50

図 15 ~ 図 20 で説明したダイナミック型差動増幅器は、上述の A / D コンバータに好適に利用できるが、その用途は限定されない。ダイナミック型差動増幅器は、利得の絶対的な精度は要求されないが、相対的な精度が要求されるさまざまなアプリケーションに利用でき、消費電力を好適に低減することができる。

【 0 1 6 4 】

実施の形態にもとづき、特定の語句を用いて本発明を説明したが、実施の形態は、本発明の原理、応用を示しているにすぎず、実施の形態には、請求の範囲に規定された本発明の思想を逸脱しない範囲において、多くの変形例や配置の変更が可能である。

【 符号の説明 】

【 0 1 6 5 】

1 0 0 ... A / D コンバータ、 U C A ... A 型変換回路、 U C B ... B 型変換回路、 1 0 ... 第 1 サブ A / D コンバータ、 1 1 a ... 第 1 増幅回路、 1 1 b ... 第 2 増幅回路、 1 2 a ... 第 1 スイッチ回路、 1 2 b ... 第 2 スイッチ回路、 1 4 a ... 第 1 増幅器、 1 4 b ... 第 2 増幅器、 C a ... 第 1 キャパシタ列、 C b ... 第 2 キャパシタ列、 2 0 ... 第 2 サブ A / D コンバータ、 2 1 a ... 第 3 増幅回路、 2 1 b ... 第 4 増幅回路、 2 2 a a ... 第 3 スイッチ回路、 2 2 a b ... 第 4 スイッチ回路、 2 2 b a ... 第 5 スイッチ回路、 2 2 b b ... 第 6 スイッチ回路、 2 4 a ... 第 3 増幅器、 2 4 b ... 第 4 増幅器、 2 6 ... 利得調整回路。

【 産業上の利用可能性 】

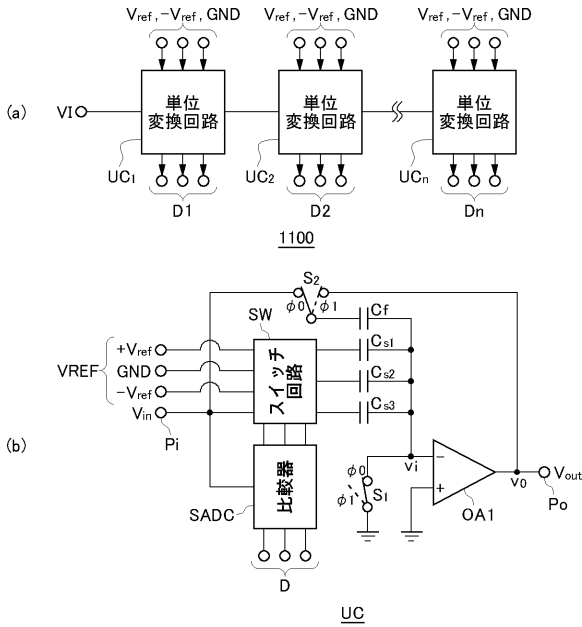
【 0 1 6 6 】

本発明は、パイプライン型 A / D コンバータに関する。

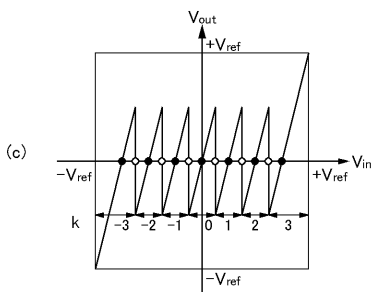
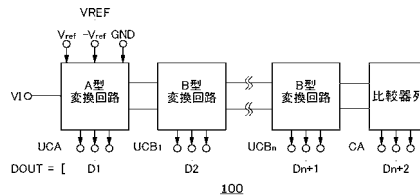
10

20

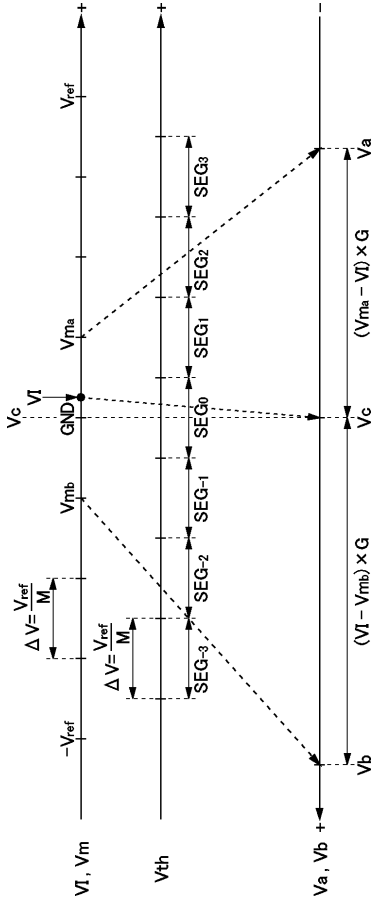
【 図 1 】



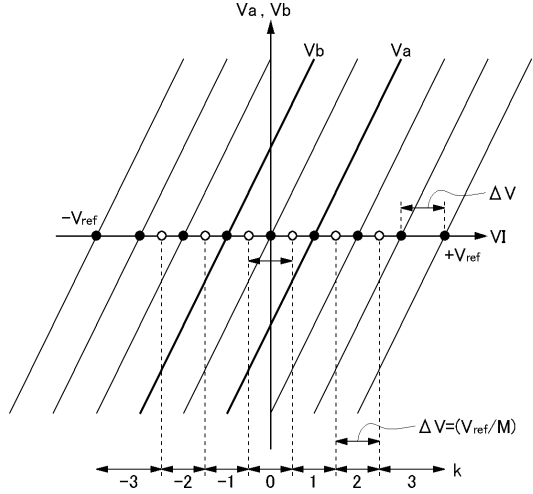
【 図 2 】



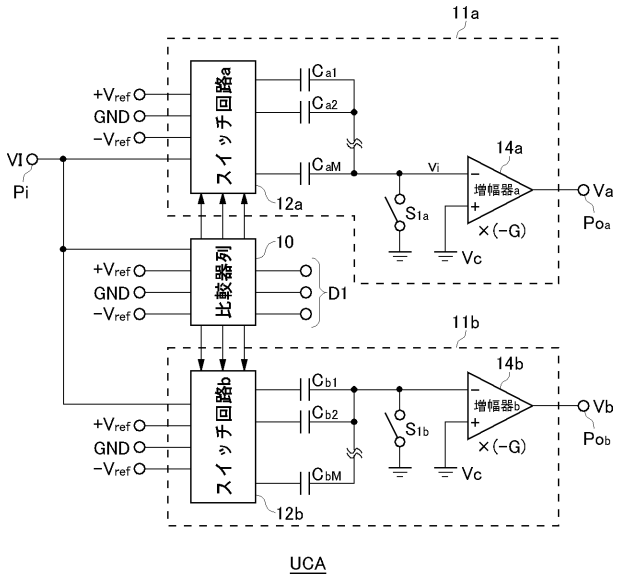
【 図 3 】



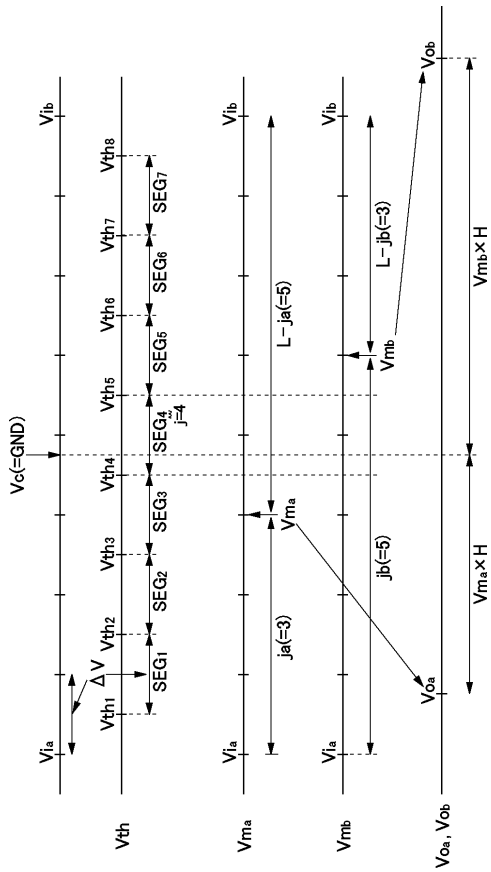
【 図 4 】



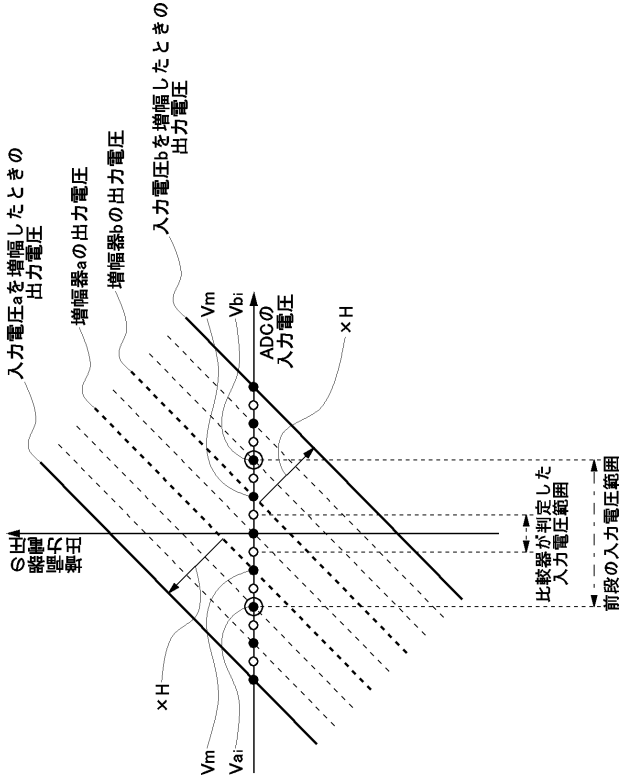
【 図 5 】



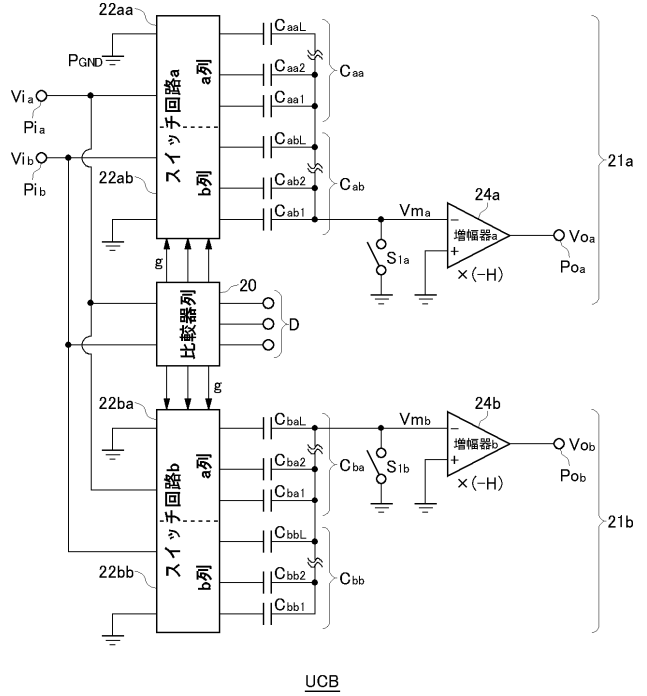
【 図 6 】



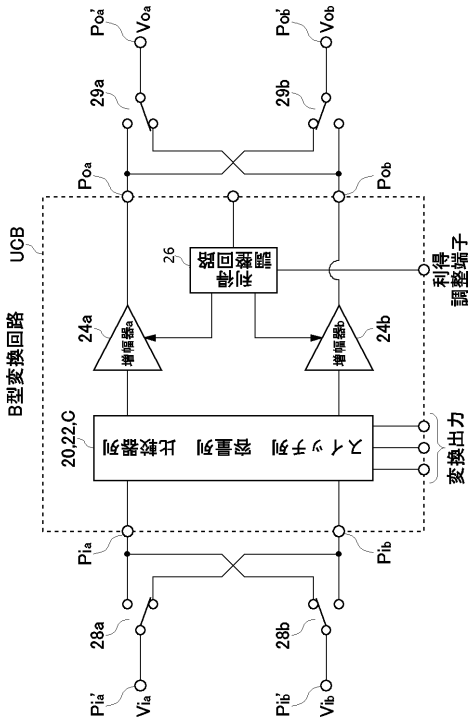
【図7】



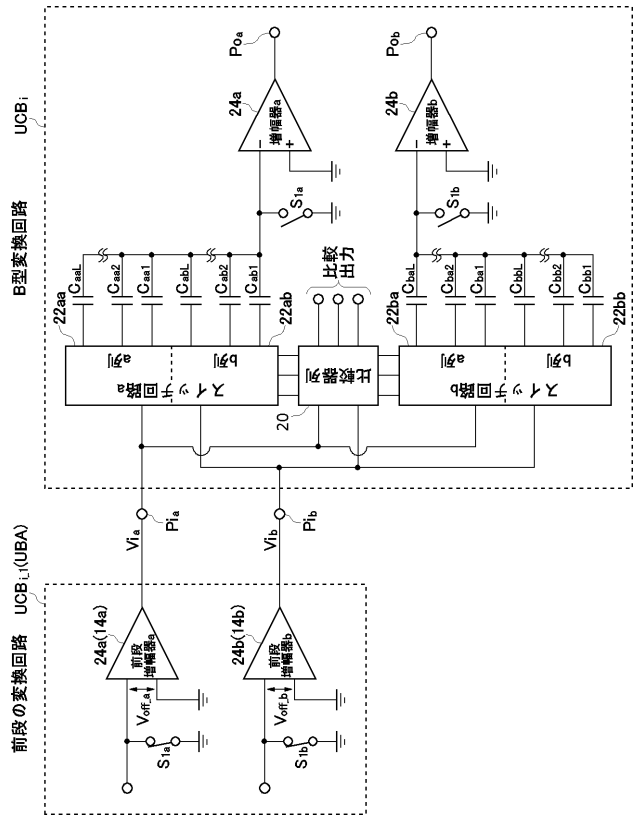
【図8】

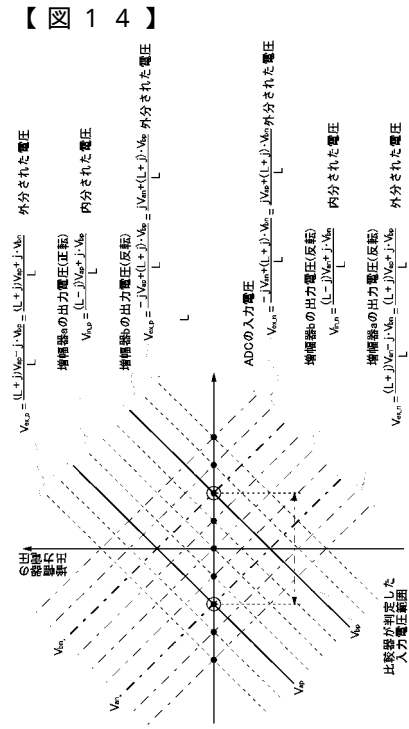
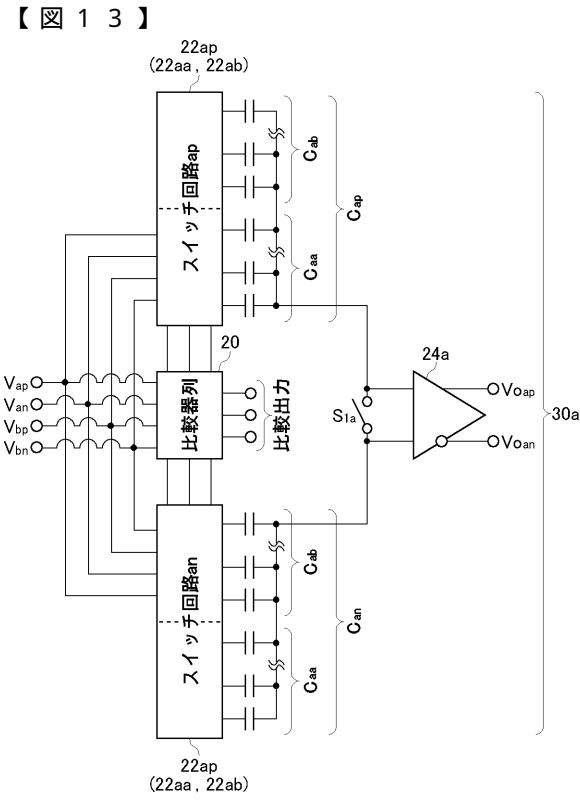
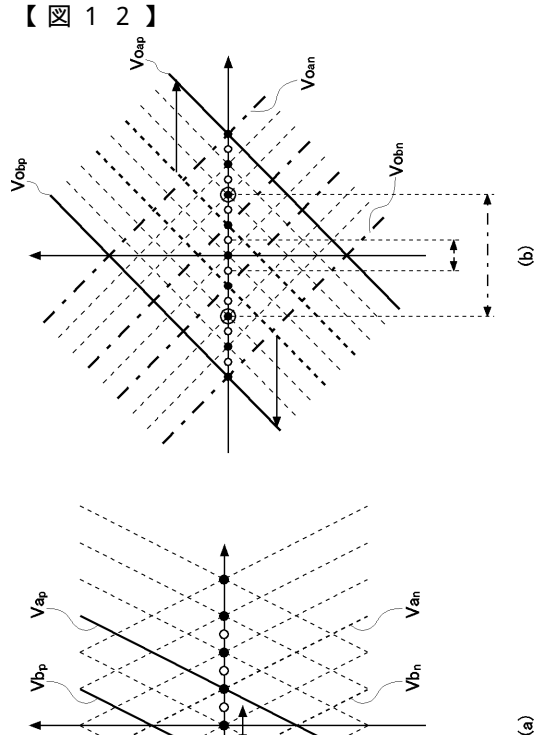
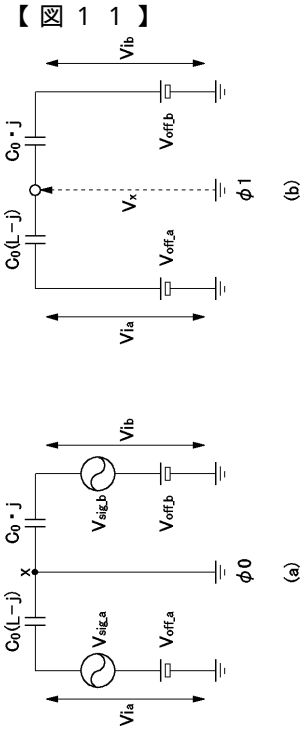


【図9】

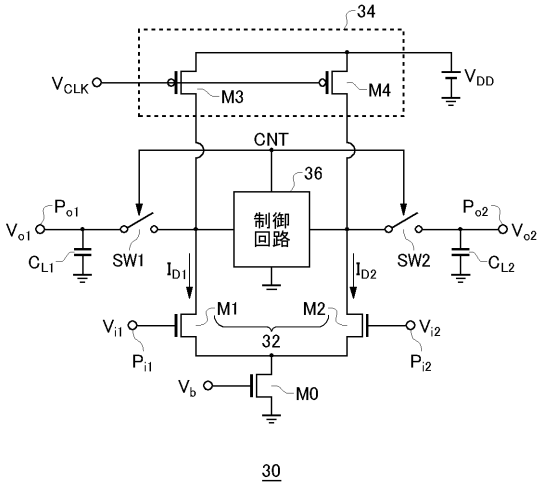


【図10】

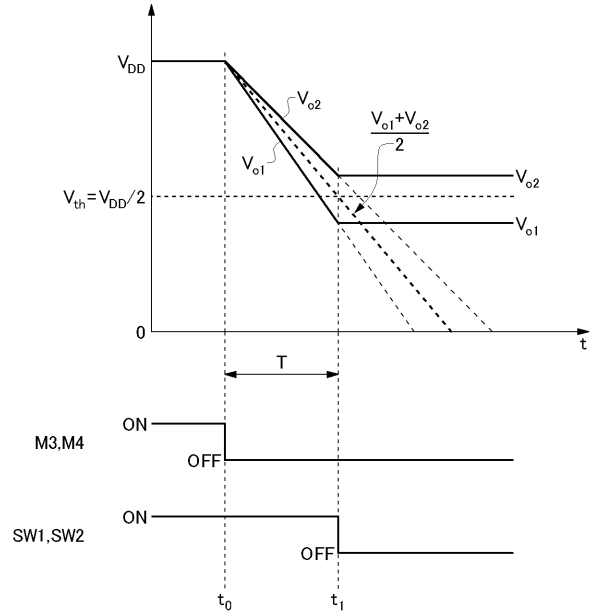




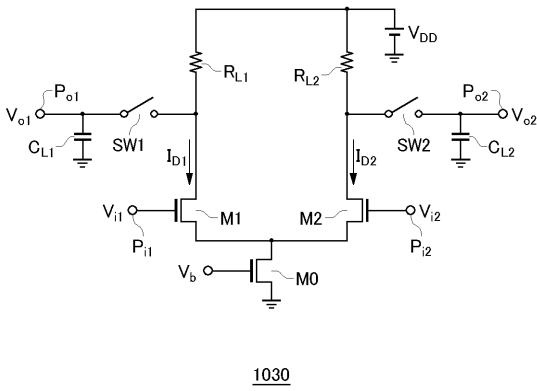
【図 15】



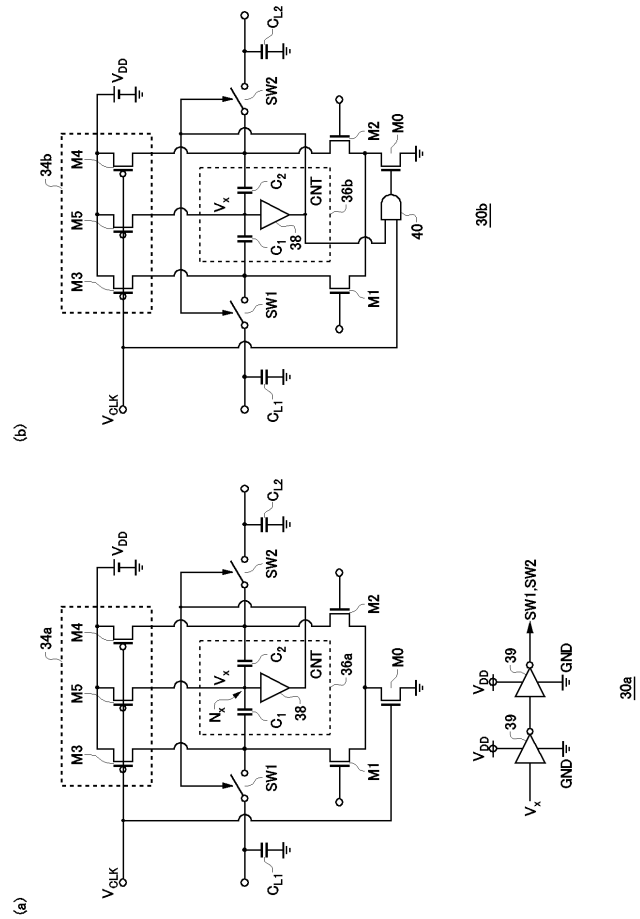
【図 16】



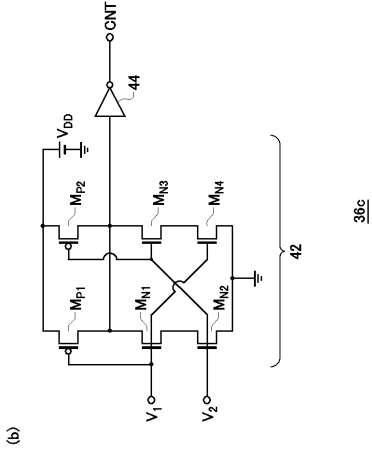
【図 17】



【図 18】

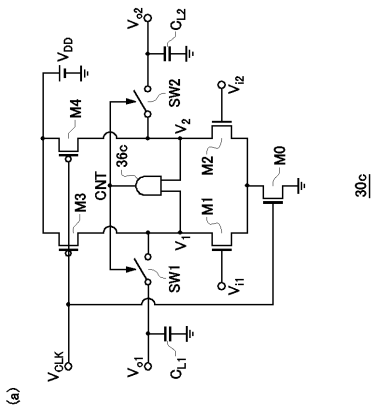
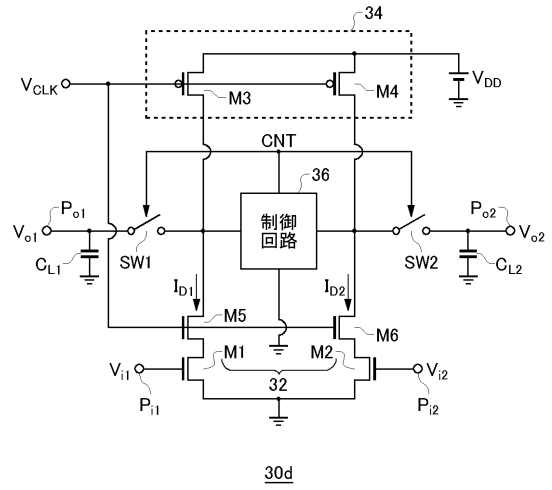


【 図 1 9 】



(b)

【 図 2 0 】



(a)

【 国際調査報告 】

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2010/005929

A. CLASSIFICATION OF SUBJECT MATTER H03M1/14(2006.01)i, H03F3/45(2006.01)i, H03M1/44(2006.01)i		
According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED		
Minimum documentation searched (classification system followed by classification symbols) H03M1/00-1/88, H03F3/45		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2010 Kokai Jitsuyo Shinan Koho 1971-2010 Toroku Jitsuyo Shinan Koho 1994-2010		
Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	WO 2009/122656 A1 (Panasonic Corp.), 08 October 2009 (08.10.2009), fig. 5 & JP 2009-246752 A	1-24
A	JP 2006-54608 A (Sony Corp.), 23 February 2006 (23.02.2006), fig. 1 (Family: none)	1-24
<input type="checkbox"/> Further documents are listed in the continuation of Box C. <input type="checkbox"/> See patent family annex.		
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family		
Date of the actual completion of the international search 14 October, 2010 (14.10.10)		Date of mailing of the international search report 26 October, 2010 (26.10.10)
Name and mailing address of the ISA/ Japanese Patent Office		Authorized officer
Facsimile No.		Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2010/005929

Box No. II Observations where certain claims were found unsearchable (Continuation of item 2 of first sheet)

This international search report has not been established in respect of certain claims under Article 17(2)(a) for the following reasons:

1. Claims Nos.:
because they relate to subject matter not required to be searched by this Authority, namely:

2. Claims Nos.:
because they relate to parts of the international application that do not comply with the prescribed requirements to such an extent that no meaningful international search can be carried out, specifically:

3. Claims Nos.:
because they are dependent claims and are not drafted in accordance with the second and third sentences of Rule 6.4(a).

Box No. III Observations where unity of invention is lacking (Continuation of item 3 of first sheet)

This International Searching Authority found multiple inventions in this international application, as follows:

As a result of comparing the inventions in claims 1 and 5 to the invention in claim 23, it is recognized that both the inventions do not have any same or corresponding special technical feature. Consequently, the inventions in claims 1 - 24 do not comply with the requirement of unity of invention. Meanwhile, the following two invention groups are involved in claims.

Invention group 1: claims 1 - 22
(the inventions relating to A/D conversion)

Invention group 2: claims 23, 24
(the inventions relating to dynamic type differential amplifier)

1. As all required additional search fees were timely paid by the applicant, this international search report covers all searchable claims.
2. As all searchable claims could be searched without effort justifying additional fees, this Authority did not invite payment of additional fees.
3. As only some of the required additional search fees were timely paid by the applicant, this international search report covers only those claims for which fees were paid, specifically claims Nos.:

4. No required additional search fees were timely paid by the applicant. Consequently, this international search report is restricted to the invention first mentioned in the claims; it is covered by claims Nos.:

Remark on Protest

- The additional search fees were accompanied by the applicant's protest and, where applicable, the payment of a protest fee.
- The additional search fees were accompanied by the applicant's protest but the applicable protest fee was not paid within the time limit specified in the invitation.
- No protest accompanied the payment of additional search fees.

国際調査報告		国際出願番号 PCT/JP2010/005929									
A. 発明の属する分野の分類 (国際特許分類 (IPC)) Int.Cl. H03M1/14(2006.01)i, H03F3/45(2006.01)i, H03M1/44(2006.01)i											
B. 調査を行った分野 調査を行った最小限資料 (国際特許分類 (IPC)) Int.Cl. H03M1/00-1/88, H03F3/45											
最小限資料以外の資料で調査を行った分野に含まれるもの <table border="0"> <tr> <td>日本国実用新案公報</td> <td>1922-1996年</td> </tr> <tr> <td>日本国公開実用新案公報</td> <td>1971-2010年</td> </tr> <tr> <td>日本国実用新案登録公報</td> <td>1996-2010年</td> </tr> <tr> <td>日本国登録実用新案公報</td> <td>1994-2010年</td> </tr> </table>				日本国実用新案公報	1922-1996年	日本国公開実用新案公報	1971-2010年	日本国実用新案登録公報	1996-2010年	日本国登録実用新案公報	1994-2010年
日本国実用新案公報	1922-1996年										
日本国公開実用新案公報	1971-2010年										
日本国実用新案登録公報	1996-2010年										
日本国登録実用新案公報	1994-2010年										
国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)											
C. 関連すると認められる文献											
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号									
A	WO 2009/122656 A1 (パナソニック株式会社) 2009.10.08, 第5図 & JP 2009-246752 A	1-24									
A	JP 2006-54608 A (ソニー株式会社) 2006.02.23, 第1図 (ファミリーなし)	1-24									
<input type="checkbox"/> C欄の続きにも文献が列挙されている。 <input type="checkbox"/> パテントファミリーに関する別紙を参照。											
* 引用文献のカテゴリー		の日の後に公表された文献									
「A」特に関連のある文献ではなく、一般的技術水準を示すもの		「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの									
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの		「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの									
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)		「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの									
「O」口頭による開示、使用、展示等に言及する文献		「&」同一パテントファミリー文献									
「P」国際出願日前で、かつ優先権の主張の基礎となる出願											
国際調査を完了した日 14.10.2010		国際調査報告の発送日 26.10.2010									
国際調査機関の名称及びあて先 日本国特許庁 (ISA/JP) 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号		特許庁審査官 (権限のある職員) 柳下 勝幸	5X 9561								
		電話番号 03-3581-1101 内線 3596									

国際調査報告

国際出願番号 PCT/J P 2 0 1 0 / 0 0 5 9 2 9

第II欄 請求の範囲の一部の調査ができないときの意見 (第1ページの2の続き)

法第8条第3項 (PCT17条(2)(a))の規定により、この国際調査報告は次の理由により請求の範囲の一部について作成しなかった。

1. 請求項 _____ は、この国際調査機関が調査することを要しない対象に係るものである。つまり、
2. 請求項 _____ は、有意義な国際調査をすることができる程度まで所定の要件を満たしていない国際出願の部分に係るものである。つまり、
3. 請求項 _____ は、従属請求の範囲であってPCT規則6.4(a)の第2文及び第3文の規定に従って記載されていない。

第III欄 発明の単一性が欠如しているときの意見 (第1ページの3の続き)

次に述べるようにこの国際出願に二以上の発明があるとこの国際調査機関は認めた。

請求項1及び5に係る発明と、請求項23に係る発明とを対比すると、両発明は、それぞれ同一の又は対応する特別な技術的特徴を有していないものと認められる。よって、請求項1-24は発明の単一性の要件を満たしていない。

なお、請求の範囲には以下に示す2の発明群が含まれる。

発明群1：請求項1-22 (A/D変換に関する発明。)

発明群2：請求項23, 24 (ダイナミック型差動増幅器に関する発明。)

1. 出願人が必要な追加調査手数料をすべて期間内に納付したので、この国際調査報告は、すべての調査可能な請求項について作成した。
2. 追加調査手数料を要求するまでもなく、すべての調査可能な請求項について調査することができたので、追加調査手数料の納付を求めなかった。
3. 出願人が必要な追加調査手数料を一部のみしか期間内に納付しなかったため、この国際調査報告は、手数料の納付のあった次の請求項のみについて作成した。
4. 出願人が必要な追加調査手数料を期間内に納付しなかったため、この国際調査報告は、請求の範囲の最初に記載されている発明に係る次の請求項について作成した。

追加調査手数料の異議の申立てに関する注意

- 追加調査手数料及び、該当する場合には、異議申立手数料の納付と共に、出願人から異議申立てがあった。
- 追加調査手数料の納付と共に出願人から異議申立てがあったが、異議申立手数料が納付命令書に示した期間内に支払われなかった。
- 追加調査手数料の納付はあったが、異議申立てはなかった。

様式PCT/ISA/210 (第1ページの続葉(2)) (2009年7月)

フロントページの続き

(81)指定国 AP(BW, GH, GM, KE, LR, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), EA(AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), EP(AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OA(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG), AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW

(出願人による申告)平成21年度、総務省、「ミリ波帯ブロードバンド通信用超高速ベースバンド・高周波混載集積回路技術の研究開発」、産業技術力強化法第19条の適用を受ける特許出願

(72)発明者 宮原 正也

東京都目黒区大岡山2丁目1番1号 国立大学法人東京工業大学内

Fターム(参考) 5J022 AA15 CA07 CB01 CB06 CF01 CF02

(注)この公表は、国際事務局(WIPO)により国際公開された公報を基に作成したものである。なおこの公表に係る日本語特許出願(日本語実用新案登録出願)の国際公開の効果は、特許法第184条の10第1項(実用新案法第48条の13第2項)により生ずるものであり、本掲載とは関係ありません。