

(12) NACH DEM VERTRAG ÜBER DIE INTERNATIONALE ZUSAMMENARBEIT AUF DEM GEBIET DES
PATENTWESENS (PCT) VERÖFFENTLICHTE INTERNATIONALE ANMELDUNG

(19) Weltorganisation für geistiges
Eigentum

Internationales Büro

(43) Internationales
Veröffentlichungsdatum
17. August 2017 (17.08.2017)



(10) Internationale Veröffentlichungsnummer
WO 2017/137151 A1

- (51) **Internationale Patentklassifikation:**
H01L 31/167 (2006.01) *H01L 31/0304* (2006.01)
- (21) **Internationales Aktenzeichen:** PCT/EP2017/000121
- (22) **Internationales Anmeldedatum:**
2. Februar 2017 (02.02.2017)
- (25) **Einreichungssprache:** Deutsch
- (26) **Veröffentlichungssprache:** Deutsch
- (30) **Angaben zur Priorität:**
10 2016 001 387.7
9. Februar 2016 (09.02.2016) DE
- (71) **Anmelder:** AZUR SPACE SOLAR POWER GMBH
[DE/DE]; Theresienstr. 2, 74072 Heilbronn (DE).
- (72) **Erfinder:** WÄCHTER, Clemens; Bergstr. 6, 74348
Lauffen am Neckar (DE). FUHRMANN, Daniel; Bei dem
Schloss 16, 74081 Heilbronn (DE). GUTER, Wolfgang;
Landhausstraße 56, 70190 Stuttgart (DE). PEPER,
Christoph; Geibelstraße 69, 30173 Hannover (DE).
- (74) **Anwalt:** MÜLLER, Koch; Patentanwalts-gesellschaft
mbH, Maaßstraße 32/1, 69123 Heidelberg (DE).
- (81) **Bestimmungsstaaten** (soweit nicht anders angegeben, für
jede verfügbare nationale Schutzrechtsart): AE, AG, AL,
AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW,
BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK,
DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM,
GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KH,
KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY,
MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA,
NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO,
RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV,
SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC,
VN, ZA, ZM, ZW.
- (84) **Bestimmungsstaaten** (soweit nicht anders angegeben, für
jede verfügbare regionale Schutzrechtsart): ARIPO (BW,
GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST,
SZ, TZ, UG, ZM, ZW), eurasisches (AM, AZ, BY, KG,
KZ, RU, TJ, TM), europäisches (AL, AT, BE, BG, CH,
CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE,
IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO,
RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM,
GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

[Fortsetzung auf der nächsten Seite]

- (54) **Title:** RECEIVER UNIT
(54) **Bezeichnung:** EMPFÄNGERBAUSTEIN

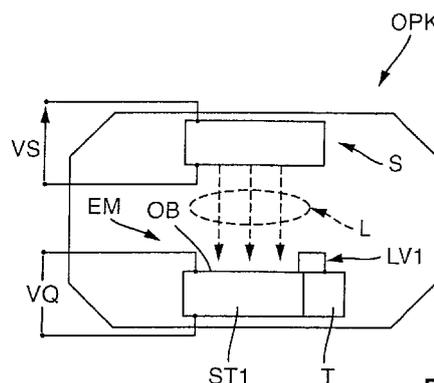


Fig. 1

(57) **Abstract:** The invention relates to a receiver unit (EM) comprising a number N of partial voltage sources embodied as semiconductor diodes connected in series, such that the partial voltage sources produce a source voltage, and each of the partial voltage sources has a semiconductor diode with a p-n-junction, and the partial source voltages of the individual partial voltage sources deviate from each other by less than 20%, a tunnel diode being embodied between every two successive partial voltage sources, and the number N of partial voltage sources being higher than two. Light (L) hits the upper side on the surface (OB) of the first stack (ST1) and the first stack (ST1) has a first electrical contact on the surface (OB) and a second electrical contact on the lower side, the stack being arranged on a semiconductor substrate and the semiconductor substrate being monolithically connected to the stack and a transistor (T), the control input of the transistor (T) being connected to one of the two electrical contacts.

(57) **Zusammenfassung:**

[Fortsetzung auf der nächsten Seite]

WO 2017/137151 A1

**Veröffentlicht:**

- mit internationalem Recherchenbericht (Artikel 21 Absatz 3)

Empfängerbaustein (EM) mit einer Anzahl N zueinander in Serie geschalteter als Halbleiterdioden ausgebildete Teilspannungsquellen, sodass die Teilspannungsquellen eine Quellenspannung erzeugen, und jede der Teilspannungsquellen eine Halbleiterdiode mit einem p-n Übergang aufweist, und die Teilquellenspannungen der einzelnen Teilspannungsquellen zueinander eine Abweichung kleiner als 20% aufweisen, und zwischen jeweils zwei aufeinanderfolgenden Teilspannungsquellen eine Tunneldiode ausgebildet ist, und die Anzahl N der Teilspannungsquellen größer gleich zwei ist, und auf den ersten Stapel (ST1) Licht (L) an der Oberseite auf die Oberfläche (OB) des ersten Stapels (ST1) auftrifft und der erste Stapel (ST1) auf der Oberfläche (OB) einen ersten elektrischen Kontakt und an der Unterseite einen zweiten elektrischen Kontakt aufweist, und der Stapel auf einem Halbleitersubstrat angeordnet und das Halbleitersubstrat mit dem Stapel und einem Transistor (T) monolithisch verbunden ist, wobei der Steuereingang des Transistors (T) mit einem der beiden elektrischen Kontakte verschaltet ist.

Empfängerbaustein

Die Erfindung betrifft einen Empfängerbaustein.

5

Empfängerbausteine sind bei Optokopplern hinlänglich bekannt. Einfache Optokoppler weisen einen Sendebaustein und einen Empfängerbaustein auf, wobei die beiden Bausteine galvanisch getrennt, jedoch optisch gekoppelt sind. Derartige Ausführungsformen sind aus der US 4 996 577 bekannt. Auch
10 aus der US 2006 /0048811 A1, der US 8 350 208 B1 und der WO 2013/067969 A1 sind optische Bauelemente bekannt. Empfängerbausteine, welche Mehrfachsolarzellen umfassen, sind aus der US 2011 / 0 005 570 A1 und der DE 40 05 835 A1 bekannt.

15

Ferner sind aus der US 4 127 862, der US 6 239 354 B1, der DE 10 2010 001 420 A1, aus Nader M. Kalkhoran, et al, "Cobalt disilicide intercell ohmic contacts for multijunction photovoltaic energy converters", Appl. Phys. Lett. 64, 1980 (1994) und aus A. Bett et al, "III-V Solar cells under monochromatic illumination", Photovoltaic Specialists Conference, 2008, PVSC '08. 33rd
20 IEEE, Seite 1-5, ISBN:978-1-4244-1640-0 skalierbare Spannungsquellen oder auch Solarzellen aus III-V Materialien bekannt.

Vor diesem Hintergrund besteht die Aufgabe der Erfindung darin, eine Vorrichtung anzugeben, die den Stand der Technik weiterbildet.

25

Die Aufgabe wird durch einen Empfängerbaustein mit den Merkmalen des Patentanspruchs 1 gelöst. Vorteilhafte Ausgestaltungen der Erfindung sind Gegenstand von Unteransprüchen.

30

In dem Gegenstand der Erfindung wird ein Empfängerbaustein bereitgestellt, mit einer Anzahl N zueinander in Serie geschalteter als Halbleiterdioden ausgebildete Teilspannungsquellen, sodass die Anzahl N der Teilspannungsquellen eine Quellenspannung erzeugen.

Jeder der Teilspannungsquellen weist eine Halbleiterdiode mit einen p-n Übergang auf, wobei die Halbleiterdiode eine p-dotierte Absorptionsschicht aufweist. Die p-Absorptionsschicht ist von einer p-dotierten Passivierungsschicht mit einer größeren Bandlücke als die Bandlücke der p-Absorptionsschicht passiviert.

Die Halbleiterdiode weist eine n-Absorptionsschicht auf, wobei die n-Absorptionsschicht von einer n-dotierten Passivierungsschicht mit einer größeren Bandlücke als die Bandlücke der n-Absorptionsschicht passiviert ist.

Die Teilquellenspannungen der einzelnen Teilspannungsquellen weisen zueinander eine Abweichung kleiner als 20% auf. Zwischen jeweils zwei aufeinanderfolgenden Teilspannungsquellen ist eine Tunneldiode ausgebildet, wobei die Teilspannungsquellen und die Tunneldioden zusammen monolithisch integriert sind und gemeinsam einen ersten Stapel mit einer Oberseite und einer Unterseite ausbilden.

Die Anzahl N der Teilspannungsquellen ist größer gleich zwei und Licht trifft an der Oberseite des ersten Stapels auf die Oberfläche einer der Halbleiterdioden auf. Der erste Stapel weist auf der Oberfläche einen ersten elektrischen Kontakt und an der Unterseite einen zweiten elektrischen Kontakt auf.

Der erste Stapel weist eine Gesamtdicke kleiner als $12\mu\text{m}$ auf und ist auf einem Halbleitersubstrat angeordnet, wobei das Halbleitersubstrat mit dem Stapel und einem Transistor monolithisch verbunden ist.

Der Steuereingang des Transistors ist mit einem der beiden elektrischen Kontakte verschaltet.

Es versteht sich, dass bei einer Beleuchtung mit einem modulierten Licht der Empfängerbaustein eine modulierte Gleichspannung erzeugt. Es sei angemerkt, dass vorzugsweise die gesamte Oberseite der an der Oberseite des Stapels ausgebildeten Diode mit Licht bestrahlt ist. Auch versteht es sich, dass die der Lichtwellenlänge entsprechende Photonenenergie des Lichts we-

nigstens größer oder gleich der Bandlückenenergie der Absorptionsschichten der Halbleiterdioden ist.

Es versteht sich des Weiteren, dass unter der Bezeichnung Licht mit einer bestimmten Wellenlänge, insbesondere das Licht einer LED gemeint ist, und hierbei das Emissionsspektrum im Allgemeinen Gaußförmig ist und beispielsweise bei einer typischen 850 nm-LED eine Halbwertsbreite von 20-30 nm aufweist. Vorzugsweise ist der Empfängerbaustein nur in dem infraroten Bereich bei ca. 850nm absorbierend.

Es sei angemerkt, dass eingehende Untersuchungen in überraschender Weise zeigten, dass im Unterschied zu dem Stand der Technik, sich in vorteilhafter Weise mit dem vorliegenden monolithischen Stapelansatz Quellenspannungen oberhalb von 2V ergeben.

Es versteht sich, dass die Anzahl N der Teilspannungsquellen vorzugsweise unterhalb zehn liegt und dass sich die Höhe der Quellenspannung des ersten Stapels vorwiegend aus der Addition der Teilquellenspannungen bestimmt ist.

Es sei angemerkt, dass der Empfängerbaustein keine Vielfach-Quanten-Topf Struktur aufweist. Es versteht sich, dass auch der Transistor keine Vielfach-Quanten-Topf Struktur aufweist.

Ein Vorteil der erfindungsgemäßen Vorrichtung ist es, dass sich durch die Hintereinanderschaltung von einer Vielzahl von Teilspannungsquellen eine Spannungsquelle mit Spannungswerten auch oberhalb von vier oder mehr Volt realisieren lässt und mittels eines monolithisch integrierten Aufbau eine einfache und kostengünstige sowie eine zuverlässige Spannungsquelle für die Stromversorgung des mit dem wenigstens einem Kontakt des Stapel verschalteten Transistor herstellen lässt.

Ein weiterer Vorteil ist, dass sich mittels der stapelförmigen Anordnung im Vergleich zu der bisherigen lateralen Anordnung mit Siliziumdioden eine große Flächeneinsparung ergibt. Insbesondere muss von der Sendediode oder

der Lichtquelle nur die wesentlich kleinere Empfangsfläche des ersten Stapels des Empfängerbausteins beleuchtet werden, um die Energie für die Versorgung des Transistors zu generieren.

- 5 In einer Weiterbildung ist der Transistor auf der Oberfläche des ersten Stapels oder seitlich benachbart zu dem ersten Stapel angeordnet. Vorzugsweise ist der Transistor als laterales oder vertikales Bauteil ausgebildet. In einer anderen Weiterbildung ist der Transistor zwischen dem ersten Stapel und dem Substrat angeordnet.

10

In einer Ausführungsform ist zwischen dem Transistor und dem ersten Stapel ein Abstand ausgebildet. Vorzugsweise ist der Transistor als Teil einer integrierten Schaltung ausgebildet.

- 15 In einer Weiterbildung entspricht die Größe der beleuchteten Oberfläche an der Stapeloberseite im Wesentlichen der Größe der Fläche des ersten Stapels an der Oberseite. In einer Weiterbildung weist der erste Stapel bei 300 K eine Quellenspannung von größer als 2,3 Volt auf, sofern der erste Stapel mit Licht mit einer bestimmten Wellenlänge bestrahlt ist, und wobei in Lichtein-
- 20 fallsrichtung von der Oberseite des ersten Stapels hin zu der Unterseite des Stapels die Gesamtdicke der p und n -Absorptionsschichten einer Halbleiterdiode von der obersten Diode hin zu der untersten Diode zunimmt.

- In einer Ausführungsform weisen die Teilquellenspannungen der Teilspan-
- 25 nungsquellen des Empfängerbausteins zueinander eine Abweichung kleiner als 10% auf.

- Vorzugsweise weisen die Halbleiterdioden des Empfängerbausteins jeweils das gleiche Halbleitermaterial auf. Unter dem Begriff der gleichen Halbleiter-
- 30 materialen sind diejenigen Halbleiter-Verbindungen umfasst, welche die gleichen Elemente aufweisen. Es versteht sich, dass hierbei die gleichen Halbleiter-Verbindungen auch unterschiedliche Stöchiometrien und verschiedene Dotierstoffe enthalten können.

In einer Weiterbildung weist der erste Stapel eine Grundfläche kleiner als 2 mm² oder kleiner als 1 mm² auf. In einer anderen Weiterbildung ist auf der Oberseite des ersten Stapels ein erster Kontakt als ein umlaufender Metallkontakt in der Nähe des Randes oder als eine einzelne Kontaktfläche an dem Rand ausgebildet. Vorzugsweise ist der zweite Kontakt durch das Substrat ausgebildet.

In einer Weiterbildung weist der Empfängerbaustein einen zweiten Stapel auf. Der erste Stapel und der zweite Stapel sind nebeneinander auf dem Substrat angeordnet. Die beiden Stapel sind miteinander in Serie verschaltet, so dass sich die Quellenspannung des ersten Stapels und die Quellenspannung des zweiten Stapels addieren.

In einer Ausführungsform ist bei wenigstens einer der Halbleiterdioden zwischen der p Absorptionsschicht und der n-Absorptionsschicht eine intrinsische Schicht ausgebildet. Vorzugsweise bestehen das Halbleitermaterial der Halbleiterdioden und des Transistors und / oder das Substrat des Empfängerbausteins aus III-V Materialien. Höchst vorzugsweise umfasst oder besteht das Substrat des Empfängerbausteins Germanium oder Galliumarsenid.

In einer anderen Weiterbildung umfassen die Halbleiterschichten des Stapels des Empfängerbausteins gleichzeitig Arsenid-haltige Schichten und Phosphid-haltige Schichten.

In einer Ausführungsform weist die Spannungsquelle in der Nähe der Unterseite der Stapel des Empfängerbausteins einen umlaufenden, absatzförmigen Rand auf. Einen derartigen Rand lässt sich auch als Stufe bezeichnen.

Vorzugsweise weist die Tunnelodiode zwischen den Halbleiterdioden mehrere Halbleiterschichten mit einer höheren Bandlücke als die Bandlücke der p / n Absorptionsschichten der Halbleiterdioden auf. Die Halbleiterschichten mit der höheren Bandlücke bestehen jeweils aus einem Material mit geänderter Stöchiometrie und / oder anderer Elementzusammensetzung als die p / n - Absorptionsschichten der Halbleiterdiode.

Die Erfindung wird nachfolgend unter Bezugnahme auf die Zeichnungen näher erläutert. Hierbei werden gleichartige Teile mit identischen Bezeichnungen beschriftet. Die dargestellten Ausführungsformen sind stark schematisiert, d.h. die Abstände und die lateralen und die vertikalen Erstreckungen sind nicht maßstäblich und weisen, sofern nicht anders angegeben, auch keine ableitbaren geometrischen Relationen zueinander auf. Darin zeigt:

- 10 Figur 1 einen Empfängerbaustein integriert mit einem Senderbaustein in einem Gehäuse als Optokoppler,
- Figur 2 eine Darstellung der Empfangseinheit EM in einer ersten Ausführungsform,
- 15 Figur 3 eine Darstellung der Empfangseinheit EM in einer zweiten Ausführungsform,
- Figur 4 eine Darstellung der Empfangseinheit EM in einer dritten Ausführungsform,
- 20 Figur 5 eine Darstellung der Empfangseinheit EM in einer vierten Ausführungsform,
- Figur 6 ein detaillierter Aufbau des ersten Stapels der Empfangseinheit EM mit einer skalierbarer Spannungsquelle in einem gehäusten Optokoppler,
- 25 Figur 7 eine zweite Ausführungsform eines Optokopplers mit einer skalierbaren Spannungsquelle mit mehreren Stapeln.
- 30 Figur 8 eine Ausführungsform des Stapels ST1 mit insgesamt fünf Dioden mit unterschiedlicher Dicke des Absorptionsgebiets,

Figur 9 einen Stapel mit einer umlaufenden absatzförmigen Stufe,

Die Abbildung der Figur 1 zeigt einen Empfängerbaustein EM integriert mit einem Senderbaustein S in einem Gehäuse als Optokoppler OPK. Der Senderbaustein S weist zwei elektrische Anschlüsse zum Anlegen der Versorgungsspannung VS auf.

Die Empfängerbaustein EM weist einen ersten Stapel ST1 mit einer Oberfläche OB und einen Transistor T auf. Das Licht L der Sendeeinheit S trifft in nahezu vertikaler Richtung auf die Oberfläche OB des ersten Stapels ST1 auf.

Der erste Stapel ST1 weist eine Vielzahl von in Serie verschalteten Dioden auf - nicht dargestellt - und ist als skalierbare Spannungsquelle VQ ausgeführt. Der erste Stapel ST1 ist mit dem Transistor T mittels einer ersten Leitung LV1 verschaltet. Es versteht sich, dass sich der Begriff der „Skalierbarkeit“ auf die Höhe der Quellenspannung des gesamten ersten Stapels ST1 bezieht. Es versteht sich, dass der Optokoppler OPK vorliegend gehäust ist, d.h. die genannten Bauelemente in einem gemeinsamen Gehäuse integriert sind.

In der Abbildung der Figur 2 ist eine detaillierte Darstellung der Empfangseinheit EM in einer ersten Ausführungsform dargestellt. Im Folgenden werden nur die Unterschiede zu der Figur 1 erläutert.

Auf einem vorzugsweise aus Ge bestehenden Substrat SUB ist der erste Stapel ST1 angeordnet. Unmittelbar auf der Oberfläche OB des ersten Stapels ST1 ist der Transistor T angeordnet. Vorliegend weist der als bipolare vertikales Bauelement ausgebildeter Transistor T einen Emitter E und eine Basis B und einen Kollektor C auf. Es versteht sich, dass zu dem Emitter E, zu der Basis B und zu dem Kollektor C des Transistors T jeweils auch eine entsprechend dotierte Halbleiterschicht zugeordnet ist. Vorliegend ist die Basis B oberhalb des Emitters E und unterhalb des Kollektors C angeordnet. Zwischen dem Kollektor C und der Basis B ist eine Stufe ausgebildet, d.h. die Basischicht ist für die Kontaktierung freigeätzt.

Der Emitter E ist stoffschlüssig auf der Oberfläche OB des ersten Stapels ST1 angeordnet. Der Kollektor C an der Oberseite des Transistors T und die Oberfläche OB des ersten Stapels ST1, d.h. ein erster Kontakt der Spannungsquelle VQ, werden nach außen geführt. Die mit einem positiven Potential beaufschlagte Basis B des Transistors T ist mit der Substratschicht SUB, d.h. mit einem zweiten Kontakt der Spannungsquelle VQ, mittels einer zweiten Leitung LV2 verschaltet. Für die Kontaktierung weist die Substratschicht SUB einen Absatz STU auf.

Die Substratschicht SUB und der erste Stapel ST1 und der Transistor T bilden eine stapelförmige monolithische Anordnung aus.

Die Figur 3 zeigt eine Darstellung der Empfangseinheit EM in einer zweiten Ausführungsform. Im Folgenden werden nur die Unterschiede zu der Figur 2 erläutert.

Der unmittelbar auf der Oberfläche OB des ersten Stapels ST1 angeordnete Transistors T ist als laterales MOS Bauelement mit einer Source S und einem Gate G und einem Drain D ausgebildet. Die mit einem negativen Potential beaufschlagte Source S der Oberseite des Transistors T ist mit der Oberfläche OB des ersten Stapels ST1, d.h. mit dem ersten Kontakt der Spannungsquelle VQ, mittels der ersten Leitung LV1 verschaltet. Das mit einem positiven Potential beaufschlagte Gate G des Transistors T ist mit der Substratschicht SUB, d.h. mit dem zweiten Kontakt der Spannungsquelle VQ, mittels einer zweiten Leitung LV2 verschaltet.

Die Figur 4 zeigt eine Darstellung der Empfangseinheit EM in einer dritten Ausführungsform. Im Folgenden werden nur die Unterschiede zu der Figur 3 erläutert.

Das mit einem negativen Potential beaufschlagte Gate G der Oberseite des Transistors T ist mit der Oberfläche OB des ersten Stapels ST1, d.h. mit dem ersten Kontakt der Spannungsquelle VQ, mittels der ersten Leitung LV1 ver-

schaltet. Die mit einem positiven Potential beaufschlagte Source S des Transistors T ist mit der Substratschicht SUB, d.h. mit dem zweiten Kontakt der Spannungsquelle VQ, mittels einer zweiten Leitung LV2 verschaltet.

- 5 Die Figur 5 zeigt eine Darstellung der Empfangseinheit EM in einer vierten Ausführungsform. Im Folgenden werden nur die Unterschiede zu den Figuren 3 und 4 erläutert.

10 Auf der Substratschicht SUB sind neben dem ersten Transistor T ein weiterer lateraler MOS Substrat-Transistor TSUB ausgebildet.

Die MOS-Transistoren sind neben oder unterhalb des ersten Stapels ST1 ausgebildet. Das Gate G des Transistors T ist mit der Leitung LV1 mit der Oberfläche des ersten Stapels ST1 und mit dem Gate G des Substrat Transistors TSUB verschaltet. Die Source S des Transistors T ist mit der Leitung LV2 mit der Drain D des Substrat Transistors TSUB verschaltet. Die Source S des Substrat Transistors T ist mit einer Leitung LV3 mit der Drain D des weiteren Transistors TW verschaltet.

20 Die Figur 6 zeigt einen detaillierten Aufbau des ersten Stapels der Empfangseinheit EM mit der skalierbaren Spannungsquelle VQ in einem gehäuteten Optokoppler OPK. Im Folgenden werden nur die Unterschiede zu den vorangegangenen Figuren erläutert.

25 Die Spannungsquelle VQ weist den ersten Stapel ST1 mit einer Oberseite und einer Unterseite mit einer Anzahl N gleich drei Dioden auf. Der erste Stapel ST1 weist eine Serienschaltung aus einer ersten Diode D1 und einer ersten Tunnelodiode T1 und einer zweiten Diode D2 und einer zweiten Tunnelodiode T2 und einer dritten Diode D3 auf. An der Oberseite des ersten Stapel ST1 ist ein erster Spannungsanschluss VSUP1 und an der Unterseite des ersten Stapel ST1 ein zweiter Spannungsanschluss VSUP2 ausgebildet. Die Quellenspannung setzt sich vorliegend im Wesentlichen aus den Teilspannungen der einzelnen Diode D1 bis D3 zusammen. Hierzu ist der erste Stapel ST1 einem Photonenstrom L von einer Sendediode SD der Sen-

30

deereinheit S mittels eines Umlenkspiegels SP ausgesetzt. Sofern die Sendediode SD einen modulierten Photonenstrom aussendet, wird in dem ersten Stapel ST1 die Quellenspannung VQ1 des ersten Stapels ST1 ebenfalls moduliert.

5

Der erste Stapel ST1, umfassend die Dioden D1 bis D3 und die Tunnelioden T1 und T2, ist als monolithisch ausgebildeter Block ausgeführt. Der Transistor T ist mit den beiden Spannungsanschlüssen VSUP1 und VSUP2 verschaltet. Es versteht sich, dass die Sendereinheit S und die Empfangseinheit EM jeweils zwei voneinander galvanisch getrennte Anschlüsse aufweisen.

10

Die Figur 7 zeigt eine weitere Ausführungsform des Optokopplers der Figur 6 mit einer vorteilhaften Aneinanderreihung von dem ersten Stapel ST1 und einem zweiten Stapel ST2. Im Folgenden werden nur die Unterschiede zu der Abbildung der Figur 6 erläutert. Der zweite Stapel ST2 weist wie der erste Stapel ST1 eine Serienschaltung aus drei Dioden mit dazwischen ausgebildeten Tunnelioden auf. Beide Stapel ST1 und ST2 sind miteinander in Serie verschaltet, sodass sich die Quellenspannung VQ1 des ersten Stapels ST1 und die Quellenspannung VQ2 des zweiten Stapel ST2 addieren, sofern die beiden Stapel ST1 und ST2 dem Photonenstrom L der Sendediode SD ausgesetzt sind. Vorliegend ist aus Gründen der Übersichtlichkeit der Transistor T nicht dargestellt. Der erste Spannungsanschluss VSUP1 und der zweite Spannungsanschluss VSUP2 und der dritte Spannungsanschluss VSUP 3 lassen sich in vorteilhafter Weise mit einer nicht dargestellten Transistorschaltung verbinden und sind vorliegend zusätzlich nach außen geführt.

15

20

25

30

In einer nicht dargestellten Ausführungsform weisen die beiden Stapel ST1 und ST2 zueinander eine unterschiedliche Anzahl von jeweils in einer Serienschaltung verbundenen Dioden auf. In einer anderen nicht dargestellten Ausführungsform weist wenigstens der erste Stapel ST1 und / oder der zweite Stapel ST2 mehr als drei in einer Serienschaltung verbundene Dioden auf. Hierdurch lässt sich die Spannungshöhe der Spannungsquelle VQ ska-

lieren. Vorzugsweise liegt die Anzahl N in einem Bereich zwischen vier und acht.

In der Abbildung der Figur 8 ist eine Ausführungsform einer vorteilhaften Aneinanderreihung von Halbleiterschichten zu dem ersten Stapel ST1 dargestellt. Im Folgenden werden nur die Unterschiede zu der Abbildung der Figur 6 erläutert. Der erste Stapel ST1 umfasst insgesamt fünf in Reihe geschaltete als Dioden D1 bis D5 ausgebildete Teilspannungsquellen. Auf die Oberfläche OB der ersten Diode D1 trifft das Licht L auf. Die Oberfläche OB wird nahezu oder vollständig ausgeleuchtet. Zwischen zwei aufeinanderfolgenden Dioden D1-D5 ist jeweils eine Tunnelodiode T1-T4 ausgebildet. Mit zunehmender Entfernung der einzelnen Diode D1 bis D5 von der Oberfläche OB steigt die Dicke des Absorptionsgebiets, so dass die unterste Diode D5 das dickste Absorptionsgebiet aufweist. Insgesamt beträgt die Gesamtdicke des ersten Stapels ST1 kleiner gleich 12 μm . Unterhalb der untersten Diode D5 ist ein Substrat SUB ausgebildet.

In der Abbildung der Figur 9 ist eine Ausführungsform einer vorteilhaften Aneinanderreihung von Halbleiterschichten zu dem ersten Stapel ST1 dargestellt mit einer umlaufenden absatzförmigen Stufe. Im Folgenden werden nur die Unterschiede zu der Abbildung der vorangegangenen Figuren erläutert. Auf der Oberfläche OB des ersten Stapels ST1 ist an dem Rand R ein erster metallischer Anschlusskontakt K1 ausgebildet. Der erste Anschlusskontakt K1 ist mit dem ersten Spannungsanschluss VSUP1 verschaltet - nicht dargestellt. Das Substrat SUB weist eine Oberseite OS auf, wobei die Oberseite OS des Substrats SUB stoffschlüssig mit der untersten, d.h. der fünften Diode D5 verbunden ist. Hierbei versteht es sich, dass auf dem Substrat eine dünne Nukleationsschicht und eine Pufferschicht epitaktisch erzeugt wird, bevor auf dem Substrat die fünfte Diode angeordnet wird und stoffschlüssig mit der Oberseite OS des Substrats verbunden wird. Die Oberseite OS des Substrats SUB weist eine größere Oberfläche als die Fläche an der Unterseite des ersten Stapels ST1 auf. Hierdurch bildet sich eine umlaufende Stufe STU aus. An der Unterseite des Substrats SUB ist ein zweiter ganzflächiger metallischer Kontakt K2 ausgebildet. Der zweite An-

schlusskontakt K2 ist mit dem zweiten Spannungsanschluss VSUP2 verschaltet - nicht dargestellt.

Patentansprüche

1. Empfängerbaustein (EM) aufweisend

- 5 - eine Anzahl N zueinander in Serie geschalteter als Halbleiterdioden ausgebildete Teilspannungsquellen, sodass die Anzahl N Teilspannungsquellen eine Quellenspannung erzeugen, und wobei jede der Teilspannungsquellen eine Halbleiterdiode (D1, D2, D3, D4, D5) mit einen p-n Übergang aufweist, und die Halbleiterdiode (D1, D2, D3, D4, D5) eine p-dotierte Absorptionsschicht aufweist, wobei die p-Absorptionsschicht von einer p-dotierten Passivierungsschicht mit einer größeren Bandlücke als die Bandlücke der p-Absorptionsschicht passiviert ist, und die Halbleiterdiode (D1, D2, D3, D4, D5) eine n-Absorptionsschicht aufweist, wobei die n-Absorptionsschicht von einer n-dotierten Passivierungsschicht mit einer größeren Bandlücke als die Bandlücke der n-Absorptionsschicht passiviert ist, und
- 10 und-
- 15 zwischen jeweils zwei aufeinanderfolgenden Teilspannungsquellen eine Tunneldiode (T1, T2; T3, T4) ausgebildet ist, wobei
- 20 - die Teilspannungsquellen und die Tunneldioden (T1, T2, T3, T4) zusammen monolithisch integriert sind, und gemeinsam einen ersten Stapel (ST1) mit einer Oberseite und einer Unterseite ausbilden, und die Anzahl N der Teilspannungsquellen größer gleich zwei ist, und
- 25 - auf den ersten Stapel (ST1) Licht (L) an der Oberseite auf die Oberfläche (OB) des ersten Stapels (ST1) auftrifft und der erste Stapel (ST1) auf der Oberfläche (OB) einen ersten elektrischen Kontakt und an der Unterseite einen zweiten elektrischen Kontakt aufweist, und
- 30 - der erste Stapel (ST1) eine Gesamtdicke kleiner als $12\mu\text{m}$ aufweist, und
- der Stapel auf einem Halbleitersubstrat angeordnet, und das Halbleitermaterial der Halbleiterdioden aus III-V Materialien besteht,

dadurch gekennzeichnet, dass

das Substrat des Empfängerbausteins (EM) Germanium oder Galliumarsenid umfasst, und

in der Nähe der Unterseite des ersten Stapels (ST1) des Empfängerbausteins (EM) einen umlaufenden, absatzförmigen Rand ausgebildet ist, und

die Tunneldiode (T1, T2, T3, T4) zwischen den Halbleiterdioden (D1, D2, D3, D4, D5) mehrere Halbleiterschichten mit einer höheren Bandlücke als die Bandlücke der p / n Absorptionsschichten der Halbleiterdioden (D1, D2, D3, D4, D5) aufweist, und

die Teilquellenspannungen der einzelnen Teilspannungsquellen zueinander eine Abweichung kleiner als 20% aufweisen, und

das Halbleitersubstrat mit dem Stapel und einem Transistor monolithisch verbunden ist, wobei der Steuereingang des Transistors mit einem der beiden elektrischen Kontakte verschaltet ist, und

der Empfängerbaustein (EM) keine Quanten-Topf Struktur aufweist.

2. Empfängerbaustein (EM) nach Anspruch 1, dadurch gekennzeichnet, dass der Transistor auf der Oberfläche des ersten Stapels (ST1) oder seitlich benachbart zu dem ersten Stapel angeordnet ist,

3. Empfängerbaustein (EM) nach Anspruch 1 oder 2, dadurch gekennzeichnet, dass der Transistor zwischen dem ersten Stapel und dem Substrat angeordnet ist.

4. Empfängerbaustein (EM) nach einem oder mehreren der Ansprüche 1 bis 3, dadurch gekennzeichnet, dass zwischen dem Transistor und dem ersten Stapel (ST1) ein Abstand ausgebildet ist.

5. Empfängerbaustein (EM) nach einem oder mehreren der Ansprüche 1 bis 4, dadurch gekennzeichnet, dass der Transistor als Teil einer integrierten Schaltung ausgebildet ist.

- 5 6. Empfängerbaustein (EM) nach einem oder mehreren der Ansprüche 1 bis 5, dadurch gekennzeichnet, dass die Größe der beleuchteten Oberfläche (OB) an der Stapeloberseite im Wesentlichen der Größe der Fläche des ersten Stapels (ST1) an der Oberseite entspricht.
- 10 7. Empfängerbaustein (EM) nach einem oder mehreren der Ansprüche 1 bis 6, dadurch gekennzeichnet, dass bei 300 K der erste Stapel (ST1) eine Quellenspannung (VQ1) von größer als 2,3 Volt aufweist, sofern der erste Stapel (ST1) mit Licht (L) mit einer bestimmten Wellenlänge bestrahlt ist, und wobei in Lichteinfallrichtung von der Oberseite des ersten Stapels (ST1) hin zu der Unterseite des Stapels die Gesamtdicke der p und n -Absorptionsschichten einer Halbleiterdiode von der obersten Diode (D1) hin zu der untersten Diode (D3 - D5) zunimmt.
- 15 8. Empfängerbaustein (EM) nach einem oder mehreren der Ansprüche 1 bis 7, dadurch gekennzeichnet, dass die Teilquellenspannungen der Teilspannungsquellen des Empfängerbausteins (EM) zueinander eine Abweichung kleiner als 10% aufweisen.
- 20 9. Empfängerbaustein (EM) nach einem oder mehreren der Ansprüche 1 bis 8, dadurch gekennzeichnet, dass die Halbleiterdioden (D1, D2, D3, D4, D5) des Empfängerbausteins (EM) jeweils das gleiche Halbleitermaterial aufweisen.
- 25 10. Empfängerbaustein (EM) nach einem oder mehreren der Ansprüche 1 bis 9, dadurch gekennzeichnet, dass der erste Stapel (ST1) eine Grundfläche kleiner als 2 mm² oder kleiner als 1 mm² aufweist.
- 30 11. Empfängerbaustein (EM) nach einem oder mehreren der Ansprüche 1 bis 10, dadurch gekennzeichnet, dass auf der Oberseite des ersten Stapels (ST1) ein erster Kontakt als ein umlaufender Metallkontakt in der Nähe des Randes oder als eine einzelne Kontaktfläche (K1) an dem Rand (R) ausgebildet ist.

12. Empfängerbaustein (EM) nach einem oder mehreren der Ansprüche 1 bis 11, dadurch gekennzeichnet, dass der zweite Kontakt durch das Substrat ausgebildet ist.
- 5
13. Empfängerbaustein (EM) nach einem oder mehreren der vorangegangenen Ansprüche, dadurch gekennzeichnet, dass in dem Empfängerbaustein (EM) ein zweiter Stapel (ST2) ausgebildet ist und der erste Stapel (ST1) und der zweite Stapel (ST2) nebeneinander auf dem Substrat angeordnet sind und die beiden Stapel (ST1, ST2) miteinander in Serie verschaltet sind, so dass sich die Quellenspannung (VQ1) des ersten Stapels (ST1) und die Quellenspannung (VQ2) des zweiten Stapels (ST2) addieren.
- 10
14. Empfängerbaustein (EM) nach einem oder mehreren der vorangegangenen Ansprüche, dadurch gekennzeichnet, dass bei einer der Halbleiterdioden (D1, D2, D3, D4, D5) des Empfängerbausteins (EM) zwischen der p-Absorptionsschicht und der n-Absorptionsschicht eine intrinsische Schicht ausgebildet ist.
- 15
15. Empfängerbaustein (EM) nach einem oder mehreren der vorangegangenen Ansprüche, dadurch gekennzeichnet, dass die Halbleiterschichten des Stapels (ST1) des Empfängerbausteins (EM) gleichzeitig Arsenid-haltige Schichten und Phosphid-haltige Schichten umfassen.
- 20
16. Empfängerbaustein (EM) nach einem oder mehreren der vorangegangenen Ansprüche, dadurch gekennzeichnet, dass bei der Tunnelodiode (T1, T2, T3, T4) die Halbleiterschichten mit der höheren Bandlücke jeweils aus einem Material mit geänderter Stöchiometrie und / oder anderer Elementzusammensetzung als die p / n -Absorptionsschichten der Halbleiterdiode (D1, D2, D3, D4, D5) bestehen.
- 25
- 30

17. Empfängerbaustein (EM) nach einem oder mehreren der vorangegangenen Ansprüche, dadurch gekennzeichnet dass der Transistor als laterales oder vertikales Bauteil ausgebildet ist.

5 18. Empfängerbaustein (EM) nach einem oder mehreren der vorangegangenen Ansprüche, dadurch gekennzeichnet dass der Empfängerbaustein (EM) und der Transistor keine Vielfach-Quanten-Topf Struktur aufweist.

10

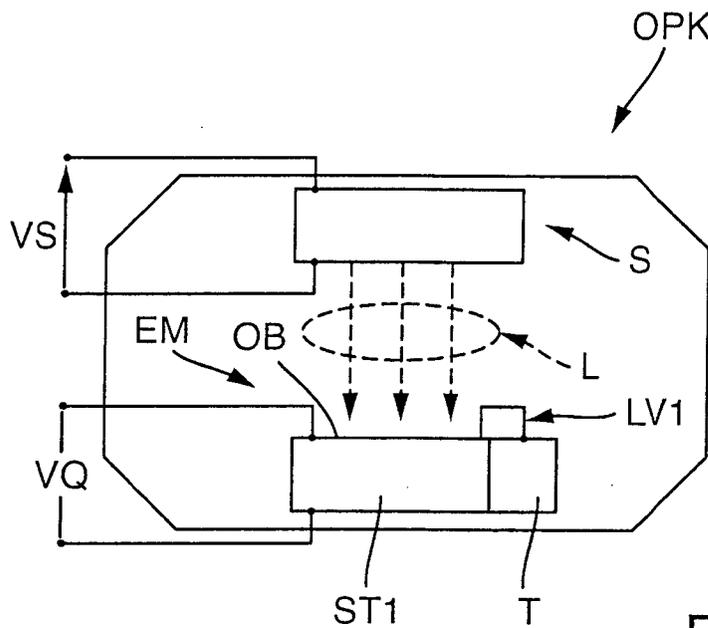


Fig. 1

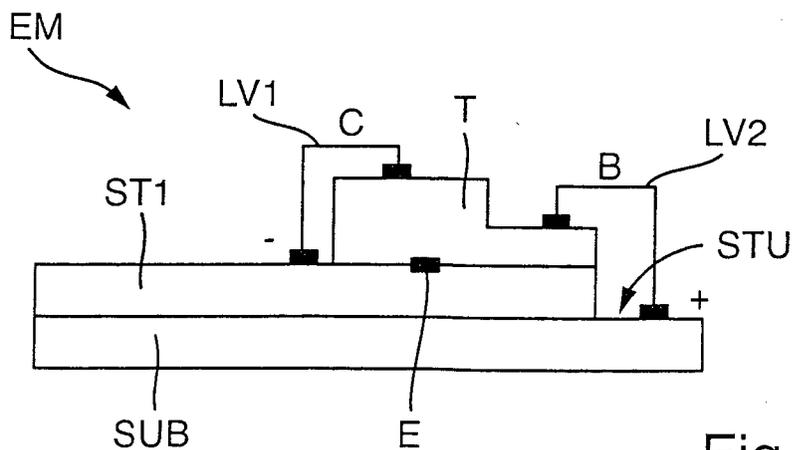


Fig. 2

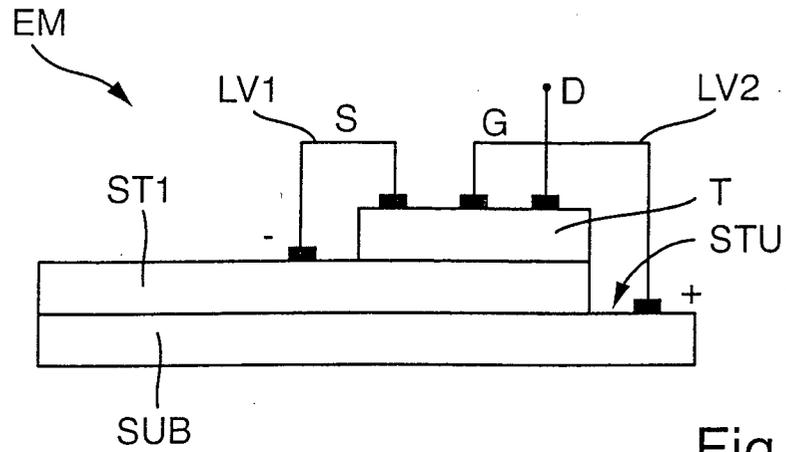


Fig. 3

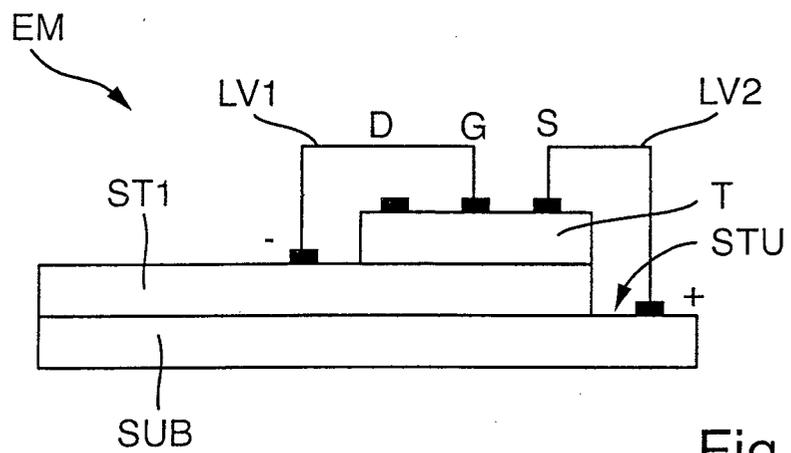


Fig. 4

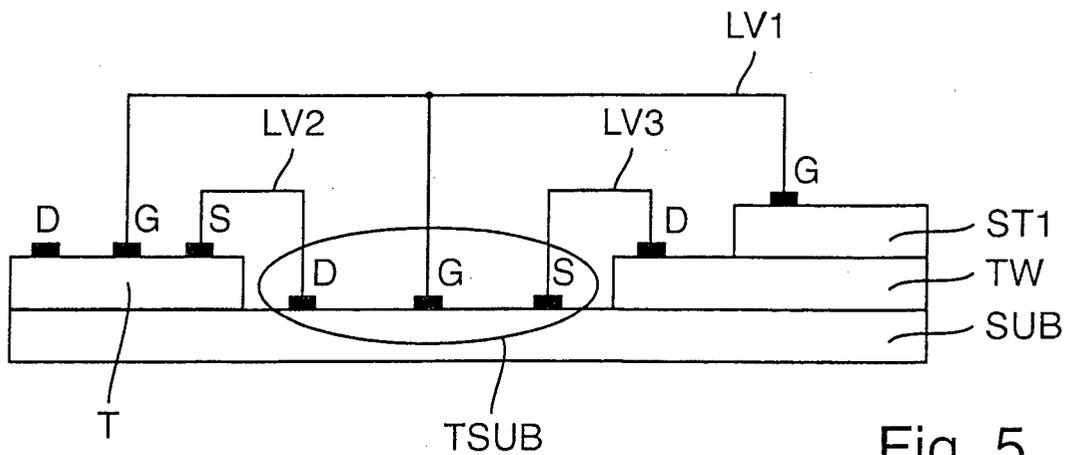


Fig. 5

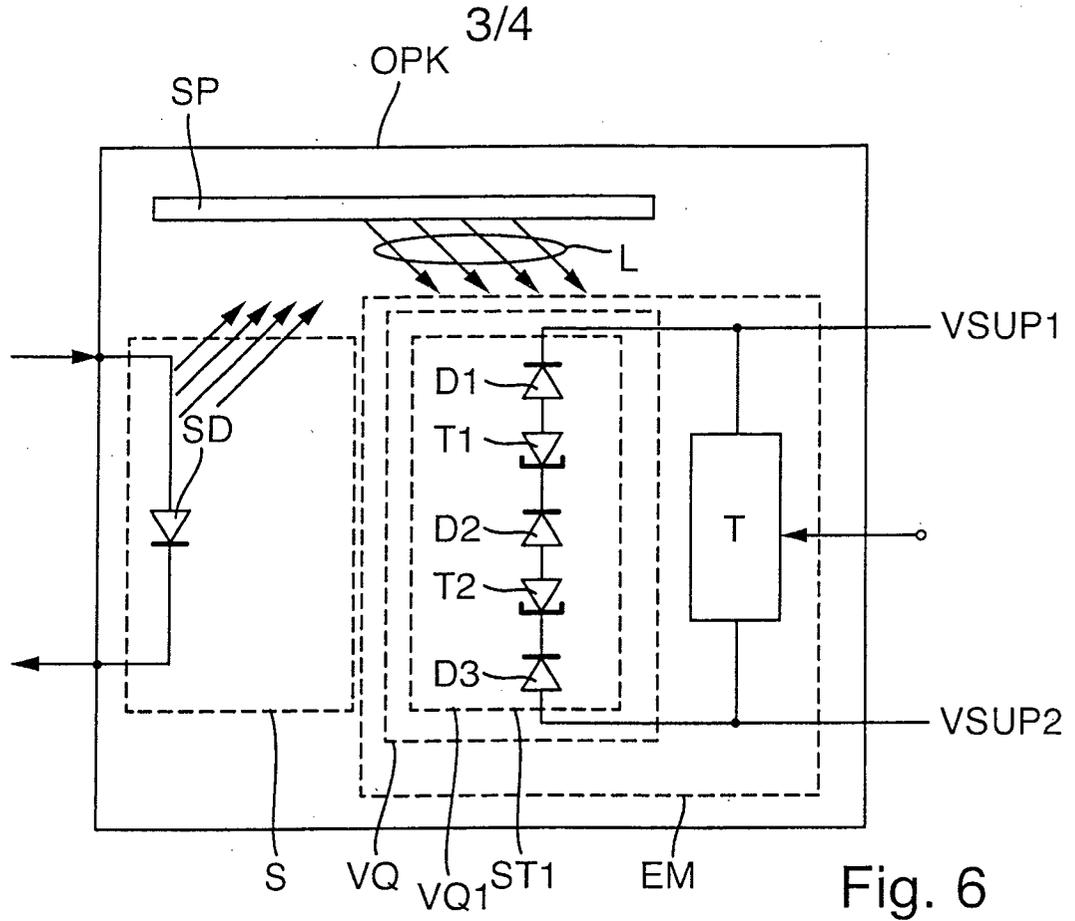


Fig. 6

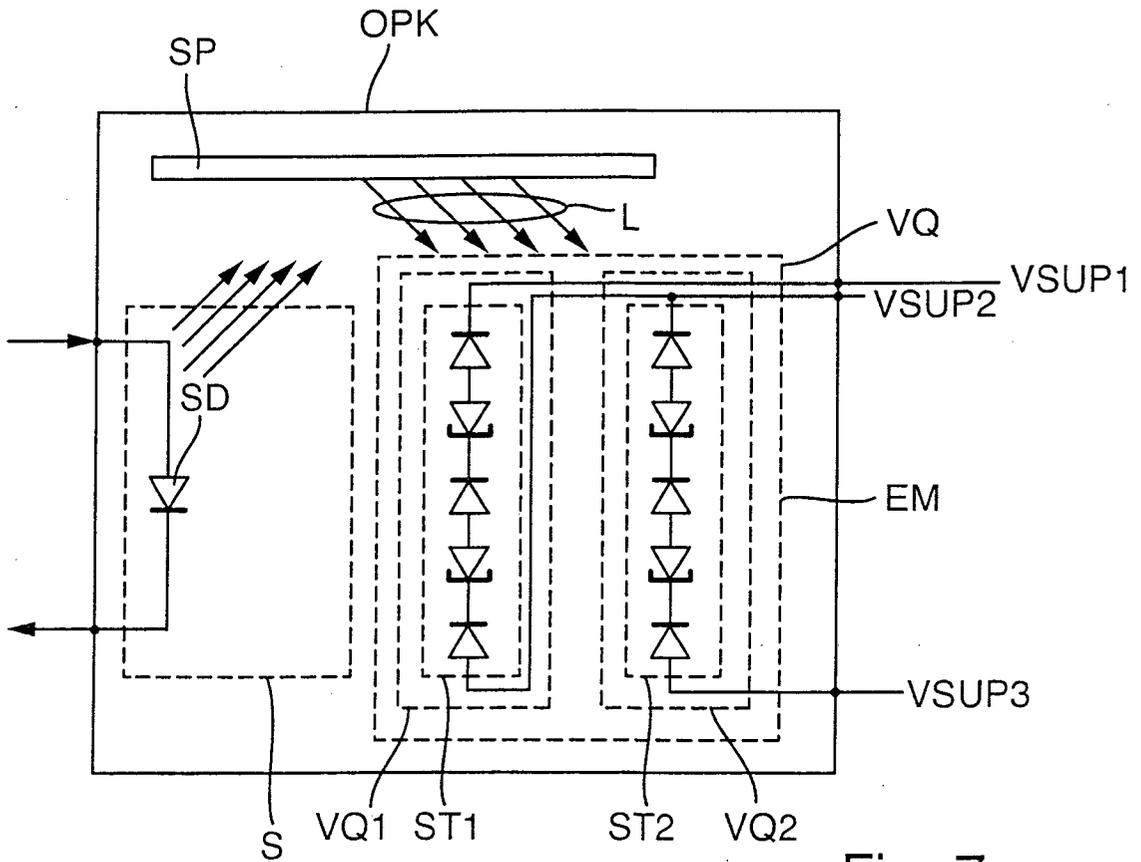


Fig. 7

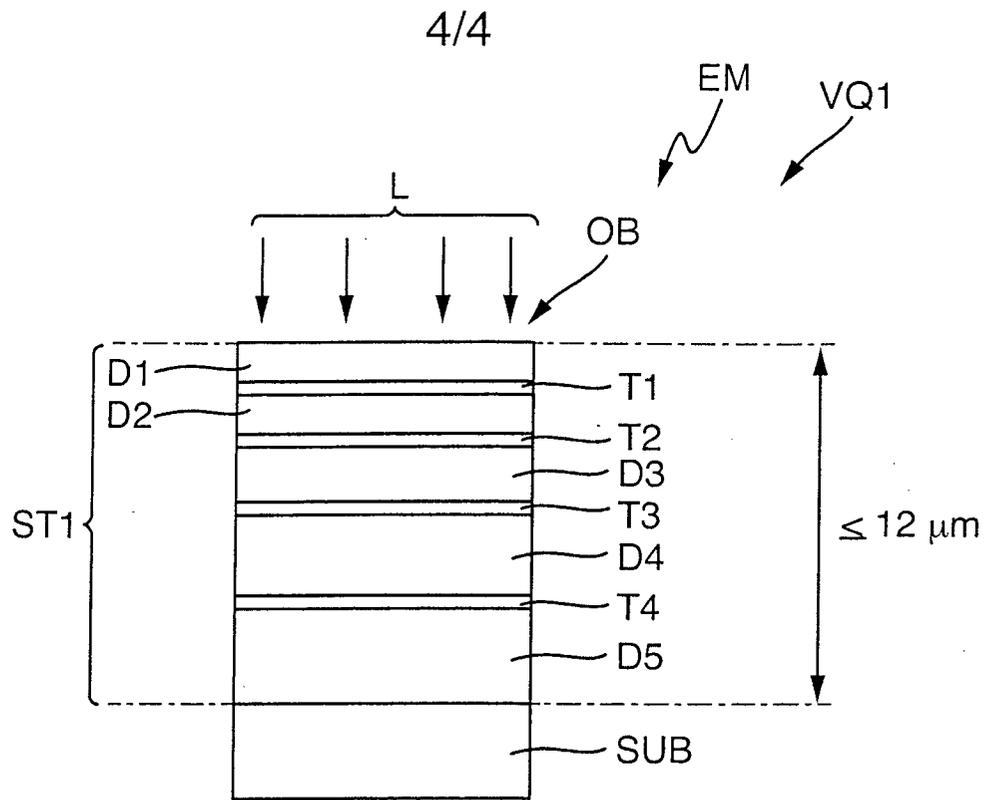


Fig. 8

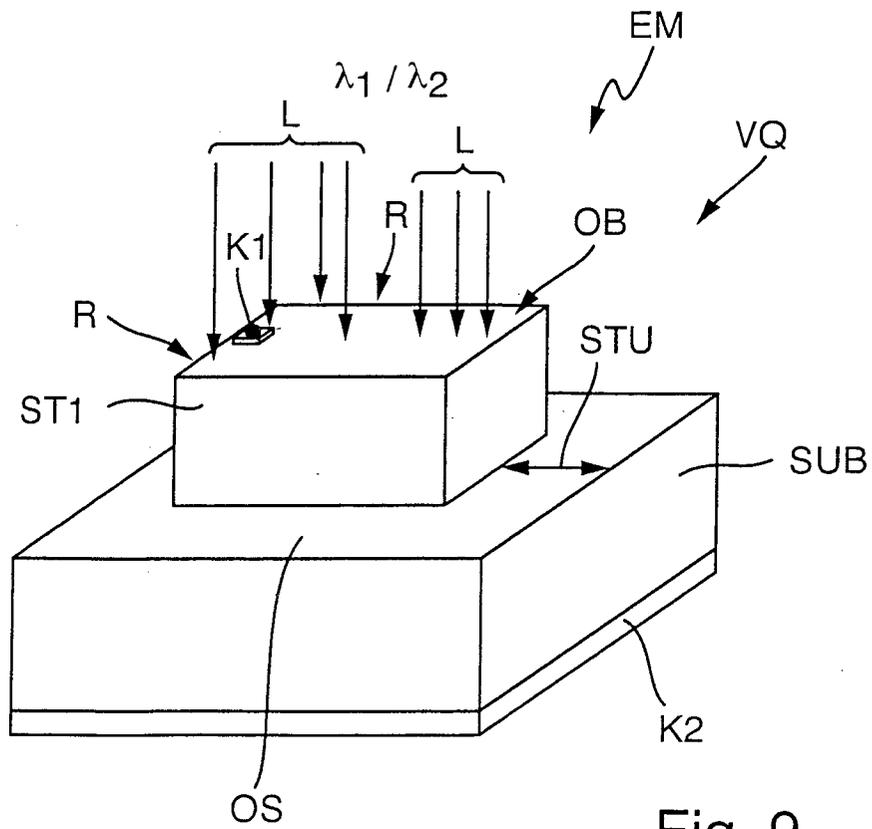


Fig. 9

INTERNATIONAL SEARCH REPORT

International application No
PCT/EP2017/000121

A. CLASSIFICATION OF SUBJECT MATTER
INV. H01L31/167 H01L31/0304
ADD.
According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED
Minimum documentation searched (classification system followed by classification symbols)
H01L
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)
EPO-Internal, WPI Data, INSPEC

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	US 2015/162478 A1 (FAFARD SIMON [CA] ET AL) 11 June 2015 (2015-06-11) abstract; figures 2,6,7,9,10,14,17,21,22 paragraphs [0002] - [0010], [0040], [0041], [0046], [0047], [0050] - [0053], [0058] - [0063], [0069] - [0070], [0090] - [0092], [0099] - [0105]	1-18
A	VALDIVIA CHRISTOPHER E ET AL: "Five-volt vertically-stacked, single-cell GaAs photonic power converter", PROCEEDINGS OF SPIE, vol. 9358, 16 March 2015 (2015-03-16), pages 93580E-1-93580E-8, XP060049977, DOI: 10.1117/12.2079824 ISBN: 978-1-62841-730-2 the whole document	1-18

Further documents are listed in the continuation of Box C. See patent family annex.

* Special categories of cited documents :

"A" document defining the general state of the art which is not considered to be of particular relevance
 "E" earlier application or patent but published on or after the international filing date
 "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
 "O" document referring to an oral disclosure, use, exhibition or other means
 "P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
 "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
 "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
 "&" document member of the same patent family

Date of the actual completion of the international search: 27 April 2017
 Date of mailing of the international search report: 10/05/2017

Name and mailing address of the ISA/
 European Patent Office, P.B. 5818 Patentlaan 2
 NL - 2280 HV Rijswijk
 Tel. (+31-70) 340-2040,
 Fax: (+31-70) 340-3016

Authorized officer:
 Sagol, Bülent Erol

INTERNATIONAL SEARCH REPORT

International application No
PCT/EP2017/000121

C(Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	SCHUBERT J ET AL: "High-Voltage GaAs Photovoltaic Laser Power Converters", IEEE TRANSACTIONS ON ELECTRON DEVICES, vol. 56, no. 2, February 2009 (2009-02), pages 170-175, XP011241423, ISSN: 0018-9383, DOI: 10.1109/TED.2008.2010603 the whole document	1,6-16
A	----- US 2006/048811 A1 (KRUT DIMITRI D [US] ET AL) 9 March 2006 (2006-03-09) cited in the application the whole document	1,6-16
A	----- US 4 766 471 A (OVSHINSKY STANFORD R [US] ET AL) 23 August 1988 (1988-08-23) the whole document	1-6,8,9, 11,12, 14,17,18
A	----- US 5 644 156 A (SUZUKI TAKETOSHI [JP] ET AL) 1 July 1997 (1997-07-01) the whole document	1-5,17, 18
A	----- DE 40 05 835 A1 (AGENCY IND SCIENCE TECHN [JP]; MATSUSHITA ELECTRIC WORKS LTD [JP]) 30 August 1990 (1990-08-30) cited in the application the whole document	1-9,11, 12,14, 17,18
A	----- US 4 996 577 A (KINZER DANIEL M [US]) 26 February 1991 (1991-02-26) cited in the application the whole document -----	1-6,8,9, 11,12

INTERNATIONAL SEARCH REPORT

Information on patent family members

International application No

PCT/EP2017/000121

Patent document cited in search report	Publication date	Patent family member(s)	Publication date
US 2015162478 A1	11-06-2015	US 2015162478 A1 WO 2015085422 A1	11-06-2015 18-06-2015

US 2006048811 A1	09-03-2006	EP 1790016 A1 EP 2482340 A2 JP 6017106 B2 JP 2008512870 A US 2006048811 A1 WO 2006031305 A1	30-05-2007 01-08-2012 26-10-2016 24-04-2008 09-03-2006 23-03-2006

US 4766471 A	23-08-1988	NONE	

US 5644156 A	01-07-1997	JP H08148280 A US 5644156 A	07-06-1996 01-07-1997

DE 4005835 A1	30-08-1990	NONE	

US 4996577 A	26-02-1991	NONE	

A. KLASSIFIZIERUNG DES ANMELDUNGSGEGENSTANDES INV. H01L31/167 H01L31/0304 ADD.		
Nach der Internationalen Patentklassifikation (IPC) oder nach der nationalen Klassifikation und der IPC		
B. RECHERCHIERTE GEBIETE		
Recherchierter Mindestprüfstoff (Klassifikationssystem und Klassifikationssymbole) H01L		
Recherchierte, aber nicht zum Mindestprüfstoff gehörende Veröffentlichungen, soweit diese unter die recherchierten Gebiete fallen		
Während der internationalen Recherche konsultierte elektronische Datenbank (Name der Datenbank und evtl. verwendete Suchbegriffe) EPO-Internal, WPI Data, INSPEC		
C. ALS WESENTLICH ANGESEHENE UNTERLAGEN		
Kategorie*	Bezeichnung der Veröffentlichung, soweit erforderlich unter Angabe der in Betracht kommenden Teile	Betr. Anspruch Nr.
X	US 2015/162478 A1 (FAFARD SIMON [CA] ET AL) 11. Juni 2015 (2015-06-11) Zusammenfassung; Abbildungen 2,6,7,9,10,14,17,21,22 Absätze [0002] - [0010], [0040], [0041], [0046], [0047], [0050] - [0053], [0058] - [0063], [0069] - [0070], [0090] - [0092], [0099] - [0105] -----	1-18
A	VALDIVIA CHRISTOPHER E ET AL: "Five-volt vertically-stacked, single-cell GaAs photonic power converter", PROCEEDINGS OF SPIE, Bd. 9358, 16. März 2015 (2015-03-16), Seiten 93580E-1-93580E-8, XP060049977, DOI: 10.1117/12.2079824 ISBN: 978-1-62841-730-2 das ganze Dokument ----- -/--	1-18
<input checked="" type="checkbox"/> Weitere Veröffentlichungen sind der Fortsetzung von Feld C zu entnehmen <input checked="" type="checkbox"/> Siehe Anhang Patentfamilie		
* Besondere Kategorien von angegebenen Veröffentlichungen : "A" Veröffentlichung, die den allgemeinen Stand der Technik definiert, aber nicht als besonders bedeutsam anzusehen ist "E" frühere Anmeldung oder Patent, die bzw. das jedoch erst am oder nach dem internationalen Anmeldedatum veröffentlicht worden ist "L" Veröffentlichung, die geeignet ist, einen Prioritätsanspruch zweifelhaft erscheinen zu lassen, oder durch die das Veröffentlichungsdatum einer anderen im Recherchenbericht genannten Veröffentlichung belegt werden soll oder die aus einem anderen besonderen Grund angegeben ist (wie ausgeführt) "O" Veröffentlichung, die sich auf eine mündliche Offenbarung, eine Benutzung, eine Ausstellung oder andere Maßnahmen bezieht "P" Veröffentlichung, die vor dem internationalen Anmeldedatum, aber nach dem beanspruchten Prioritätsdatum veröffentlicht worden ist "T" Spätere Veröffentlichung, die nach dem internationalen Anmeldedatum oder dem Prioritätsdatum veröffentlicht worden ist und mit der Anmeldung nicht kollidiert, sondern nur zum Verständnis des der Erfindung zugrundeliegenden Prinzips oder der ihr zugrundeliegenden Theorie angegeben ist "X" Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann allein aufgrund dieser Veröffentlichung nicht als neu oder auf erfinderischer Tätigkeit beruhend betrachtet werden "Y" Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann nicht als auf erfinderischer Tätigkeit beruhend betrachtet werden, wenn die Veröffentlichung mit einer oder mehreren Veröffentlichungen dieser Kategorie in Verbindung gebracht wird und diese Verbindung für einen Fachmann naheliegend ist "&" Veröffentlichung, die Mitglied derselben Patentfamilie ist		
Datum des Abschlusses der internationalen Recherche	Absenddatum des internationalen Recherchenberichts	
27. April 2017	10/05/2017	
Name und Postanschrift der Internationalen Recherchenbehörde Europäisches Patentamt, P.B. 5818 Patentlaan 2 NL - 2280 HV Rijswijk Tel. (+31-70) 340-2040, Fax: (+31-70) 340-3016	Bevollmächtigter Bediensteter Sagol, Bülent Erol	

C. (Fortsetzung) ALS WESENTLICH ANGESEHENE UNTERLAGEN		
Kategorie*	Bezeichnung der Veröffentlichung, soweit erforderlich unter Angabe der in Betracht kommenden Teile	Betr. Anspruch Nr.
A	SCHUBERT J ET AL: "High-Voltage GaAs Photovoltaic Laser Power Converters", IEEE TRANSACTIONS ON ELECTRON DEVICES, Bd. 56, Nr. 2, Februar 2009 (2009-02), Seiten 170-175, XP011241423, ISSN: 0018-9383, DOI: 10.1109/TED.2008.2010603 das ganze Dokument	1,6-16
A	----- US 2006/048811 A1 (KRUT DIMITRI D [US] ET AL) 9. März 2006 (2006-03-09) in der Anmeldung erwähnt das ganze Dokument	1,6-16
A	----- US 4 766 471 A (OVSHINSKY STANFORD R [US] ET AL) 23. August 1988 (1988-08-23) das ganze Dokument	1-6,8,9, 11,12, 14,17,18
A	----- US 5 644 156 A (SUZUKI TAKETOSHI [JP] ET AL) 1. Juli 1997 (1997-07-01) das ganze Dokument	1-5,17, 18
A	----- DE 40 05 835 A1 (AGENCY IND SCIENCE TECHN [JP]; MATSUSHITA ELECTRIC WORKS LTD [JP]) 30. August 1990 (1990-08-30) in der Anmeldung erwähnt das ganze Dokument	1-9,11, 12,14, 17,18
A	----- US 4 996 577 A (KINZER DANIEL M [US]) 26. Februar 1991 (1991-02-26) in der Anmeldung erwähnt das ganze Dokument	1-6,8,9, 11,12

INTERNATIONALER RECHERCHENBERICHT

Angaben zu Veröffentlichungen, die zur selben Patentfamilie gehören

Internationales Aktenzeichen

PCT/EP2017/000121

Im Recherchenbericht angeführtes Patentdokument	Datum der Veröffentlichung	Mitglied(er) der Patentfamilie	Datum der Veröffentlichung
US 2015162478 A1	11-06-2015	US 2015162478 A1 WO 2015085422 A1	11-06-2015 18-06-2015
US 2006048811 A1	09-03-2006	EP 1790016 A1 EP 2482340 A2 JP 6017106 B2 JP 2008512870 A US 2006048811 A1 WO 2006031305 A1	30-05-2007 01-08-2012 26-10-2016 24-04-2008 09-03-2006 23-03-2006
US 4766471 A	23-08-1988	KEINE	
US 5644156 A	01-07-1997	JP H08148280 A US 5644156 A	07-06-1996 01-07-1997
DE 4005835 A1	30-08-1990	KEINE	
US 4996577 A	26-02-1991	KEINE	