



(12) 发明专利申请

(10) 申请公布号 CN 105390546 A

(43) 申请公布日 2016. 03. 09

(21) 申请号 201510518647. 8

(22) 申请日 2015. 08. 21

(30) 优先权数据

2014-168213 2014. 08. 21 JP

(71) 申请人 瑞萨电子株式会社

地址 日本东京

(72) 发明人 满生彰 中山知士 清水繁明

奥秋广幸

(74) 专利代理机构 中原信达知识产权代理有限  
责任公司 11219

代理人 李兰 孙志湧

(51) Int. Cl.

H01L 29/78(2006. 01)

H01L 29/06(2006. 01)

H01L 21/336(2006. 01)

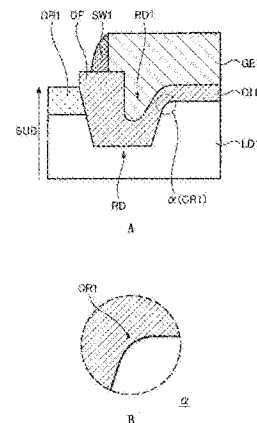
权利要求书3页 说明书10页 附图33页

(54) 发明名称

半导体器件和制造半导体器件的方法

(57) 摘要

本发明涉及半导体器件和制造半导体器件的方法。抑制了凹部附近的电场集中。栅极绝缘膜设置在其中具有漏极区和第一凹部的衬底上。第一凹部位于栅极绝缘膜和漏极区之间,并且被绝缘膜填充。绝缘膜在其接近栅极绝缘膜的一侧具有第二凹部。在漏极区接近栅极绝缘膜的一侧,由第一凹部的内侧面和衬底的表面限定的角被倒圆。



1. 一种半导体器件,包括:

衬底;

第一晶体管,所述第一晶体管具有栅极绝缘膜和栅电极,并且具有在平面图中在所述栅极绝缘膜在中间的情况下彼此相对的漏极和源极;

第一杂质区,所述第一杂质区设置在所述衬底中并且将成为所述漏极和所述源极中的一个;

第一凹部,所述第一凹部设置在所述衬底中并且位于所述栅极绝缘膜和所述第一杂质区之间;

第一绝缘膜,所述第一绝缘膜被填充在所述第一凹部中;以及

第二凹部,所述第二凹部在接近所述栅极绝缘膜的一侧设置在所述第一绝缘膜中,

其中,在所述第一凹部接近所述栅极绝缘膜的一侧,由所述第一凹部的内侧面和所述衬底的表面限定的第一角被倒圆。

2. 根据权利要求 1 所述的半导体器件,进一步包括:

第二杂质区,所述第二杂质区设置在所述衬底中并且将是所述漏极和所述源极中的另一个;

第三凹部,所述第三凹部设置在所述衬底中并且位于所述栅极绝缘膜和所述第二杂质区之间;

第二绝缘膜,所述第二绝缘膜被填充在所述第三凹部中;以及

第四凹部,所述第四凹部在接近所述栅极绝缘膜的一侧设置在所述第二绝缘膜中,

其中,在所述第三凹部接近所述栅极绝缘膜的一侧,由所述第三凹部的内侧面和所述衬底的表面限定的第二角被倒圆。

3. 根据权利要求 1 所述的半导体器件,进一步包括第二晶体管,所述第二晶体管具有栅极绝缘膜和栅电极,并且在平面图中具有在所述栅极绝缘膜在中间的情况下彼此相对的漏极和源极,

其中,所述第一晶体管构成第一电路,所述第一电路具有是第一电压的电源电位,

其中,所述第二晶体管构成第二电路,所述第二电路具有是第二电压的电源电位,所述第二电压低于所述第一电压,并且

其中,所述第一晶体管的栅极绝缘膜比所述第二晶体管的栅极绝缘膜厚。

4. 根据权利要求 3 所述的半导体器件,进一步包括:

第五凹部,所述第五凹部设置在所述衬底中并且在平面图中包围所述第二晶体管;以及

第三绝缘膜,所述第三绝缘膜被填充在所述第五凹部中,

其中,所述第三绝缘膜的顶部被定位在所述第二凹部的底部之上。

5. 一种制造半导体器件的方法,包括以下步骤:

在衬底上形成第一绝缘膜;

在所述第一绝缘膜中形成开口;

在形成所述开口之后,通过用所述第一绝缘膜作为掩膜蚀刻所述衬底,在所述衬底中形成第一凹部;

在所述第一凹部和所述开口中,填充第二绝缘膜;

通过蚀刻所述第二绝缘膜,将所述第二绝缘膜的顶部定位在所述开口的上端之下;

在蚀刻所述第二绝缘膜之后,在所述第一绝缘膜和所述第二绝缘膜上形成绝缘膜,从而形成在与所述开口重叠的区域中具有第二凹部的第三绝缘膜;

用掩蔽膜覆盖第一区域,在平面图中,所述第一区域在内部包含所述第二凹部的一部分,并且没有用所述掩蔽膜覆盖第二区域,在平面图中,所述第二区域在内部包含所述第二凹部的剩余部分;

用所述掩蔽膜作为掩膜,蚀刻所述第一绝缘膜、所述第二绝缘膜和所述第三绝缘膜,从而从所述第二区域去除所述第一绝缘膜和所述第三绝缘膜,并且在所述第二区域中,将所述第二绝缘膜的顶部定位在所述第一凹部的上端之下;

去除所述掩蔽膜;以及

在去除所述掩蔽膜之后,在所述第三绝缘膜留在所述第一区域中的同时,在所述第二区域中的所述衬底上形成氧化物膜。

6. 根据权利要求 5 所述的方法,

其中,所述第一绝缘膜是氮化硅膜,

其中,所述第二绝缘膜是氧化硅膜,并且

其中,所述第三绝缘膜是氮化硅膜。

7. 一种制造半导体器件的方法,包括以下步骤:

在衬底上形成第一绝缘膜;

在所述第一绝缘膜中形成开口;

在形成所述开口之后,通过用所述第一绝缘膜作为掩膜蚀刻所述衬底,在所述衬底中形成第一凹部;

在所述第一凹部和所述开口中填充第二绝缘膜;

通过蚀刻所述第二绝缘膜,将所述第二绝缘膜的顶部定位在所述第一凹部的上端之下;

在蚀刻所述第二绝缘膜之后,去除所述第一绝缘膜;

在去除所述第一绝缘膜之后,在所述衬底和所述第二绝缘膜上形成绝缘膜,从而形成在与所述第一凹部重叠的区域中具有第二凹部的第三绝缘膜;

用掩蔽膜覆盖第一区域,在平面图中,所述第一区域在内部包含所述第二凹部的一部分,并且没有用所述掩蔽膜覆盖第二区域,在平面图中,所述第二区域在内部包含所述第二凹部的剩余部分;

用所述掩蔽膜作为掩膜,蚀刻所述第二绝缘膜和所述第三绝缘膜,从而从所述第二区域去除所述第三绝缘膜,并且在所述第二区域中,将所述第二绝缘膜的顶部定位在所述第一凹部的上端之下;

去除所述掩蔽膜;以及

在去除所述掩蔽膜之后,在所述第三绝缘膜留在所述第一区域中的同时,在所述第二区域中的所述衬底上形成氧化物膜。

8. 根据权利要求 7 所述的方法,

其中,所述第一绝缘膜是氮化硅膜,

其中,所述第二绝缘膜是氧化硅膜,并且

---

其中,所述第三绝缘膜是氮化硅膜。

## 半导体器件和制造半导体器件的方法

[0001] 相关申请的交叉引用

[0002] 包括说明书、附图和摘要的 2014 年 8 月 21 日提交的日本专利申请 No. 2014-168213 的公开的全部内容以引用方式并入本文中。

### 技术领域

[0003] 本发明涉及半导体器件和制造半导体器件的方法。例如，本发明是可应用于功率晶体管的技术。

### 背景技术

[0004] 在某些半导体器件中，多个晶体管设置在半导体衬底上。在这种情况下，可使用浅沟槽隔离 (STI) 将这些晶体管相互电隔离。

[0005] 日本未经审查的专利申请公开 No. 2005-19703 (JP-A-2005-19703) 描述了一种示例性 STI。在 JP-A-2005-19703 中，首先，在硅衬底的表面上形成凹部。随后，用绝缘膜填充凹部。随后，蚀刻硅衬底的表面。这允许绝缘膜的顶部位于高于硅衬底的表面。随后，通过热氧化在硅衬底的表面上形成氧化物膜。随后，去除氧化物膜。随后，通过热氧化在硅衬底的表面上形成栅极绝缘膜。JP-A-2005-19703 描述了在除了其它区域外的绝缘膜 (凹部) 附近，氧浓度较高。JP-A-2005-19703 还描述了在除了其它区域外的凹部附近，栅极绝缘膜具有较大厚度。

### 发明内容

[0006] 可在为了 STI 而设置的凹部附近，设置栅电极和栅极绝缘膜。此外，可在凹部附近施加高电压。在这种情况下，必须抑制凹部附近出现电场集中。根据本说明书的描述和附图，将清楚其它问题和新颖特征。

[0007] 根据本发明的一个实施例，提供了一种半导体器件，所述半导体器件包括衬底和第一晶体管。所述第一晶体管包括栅极绝缘膜。所述晶体管进一步包括第一杂质区，所述第一杂质区将成为漏极和源极中的一个。所述衬底在其内具有第一凹部。所述第一凹部位于所述栅极绝缘膜和所述第一杂质区之间。在第一凹部的接近栅极绝缘膜的一侧，由第一凹部的内侧面和衬底的表面限定的第一角被倒圆。

[0008] 根据这个实施例，抑制了凹部附近的电场集中。

### 附图说明

[0009] 图 1 是示出根据第一实施例的用于半导体器件的晶体管的构造的平面图。

[0010] 图 2 是图 1 中沿着 A-A' 的剖视图。

[0011] 图 3A 和图 3B 均是图 2 中示出的凹部的放大视图。

[0012] 图 4A 和图 4B 均是图 2 中示出的另一个凹部的放大视图。

[0013] 图 5 示出图 2 的修改形式。

- [0014] 图 6 是示出制造图 3 中示出的半导体器件的方法的剖视图。
- [0015] 图 7 是示出制造图 3 中示出的半导体器件的方法的剖视图。
- [0016] 图 8 是示出制造图 3 中示出的半导体器件的方法的剖视图。
- [0017] 图 9 是示出制造图 3 中示出的半导体器件的方法的剖视图。
- [0018] 图 10 是示出制造图 3 中示出的半导体器件的方法的剖视图。
- [0019] 图 11 是示出制造图 3 中示出的半导体器件的方法的剖视图。
- [0020] 图 12 是示出制造图 3 中示出的半导体器件的方法的剖视图。
- [0021] 图 13 是示出制造图 3 中示出的半导体器件的方法的剖视图。
- [0022] 图 14 是示出制造图 3 中示出的半导体器件的方法的剖视图。
- [0023] 图 15 是示出根据比较例的制造半导体器件的方法的剖视图。
- [0024] 图 16 是示出根据比较例的制造半导体器件的方法的剖视图。
- [0025] 图 17 是示出根据比较例的制造半导体器件的方法的剖视图。
- [0026] 图 18 是示出根据比较例的制造半导体器件的方法的剖视图。
- [0027] 图 19 是示出根据比较例的制造半导体器件的方法的剖视图。
- [0028] 图 20 示出图 6 至图 14 中示出的方法的修改形式。
- [0029] 图 21 示出图 6 至图 14 中示出的方法的修改形式。
- [0030] 图 22 示出图 6 至图 14 中示出的方法的修改形式。
- [0031] 图 23 示出图 6 至图 14 中示出的方法的修改形式。
- [0032] 图 24 示出图 6 至图 14 中示出的方法的修改形式。
- [0033] 图 25 示出图 6 至图 14 中示出的方法的修改形式。
- [0034] 图 26 是示出根据第二实施例的半导体器件的构造的平面图。
- [0035] 图 27 是示出晶体管的构造的剖视图。
- [0036] 图 28 是示出晶体管的构造的平面图。
- [0037] 图 29 是示出制造图 27 中示出的半导体器件的方法的剖视图。
- [0038] 图 30 是示出制造图 27 中示出的半导体器件的方法的剖视图。
- [0039] 图 31 是示出制造图 27 中示出的半导体器件的方法的剖视图。
- [0040] 图 32 是示出制造图 27 中示出的半导体器件的方法的剖视图。
- [0041] 图 33 是示出制造图 27 中示出的半导体器件的方法的剖视图。
- [0042] 图 34 是示出制造图 27 中示出的半导体器件的方法的剖视图。
- [0043] 图 35 是示出制造图 27 中示出的半导体器件的方法的剖视图。
- [0044] 图 36 是示出制造图 27 中示出的半导体器件的方法的剖视图。
- [0045] 图 37 是示出制造图 27 中示出的半导体器件的方法的剖视图。
- [0046] 图 38 是示出制造图 27 中示出的半导体器件的方法的剖视图。
- [0047] 图 39 是示出制造图 27 中示出的半导体器件的方法的剖视图。

### 具体实施方式

[0048] 下文中,参照附图描述本发明的一些实施例。在所有附图中,用类似的标号代表类似的组件,酌情省略重复的描述。

[0049] 第一实施例

[0050] 图 1 是示出根据第一实施例的用于半导体器件的晶体管 TR1 的构造的平面图。图 2 是图 1 中沿着 A-A' 的剖视图。如图 2 中所示,使用衬底 SUB 形成晶体管 TR1。具体地讲,衬底 SUB 具有阱 WL1。使用阱 WL1 形成晶体管 TR1。如图 2 中所示,晶体管 TR1 包括栅电极 GE1、栅极绝缘膜 GI1、漏极区 DR1(第一杂质区)、源极区 SR1(第二杂质区)、轻掺杂漏极(LDD)区 LD1、轻掺杂源极(LDS)区 LS1 和侧壁 SW1。

[0051] 参照图 1 描述晶体管 TR1 的平面布局。在晶体管 TR1 中,漏极(漏极区 DR1)、栅电极 GE1 和源极(源极区 SR1)依此次序布置在第一方向(X1 方向)上。漏极区 DR1、栅电极 GE1 和源极区 SR1 中的每个在与第一方向(X1 方向)垂直的第二方向(Y1 方向)上延伸。

[0052] 衬底 SUB 具有隔离区 IR。如随后参照图 2 详细描述的,隔离区 IR 由填充在衬底 SUB 的凹部 REC(图 2)中的绝缘膜 DF(图 2)构成。换句话说,通过 STI 形成隔离区 IR。如图 1 中所示,在平面图中,漏极区 DR1 和源极区 SR1 中的每个被隔离区 IR 包围。在这个构造中,如随后参照图 2 详细描述的,在漏极区 DR1 和栅电极 GE1 之间设置凹部 RD(隔离区 IR)。同样地,在源极区 SR1 和栅电极 GE1 之间设置凹部 RS(隔离区 IR)。

[0053] 如图 1 中所示,漏极区 DR1 具有多个接触件 CT1。接触件 CT1 布置在第二方向(Y1 方向)上。源极区 SR1 还具有多个接触件 CT1。这些接触件 CT1 还布置在第二方向(Y1 方向)上。

[0054] 如图 1 中所示,在平面图中,LDD 区 LD1 在内部包括漏极区 DR1。同样地,在平面图中,LDS 区 LS1 在内部包括源极区 SR1。另外,在平面图中,LDD 区 LD1 在源极区 SR1 附近的一侧的侧面在栅电极 GE1 内。同样地,在平面图中,LDS 区 LS1 在漏极区 DR1 附近的一侧的侧面在栅电极 GE1 内。

[0055] 现在,参照图 2 描述晶体管 TR1 的剖面结构。如图 2 中所示,阱 WL1 具有 LDD 区 LD1 和 LDS 区 LS1。LDD 区 LD1 在其内具有漏极区 DR1。LDS 区 LS1 在其内具有源极区 SR1。栅极绝缘膜 GI1 设置在 LDD 区 LD1 和 LDS 区 LS1 之间。凹部 RD(第一凹部)位于漏极区 DR1 和栅极绝缘膜 GI1 之间。凹部 RS(第三凹部)位于源极区 SR1 和栅极绝缘膜 GI1 之间。

[0056] LDD 区 LD1 和 LDS 区 LS1 中的每个具有与阱 WL1 的导电类型相反的导电类型。漏极区 DR1 比 LDD 区 LD1 浅,并且具有比 LDD 区 LD1 的杂质浓度高的杂质浓度。同样地,源极区 SR1 比 LDS 区 LS1 浅,并且具有比 LDS 区 LS1 的杂质浓度高的杂质浓度。

[0057] 凹部 RD 被绝缘膜 DF(第一绝缘膜)填充。同样地,凹部 RS 被绝缘膜 DF(第二绝缘膜)填充。绝缘膜 DF 是例如氧化硅膜。在图 2 中示出的示例性情况下,凹部 RD 中的绝缘膜 DF 和凹部 RS 中的绝缘膜 DF 与栅极绝缘膜 GI1 形成一体。凹部 RD 中的绝缘膜 DF 在其与栅极绝缘膜 GI1 接近的一侧的区域中具有凹部 RD1(第二凹部)。同样地,凹部 RS 中的绝缘膜 DF 在其与栅极绝缘膜 GI1 接近的一侧的区域中具有凹部 RS1(第四凹部)。凹部 RD1 和凹部 RS1 中的每个被栅电极 GE1 的部分填充。

[0058] 栅电极 GE1 位于衬底 SUB 上方。此外,侧壁 SW1 设置在栅电极 GE1 的各侧面上。例如,栅电极 GE1 由多晶硅形成。例如,侧壁 SW1 由氧化硅膜或氮化硅膜形成。

[0059] 晶体管 TR1 被绝缘层 IL 覆盖。接触件 CT1 被掩埋在绝缘层 IL 中。在接近漏极区 DR1 的一侧的各接触件 CT1 耦合到漏极区 DR1。在接近源极区 SR1 的一侧的各接触件 CT1 耦合到源极区 SR1。

[0060] 图 3A 是图 2 中示出的凹部 RD 的放大视图。图 3B 是图 3A 中的部分  $\alpha$  的放大视

图。如图 3A 中所示,通过凹部 RD 的内侧面和衬底 SUB 的表面限定的角(角 CR1)位于凹部 RD 接近栅极绝缘膜 GI1 的一侧。如图 3B 中所示,角 CR1 被倒圆。因此,抑制了角 CR1 处的电场集中。

[0061] 详细地,如图 3A 中所示,衬底 SUB 的表面位于除了角 CR1 之外的一条直线(第一直线)上。同样地,凹部 RD 接近栅极绝缘膜 GI1 的一侧的内侧面位于除了角 CR1 之外的一条直线(第二直线)上。在这种情况下,角 CR1 位于由第一直线和第二直线限定的角内。通过第一直线和第二直线限定的角是例如 90 度至 120 度。

[0062] 此外,如图 3A 中所示,栅极绝缘膜 GI1 与绝缘膜 DF 形成一体。构成栅极绝缘膜 GI1 和绝缘膜 DF 的绝缘膜沿着角 CR1 设置在凹部 RD 接近栅极绝缘膜 GI1 的一侧。以这种方式,绝缘膜沿着角 CR1 部分设置在凹部 RD1 的内侧面上。

[0063] 凹部 RD 的深度(在图 3A 中,漏极区 DR1 的顶部和凹部 RD 的底部在衬底 SUB 厚度方向上的距离)是例如 200nm 至 400nm。此外,通过第一直线(沿着衬底 SUB 表面的直线)和第二直线(沿着凹部 RD 内侧面的直线)限定的角是例如 90 度至 120 度,如上所述。当凹部 RD 的深度和角度均为如上所述时,角 CR1 被倒圆,使得曲率半径的最小值是例如 10nm 至 200nm。

[0064] 图 4A 是图 2 中示出的凹部 RS 的放大视图。图 4B 是图 4A 中的部分  $\beta$  的放大视图。如图 4A 中所示,由凹部 RS 的内侧面和衬底 SUB 的表面限定的角(角 CR2)位于凹部 RS 接近栅极绝缘膜 GI1 的一侧。如图 4B 中所示,角 CR2 被倒圆。因此,抑制了角 CR2 处的电场集中。

[0065] 详细地,如图 4A 中所示,衬底 SUB 的表面位于除了角 CR2 之外的一条直线(第三直线)上。同样地,凹部 RS 接近栅极绝缘膜 GI1 的一侧的内侧面位于除了角 CR2 之外的一条直线(第四直线)上。在这种情况下,角 CR2 位于由第三直线和第四直线限定的角内。由第三直线和第四直线限定的角是例如 90 度至 120 度。

[0066] 此外,如图 4A 中所示,栅极绝缘膜 GI1 与绝缘膜 DF 形成一体。构成栅极绝缘膜 GI1 和绝缘膜 DF 的绝缘膜沿着角 CR2 设置在凹部 RS 接近栅极绝缘膜 GI1 的一侧。以这种方式,绝缘膜沿着角 CR2 部分设置在凹部 RS1 的内侧面上。

[0067] 凹部 RS 的深度(在图 4A 中,源极区 SR1 的顶部和凹部 RS 的底部在衬底 SUB 厚度方向上的距离)是例如 200nm 至 400nm。此外,由第三直线(沿着衬底 SUB 表面的直线)和第四直线(沿着凹部 RS 内侧面的直线)限定的角是例如 90 度至 120 度,如上所述。当凹部 RS 的深度和角度均为如上所述时,角 CR2 被倒圆,使得曲率半径的最小值是例如 10nm 至 200nm。

[0068] 图 5 示出图 2 的修改形式。在一些情况下,不需要源极区 SR1 和阱 WL1 之间的部分具有高耐压。在这种情况下,如图 5 中所示,可不设置 LDS 区 LS1(图 2)和凹部 RS(图 2)。在图 5 中示出的示例性情况下,栅极绝缘膜 GI1 接近漏极区 DR1 的一侧的端部达到漏极区 DR1。

[0069] 图 6 至图 14 是示出制造图 3A 和图 3B 中示出的半导体器件的方法的剖视图。首先,如图 2 中所示,阱 WL1 形成在衬底 SUB 中。随后,LDD 区 LD1 和 LDS 区 LS1 形成在阱 WL1 中。

[0070] 随后,如图 6 中所示,氧化物膜 OX1(例如,氧化硅膜)、氮化物膜 NT1(例如,氮化硅



膜)(第一绝缘膜)、抗反射涂层 ARC 和掩蔽膜 MK1 依此次序堆叠在衬底 SUB 上。随后,通过光刻,在掩蔽膜 MK1 中形成开口 OP1。

[0071] 随后,如图 7 中所示,用掩蔽膜 MK1 作为掩膜,蚀刻氮化物膜 NT1、氧化物膜 OX1 和衬底 SUB。因此,通过氮化物膜 NT1 和氧化物膜 OX1 形成开口 OP2。此外,通过开口 OP2 在衬底 SUB 中形成凹部 RD。随后,去除掩蔽膜 MK1 和抗反射涂层 ARC。

[0072] 随后,如图 8 中所示,在衬底 SUB 和氮化物膜 NT1 上形成绝缘膜 DF(例如,氧化硅膜)(第二绝缘膜)。以这种方式,用绝缘膜 DF 填充凹部 RD 和开口 OP2。另外,绝缘膜 DF 设置在氮化物膜 NT1 上。通过例如化学气相沉积(CVD)形成绝缘膜 DF。

[0073] 随后,如图 9 中所示,去除绝缘膜 DF 的表面部分。因此,去除氮化物膜 NT1 上的绝缘膜 DF。通过例如化学机械抛光(CMP)去除绝缘膜 DF。

[0074] 随后,如图 10 中所示,进一步去除绝缘膜 DF 的表面部分。这允许绝缘膜 DF 的顶部低于氮化物膜 NT1 的顶部。此外,在图 10 中示出的示例性情况下,绝缘膜 DF 的顶部高于衬底 SUB 的表面。通过例如湿蚀刻去除绝缘膜 DF。

[0075] 随后,如图 11 中所示,在绝缘膜 DF 和氮化物膜 NT1 上形成氮化物膜 NT2(例如,氮化硅膜)(第三绝缘膜)。在这种情况下,如图 11 中所示,氮化物膜 NT2 在与凹部 RD 重叠的区域中具有凹部 RE1。这是因为,绝缘膜 DF 的顶部低于氮化物膜 NT1 的顶部。这导致绝缘膜 DF 的顶部和氮化物膜 NT1 的顶部之间有高度差。这种高度差造成在氮化物膜 NT2 的顶部上形成凹部 RE1。凹部 RE1 具有例如 10nm 至 100nm 的深度。

[0076] 随后,如图 12 中所示,在氮化物膜 NT2 上形成掩蔽膜 MK2。在这种情况下,在平面图中,掩蔽膜 MK2 覆盖在内部包含凹部 RE1 的一部分的区域(第一区域 RG1)。换句话说,在平面图中,掩蔽膜 MK2 没有覆盖在内部包含凹部 RE1 的剩余部分的区域(第二区域 RG2)。在这种情况下,第二区域 RG2 是在后续步骤中形成栅极绝缘膜 GI1(图 3)的区域。

[0077] 随后,如图 13 中所示,用掩蔽膜 MK2 作为掩膜,蚀刻氮化物膜 NT2、氮化物膜 NT1、氧化物膜 OX1 和绝缘膜 DF。因此,从第二区域 RG2 去除氮化物膜 NT2、氮化物膜 NT1 和氧化物膜 OX1。另外,在第二区域 RG2 中,绝缘膜 DF 的顶部位于凹部 RD 的上端之下。在这种情况下,从第二区域 RG2 去除衬底 SUB 的一部分。另外,如随后详细描述,由凹部 RD 的内侧面和衬底 SUB 的表面限定的角(角 CR1)在第二区域 RG2 中被倒圆。随后,去除掩蔽膜 MK2。

[0078] 现在,描述角 CR1 被倒圆的原因。如图 12 中所示,氮化物膜 NT2 的顶部具有因凹部 RE1 造成的高度差。在图 12 和图 13 中示出的示例性情况下,蚀刻基本上在任何区域中在衬底 SUB 厚度方向上均匀地进行。在这种情况下,氮化物膜 NT2 的高度差的构造被转移到衬底 SUB 的表面上。因此,角 CR1 被倒圆。

[0079] 随后,如图 14 中所示,在氮化物膜 NT2 留在第一区域 RG1 中时,例如,通过热氧化,在第二区域 RG2 中的衬底 SUB 上形成氧化物膜 OX2。氧化物膜 OX2 将是栅极绝缘膜 GI1。在这种情况下,在凹部 RD 中的绝缘膜 DF 中,形成在其侧面上具有氧化物膜 OX2(栅极绝缘膜 GI2)的凹部(凹部 RD1)。随后,形成栅电极 GE1 和侧壁 SW1。因此,制造图 3 中示出的半导体器件。

[0080] 图 15 至图 19 是示出根据比较例的制造半导体器件的方法的剖视图。除了下面几点之外,比较例与第一实施例类似。在比较例中,如第一实施例中一样执行图 6 至图 9 中示出的步骤。

[0081] 随后,如图 15 中所示,去除氮化物膜 NT1(图 9)。绝缘膜 DF 的顶部因此位于高于氧化物膜 OX1(衬底 SUB)的顶部。

[0082] 随后,如图 16 中所示,氮化物膜 NT2 形成在氧化物膜 OX1(衬底 SUB)和绝缘膜 DF 上。在这种情况下,如图 16 中所示,氮化物膜 NT2 的顶部具有凹部 RD 上方的凸形部分 CON。这是因为,绝缘膜 DF 的顶部低于氧化物膜 OX1(衬底 SUB)的顶部。这导致了绝缘膜 DF 的顶部和氧化物膜 OX1(衬底 SUB)的顶部之间的高度差。这种高度差造成在氮化物膜 NT2 的顶部上形成凸形部分 CON。

[0083] 随后,如图 17 中所示,在氮化物膜 NT2 上形成掩蔽膜 MK2。在这种情况下,在平面图中,掩蔽膜 MK2 覆盖在内部包含凸形部分 CON 的一部分的区域(第一区域 RG1)。换句话说讲,在平面图中,掩蔽膜 MK2 没有覆盖在内部包含凸形部分 CON 的剩余部分的区域(第二区域 RG2)。在这种情况下,第二区域 RG2 是在后续步骤中形成栅极绝缘膜 GI1(图 3)的区域。

[0084] 随后,如图 18 中所示,用掩蔽膜 MK2 作为掩膜,蚀刻氮化物膜 NT2、氧化物膜 OX1 和绝缘膜 DF。因此,从第二区域 RG2 去除氮化物膜 NT2 和氧化物膜 OX1。此外,在第二区域 RG2 中,绝缘膜 DF 的顶部位于凹部 RD 的上端之下。在这种情况下,从第二区域 RG2 去除衬底 SUB 的一部分。另外,如随后详细描述,由凹部 RD 的内侧面和衬底 SUB 的表面限定的角(角 CR1)在第二区域 RG2 中具有突出部 PRO。突出部 PRO 从衬底 SUB 的表面向上突出。随后,去除掩蔽膜 MK2。

[0085] 现在,描述形成突出部 PRO 的原因。如图 17 中所示,氮化物膜 NT2 的顶部具有因凸形部分 CON 造成的高度差。在图 17 和图 18 中示出的示例性情况下,蚀刻基本上在任何区域中在衬底 SUB 厚度方向上均匀地进行。如图 17 中所示,氮化物膜 NT2 在具有高度差的区域中具有比其它区域中更大的厚度(衬底 SUB 的厚度方向上的厚度)。在这种情况下,具有高度差的区域被缓慢蚀刻并且比其它区域晚到达衬底 SUB。这导致,对于具有高度差的区域和其它区域而言,衬底 SUB 被蚀刻量存在差异。结果,形成突出部 PRO。

[0086] 随后,如图 19 中所示,在氮化物膜 NT2 留在第一区域 RG1 中时,例如,通过热氧化,在第二区域 RG2 中的衬底 SUB 上形成氧化物膜 OX2。氧化物膜 OX2 将是栅极绝缘膜 GI1。在这种情况下,突出部 PRO 保留在衬底 SUB 上。此突出部 PRO 会造成电场集中。

[0087] 现在,将第一实施例(图 6 至图 14)与比较例(图 15 至图 19)进行比较。在第一实施例中,如图 11 中所示,氮化物膜 NT2 的顶部在凹部 RD 上方具有凹部 RE1。如上所述,由于凹部 RE1(图 13),由凹部 RD 的内侧面和衬底 SUB 的表面限定的角(角 CR1)被倒圆。相比之下,在比较例中,如图 16 中所示,氮化物膜 NT2 的顶部具有在凹部 RD 上的凸形部分 CON。如上所述,由于凸形部分 CON(图 18),导致角 CR1 具有突出部 PRO。根据这个比较清楚的是,根据氮化物膜 NT2 的顶部形状,确定角 CR1 是被倒圆还是具有突出部 PRO。

[0088] 如上所述,第一实施例中的角 CR1 被倒圆,如图 13 中所示。这使得可以抑制在角 CR1 处的电场集中。相比之下,比较例中的角 CR1 具有突出部 PRO,如图 18 中所示。在比较例中,突出部 PRO 可因此造成电场集中。根据这个比较清楚的是,相比于比较例中,在第一实施例中,在角 CR1 处的电场集中可得到进一步抑制。

[0089] 如上所述,根据第一实施例,由凹部 RD 的内侧面和衬底 SUB 的表面限定的角(角 CR1)被倒圆。这使得可以有效抑制对应于角 CR1 的电场集中。

[0090] 图 20 至图 25 示出图 6 至图 14 中示出的方法的修改形式。除了下面几点之外,这

个修改形式与第一实施例类似。在这个修改形式中,如第一实施例中一样,执行图 6 至图 9 中示出的步骤。

[0091] 随后,如图 20 中所示,进一步去除绝缘膜 DF 的表面部分。这允许绝缘膜 DF 的顶部低于凹部 RD 的上端。例如,通过湿蚀刻去除绝缘膜 DF。

[0092] 随后,如图 21 中所示,去除氮化物膜 NT1(图 20)。

[0093] 随后,如图 22 中所示,在氧化物膜 OX1(衬底 SUB)和绝缘膜 DF 上,形成氮化物膜 NT2(第三绝缘膜)。在这种情况下,如图 22 中所示,氮化物膜 NT2 在与凹部 RD 重叠的区域中具有凹部 RE1。这是因为,绝缘膜 DF 的顶部低于氧化物膜 OX1(衬底 SUB)的顶部。这导致绝缘膜 DF 的顶部和氧化物膜 OX1(衬底 SUB)的顶部之间存在高度差。这种高度差造成在氮化物膜 NT2 的顶部上形成凹部 RE1。

[0094] 随后,如图 23 中所示,在氮化物膜 NT2 上形成掩蔽膜 MK2。在这种情况下,在平面图中,掩蔽膜 MK2 覆盖在内部包含凹部 RE1 的一部分的区域(第一区域 RG1)。换句话讲,在平面图中,掩蔽膜 MK2 没有覆盖在内部包含凹部 RE1 的剩余部分的区域(第二区域 RG2)。在这种情况下,第二区域 RG2 是在后续步骤中形成栅极绝缘膜 GI1(图 3)的区域。

[0095] 随后,如图 24 中所示,用掩蔽膜 MK2 作为掩膜,蚀刻氮化物膜 NT2、氧化物膜 OX1 和绝缘膜 DF。因此,从第二区域 RG2 去除氮化物膜 NT2 和氧化物膜 OX1。此外,在第二区域 RG2 中,绝缘膜 DF 的顶部位于凹部 RD 的上端之下。在这种情况下,从第二区域 RG2 去除衬底 SUB 的一部分。另外,如第一实施例(例如,图 13)中一样,由凹部 RD 的内侧面和衬底 SUB 的表面限定的角(角 CR1)在第二区域 RG2 中被倒圆。随后,去除掩蔽膜 MK2。

[0096] 随后,如图 25 中所示,在氮化物膜 NT2 留在第一区域 RG1 中时,例如,通过热氧化,在第二区域 RG2 中的衬底 SUB 上形成氧化物膜 OX2。氧化物膜 OX2 将是栅极绝缘膜 GI1。在这种情况下,在凹部 RD 中的绝缘膜 DF 中,形成在其侧面上具有氧化物膜 OX2(栅极绝缘膜 GI2)的凹部(凹部 RD1)。

[0097] 在这个修改形式中,如第一实施例中一样,通过凹部 RD 的内侧面和衬底 SUB 的表面限定的角(角 CR1)被倒圆。这使得可以有效抑制对应于角 CR1 的电场集中。

[0098] 第二实施例

[0099] 图 26 是示出根据第二实施例的半导体器件的构造的平面图。根据除了下面的几点之外,根据第二实施例的半导体器件具有与第一实施例的半导体器件类似的构造。

[0100] 在图 26 中示出的示例性情况下,半导体器件是液晶显示(LCD)驱动器。详细地,如图 26 中所示,半导体器件具有在同一衬底 SUB 上的模拟区 ANR 和数字区 DGR。衬底 SUB 是半导体衬底,例如,硅衬底或绝缘体上硅(SOI)衬底。衬底 SUB 具有矩形的平面形状。模拟区 ANR 和数字区 DGR 在此矩形的纵向方向上彼此相对。半导体器件的平面布局不限于图 26 中示出的示例性情况。

[0101] 模拟区 ANR 包含模拟电路 ANC(第一电路)。数字区 DGR 包含数字电路 DGC(第二电路)。模拟电路 ANC 具有是第一电压的电源电位。数字电路 DGC 具有是第二电压的电源电位。第二电压低于第一电压。例如,第一电压是大约 10V,第二电压是大约 1V。例如,模拟电路 ANC 产生用于驱动 LCD 的电压。例如,数字电路 DGC 是逻辑电路。

[0102] 图 27 是示出晶体管 TR1 和 TR2 中的每个的构造的剖视图。图 28 是示出晶体管 TR2 的构造的平面图。图 27 中示出的模拟区 ANR 对应于图 2。图 27 中示出的数字区 DGR 对应

于图 28 中沿着 B-B' 的剖面。

[0103] 在第二实施例中,晶体管 TR1 构成图 26 中示出的模拟电路 ANC。晶体管 TR2 构成图 26 中示出的数字电路 DGC。如图 27 中所示,使用同一衬底 SUB 形成晶体管 TR1 和晶体管 TR2。根据第二实施例的晶体管 TR1 具有与根据第一实施例的晶体管 TR1 的构造类似的构造。

[0104] 如图 27 中所示,衬底 SUB 在数字区 DGR 中具有阱 WL2。使用阱 WL2 形成晶体管 TR2。晶体管 TR2 包括栅电极 GE2、栅极绝缘膜 GI2、漏极区 DR2、源极区 SR2、LDD 区 LD2、LDS 区 LS2 和侧壁 SW2。

[0105] 参照图 28 描述晶体管 TR2 的平面布局。在晶体管 TR2 中,漏极(漏极区 DR2)、栅电极 GE2 和源极(源极区 SR2)依此顺序布置在第三方向(X2 方向)上。漏极区 DR2、栅电极 GE2 和源极区 SR2 中的每个在与第三方向垂直的第四方向(Y2 方向)上延伸。第三方向(X2 方向)和第四方向(Y2 方向)可分别与第一方向(X1 方向)和第二方向(Y1 方向)(图 1)相同或不同。

[0106] 如上所述,衬底 SUB 具有隔离区 IR。如图 28 中所示,漏极区 DR2 和源极区 SR2 均由隔离区 IR 限定。在图 28 中示出的示例性情况下,隔离区 IR 没有设置在漏极区 DR2 和源极区 SR2 之间。LDD 区 LD2、栅电极 GE2 和 LDS 区 LS2 位于漏极区 DR2 和源极区 SR2 之间。

[0107] 漏极区 DR2 具有多个接触件 CT2。接触件 CT2 布置在第四方向(Y2 方向)上。源极区 SR2 还具有多个接触件 CT2。这些接触件 CT2 还布置在第四方向(Y2 方向)上。

[0108] 现在,参照图 27 描述晶体管 TR2 的剖面结构。如图 27 中所示,晶体管 TR2 包括衬底 SUB 上的栅电极 GE2 上,并且包括衬底 SUB(阱 WL2)中的漏极区 DR2 和源极区 SR2。

[0109] 如图 27 中所示,LDD 区 LD2 位于栅电极 GE2 和漏极区 DR2 之间。LDD 区 LD2 具有与阱 WL2 的导电类型相反的导电类型,并且具有比漏极区 DR2 的杂质浓度低的杂质浓度。同样地,LDS 区 LS2 位于栅电极 GE2 和源极区 SR2 之间。LDS 区 LS2 具有与阱 WL2 的导电类型相反的导电类型,并且具有比源极区 SR2 的杂质浓度低的杂质浓度。

[0110] 栅极绝缘膜 GI2 位于衬底 SUB 和栅电极 GE2 之间。在第二实施例中,栅极绝缘膜 GI2 是例如与栅极绝缘膜 GI1(例如,氧化硅膜)相同类型的绝缘膜。栅极绝缘膜 GI2 的厚度 T2 小于栅极绝缘膜 GI1 的厚度 T1。这是因为,数字电路 DGC 的电源电位(第二电压)低于模拟电路 ANC 的电源电位(第一电压)。换句话讲,晶体管 TR2(构成数字电路 DGC 的晶体管)的耐压可低于晶体管 TR1(构成模拟电路 ANC 的晶体管)的耐压。这允许栅极绝缘膜 GI2 的厚度 T2 小于栅极绝缘膜 GI1 的厚度 T1。

[0111] 此外,在图 27 中示出的示例性情况下,栅电极 GE2 在第三方向(X2 方向)上的长度 L2 比栅电极 GE1 在第一方向(X1 方向)上的长度 L1 短。这是因为,晶体管 TR2 的耐压可低于晶体管 TR1 的耐压,如上所述。这允许栅电极 GE2 的长度 L2 比栅电极 GE1 的长度 L1 短。

[0112] 晶体管 TR2 被绝缘层 IL 覆盖,如同晶体管 TR1 一样。接触件 CT2 被掩埋在绝缘层 IL 中。漏极区 DR2 侧的接触件 CT2 耦合到漏极区 DR2。源极区 SR2 侧的接触件 CT2 耦合到源极区 SR2。

[0113] 图 29 至图 39 是示出制造图 27 中示出的半导体器件的方法的剖视图。首先,如图 29 中所示,在衬底 SUB 中形成阱 WL1 和 WL2。随后,在阱 WL1 中形成 LDD 区 LD1 和 LDS 区

LS1。随后,氧化物膜 OX1(例如,氧化硅膜)、氮化物膜 NT1、抗反射涂层 ARC 和掩蔽膜 MK1 依此次序堆叠在衬底 SUB 上。随后,在掩蔽膜 MK1 中形成开口 OP1。

[0114] 随后,如图 30 中所示,用掩蔽膜 MK1 作为掩膜,蚀刻氮化物膜 NT1、氧化物膜 OX1 和衬底 SUB。因此,通过氮化物膜 NT1 和氧化物膜 OX1 形成开口 OP2。此外,通过开口 OP2 在衬底 SUB 中形成凹部 REC。在这种情况下,REC 包括模拟区 ANR 中的凹部 RD 和 RS。随后,去除掩蔽膜 MK1 和抗反射涂层 ARC。

[0115] 随后,如图 31 中所示,在衬底 SUB 和氮化物膜 NT1 上形成绝缘膜 DF。因此,用绝缘膜 DF 填充凹部 REC 和开口 OP2。另外,绝缘膜 DF 设置在氮化物膜 NT1 上。通过例如化学气相沉积 (CVD) 形成绝缘膜 DF。

[0116] 随后,如图 32 中所示,去除绝缘膜 DF 的表面部分。因此,去除氮化物膜 NT1 上的绝缘膜 DF。通过例如化学机械抛光 (CMP) 去除绝缘膜 DF。

[0117] 随后,如图 33 中所示,进一步去除绝缘膜 DF 的表面部分。这允许绝缘膜 DF 的顶部低于氮化物膜 NT1 的顶部。此外,在图 33 中示出的示例性情况下,绝缘膜 DF 的顶部高于衬底 SUB 的表面。通过例如湿蚀刻去除绝缘膜 DF。

[0118] 随后,如图 34 中所示,在绝缘膜 DF 和氮化物膜 NT1 上形成氮化物膜 NT2。在这种情况下,如图 34 中所示,氮化物膜 NT2 在与凹部 RES 重叠的区域中具有凹部 RE1,如同第一实施例(图 11)中一样。

[0119] 随后,如图 35 中所示,在氮化物膜 NT2 上形成掩蔽膜 MK2。掩蔽膜 MK2 在第二区域 RG2 中具有开口 OP3。在随后步骤中,第二区域 RG2 将具有栅极绝缘膜 GI1(图 27)。掩蔽膜 MK2 覆盖除了第二区域 RG2 外的区域(第一区域 RG1)中的氮化物膜 NT2。

[0120] 随后,如图 36 中所示,用掩蔽膜 MK2 作为掩膜,蚀刻氮化物膜 NT2、氮化物膜 NT1、氧化物膜 OX1 和绝缘膜 DF。因此,从第二区域 RG2 去除氮化物膜 NT2、氮化物膜 NT1 和氧化物膜 OX1。另外,在第二区域 RG2 中,绝缘膜 DF 的顶部位于凹部 REC 的上端之下。在这种情况下,从第二区域 RG2 去除衬底 SUB 的一部分。另外,如第一实施例(例如,图 13)中一样,由凹部 REC 的内侧面和衬底 SUB 的表面限定的角(角 CR1 和 CR2)均在第二区域 RG2 中被倒圆。随后,去除掩蔽膜 MK2。

[0121] 在图 36 中示出的步骤中,用氮化物膜 NT2 覆盖数字区 DGR 中的衬底 SUB。因此,图 36 中示出的步骤没有去除数字区 DGR 中的绝缘膜 DF 的顶部。以这种方式,如图 27 中所示,数字区 DGR 中的绝缘膜 DF 的顶部位于高于凹部 RD1 和凹部 RS1 中的每个的底部。

[0122] 随后,如图 37 中所示,在氮化物膜 NT2 留在第一区域 RG1 中时,例如,通过热氧化,在第二区域 RG2 中的衬底 SUB 上形成氧化物膜 OX2。氧化物膜 OX2 将是栅极绝缘膜 GI1。在这种情况下,在凹部 RD 和 RS 中的绝缘膜 DF 上,分别形成在其侧面上均具有氧化物膜 OX2(栅极绝缘膜 GI2)的凹部 RD1 和 RS1。

[0123] 随后,如图 38 中所示,去除氮化物膜 NT2、氮化物膜 NT1 和氧化物膜 OX1。随后,例如,通过热氧化,在衬底 SUB 上形成氧化物膜 OX3。氧化物膜 OX3 将是栅极绝缘膜 GI2(图 27)。随后,在衬底 SUB 上形成导电膜 GE。诸如多晶硅膜的导电膜 GE 将是栅电极 GE1 和 GE2(图 27)中的每个。

[0124] 随后,如图 39 中所示,将导电膜 GE 和氧化物膜 OX3(图 38)图案化。因此,形成栅电极 GE1 和 GE2 和栅极绝缘膜 GI2。随后,在数字区 DGR 中,形成 LDD 区 LD2 和 LDS 区 LS2。

随后,在衬底 SUB 上,形成将成为侧壁 SW1 和 SW2 中的每个的绝缘膜。随后,对绝缘膜进行回蚀。因此,形成侧壁 SW1 和 SW2。随后,形成漏极区 DR1、源极区 SR1、漏极区 DR2 和源极区 SR2。随后,在衬底 SUB 上形成绝缘层 IL。随后,接触件 CT1 和 CT2 被掩埋在绝缘层 IL 中。以这种方式,制造图 27 中示出的半导体器件。

[0125] 第二实施例还提供了与第一实施例的效果类似的效果。

[0126] 尽管根据以上的本发明的一些实施例详细描述了发明人实现的本发明,但本发明不应该限于此,应该理解,可在不脱离本发明的主旨的范围内,进行各种修改形式或其替代形式。

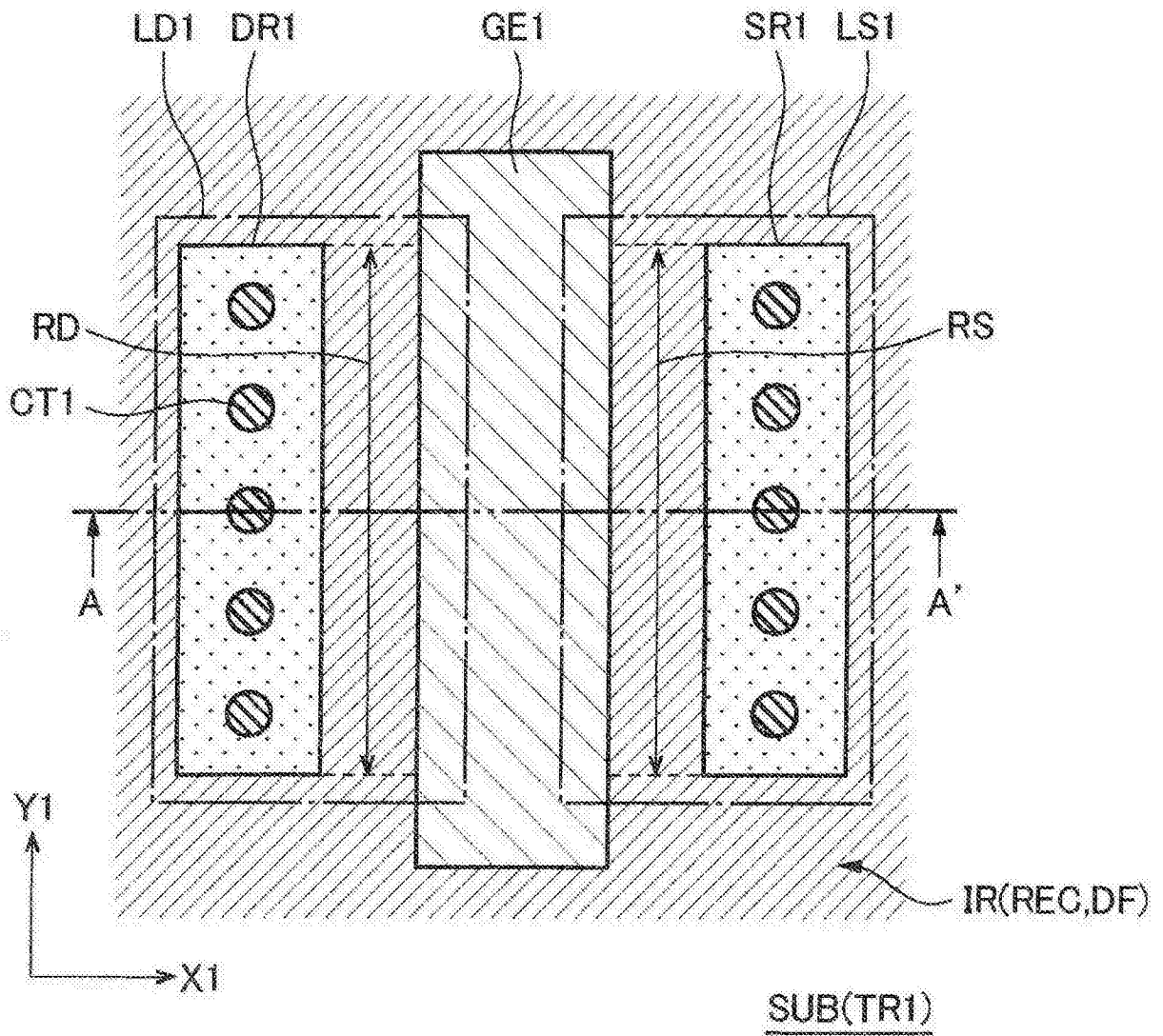


图 1





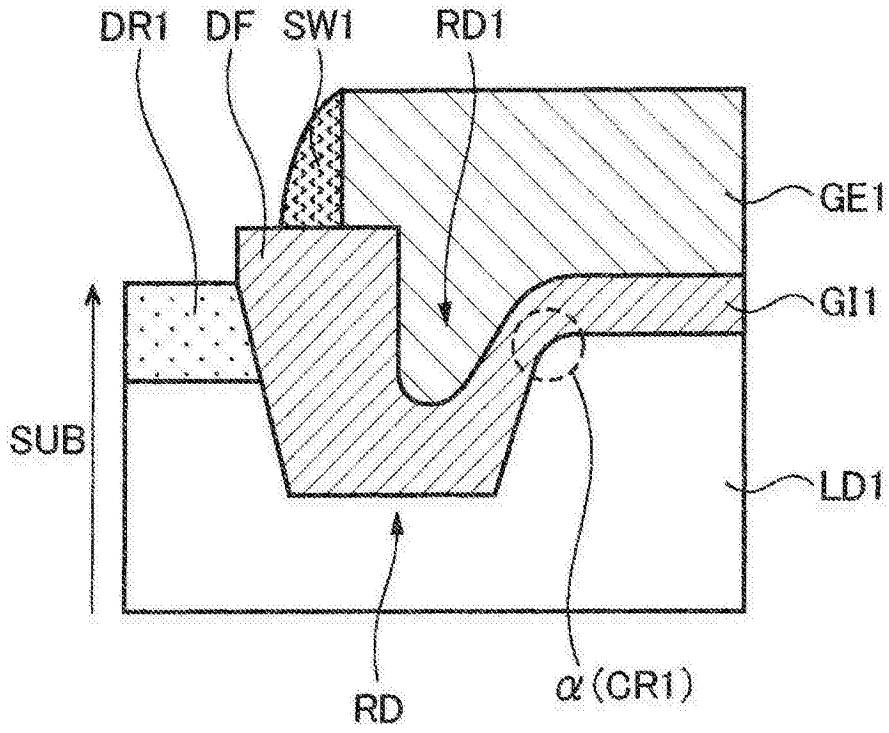


图 3A

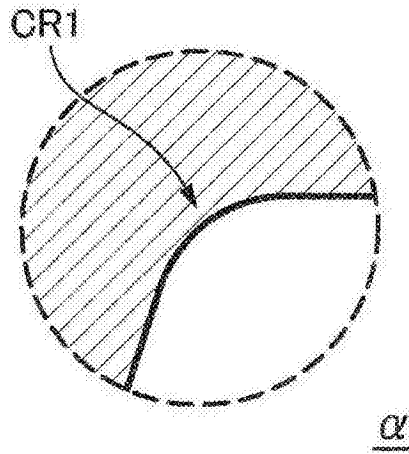


图 3B

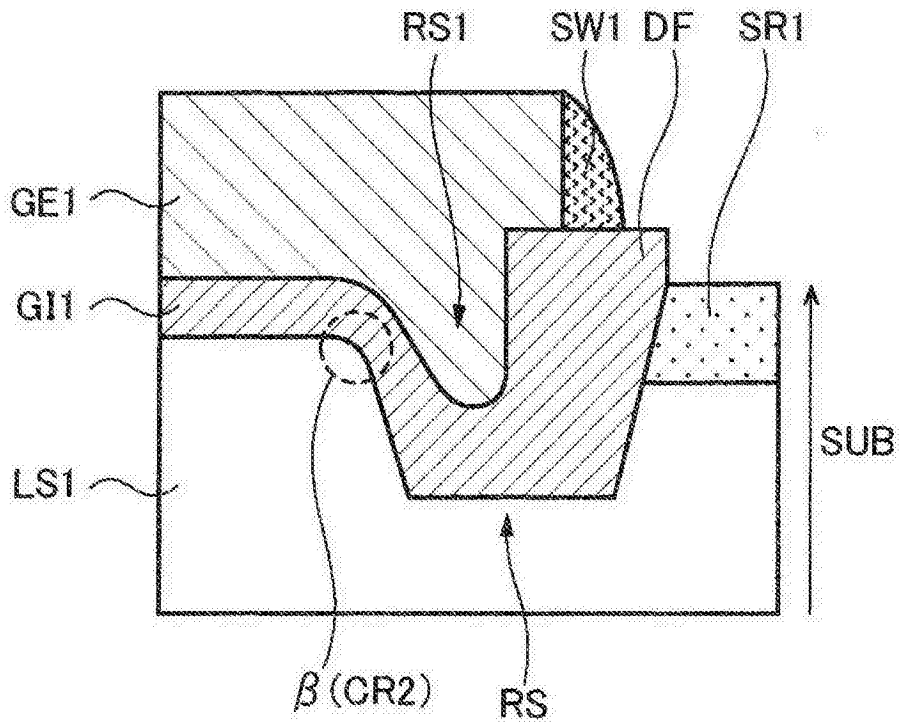


图 4A

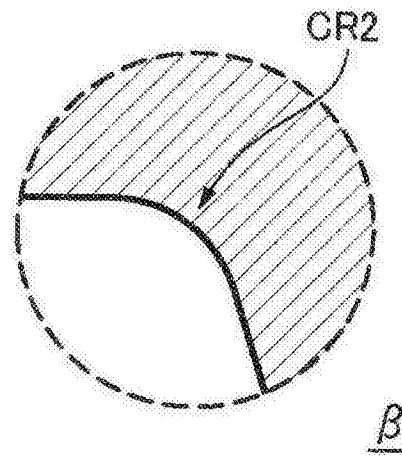


图 4B



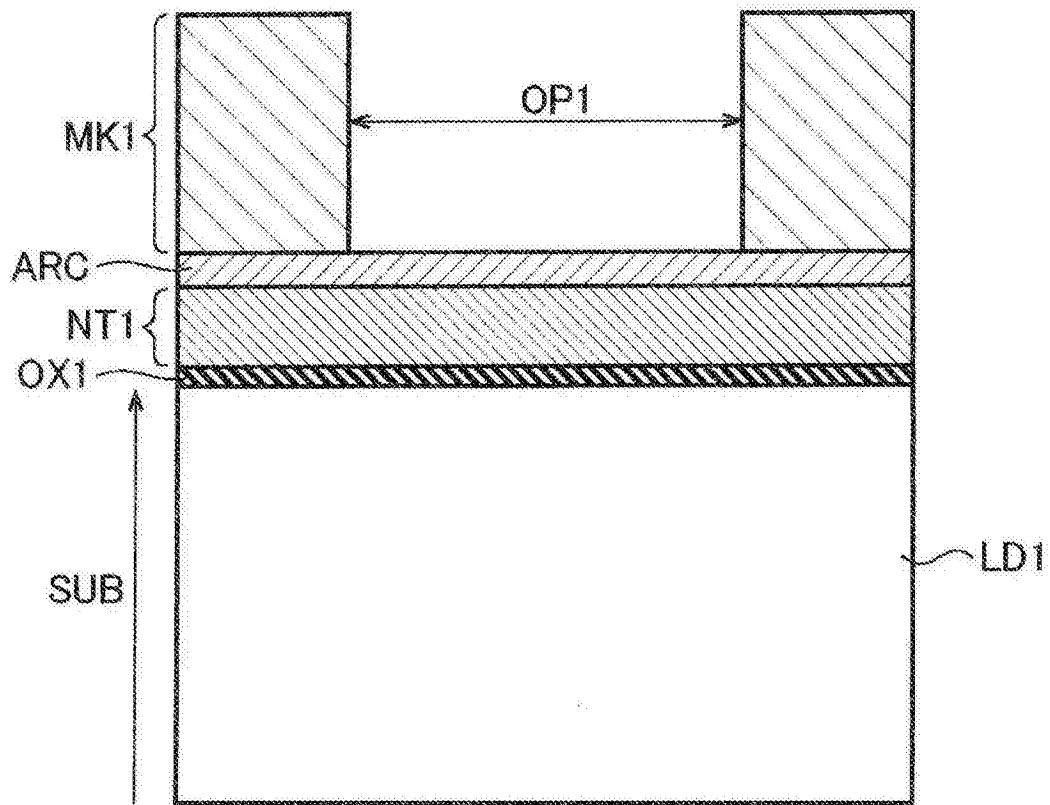


图 6

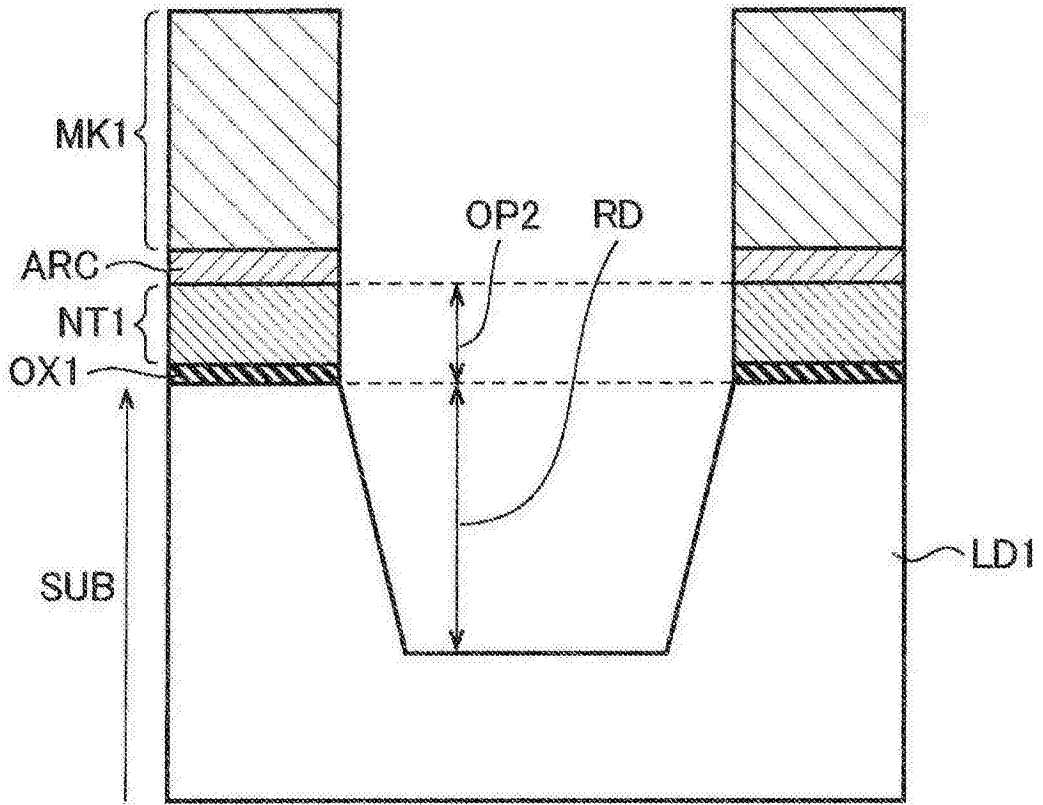


图 7

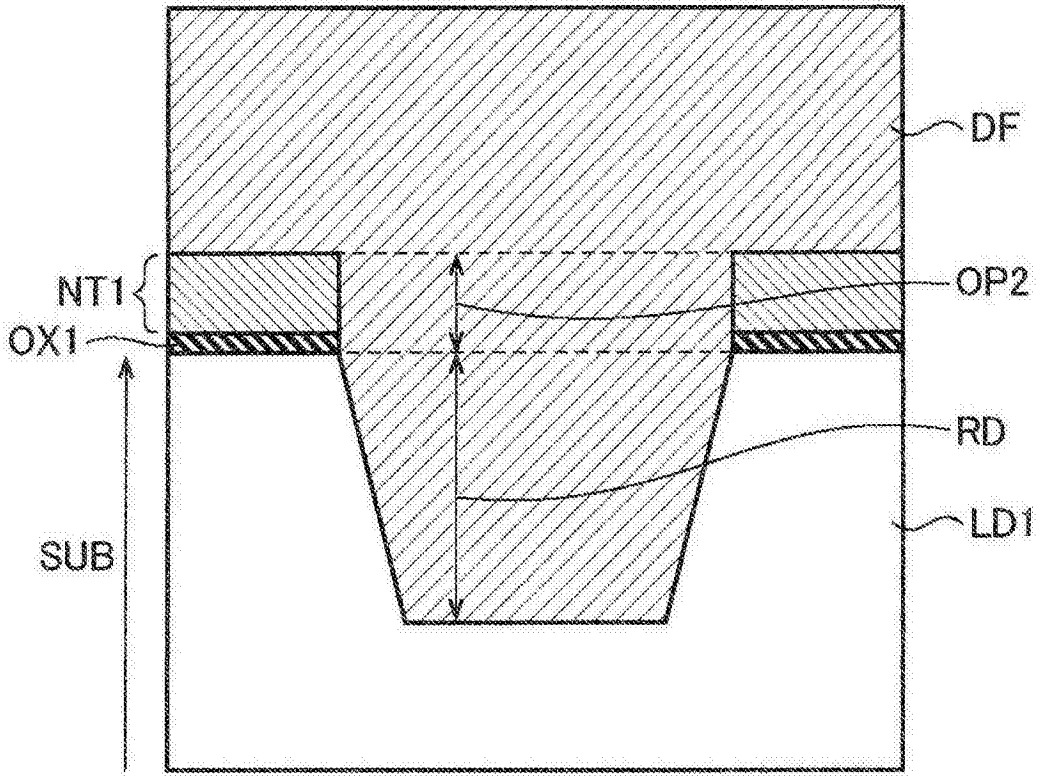


图 8

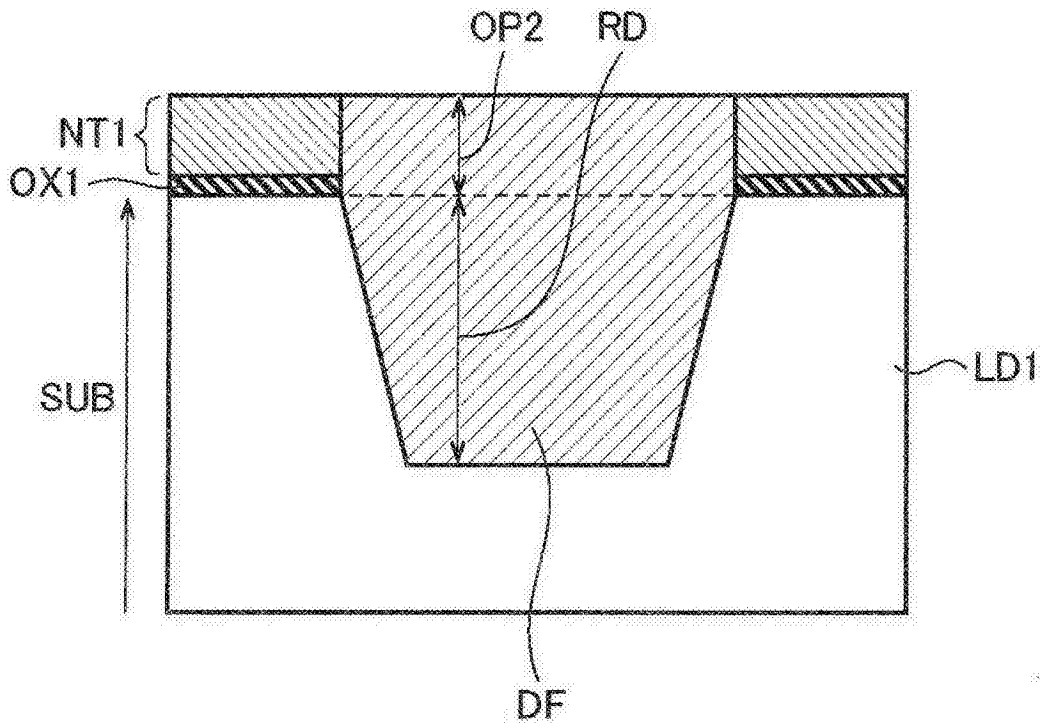


图 9

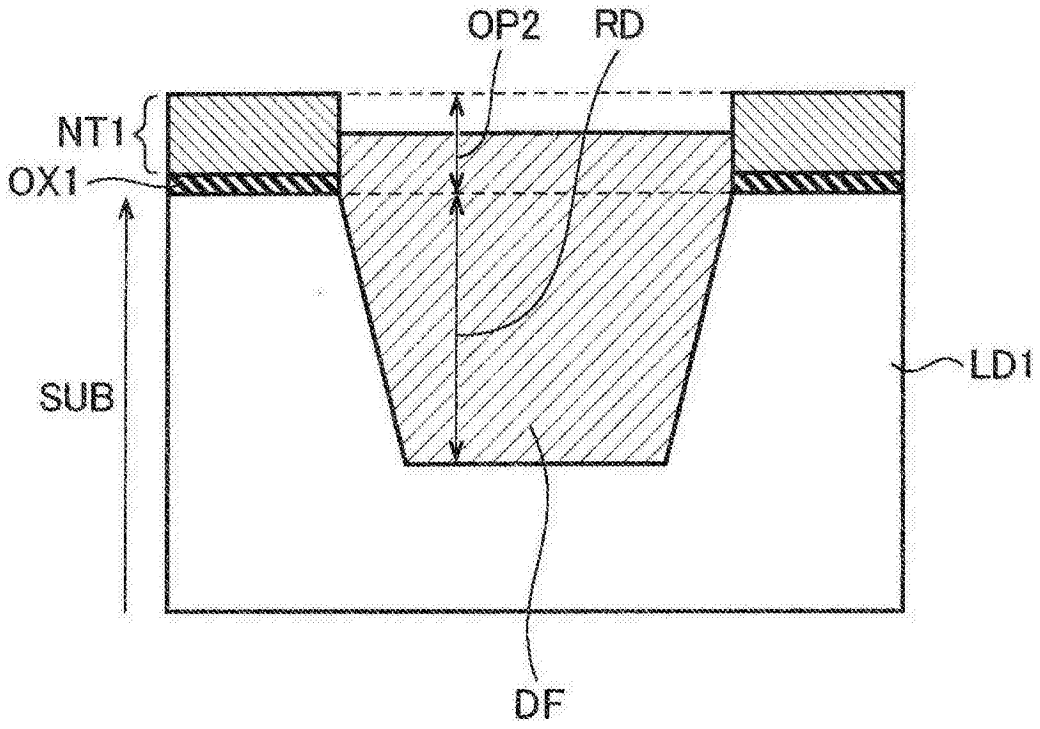


图 10

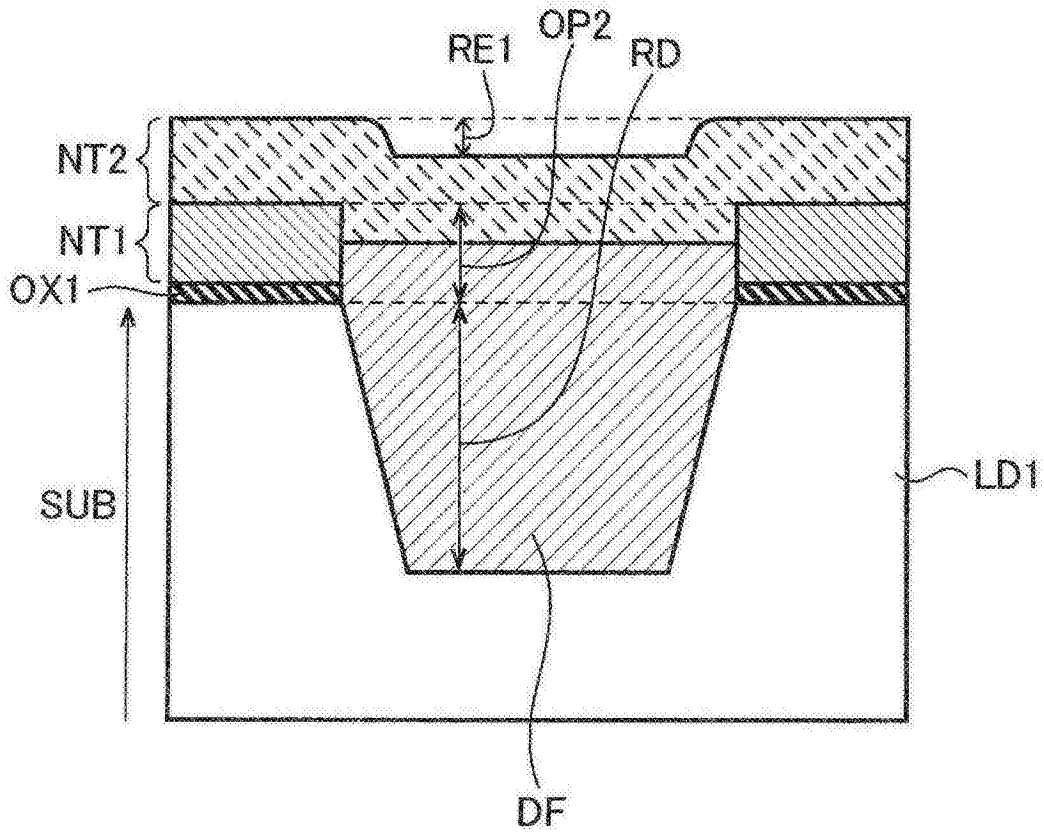


图 11

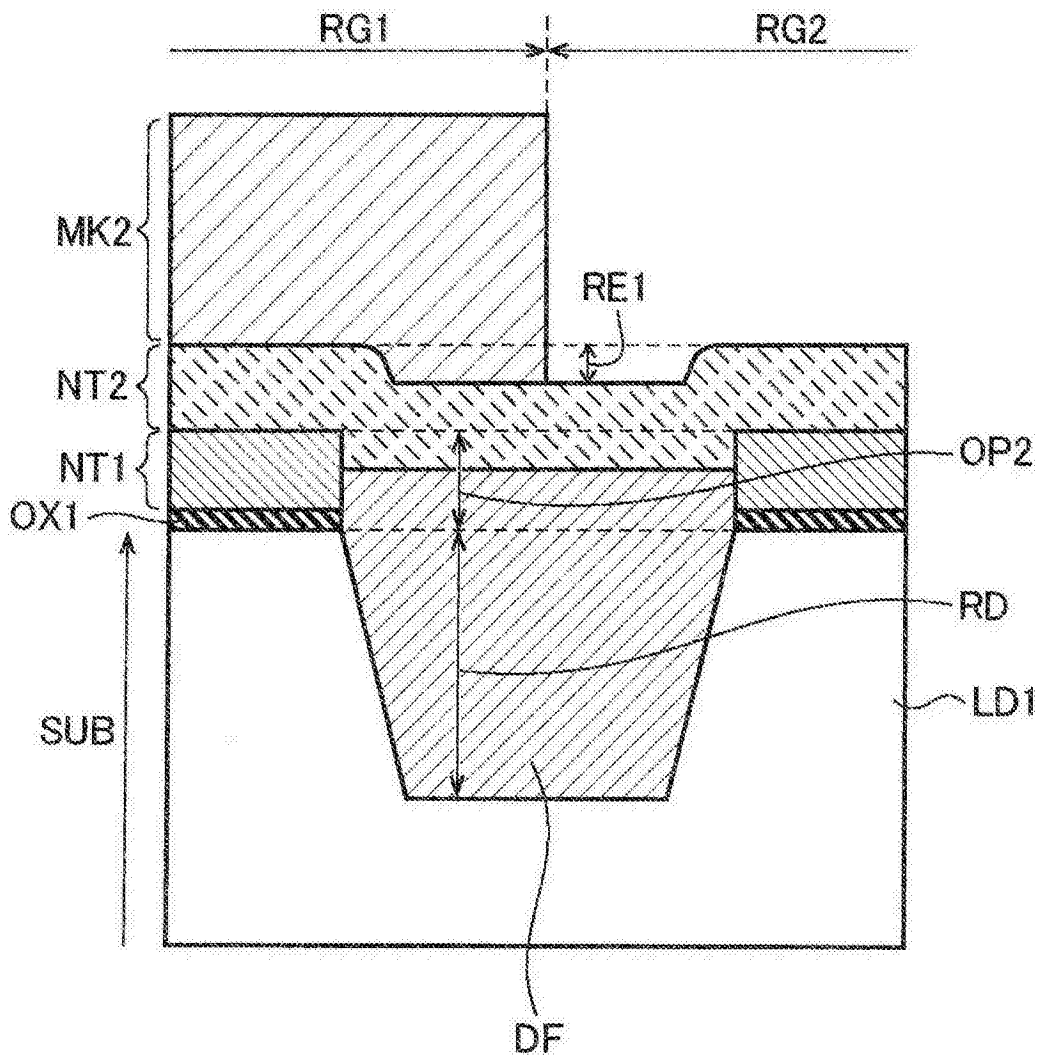


图 12



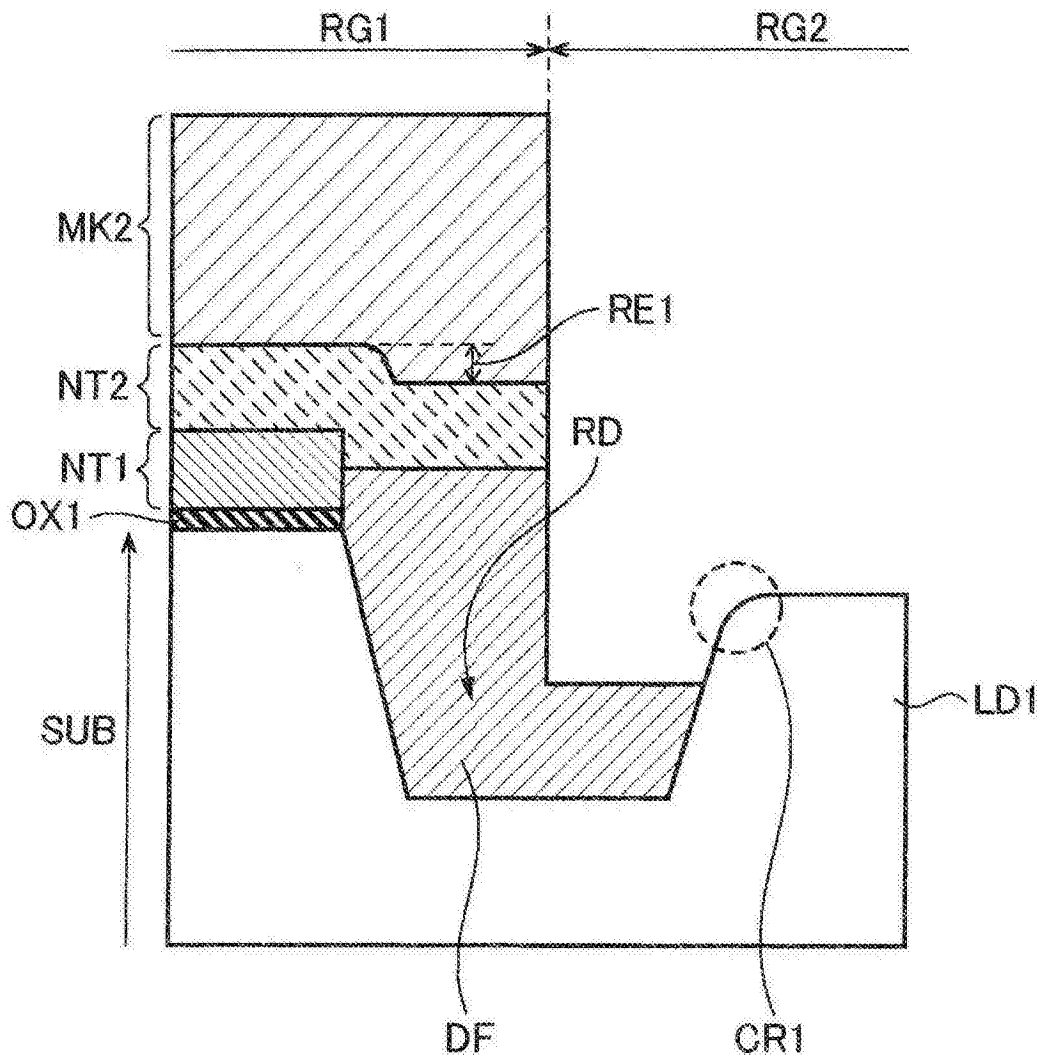


图 13

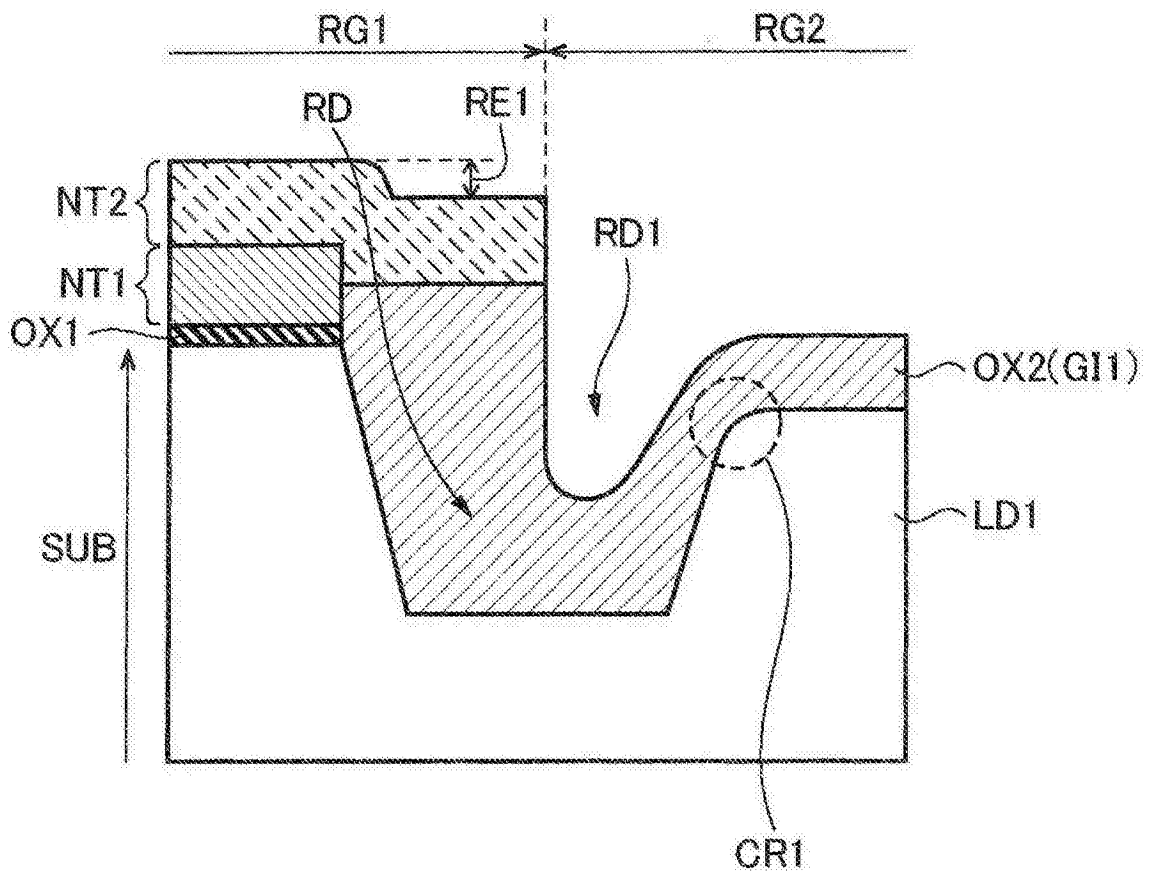


图 14

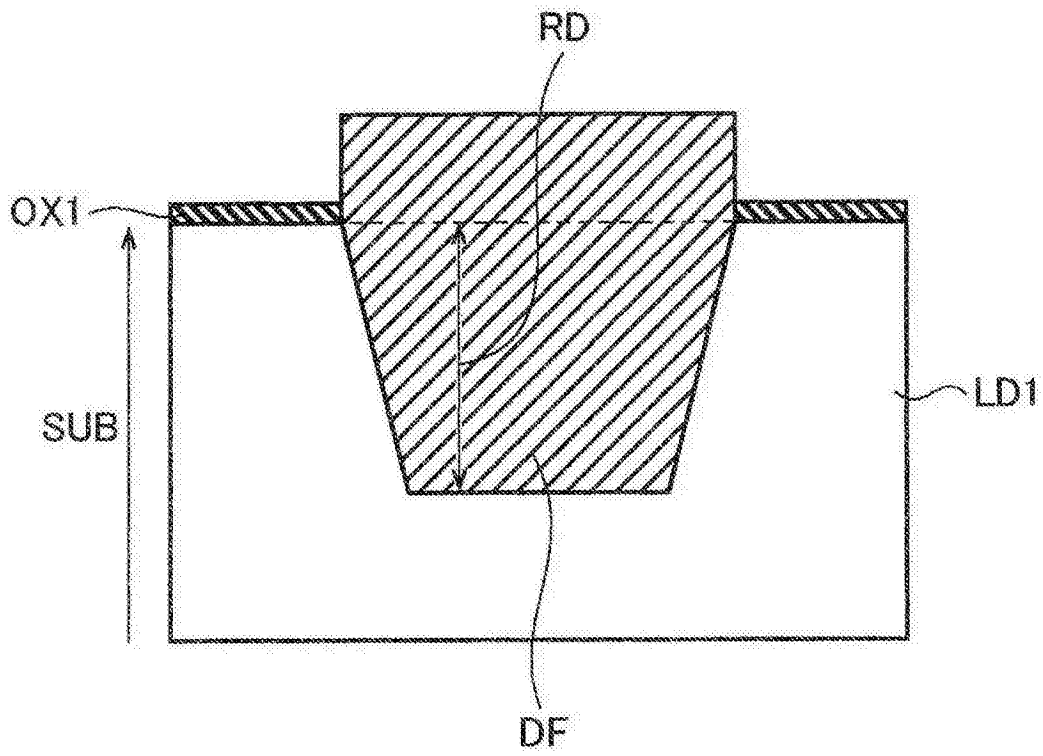


图 15

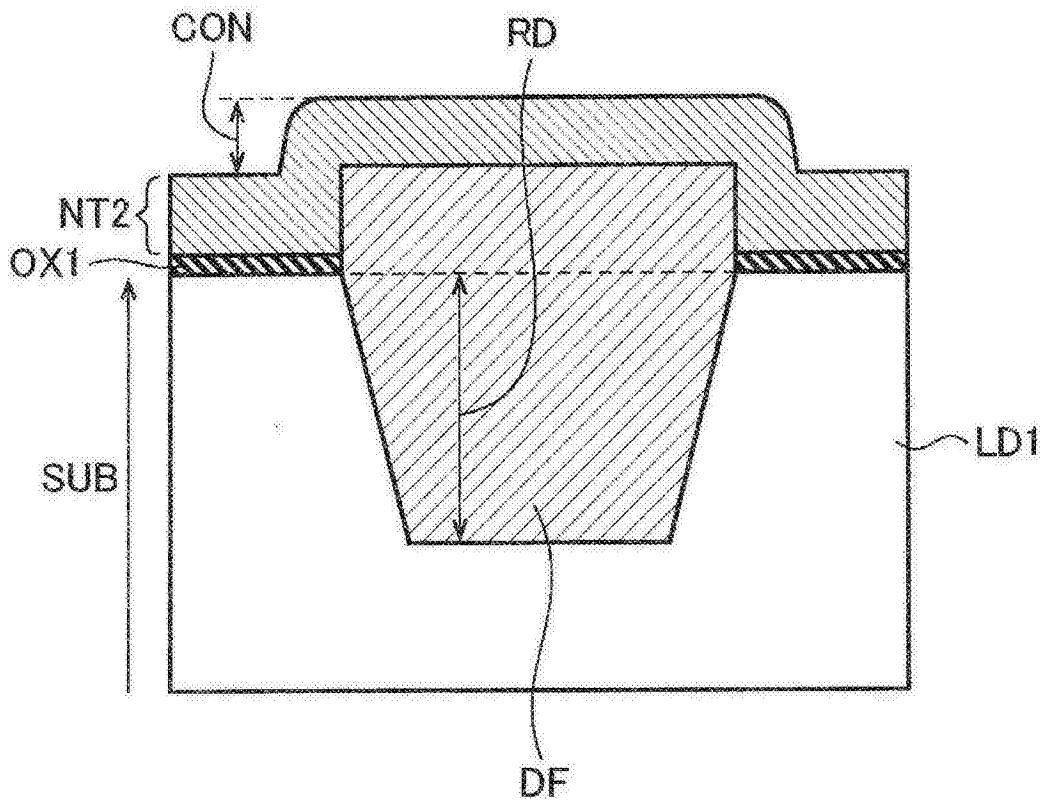


图 16

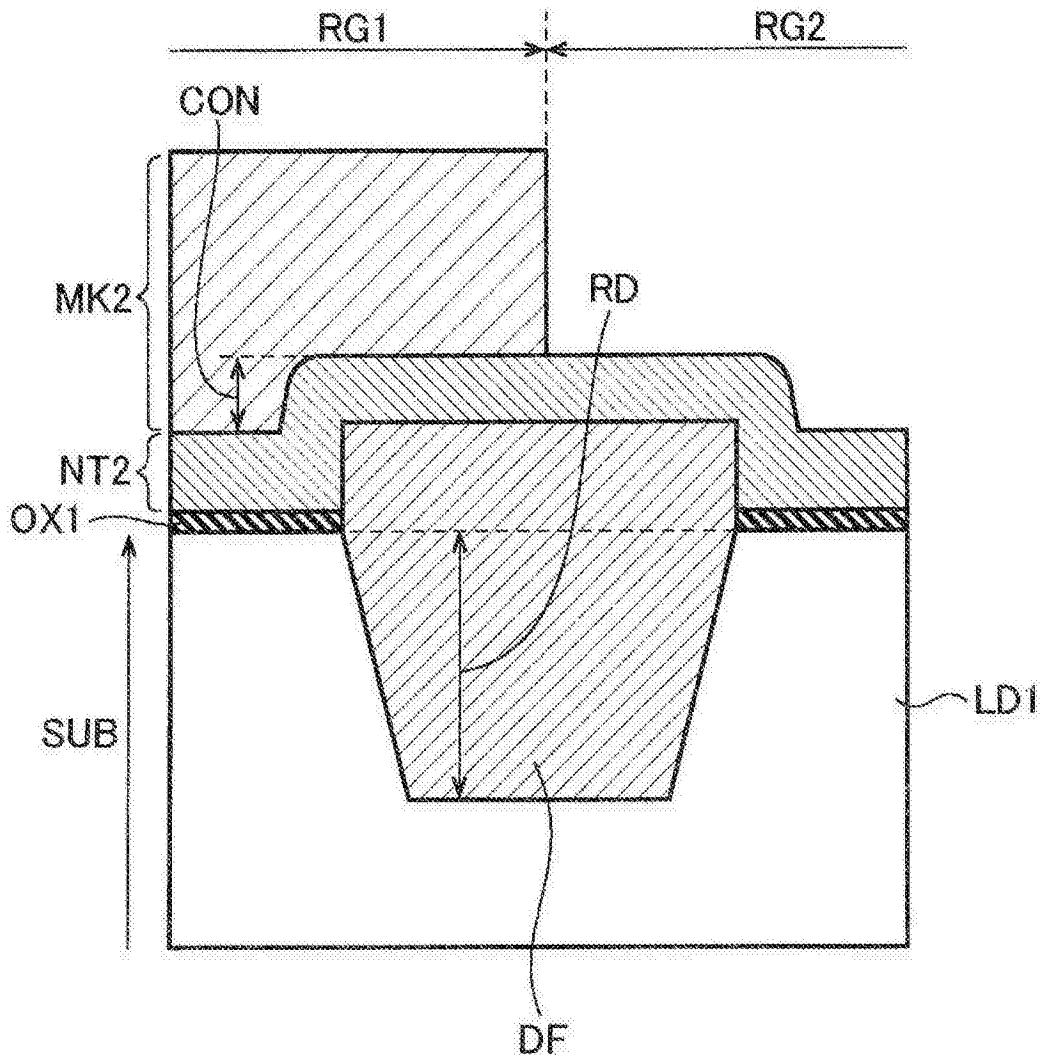


图 17

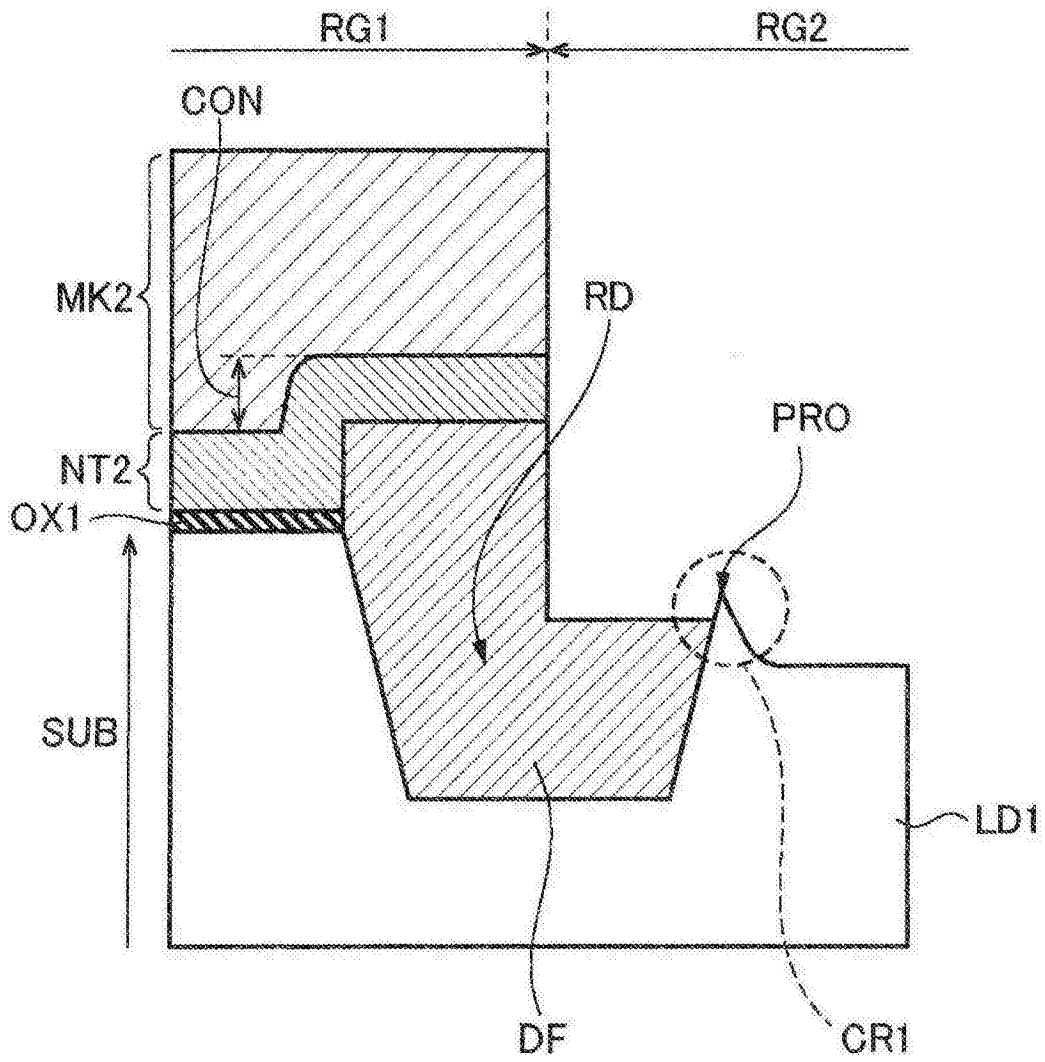


图 18

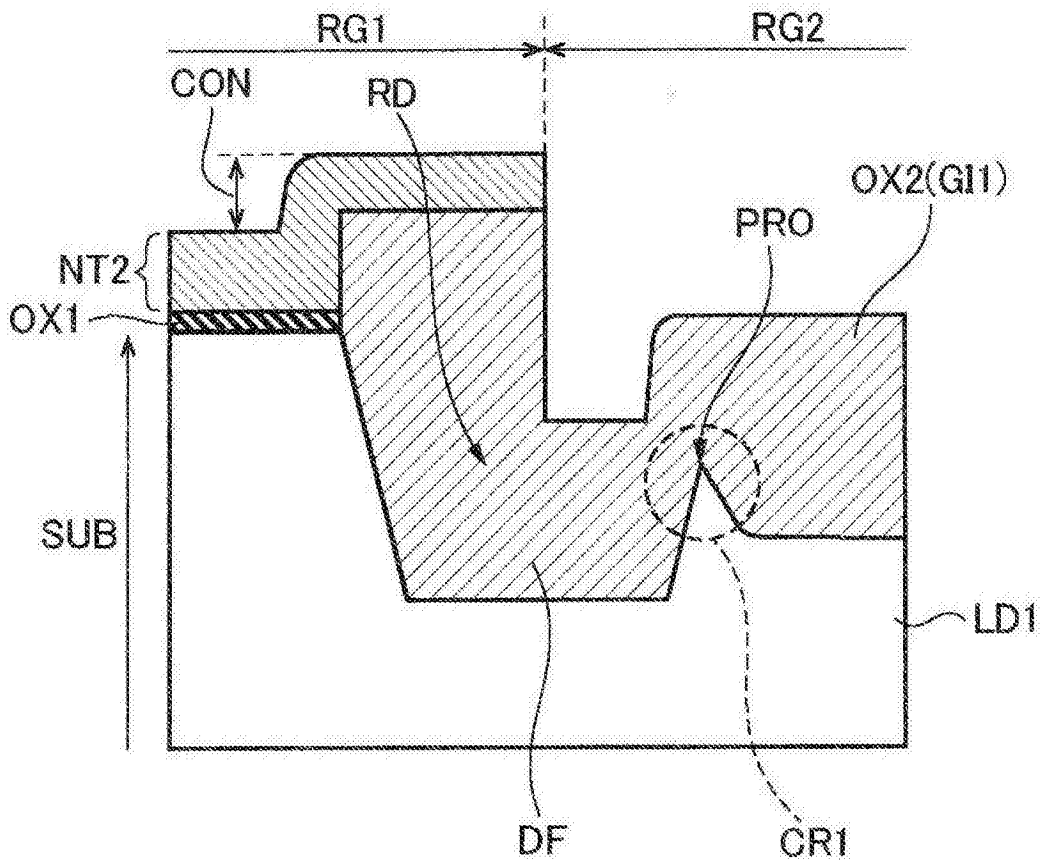


图 19

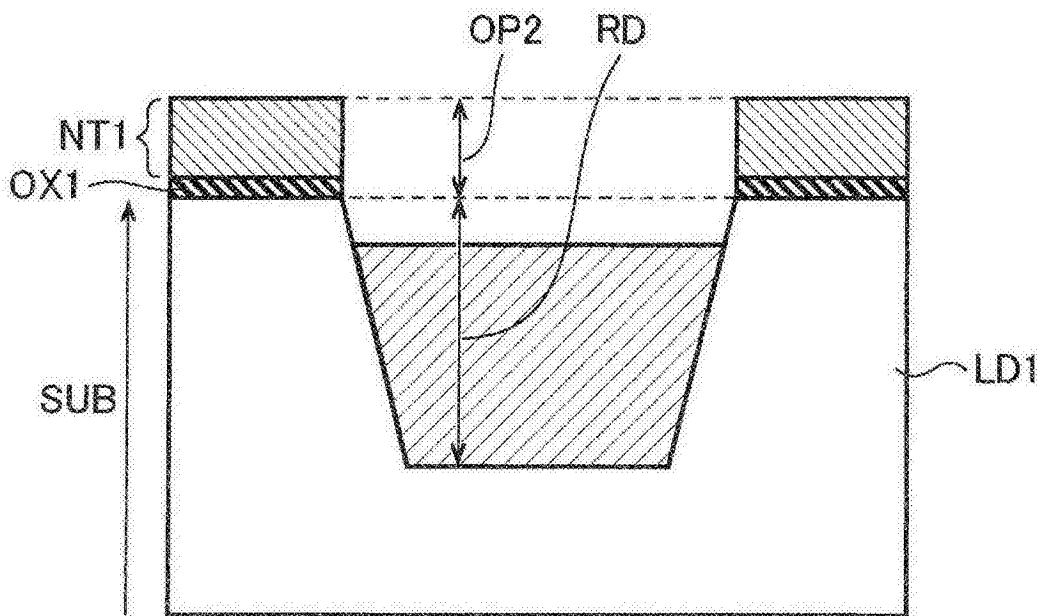


图 20

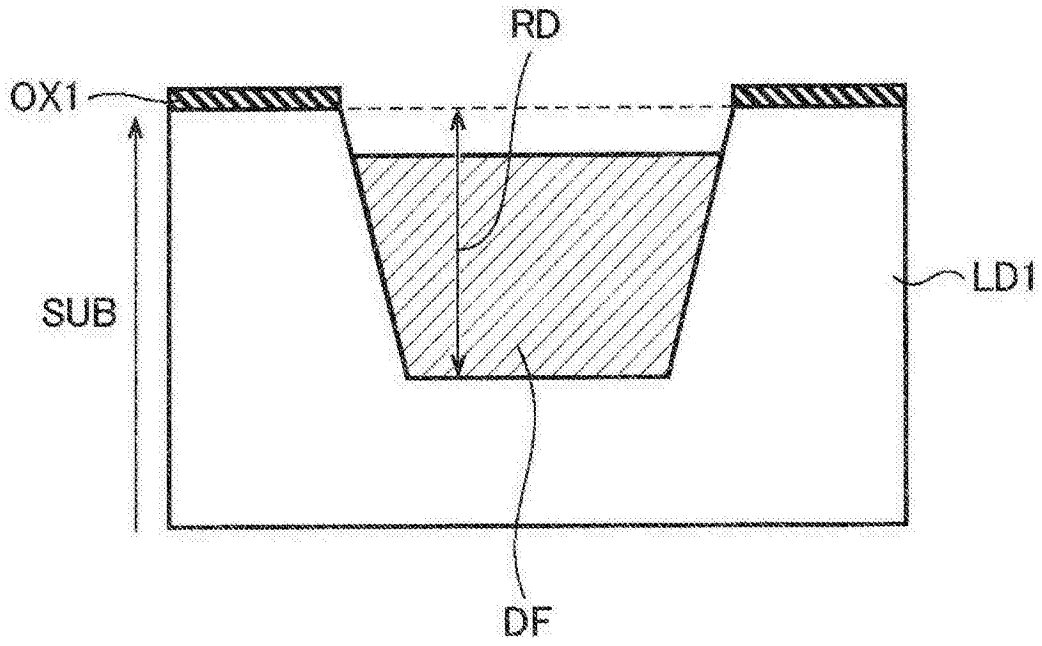


图 21

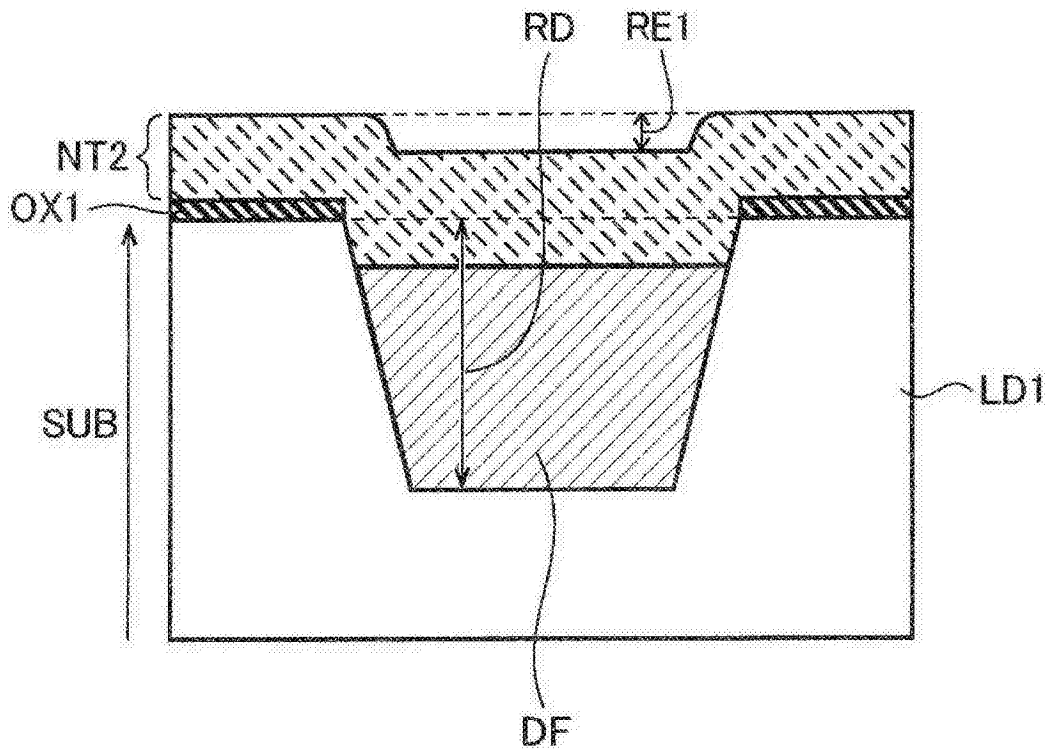


图 22

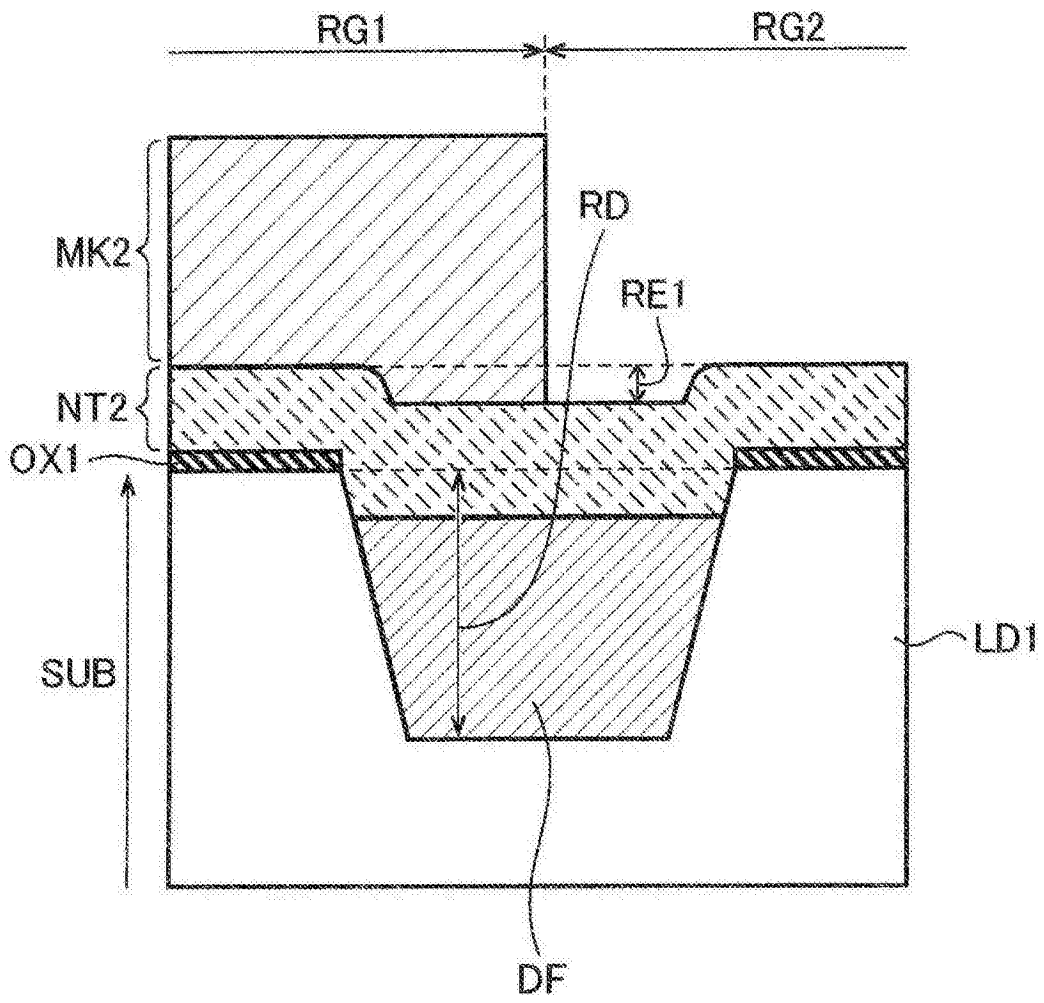


图 23



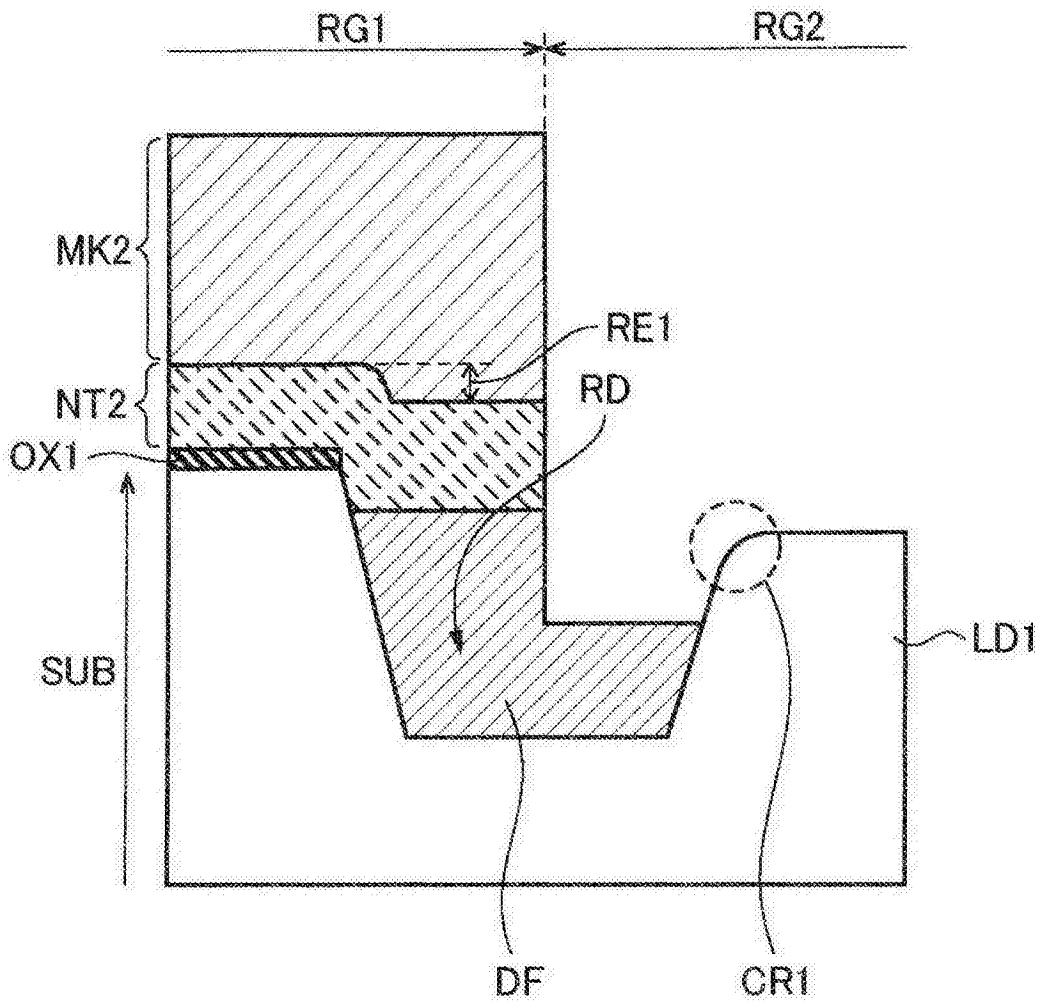


图 24

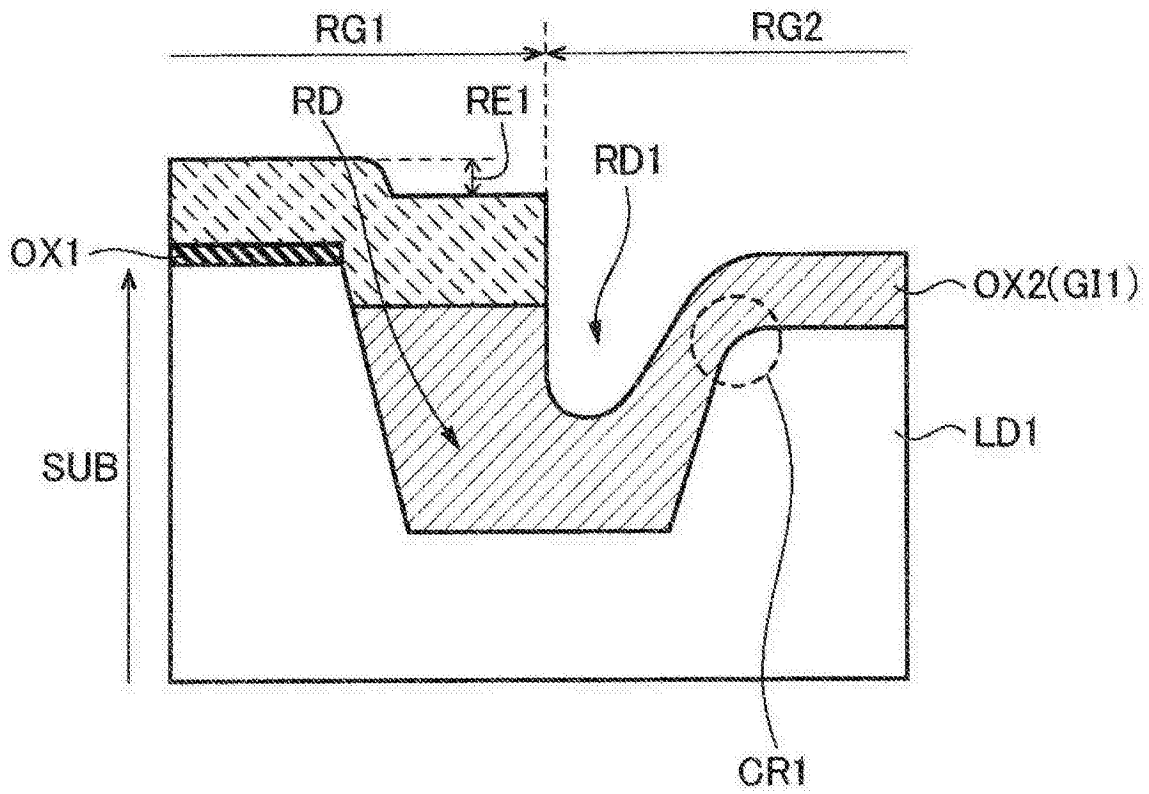


图 25

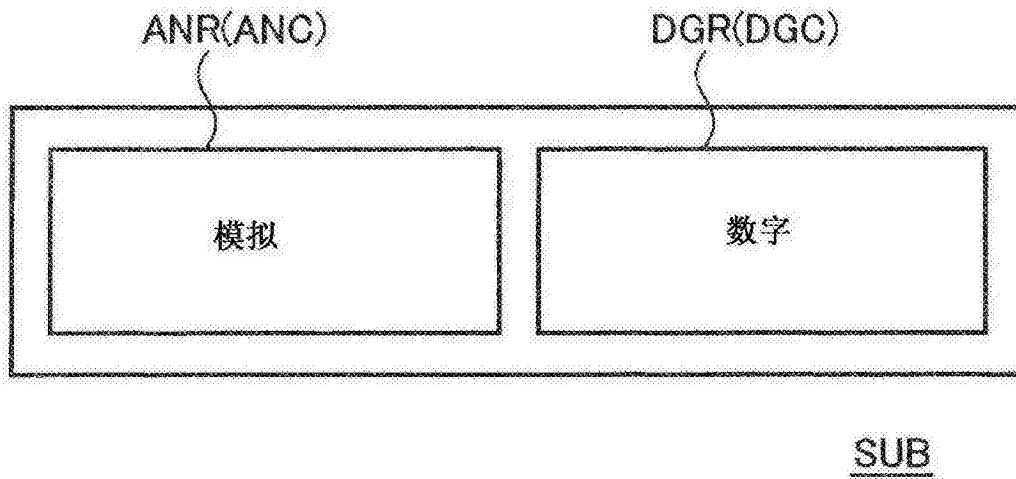


图 26

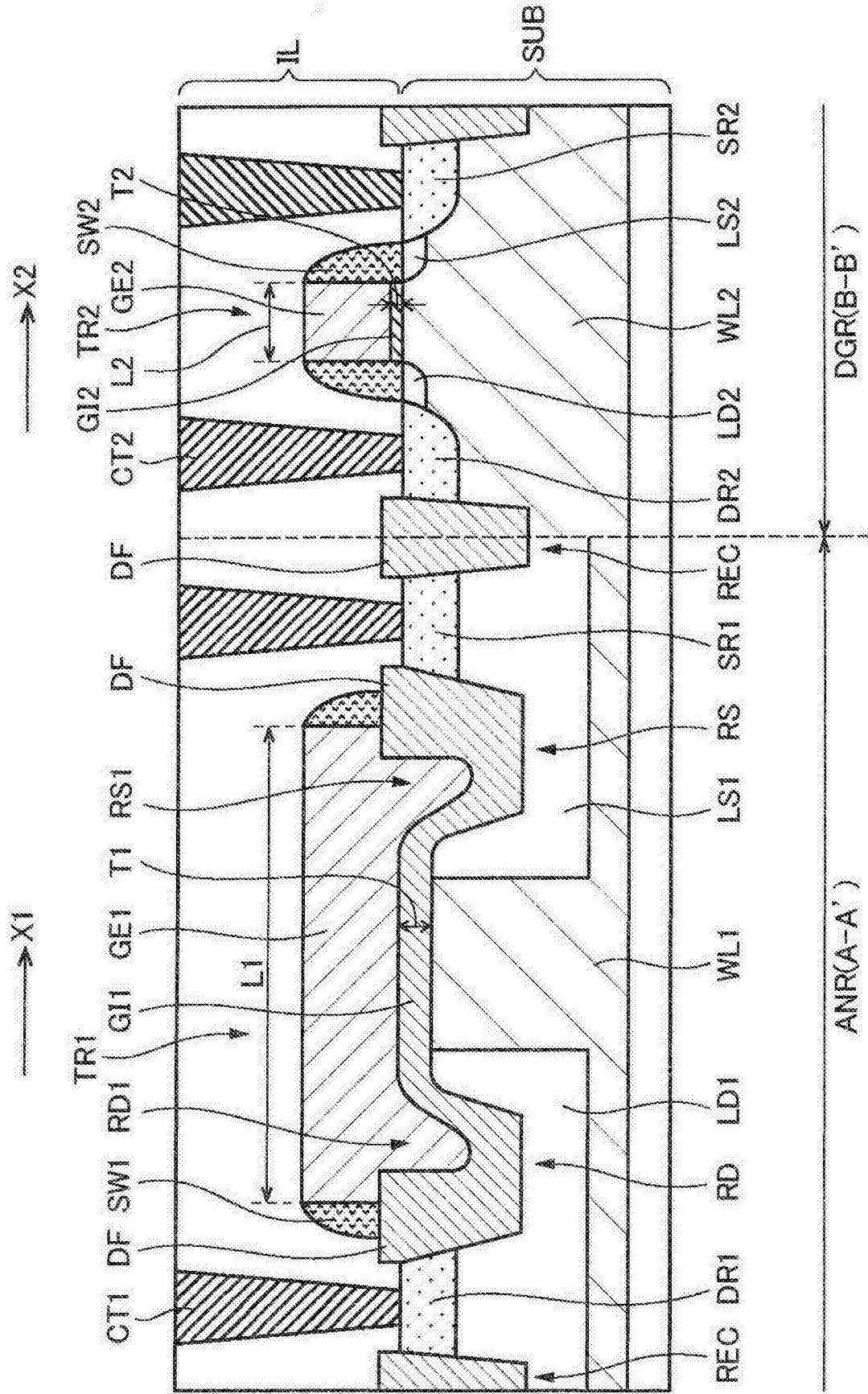


图 27

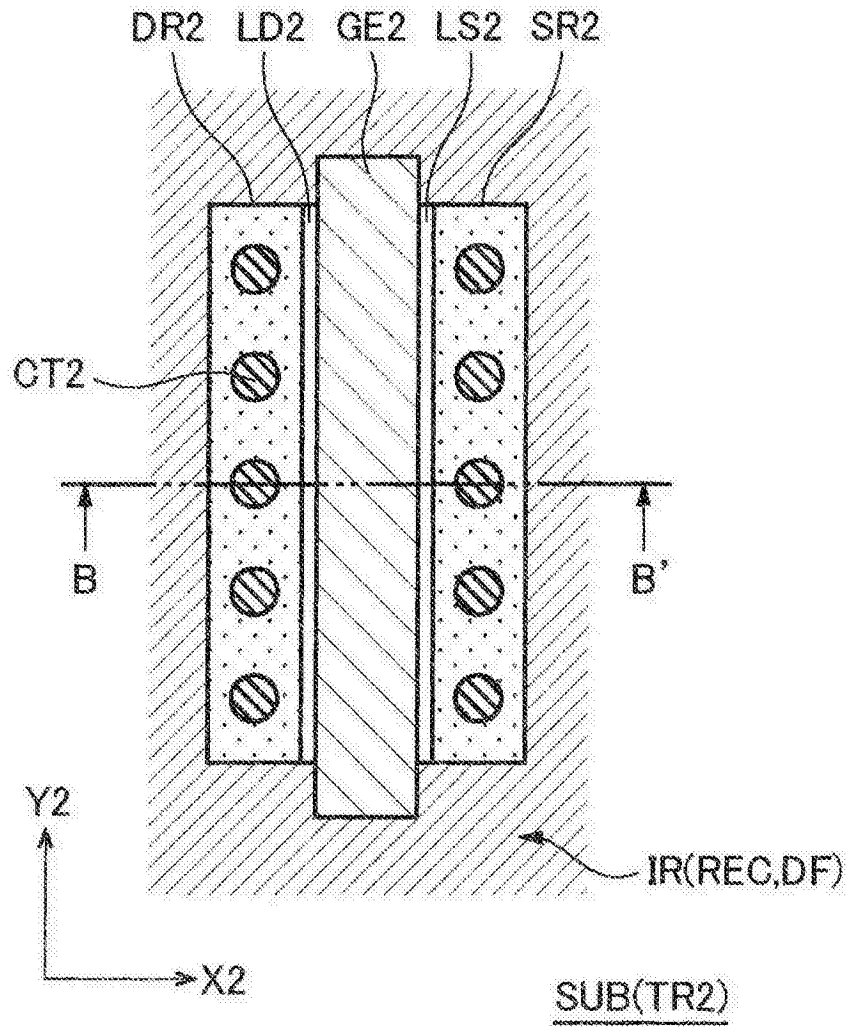


图 28

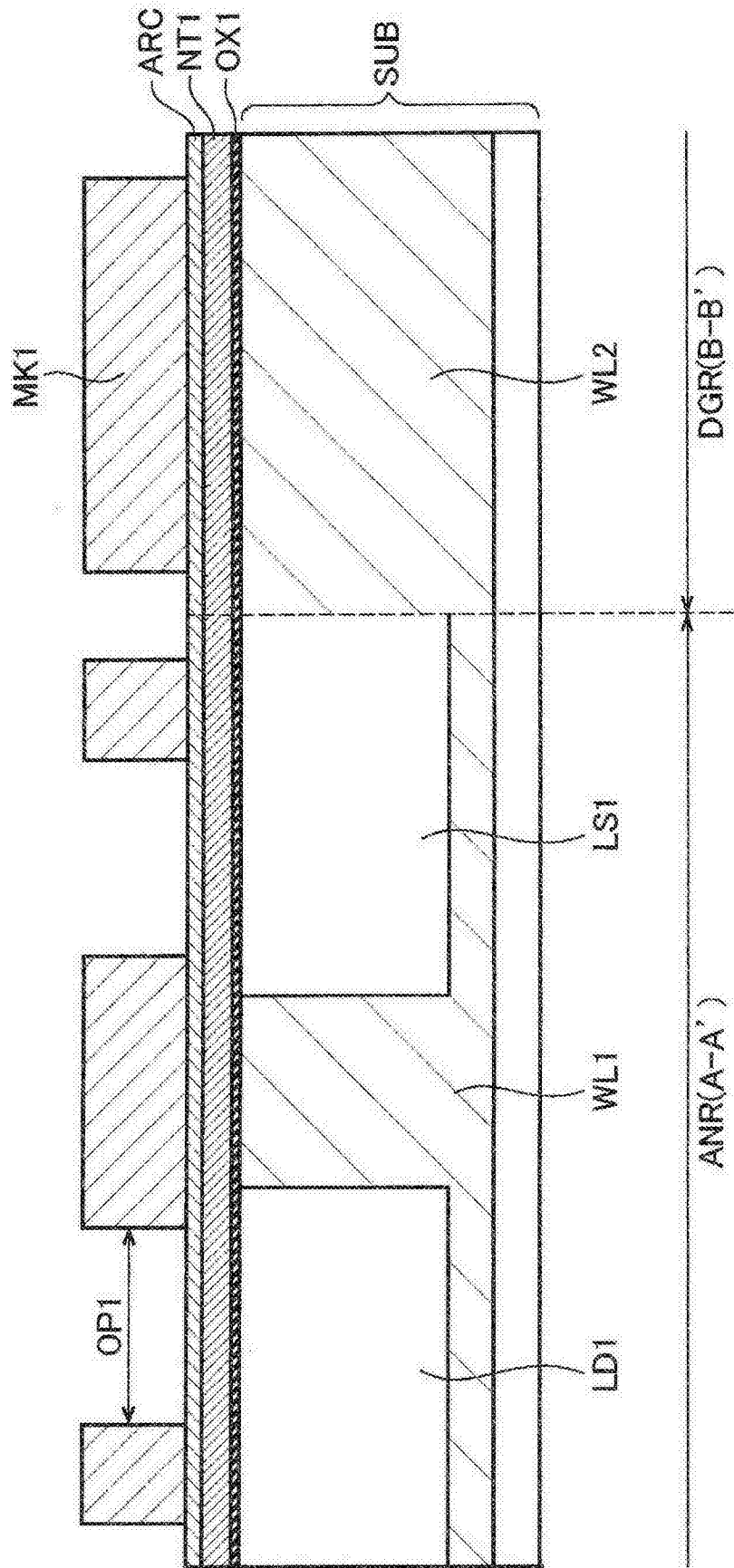


图 29

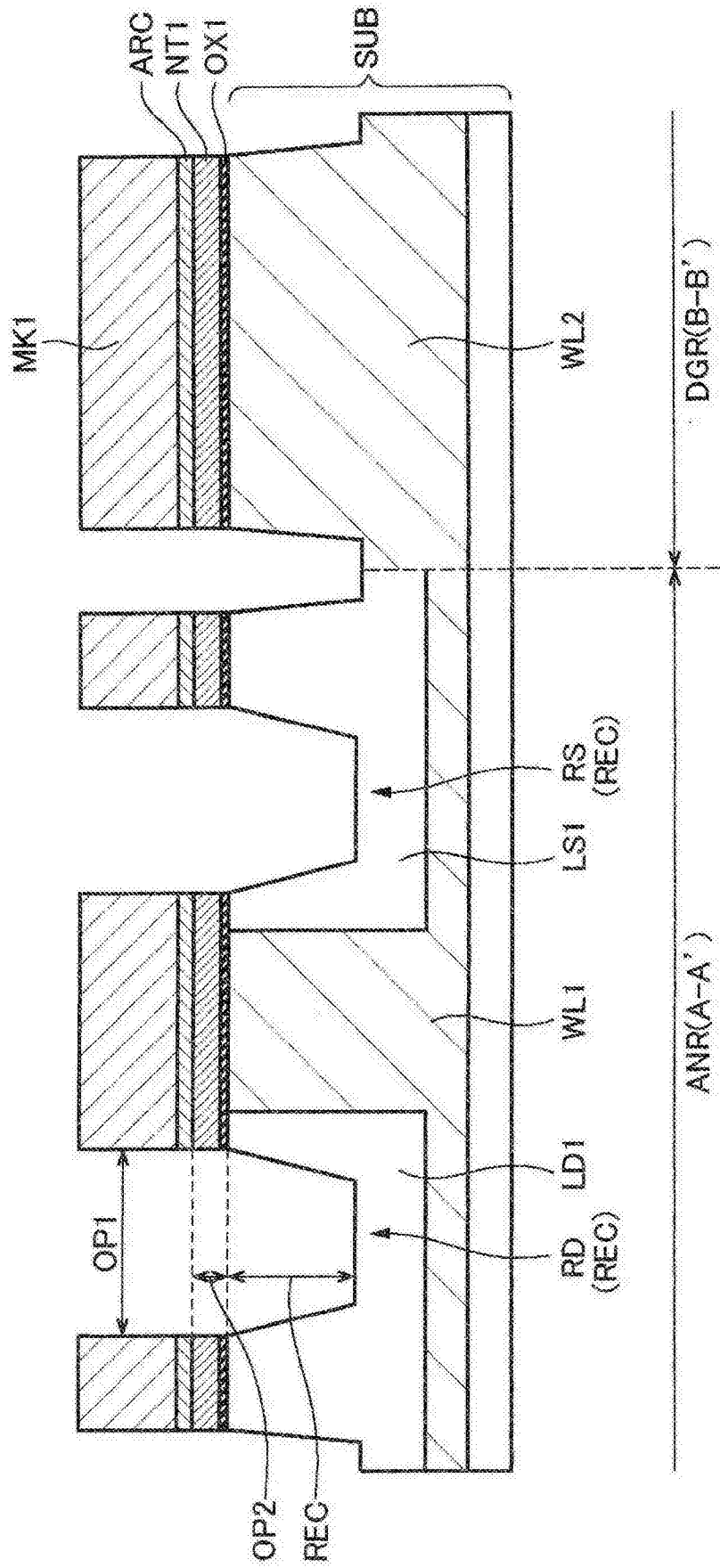


图 30



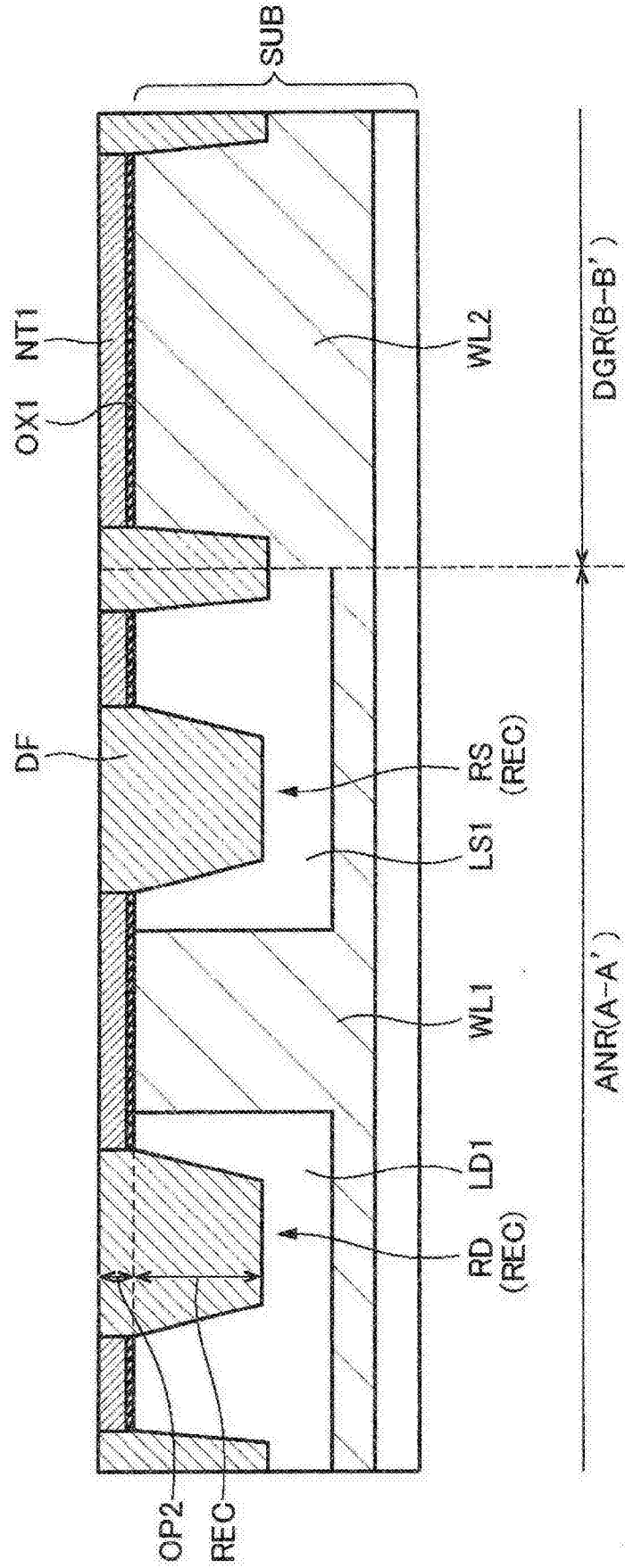


图 32



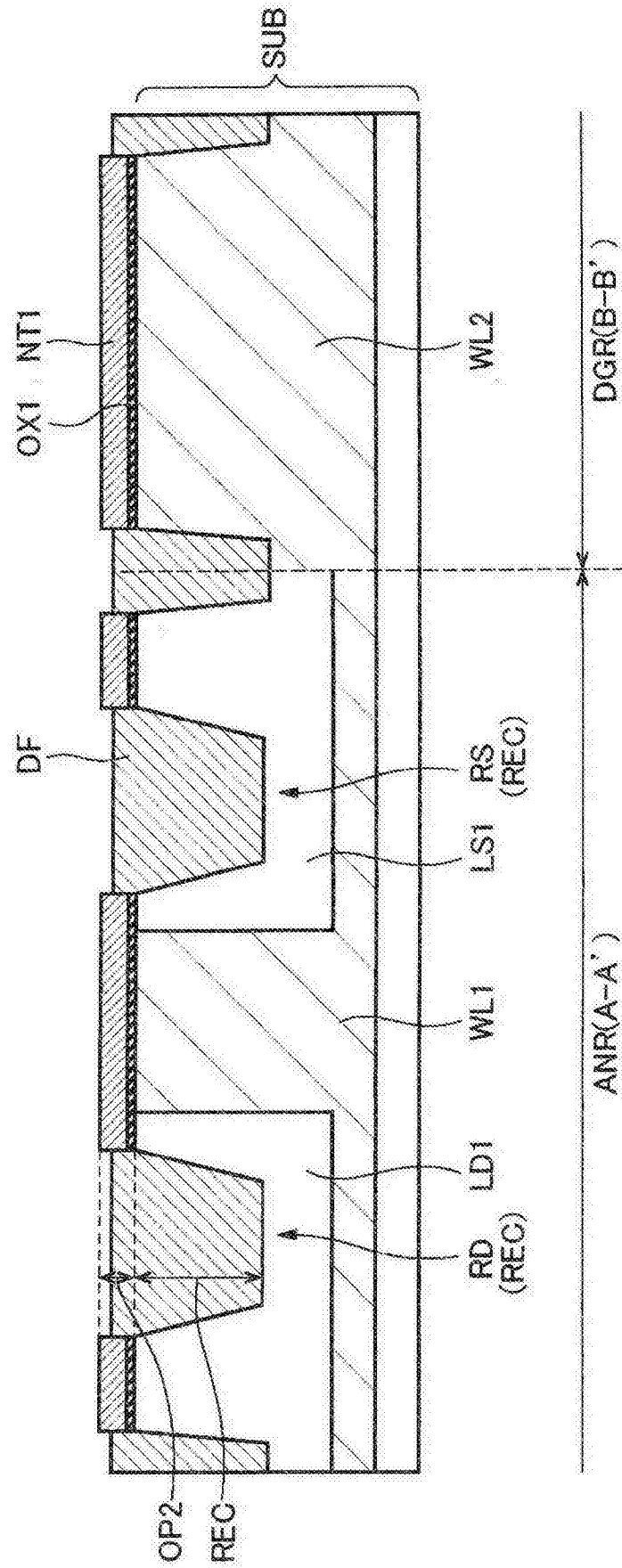


图 33

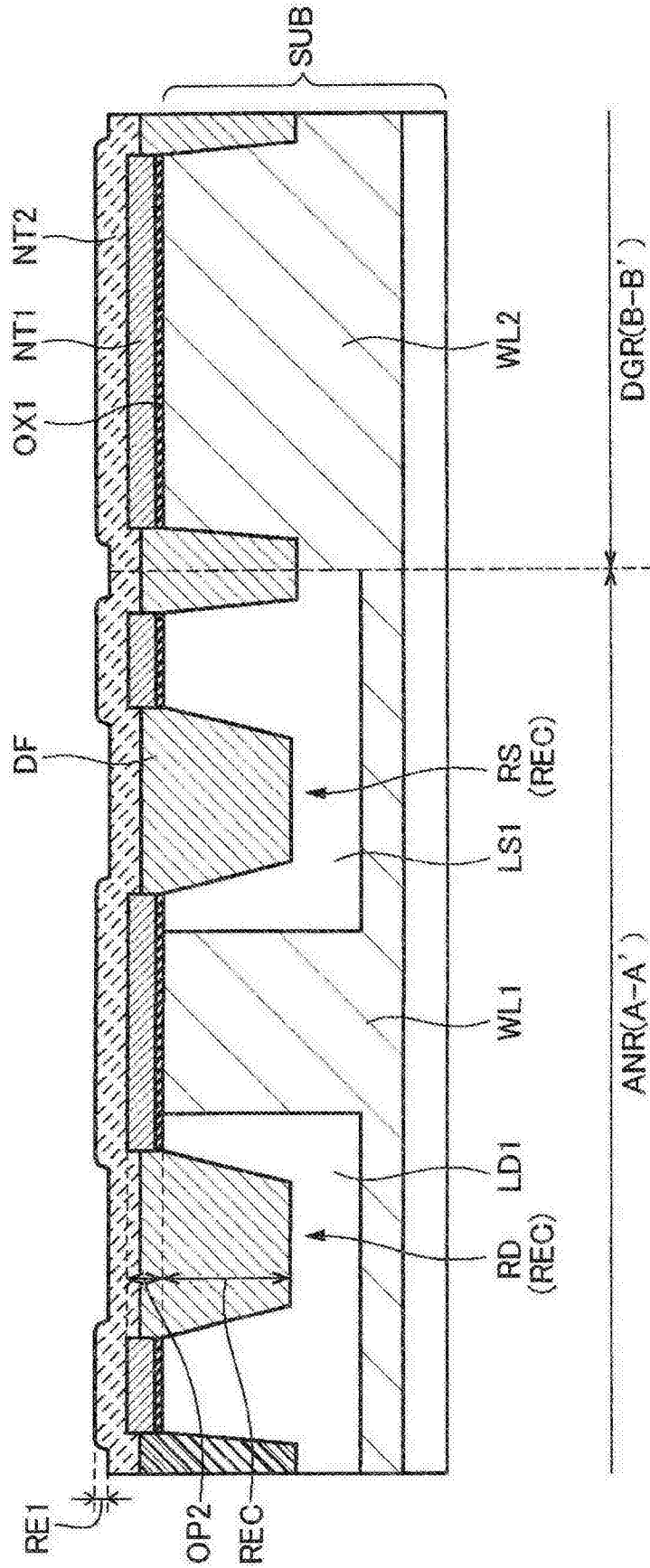


图 34

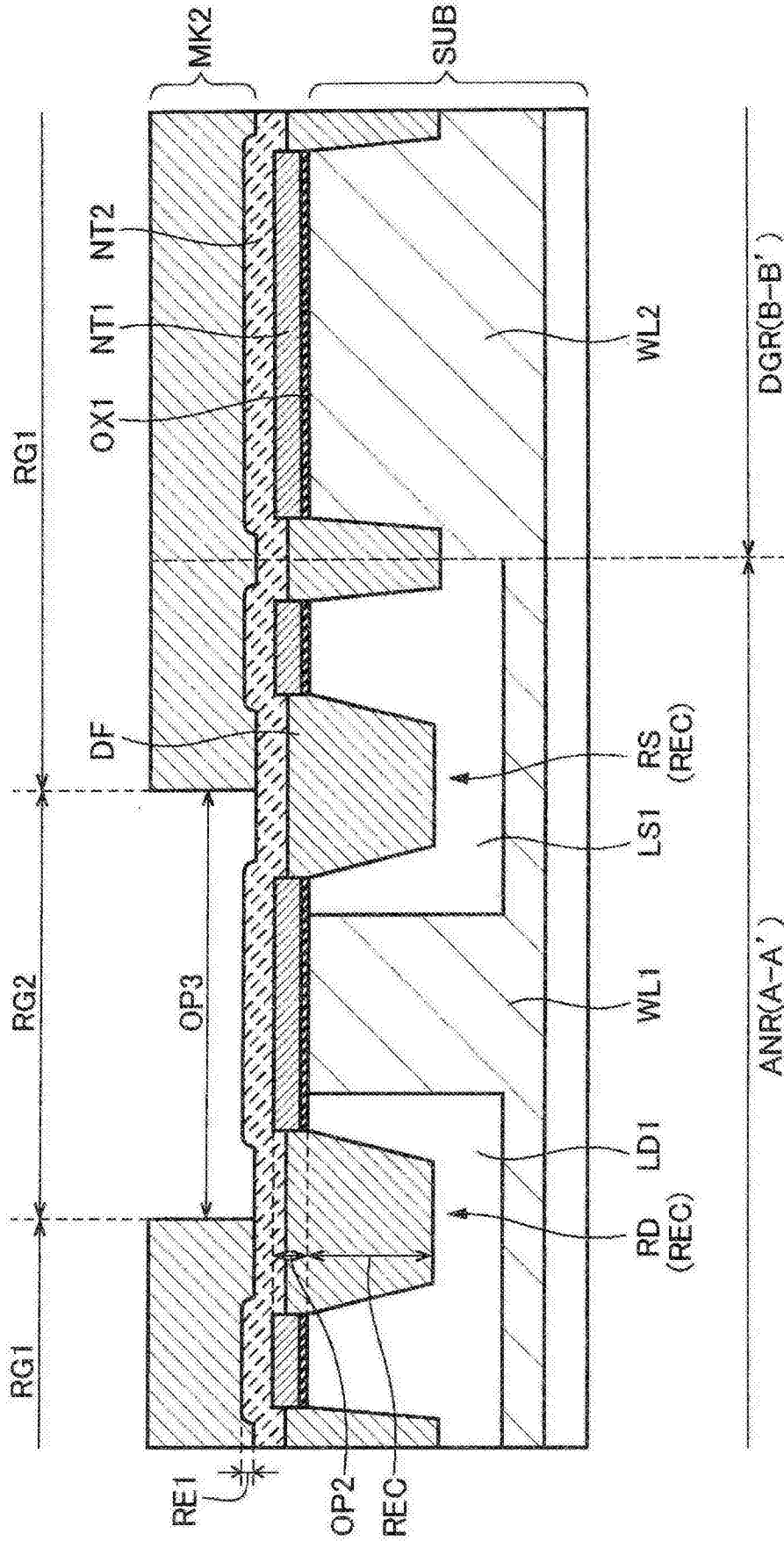


图 35

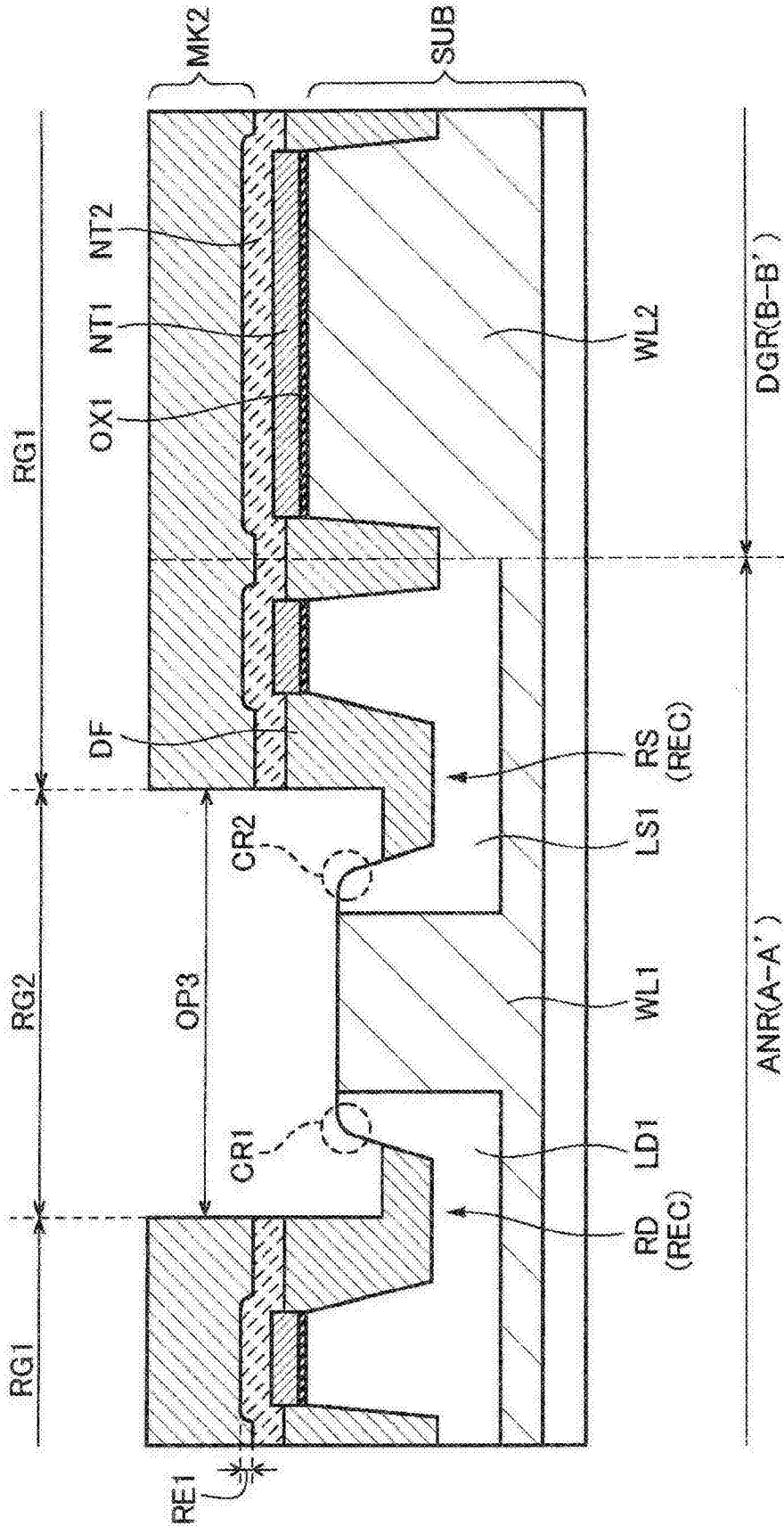


图 36

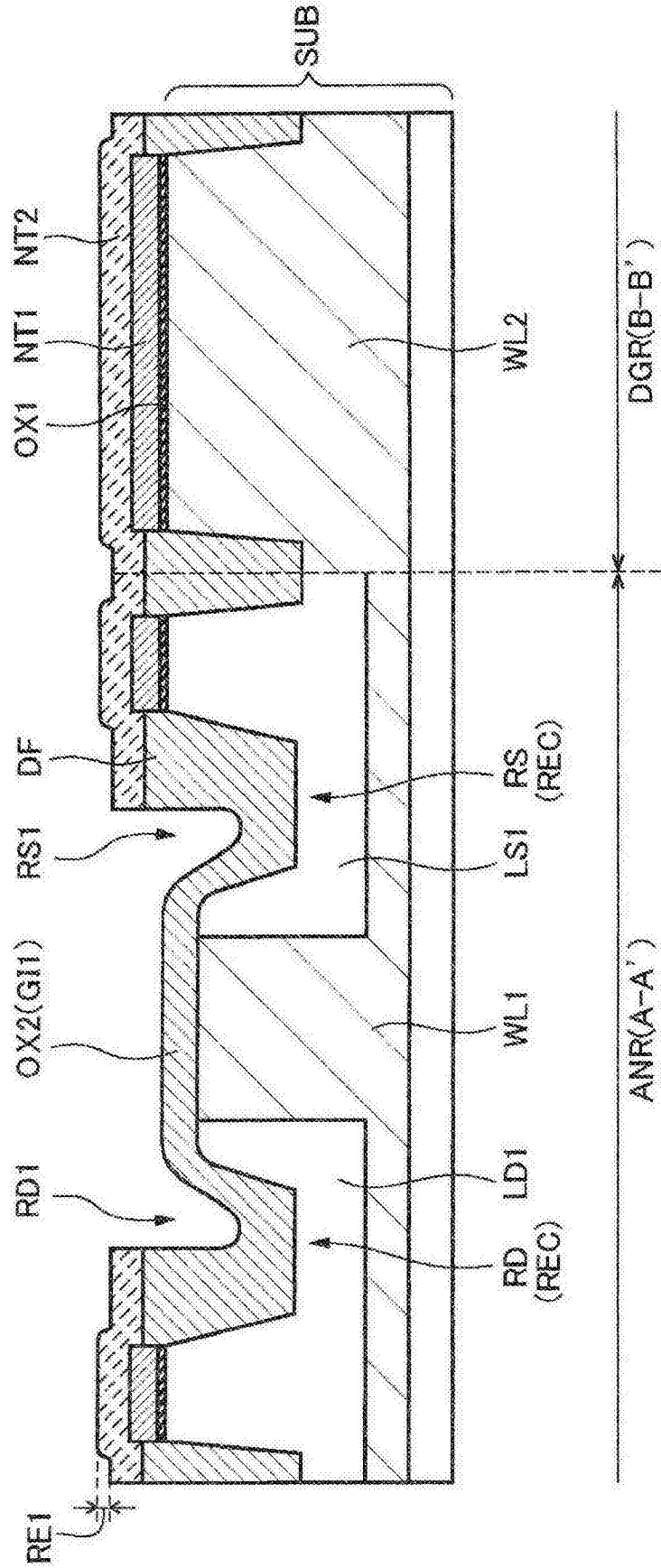


图 37

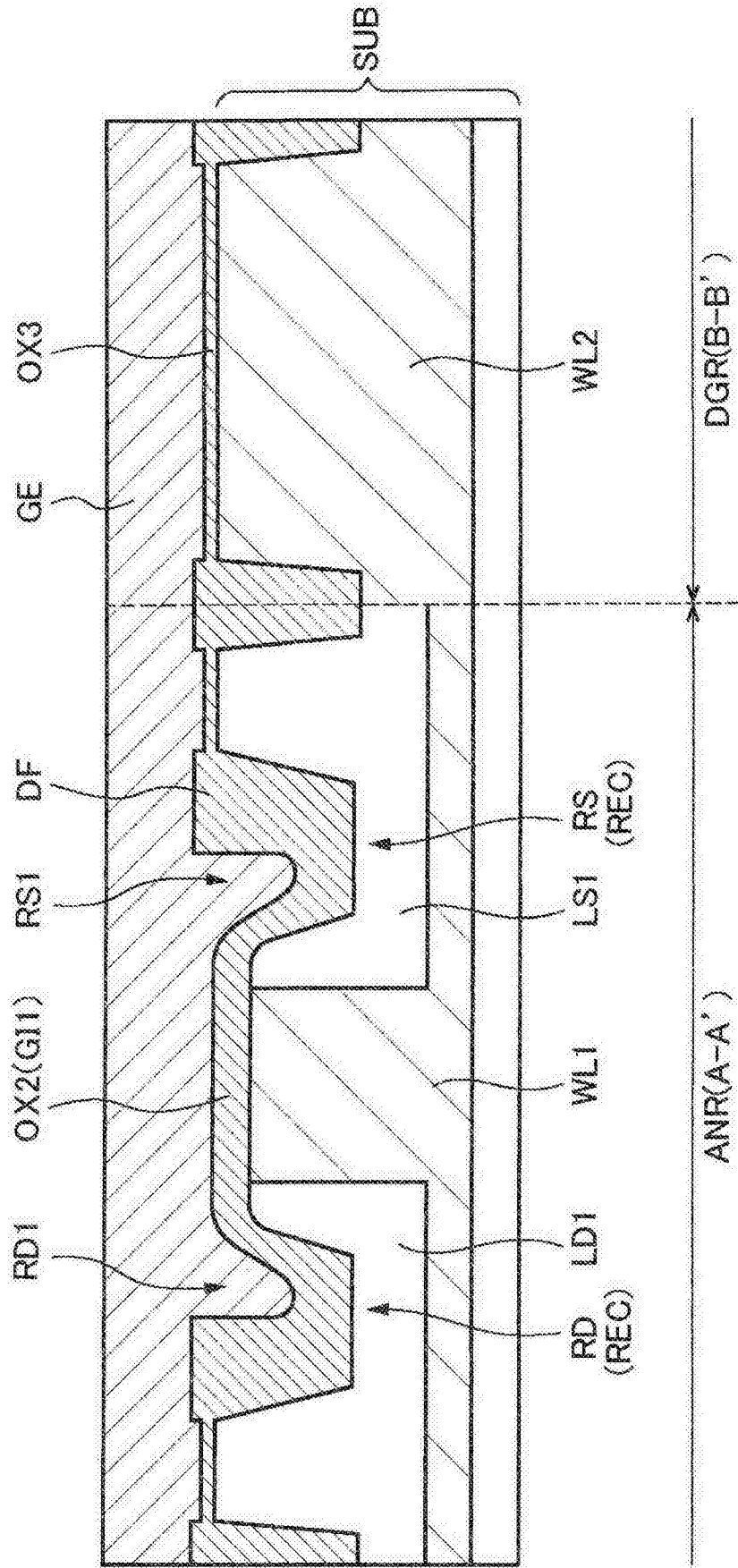


图 38

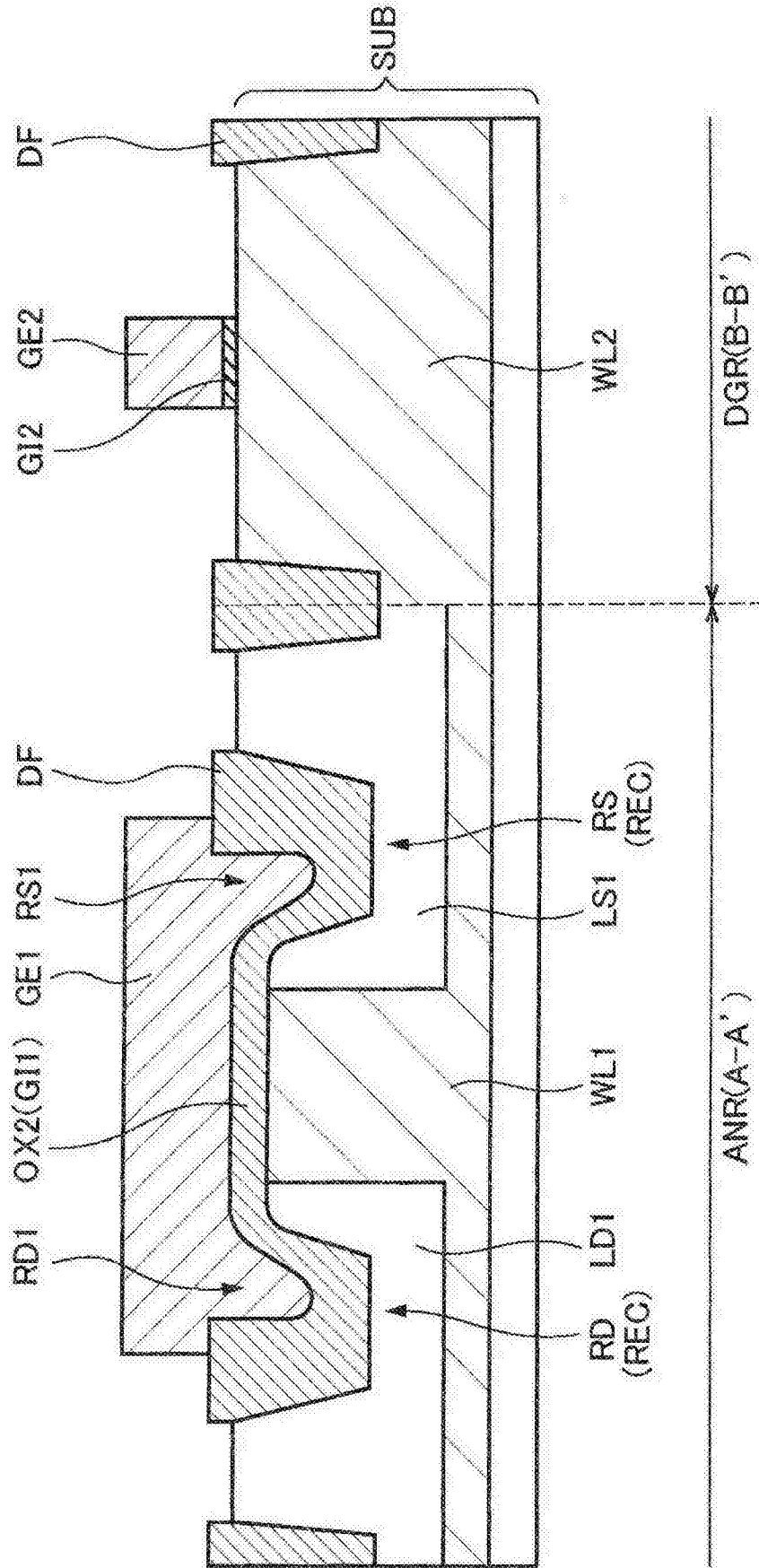


图 39