

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第5775281号
(P5775281)

(45) 発行日 平成27年9月9日(2015.9.9)

(24) 登録日 平成27年7月10日(2015.7.10)

(51) Int.Cl.	F I
GO 1 P 15/09 (2006.01)	GO 1 P 15/09 D
GO 1 P 15/18 (2013.01)	GO 1 P 15/18
GO 1 P 15/08 (2006.01)	GO 1 P 15/08 I O 2 Z
HO 1 L 41/08 (2006.01)	HO 1 L 41/08 Z
HO 1 L 41/18 (2006.01)	HO 1 L 41/18 I O 1 Z
請求項の数 9 (全 13 頁) 最終頁に続く	

(21) 出願番号 特願2010-228574 (P2010-228574)
 (22) 出願日 平成22年10月8日 (2010.10.8)
 (65) 公開番号 特開2012-83164 (P2012-83164A)
 (43) 公開日 平成24年4月26日 (2012.4.26)
 審査請求日 平成25年10月7日 (2013.10.7)

(73) 特許権者 000116024
 ローム株式会社
 京都府京都市右京区西院溝崎町2-1番地
 (74) 代理人 100087701
 弁理士 稲岡 耕作
 (74) 代理人 100101328
 弁理士 川崎 実夫
 (74) 代理人 100149766
 弁理士 京村 順二
 (72) 発明者 櫻木 正広
 京都市右京区西院溝崎町2-1番地 ローム
 株式会社内
 審査官 續山 浩二

最終頁に続く

(54) 【発明の名称】 MEMSセンサおよびその製造方法

(57) 【特許請求の範囲】

【請求項1】

表面および裏面を有し、前記表面側に形成された振動膜と、当該振動膜を支持し、当該振動膜の直下に、前記裏面側が開放された空間を区画するフレーム部とを有する半導体基板と、

前記空間内において前記振動膜に保持され、前記空間の開放面に臨む底面を有する錘とを含み、

前記フレーム部は、前記半導体基板の前記裏面を形成して支持基板に接合される底壁と、前記空間内に臨む内側面と、前記空間外に臨む外側面とを有しており、

前記フレーム部の前記底壁には、前記フレーム部の前記内側面から前記外側面に至る溝が形成されており、

前記溝は、前記外側面から前記空間の中心部に向かって延びており、

前記フレーム部の内側面は、前記錘の側面を取り囲む基準面と、前記フレーム部の底面から前記溝の深さ位置まで至り、当該基準面よりも外側にオフセットされた前記錘の側面を取り囲むオフセット面とを含む段差面を有している、MEMSセンサ。

【請求項2】

前記溝の深さ位置は、前記振動膜に対する前記錘の接合位置よりも前記半導体基板の前記裏面側に配置されている、請求項1に記載のMEMSセンサ。

【請求項3】

前記フレーム部の底面と前記錘の前記底面との間には、前記フレームの前記底壁が支持

10

20

基板に接合されたときに、前記錘を当該支持基板に対して浮いた状態にするための段差が設けられている、請求項 1 または 2 に記載の M E M S センサ。

【請求項 4】

前記段差が、前記溝の深さと等しい、請求項 3 に記載の M E M S センサ。

【請求項 5】

前記空間の中心部が、前記錘の重心に一致している、請求項 1 ~ 4 のいずれか一項に記載の M E M S センサ。

【請求項 6】

前記半導体基板が、シリコン基板、絶縁層および活性層が積層された構造からなる S O I 基板であり、

前記振動膜が、前記活性層からなり、前記錘が、前記シリコン基板および前記絶縁層の積層構造からなる、請求項 1 ~ 5 のいずれか一項に記載の M E M S センサ。

【請求項 7】

前記溝は、前記空間を取り囲む周方向に沿って等しい間隔を空けて複数形成されている、請求項 1 ~ 6 のいずれか一項に記載の M E M S センサ。

【請求項 8】

前記複数の溝は、前記半導体基板を前記フレーム部の底面側から見た底面視において十字状に形成されている、請求項 7 に記載の M E M S センサ。

【請求項 9】

表面および裏面を有する半導体基板の裏面の一部のエッチング領域を取り囲むように、当該裏面に第 1 マスクを形成する工程と、

前記エッチング領域を取り囲むように、かつ前記第 1 マスクの内周側端部を覆うように第 2 マスクを形成する工程と、

前記第 2 マスクを介して前記半導体基板を、前記裏面側から選択的にエッチングすることにより、前記裏面側が開放された空間を形成し、同時に、当該空間に対して内側に前記裏面を形成する底壁を有する錘と、当該空間に対して外側に前記裏面を形成する底壁および前記空間内に臨む内側面を有するフレーム部とを形成する工程と、前記第 2 マスクを除去した後、前記第 1 マスクを介して前記フレーム部の前記底壁および前記錘の前記底壁を選択的にエッチングすることにより、前記フレーム部の外側面から前記空間の中心部に向かって延びるように、前記フレーム部の前記底壁における前記内側面と前記外側面との間に溝を形成し、同時に、前記錘の底面と前記フレーム部の底面との間に前記溝の深さと等しい段差と、前記フレーム部の内周面に、前記錘の側面を取り囲む基準面、前記フレーム部の底面から前記溝の深さ位置まで至り、当該基準面よりも外側にオフセットされた前記錘の側面を取り囲むオフセット面を含む段差面とを形成する工程とを含む、M E M S センサの製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、M E M S センサおよびその製造方法に関する。

【背景技術】

【0002】

近年、M E M S (Micro Electro Mechanical Systems) センサが注目されている。M E M S センサの代表的なものとして、たとえば、加速度センサ、圧力センサ、ジャイロセンサなどが知られている。

たとえば、特許文献 1 には、カバーガラスと、このカバーガラスの一方面に形成されたシリコン層およびピエゾ抵抗素子と、カバーガラスの他方面に形成された電極パッドとを備える加速度センサが提案されている。

【0003】

シリコン層は、カバーガラスの中央部に設けられた錘部と、カバーガラスの両端部の支持部と、錘部と支持部との間に設けられ、ピエゾ抵抗素子が形成された可撓部とを備え、

10

20

30

40

50

これらが一体的に形成された構造を有している。そして、接着剤（接着層）を用いて支持部がシリコン基板に接着されることにより、加速度センサは、シリコン基板によって支持されている。支持された状態においてシリコン層の中央部には、支持部、可撓部、接着層およびシリコン基板により囲まれて密閉された空隙が形成されている。

【先行技術文献】

【特許文献】

【0004】

【特許文献1】特開2007-17199号公報

【発明の概要】

【発明が解決しようとする課題】

10

【0005】

上記特許文献1の加速度センサは、加速度センサに加わった外力により錘部が揺れて可撓部が変形し、その変形に伴うピエゾ抵抗素子の抵抗値変化を検出することによって加速度を検出する。

しかしながら、シリコン層の支持部が接着剤によりシリコン基板に完全に密着していて、錘部および可撓部直下の空隙が密閉されている。そのため、錘部および可撓部が揺れたときに空隙が圧縮されても、空隙内の空気に逃げ場がなく、錘部および可撓部がエアダンピング効果の影響を受けやすい。その結果、加速度センサに外力が加わっても、錘および可撓部が外力に見合う量の変化をせず、センサの感度が低下するおそれがある。

【0006】

20

一方、錘部の高さを維持したまま支持部の高さを高くし、錘部および可撓部とシリコン基板との間の距離を大きくすれば、可撓部や錘部が揺れたときの空隙の圧縮率が小さくなり、それにより可撓部や錘が空隙から受ける圧力を小さくできるので、エアダンピング効果の影響を小さくできるかもしれない。しかし、支持部の高さを大きくするには、シリコン基板を深くエッチングする必要がある。そのため、エッチング時間が余計にかかり、また、エッチングマスクとして利用されるレジストを厚くする必要が生じる。

【0007】

本発明の目的は、エアダンピング効果の影響を低減でき、さらに効率よく製造することができるMEMSセンサおよびその製造方法を提供することである。

【課題を解決するための手段】

30

【0008】

上記目的を達成するための本発明のMEMSセンサは、表面および裏面を有し、前記表面側に形成された振動膜と、当該振動膜を支持し、当該振動膜の直下に、前記表面側が当該振動膜により密閉され前記裏面側が開放された空間を区画するフレーム部とを有する半導体基板を含み、前記フレーム部は、前記半導体基板の前記裏面を形成して支持基板に接合される底壁と、前記空間内に臨む内側面と、前記空間外に臨む外側面とを有しており、前記フレーム部の前記底壁には、前記フレーム部の前記内側面から前記外側面に至る溝が形成されている。

【0009】

この構成によれば、フレーム部の底壁に溝が形成されている。そのため、フレーム部の底面を支持基板に接合することによりMEMSセンサを支持基板上に搭載したときに、振動膜直下の空間とフレーム部の外側の空間との間を、溝および支持基板により区画される通路により連通させることができる。これにより、振動膜が振動してMEMSセンサが動作するときに、空間内の空気をセンサ外に逃がすことができ、振動膜が空間から受ける圧力を小さくすることができる。その結果、振動膜に対するエアダンピング効果の影響を抑制することができる。よって、センサの感度低下を抑制することができる。

40

【0010】

このような作用効果は、フレーム部に溝が形成されていれば、空間の体積が小さく、振動膜が振動したときの空間の圧縮率が大きくなりやすい条件下でも、十分発揮することができる。したがって、このMEMSセンサの製造に際して、半導体基板を深くまでエッチ

50

ングしなくてもよいので、製造効率の低下を抑制することもできる。

なお、「空間の圧縮率」とは、(振動膜の振動により圧縮されたときの空間の体積 V_1) / (振動膜が振動する前の空間の体積 V_2) $\times 100$ (%) のことをいう。

【0011】

また、本発明のMEMSセンサは、前記空間内において前記振動膜に保持され、前記空間の開放面に臨む底面を有する錘をさらに含んでもよい。その場合、前記フレーム部の底面と前記錘の前記底面との間には、前記フレームの前記底壁が支持基板に接合されたときに、前記錘を当該支持基板に対して浮いた状態にするための段差が設けられており、当該段差が前記溝の深さと等しくてもよい。

【0012】

フレーム部の底面と錘の底面との間の段差を、フレーム部の溝の深さと等しくするには、たとえば、本発明の製造方法によりMEMSセンサを製造すればよい。

すなわち、本発明のMEMSセンサの製造方法は、表面および裏面を有する半導体基板を、前記裏面側から選択的にエッチングすることにより、前記表面側が密閉され前記裏面側が開放された空間を形成し、同時に、当該空間に対して内側に前記裏面を形成する底壁を有する錘と、当該空間に対して外側に前記裏面を形成する底壁および前記空間内に臨む内側面を有するフレーム部とを形成する工程と、前記フレーム部の前記底壁および前記錘の前記底壁を選択的にエッチングすることにより、前記フレーム部の前記底壁に前記内側面から外側へ向かって延びる溝を形成し、同時に、前記錘の底面と前記フレーム部の底面との間に前記溝の深さと等しい段差を形成する工程とを含む。

【0013】

この製造方法によれば、フレーム部の底面と錘の底面との段差、およびフレーム部の溝が同一工程で同時に形成されるので、工程数を減らすことができ、製造効率を向上させることができる。

また、本発明のMEMSセンサでは、互いに同一形状の複数の前記溝が、前記空間を取り囲む周方向に沿って等しい間隔を空けて形成されていることが好ましい。

【0014】

この構成では、フレーム部が支持基板に接合された状態において、振動膜が当該支持基板に近づく方向に振動して空間を圧縮したときに、空間内の空気を、等間隔に形成された複数の溝を介して同じ量ずつ逃がすことができる。これにより、振動膜に対して加わる圧力の偏りを低減することができるので、より精密な検出を行うことができる。

【図面の簡単な説明】

【0015】

【図1】本発明の一実施形態に係る加速度センサの模式的な平面図である。

【図2】図1に示す加速度センサの模式的な底面図である。

【図3】図1に示す加速度センサの模式的な断面図であって、切断面A-Aにおける断面を示す。

【図4A】図1に示す加速度センサの製造工程の一部を示す図である。

【図4B】図4Aの次の工程を示す図である。

【図4C】図4Bの次の工程を示す図である。

【図4D】図4Cの次の工程を示す図である。

【図5】図1に示す溝の第1変形例を示す図である。

【図6】図1に示す溝の第2変形例を示す図である。

【図7】図1に示す溝の第3変形例を示す図である。

【図8】図1に示す溝の第4変形例を示す図である。

【図9】本発明の他の実施形態に係る加速度センサの模式的な断面図である。

【発明を実施するための形態】

【0016】

以下では、本発明の実施の形態を、添付図面を参照して詳細に説明する。

図1は、本発明の一実施形態に係る加速度センサの模式的な平面図である。図2は、図

10

20

30

40

50

1に示す加速度センサの模式的な底面図である。図3は、図1に示す加速度センサの模式的な断面図であって、切断面A-Aにおける断面を示す。

加速度センサ1は、たとえば、三次元空間において直交する3つの軸(X軸、Y軸およびZ軸)に作用する加速度を検出するセンサであって、表面21および裏面22を有する半導体基板としての平面視矩形形状のSOI(Silicon On Insulator)基板を備えている。SOI基板2の表面21は、たとえば、検出素子や検出回路などが形成される素子形成面であり、裏面22は、たとえば、支持基板25(たとえば、ガラス基板などの封止基板)が接合される実装面である。

【0017】

以下では、便宜的に、SOI基板2の1対の対向辺に平行な方向をX軸方向とし、SOI基板2の他対の対向辺に平行な方向をY軸方向とし、SOI基板2の厚さ方向に平行な方向をZ軸方向として本実施形態を説明する。また、Z軸方向については、SOI基板2の裏面22が下側に配置される加速度センサ1の基本姿勢を基準として、上下方向ということがある。

【0018】

SOI基板2は、その裏面22側から表面21側へ向かって順に、シリコン基板3と、酸化シリコンからなる絶縁層4と、シリコンからなる活性層5とが積層された構造を有している。SOI基板2の総厚さは、たとえば、557.5 μm 程度であり、各層の厚さは、たとえば、シリコン基板3が550 μm 程度、絶縁層4が1.5 μm 程度、活性層5が6 μm 程度である。

【0019】

SOI基板2には、その裏面22から活性層5に至るまで、シリコン基板3および絶縁層4がZ軸方向に沿って選択的に除去されることにより、底面視円環状の空間6が形成されている。この空間6は、SOI基板2の表面21側が活性層5により密閉され、SOI基板2の裏面22側が開放されている。

活性層5は、空間6に臨む円形の部分が振動膜7として形成されている。この振動膜7は、その全周が、シリコン基板3、絶縁層4および活性層5の積層構造からなるSOI基板2の外枠(フレーム部8)の活性層5により一体的に支持されている。また、当該空間6に配置されたシリコン基板3および絶縁層4の積層構造からなる円柱状の部分は、振動膜7にぶら下がった錘9として活性層5に保持されている。

【0020】

フレーム部8は、SOI基板2の側面を形成する外側面81、空間6を外側から画成する内側面82およびSOI基板2の裏面22を形成する底面83(底壁)を有している。フレーム部8の底壁には、その内側面82から外側面81に至る溝10が形成されている。溝10は、空間6の外周方向に沿って等しい間隔(たとえば、1/4L間隔ずつ(L:空間6の外周長))を空けて複数(この実施形態では、4つ)設けられている。より具体的には、4つの溝10は、底面視において、フレーム部8の4つの外側面81それぞれの中央位置から1本ずつ、円環状空間6の中心Oへ向かって(X軸方向もしくはY軸方向に沿う方向)底面視十字状に設けられている。また、複数の溝10は、互いに同じ深さDを有しており、その深さDは、たとえば、20 μm ~100 μm である。また、この実施形態では、複数の溝10は、同じ長さおよび幅で形成されている。

【0021】

錘9は、当該空間6の開放面61に望む底面91を有しており、この底面91とフレーム部8の底面83との間には、段差Sが設けられている。この段差Sは、加速度センサ1を支持基板25(後述)に搭載ときに、支持基板25と錘9との間に錘9の振動を可能とするためのギャップを確保する。また、段差Sは、この実施形態では、フレーム部8の溝10の深さDと等しい(たとえば、20 μm ~100 μm)。また、錘9の底面91の半径rは、たとえば、底面視における空間6の半径Rに対して40~60%程度である。

【0022】

また、フレーム部8の内側面82は、錘9の側面(周面)に対向する基準面821と、

10

20

30

40

50

その底面 8 3 から溝 1 0 の深さ D の位置まで至り、当該基準面 8 2 1 よりも外側にオフセットされたオフセット面 8 2 2 とを有する段差面となっている。つまり、フレーム部 8 の溝 1 0 は、当該オフセット面 8 2 2 から外側面 8 1 に至るように形成されている。

SOI 基板 2 の表面 2 1 (素子形成面)には、NSG (Nondoped Silicate Glass) 膜 1 1 (厚さ 2 5 0 0 程度)が形成されている。

【0023】

このNSG膜 1 1 上には、圧電体 1 3 (たとえば、PZT (チタン酸ジルコン酸鉛)) を 1 組の上部電極 1 4 (たとえば、Pt/Ti) および下部電極 1 5 (たとえば、Ir/IrO₂) で挟み込んでなる圧電素子 1 2 が複数設けられている。

複数の圧電素子 1 2 は、錘 9 の周縁に沿って互いに間隔を空けて設けられた Z 軸検出素子 1 2 Z、この Z 軸検出素子 1 2 Z を取り囲む X 軸検出素子 1 2 X および Y 軸検出素子 1 2 Y を含んでいる。X 軸検出素子 1 2 X は、X 軸方向において錘 9 を挟んで一方側および他方側にそれぞれ 1 つずつ設けられている。また、Y 軸検出素子 1 2 Y は、Y 軸方向において錘 9 を挟んで一方側および他方側にそれぞれ 1 つずつ設けられている。

【0024】

圧電素子 1 2 上には、SiO₂ からなる層間絶縁膜 1 6 (厚さ 5 0 0 0 程度)が積層されている。この層間絶縁膜 1 6 上には、各圧電素子 1 2 に電氣的に接続される複数の配線 1 7 (たとえば、AL 配線)が形成されている。配線 1 7 は、層間絶縁膜 1 6 に形成されたコンタクトホール 1 8 を介して圧電素子 1 2 の上部電極 1 4 もしくは下部電極 1 5 に電氣的に接続されている。また、配線 1 7 は、層間絶縁膜 1 6 上において X 軸検出素子 1 2 X および Y 軸検出素子 1 2 Y の周辺部にまで引き回されている。なお、図 1 は、便宜上、複数の配線 1 7 の接続形態の一部を省略して表しており、配線 1 7 の接続形態は、加速度センサ 1 の使用状況に合わせて適宜設計することができる。また、配線 1 7 は、メタル配線のみで構成されていてもよいし、活性層 5 に不純物を注入して作製されるピエゾ配線のみで構成されていてもよいし、メタル配線およびピエゾ配線を組み合わせて構成されていてもよい。

【0025】

層間絶縁膜 1 6 上には、PSG (Phosphorus Silicate Glass) 膜 1 9 (厚さ 7 5 0 程度)および SiN 膜 2 0 (厚さ 7 0 0 0 程度)が順に積層されている。これら PSG 膜 1 9 および SiN 膜 2 0 には、圧電素子 1 2 の周辺部に引き回された配線 1 7 の一部をパッド 2 3 として露出させるパッド開口 2 4 が形成されている。

この加速度センサ 1 は、フレーム部 8 の底面 8 3 に、たとえば、支持基板 2 5 (セラミック基板、シリコン基板 3、ガラス基板などが接合されることにより、空間 6 が封止される (図 3 参照))。

【0026】

加速度センサ 1 1 に加速度が作用し、錘 9 が振れると、振動膜 7 に歪み (捻れおよび/または撓み)が生じる。この振動膜 7 の歪みにより、振動膜 7 上の圧電体 1 3 に伸び縮みが生じ、圧電体 1 3 の抵抗値が変化する。パッド 2 3 (配線 1 7)を介して、その抵抗値の変化を信号として取り出すことにより、この信号に基づいて、錘 9 (加速度センサ 1)に作用した加速度の方向 (3 軸方向) および大きさを検出することができる。このとき、フレーム部 8 に溝 1 0 が形成されていることにより、振動膜 7 直下の空間 6 とフレーム部 8 の外側の空間 6 との間を、溝 1 0 および支持基板 2 5 により区画される通路により連通させることができる。これにより、錘 9 の振動時に空間 6 内の空気をセンサ外に逃がすことができ、錘 9 および振動膜 7 が空間 6 から受ける圧力を小さくすることができる。その結果、錘 9 および振動膜 7 に対するエアダンピング効果の影響を抑制することができる。よって、センサの感度低下を抑制することができる。

【0027】

さらに、溝 1 0 が底面視十字状に設けられているため、錘 9 が支持基板 2 5 に近づく方向に振動して空間 6 を圧縮したときに、空間 6 内の空気を、十字状に形成された複数の溝 1 0 を介して同じ量ずつ逃がすことができる。これにより、錘 9 および振動膜 7 に対して

10

20

30

40

50

加わる圧力の偏りを低減することができるので、より精密な検出を行うことができる。

図4A～図4Dは、図1に示す加速度センサの製造工程を工程順に示す図である。

【0028】

加速度センサ1を製造するには、まず、図4Aに示すように、シリコン基板3、絶縁層4および活性層5を含むSOI基板2の表面21に、たとえば、CVD (Chemical Vapor Deposition) 法によりNSG膜11が形成される。次いで、公知のスパッタ技術および公知のパターニング技術により、NSG膜11上に、Ir/IrO₂からなる下部電極15、PZTからなる圧電体13、およびPt/Tiからなる上部電極14が形成される。これにより、各軸(X軸、Y軸およびZ軸)を検出する圧電素子12が形成される。次いで、NSG膜11上に、圧電素子12を覆うように層間絶縁膜16が積層される。次いで、層間絶縁膜16が選択的にエッチングされることにより、圧電素子12の上部電極14および下部電極15に対してコンタクトをとるためのコンタクトホール18が形成される。次いで、配線17用のメタルがスパッタされ、このメタルがパターニングされることにより、配線17が形成される。続いて、層間絶縁膜16上に、PSG膜19およびSiN膜20が順に積層される。そして、公知のエッチング技術により、これらPSG膜19およびSiN膜20を貫通するように、パッド開口24が形成される。

10

【0029】

次いで、図4Bに示すように、SiN膜20上に、たとえば、CVD法によりNSG膜26(厚さ750程度)が形成される。このNSG膜26は、後の工程でSOI基板2の裏面22側を加工する際に素子形成面を保護するためのものである。続いて、シリコン基板3が550μm程度の厚さになるまで裏面22から研削される。つまり、725μm程度の厚さのシリコン基板3が175μm程度研削される。研削後、SOI基板2の裏面22に、たとえば、CVD法により、NSGからなる第1マスク27(厚さ5000程度)が形成される。次いで、公知のパターニング技術により、第1マスク27における、溝10、錘9および空間6を形成すべき領域を覆う部分が除去される。

20

【0030】

次いで、図4Cに示すように、この第1マスク27上に、空間6を形成すべき領域以外の領域(つまり、錘9およびフレーム部8を形成すべき領域)上に、フォトレジストからなる第2マスク28(厚さ10000程度)が形成される。この第2マスク28は、第1マスク27における内周側端部を覆うように(オーバーラップするように)形成される。続いて、この第2マスク28を介して、SOI基板2が裏面22側からシリコン基板3の途中まで(500μm程度)ドライエッチングされる。ドライエッチングには、たとえば、SF₆ガスが用いられる。これにより、錘9とフレーム部8の形状が成形され、同時に、錘9とフレーム部8とを隔て、基準面821を有する円環状の溝29が形成される。次いで、たとえば、アッシング処理により、第2マスク28が除去されることにより、第1マスク27が露出する。

30

【0031】

次いで、図4Dに示すように、露出した第1マスク27を介して、錘9の底面91全域がドライエッチングされるとともに、フレーム部8が選択的にドライエッチングされる。このドライエッチングは、たとえば、シリコン基板3が50μm程度除去されるまで続けられる。これにより、フレーム部8の底壁に溝10が形成され、同時に、錘9の底面91とフレーム部8の底面83との段差Sが形成される。また、エッチングガスは、溝29上方に残存するシリコン基板3にも供給され、これにより、溝29上方のシリコン基板3が完全に除去されて空間6が形成される。

40

【0032】

この後、空間6内にエッチング液が供給されることにより、空間6内の絶縁層4がウェットエッチングにより除去され、同時に活性層5からなる振動膜7が形成される。次いで、SiN膜20上のNSG膜26が除去される。以上の工程を経て、図1～図3に示す加速度センサ1が得られる。

以上の製造方法によれば、フレーム部8の底面83と錘9の底面91との段差S、およ

50

びフレーム部 8 の溝 10 が同一工程で同時に形成されるので（図 4 D の工程）、これらを別々の工程で形成する場合に比べて工程数を減らすことができる。その結果、効率よく加速度センサ 1 を製造することができる。

【 0033 】

また、上記したエアダンピング抑制効果は、フレーム部 8 に溝 10 が形成されていれば、シリコン基板 3 が薄くて空間 6 の体積が小さく、錘 9 が振動したときの空間 6 の圧縮率が大きくなりやすい条件下でも、十分発揮することができる。したがって、空間 6 の深さを深くすることにより、空間 6 の体積を大きくしなくてもよい。つまり、この加速度センサ 1 の製造に際しては、シリコン基板 3 を深くまでエッチングしなくてもよい。よって、シリコン基板 3 の厚さの大小に関わらず、ある程度の厚さまでシリコン基板 3 を裏面 22 10
から研削し（図 4 B の工程）、その後、必要な量だけエッチングすればよい。その結果、エッチング時間を短くできるので、製造効率の低下を抑制することもできる。

【 0034 】

なお、「空間 6 の圧縮率」とは、（錘 9 の振動により圧縮されたときの空間 6 の体積 V_1 ） / （錘 9 が振動する前の空間 6 の体積 V_2 ） × 100（%）のことをいう。

以上、本発明の一実施形態について説明したが、本発明はさらに他の形態で実施することもできる。

たとえば、フレーム部 8 の溝 10 は、図 5 に示すように、底面視において SOI 基板 2 の対角線に沿うような十字状に形成されていてもよい。また、図 6 に示すように、錘 9 の半径方向に沿う（図 6 では、X 軸方向に沿う）直線状に形成されていてもよい。また、図 20
7 に示すように、錘 9 の半径方向に沿うように（図 7 では、Y 軸方向に沿うように）、1 本のみ形成されていてもよい。また、複数の溝 10 の幅は、全てが同じである必要はなく、たとえば、図 8 に示すように、十字状をなす溝 10 の一方向に沿う直線部（図 8 では、Y 軸方向に沿う溝 10 Y）の幅が、他方向に沿う直線部（図 8 では、X 軸方向に沿う溝 10 X）の幅に比べて広くてもよい。

【 0035 】

また、錘 9 の形状は、円柱状である必要はなく、たとえば、多角柱状（たとえば、直方体状）などであってもよい。

また、加速度センサは、図 9 の加速度センサ 31 のように、振動膜 7 に歪みを発生させるための錘 9 を有していなくてもよい。 30

また、前述の実施形態では、MEMS センサの一例として、加速度センサを取り上げたが、本発明は、加速度センサに限らず、圧力センサ、ジャイロセンサなど、MEMS 技術により作製される各種デバイスに適用することができる。

【 0036 】

その他、特許請求の範囲に記載された事項の範囲で種々の設計変更を施すことが可能である。

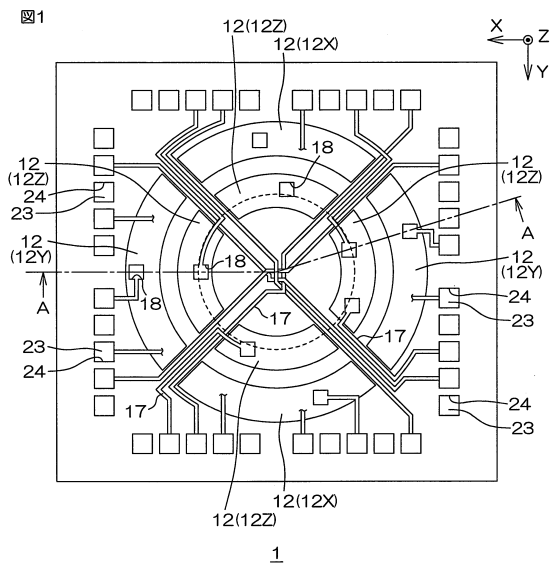
【 符号の説明 】

【 0037 】

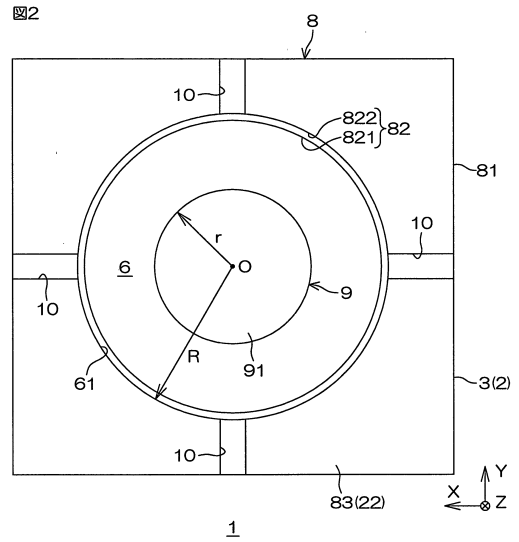
- 1 加速度センサ
- 2 SOI 基板 40
- 6 空間
- 7 振動膜
- 8 フレーム部
- 9 錘
- 10 溝
- 21 (SOI 基板の) 表面
- 22 (SOI 基板の) 裏面
- 61 (空間の) 開放面
- 81 (フレーム部の) 外側面
- 82 (フレーム部の) 内側面 50

- 8 3 (フレーム部の) 底面
- 9 1 (錘の) 底面
- S 段差

【図1】



【図2】



【 図 3 】

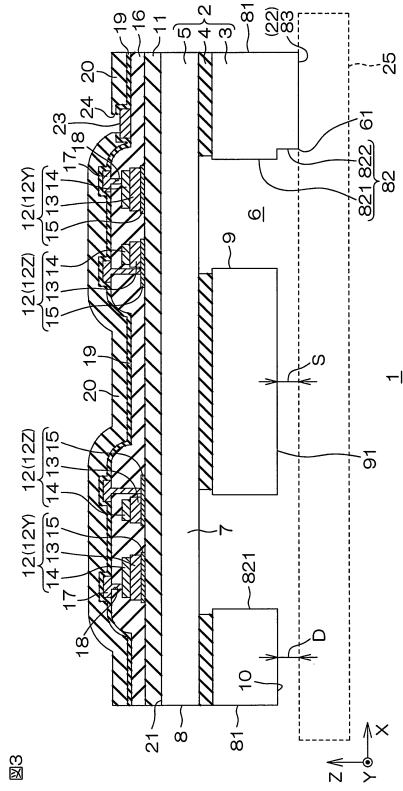


図3

【 図 4 A 】

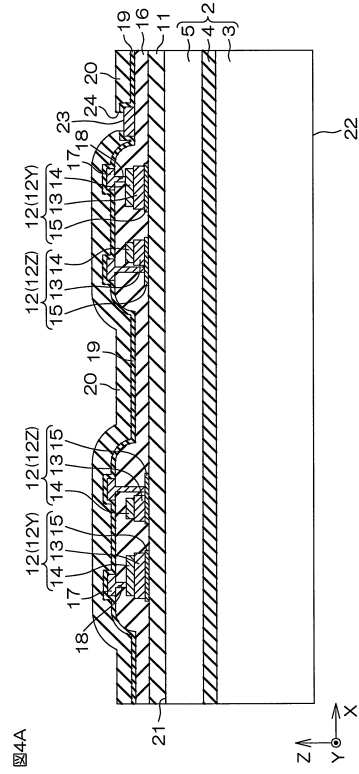


図4A

【 図 4 B 】

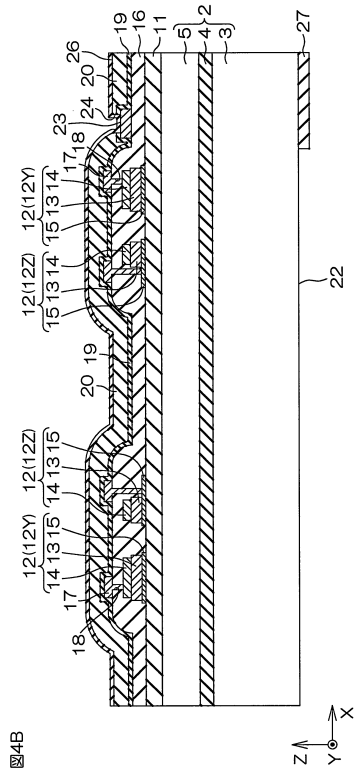


図4B

【 図 4 C 】

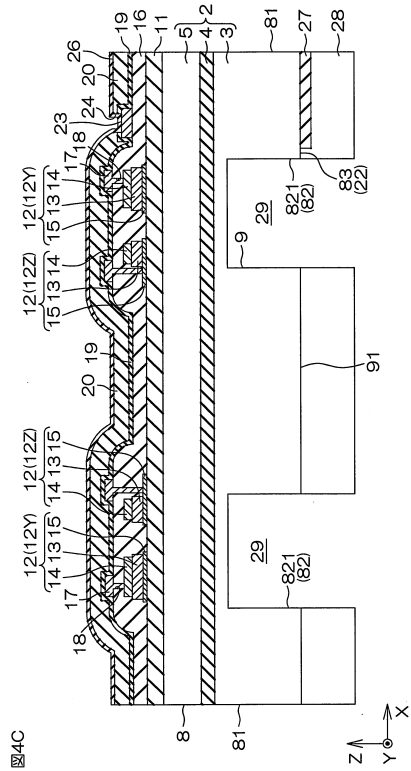
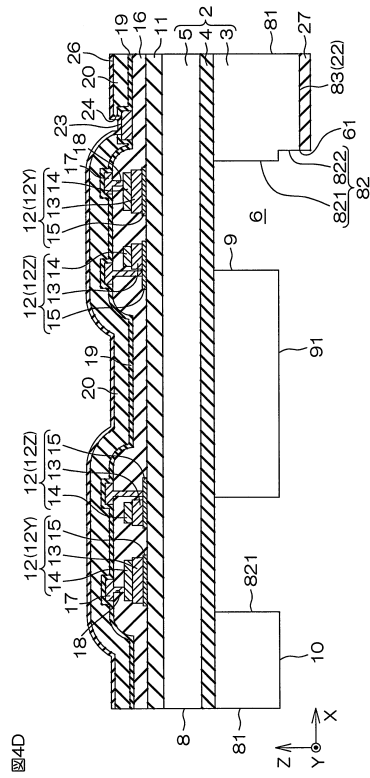
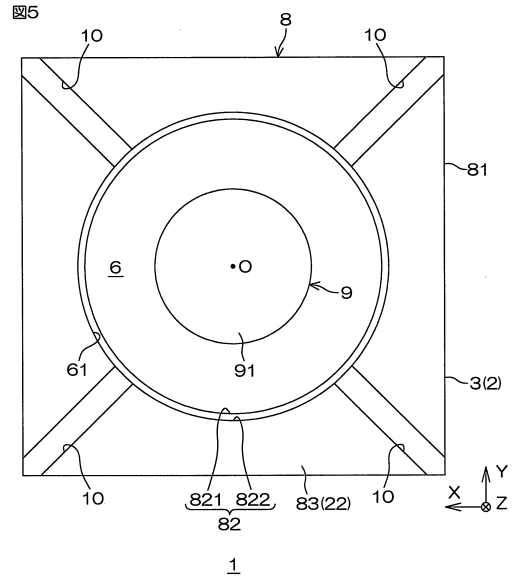


図4C

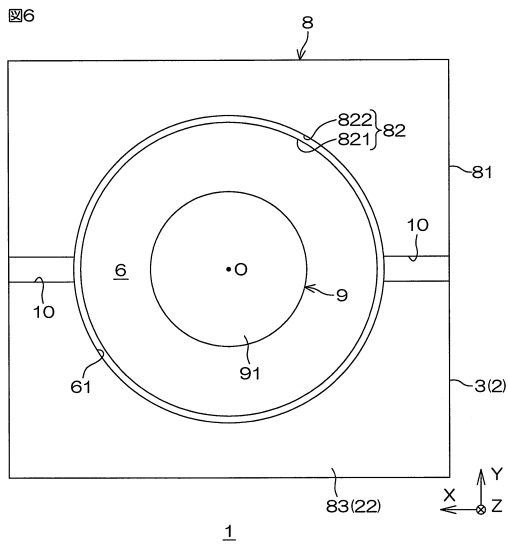
【 図 4 D 】



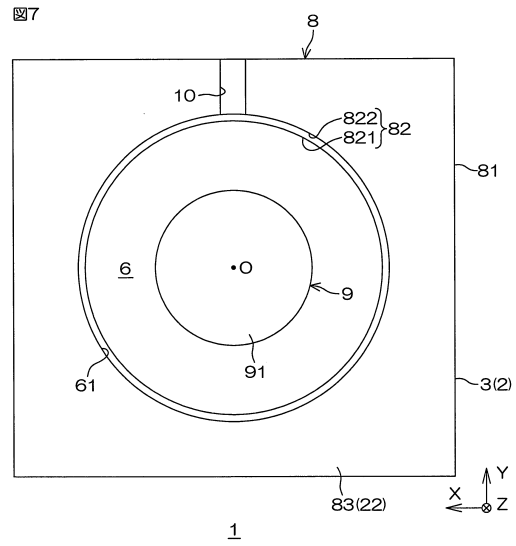
【 図 5 】



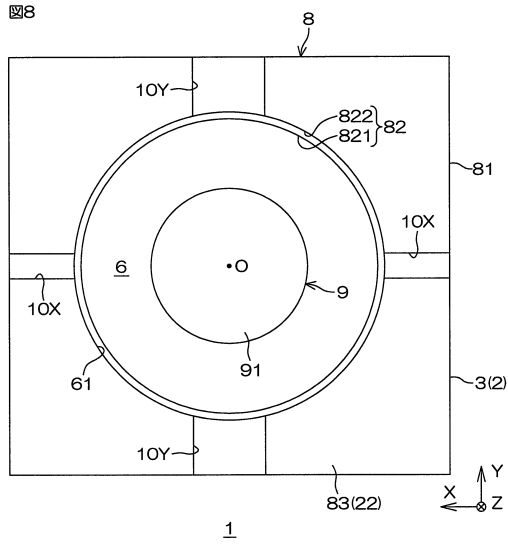
【 図 6 】



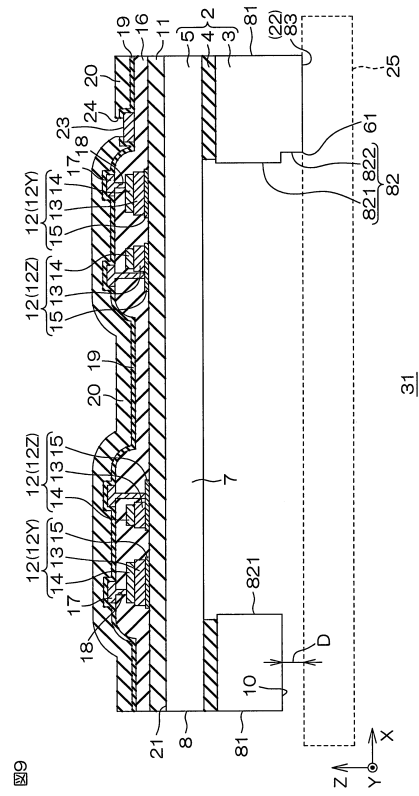
【 図 7 】



【 図 8 】



【 図 9 】



フロントページの続き

(51) Int.Cl.			F I		
<i>H 0 1 L</i>	<i>41/22</i>	<i>(2013.01)</i>	<i>H 0 1 L</i>	<i>41/22</i>	
<i>H 0 1 L</i>	<i>29/84</i>	<i>(2006.01)</i>	<i>H 0 1 L</i>	<i>29/84</i>	<i>Z</i>
<i>B 8 1 B</i>	<i>3/00</i>	<i>(2006.01)</i>	<i>B 8 1 B</i>	<i>3/00</i>	
<i>B 8 1 C</i>	<i>1/00</i>	<i>(2006.01)</i>	<i>B 8 1 C</i>	<i>1/00</i>	

(56) 参考文献 特開平 0 4 - 0 8 4 7 2 5 (J P , A)
 特開 2 0 1 0 - 1 5 1 7 6 5 (J P , A)
 特開 2 0 0 3 - 2 7 0 2 6 3 (J P , A)
 特開平 0 6 - 1 6 0 4 1 7 (J P , A)
 特開 2 0 1 0 - 1 0 7 4 8 6 (J P , A)
 特開 2 0 0 4 - 1 7 7 2 1 9 (J P , A)
 特開 2 0 0 6 - 1 7 7 6 7 5 (J P , A)
 特開 2 0 0 9 - 2 6 4 9 3 3 (J P , A)
 特開 2 0 1 0 - 1 6 0 1 2 8 (J P , A)

(58) 調査した分野(Int.Cl. , D B 名)

G 0 1 P 1 5 / 0 9
 B 8 1 B 3 / 0 0
 B 8 1 C 1 / 0 0
 G 0 1 P 1 5 / 0 8
 G 0 1 P 1 5 / 1 8
 H 0 1 L 2 9 / 8 4
 H 0 1 L 4 1 / 0 8
 H 0 1 L 4 1 / 1 8
 H 0 1 L 4 1 / 2 2