

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第3893819号

(P3893819)

(45) 発行日 平成19年3月14日(2007.3.14)

(24) 登録日 平成18年12月22日(2006.12.22)

(51) Int. Cl.	F I
G09G 3/36 (2006.01)	G09G 3/36
G02F 1/133 (2006.01)	G02F 1/133 550
G09G 3/20 (2006.01)	G09G 3/20 621A
	G09G 3/20 622G
	G09G 3/20 623R
請求項の数 5 (全 21 頁) 最終頁に続く	

(21) 出願番号	特願平11-347657	(73) 特許権者	000002369
(22) 出願日	平成11年12月7日(1999.12.7)		セイコーエプソン株式会社
(65) 公開番号	特開2001-166744(P2001-166744A)		東京都新宿区西新宿2丁目4番1号
(43) 公開日	平成13年6月22日(2001.6.22)	(74) 代理人	100095728
審査請求日	平成16年2月2日(2004.2.2)		弁理士 上柳 雅誉
		(74) 代理人	100107261
			弁理士 須澤 修
		(72) 発明者	藤田 伸
			長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内
		審査官	福村 拓
最終頁に続く			

(54) 【発明の名称】 電気光学装置の駆動回路、データ線駆動回路、走査線駆動回路、電気光学装置、および電子機器

(57) 【特許請求の範囲】

【請求項1】

複数の走査線と、複数のデータ線と、前記各走査線と前記各データ線との交差に対応して設けられたスイッチング素子と画素電極とを有する電気光学装置の駆動回路であって、クロック信号に応じて入力信号を順次シフトして出力する複数の単位回路と、

連続する2つの単位回路に対応して各々設けられ、前期各走査線または前記データ線を選択する信号を生成する複数の単位駆動回路を有し、

前記単位駆動回路は、薄膜トランジスタで形成されており、対応する2つの単位回路のうち後段の出力信号を遅延させる遅延回路と、該単位駆動回路に入力される該2つの単位回路の出力信号により決定されるアクティブ期間を生成するアクティブ期間生成回路と、前記アクティブ期間を前記遅延回路の出力信号に基づいて制限する制限回路を具備し、

前記遅延回路は、インバータで構成され、

前記アクティブ期間生成回路は、NAND回路で構成され、

前記制限回路は、NOR回路で構成され、

前記制限回路は、前記遅延回路の出力信号に基づいて、前記アクティブ期間の開始タイミングを制限することを特徴とする電気光学装置の駆動回路。

【請求項2】

複数の走査線と、複数のデータ線と、前記各走査線と前記各データ線とに接続されたスイッチング素子と、前記スイッチング素子に接続された画素電極とを有する電気光学装置のデータ線駆動回路であって、クロック信号に応じて入力信号を順次シフトして出力する

10

20

複数の単位回路と、連続する2つの単位回路に対応して各々設けられ、前期各データ線を選択するサンプリング信号を生成する複数の単位駆動回路と、前記サンプリング信号に基づいて画像信号をサンプリングして前記データ線に供給する複数のスイッチを有し、前記単位駆動回路は、薄膜トランジスタで形成されており、対応する2つの単位回路のうち後段の出力信号を遅延させる遅延回路と、該単位駆動回路に入力される該2つの単位回路の出力信号により決定されるアクティブ期間を生成するアクティブ期間生成回路と、前記アクティブ期間を前記遅延回路の出力信号に基づいて制限する制限回路を具備し、

前記遅延回路は、インバータで構成され、

前記アクティブ期間生成回路は、NAND回路で構成され、

前記制限回路は、NOR回路で構成され、

前記制限回路は、前記遅延回路の出力信号に基づいて、前記アクティブ期間の開始タイミングを制限することを特徴とする電気光学装置の駆動回路。

10

【請求項3】

複数の走査線と、複数のデータ線と、前記各走査線と前記各データ線との交差に対応して設けられたスイッチング素子と画素電極とを有する電気光学装置の走査線駆動回路であって、

クロック信号に応じて入力信号を順次シフトして出力する複数の単位回路と、

連続する2つの単位回路に対応して各々設けられ、前記各走査線を選択する信号を生成する複数の単位駆動回路とを有し、

前記単位駆動回路は、薄膜トランジスタで形成されており、対応する2つの単位回路のうち後段の出力信号を遅延させる遅延回路と、該単位駆動回路に入力される該2つの単位回路の出力信号により決定されるアクティブ期間を生成するアクティブ期間生成回路と、前記アクティブ期間を前記遅延回路の出力信号に基づいて制限する制限回路を具備し、

20

前記遅延回路は、インバータで構成され、

前記アクティブ期間生成回路は、NAND回路で構成され、

前記制限回路は、NOR回路で構成され、

前記制限回路は、前記遅延回路の出力信号に基づいて、前記アクティブ期間の開始タイミングを制限することを特徴とする電気光学装置の駆動回路。

【請求項4】

請求項1に記載の電気光学装置の駆動回路と画像表示領域とを備える電気光学装置であって、

30

前記画像表示領域は、相対する一对の基板から構成され、一方の基板には、マトリクス状に配置された画素電極と、前記画素電極及びデータ線の間介挿されると共に、前記走査線に供給される走査信号にしたがって開閉するトランジスタとを備えることを特徴とする電気光学装置。

【請求項5】

請求項4に記載の電気光学装置を表示部に用いることを特徴とする電子機器。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

40

本発明は、高品位な表示が可能な電気光学装置、その駆動回路、データ線駆動回路および走査線駆動回路、ならびに、この電気光学装置を表示部に用いた電子機器に関する。

【0002】

【従来の技術】

従来の液晶装置は、画像表示領域に複数のデータ線および複数の走査線を形成し、各データ線と各走査線の交差に各々対応して薄膜トランジスタ(Thin Film Transistor: 以下「TFT」と称する)および画素電極を設けてある。各TFTは対応する走査線の電圧によってオン・オフが制御される。そして、TFTがオン状態になると、データ線の電圧がTFTを介して画素電極に印加されるようになっている。

【0003】

50

液晶装置の駆動回路は、画像表示領域に配線されたデータ線や走査線などに、画像信号や走査信号などを所定タイミングで供給するためのデータ線駆動回路や、走査線駆動回路、サンプリング回路などから構成されている。これらの駆動回路を構成する能動素子は、画像表示領域に形成されるTFTを同一のプロセスによって形成されるPチャンネル型およびNチャンネル型のTFTである。

【0004】

データ線駆動回路は、水平走査期間の最初に供給される転送信号をクロック信号に応じて順次シフトして、これをサンプリング信号として出力する回路であり、走査線駆動回路は、複数のラッチ回路を備え、垂直走査期間の最初に供給される転送信号をクロック信号に応じて順次シフトして、これを走査信号として出力する回路である。また、サンプリング回路は、各データ線毎に設けられるサンプリング用のスイッチを備え、外部から供給される画像信号を、データ線駆動回路によるサンプリング信号に従いサンプリングし、各データ線に供給する回路である。

10

【0005】

図13は、従来技術に係るデータ線駆動回路1400の構成を示すブロック図である。データ線駆動回路1400は、ラッチ回路1430およびNAND回路1464から構成される。このうち、ラッチ回路1430はクロック信号CLXおよびその反転クロック信号CLXINVのレベル遷移（立ち上がり、立ち下がり）時において、その直前の入力レベルを出力する回路である。この出力信号は次段に位置するラッチ回路1430の入力信号として供給されるため、初段のラッチ回路1430に供給された転送開始パルスDXは、クロック信号CLXおよび反転クロック信号CLXINVに応じて、各々のラッチ回路1430から順次出力される。また、各NAND回路1464は、連続する2つのラッチ回路1430の間に各々設けられ、それらからサンプリング信号Q1～Qnが出力される。

20

【0006】

【発明が解決しようとする課題】

ところで、データ線駆動回路1400は、上述したようにPチャンネル型およびNチャンネル型のTFTによって構成される。TFTのオン電流やV_{th}（トランジスタのスレッショルド電圧）特性は、同一基板上に存在するものであっても、その基板位置によりバラツキが生じる。例えば、TFTのV_{th}の値は、製造プロセスにおけるイオンドーピングによって調整されるが、ドーピング量を広い面積にわたって理想的に均一とすることは極めて難しい。このため、離れた位置に形成されるTFTでは、V_{th}が相違してしまう。

30

【0007】

このようにデータ線駆動回路1400を構成する各TFTの特性がバラツクと、各NAND回路1464や各ラッチ回路1430の伝搬遅延時間やあるいは信号の立ち上がり時間がバラツクことになる。

【0008】

ここでは、Pチャンネル型TFTのV_{th}値にバラツキが生じた場合を想定し、これに起因する問題点を具体的に説明する。一般に、TFTによりラッチ回路1430やNAND回路1464を構成する場合、Pチャンネル型TFTを高電位側電源に接続して用いる。このため、Pチャンネル型TFTのV_{th}値がバラツクと、ラッチ回路1430やNAND回路1464の出力信号の立ち上がりエッジの発生タイミングにバラツキが生じることになる。

40

【0009】

図14に示すタイミングチャートは、ラッチ回路1430やNAND回路1464の出力信号の波形をバラツキまで含めて示したものである。同図において、黒く塗りつぶした領域が立ち上がりエッジに起因するバラツキ範囲である。

【0010】

仮に、1段目のラッチ回路1430の伝搬遅延時間が最小であれば、該ラッチ回路1430の出力信号P1はタイミングt1においてLレベルからHレベルに立ち上がる。一方、

50

その伝搬遅延時間が最大であれば、出力信号 P 1 はタイミング t_2 において L レベルから H レベルに立ち上がる。結果、この信号 P 1 のアクティブ (H レベル) 期間の開始時はタイミング t_1 から t_2 までの範囲のバラツキを生じることになる。図においては、このバラツキの期間を t_b と示している。ここでは、P チャネル型 T F T の V_{th} 値のバラツキのみを考慮しているため、出力信号 P 1 のアクティブ (H レベル) 期間の終了時はタイミング t_5 でありバラツキは存在していない。

【 0 0 1 1 】

2 段目のラッチ回路 1 4 3 0 も同様にして、該ラッチ回路の出力信号 P 2 のアクティブ (H レベル) 期間の開始タイミング t_3 から t_4 の範囲、つまり t_b の期間のバラツキが生じており、アクティブ (H レベル) 期間の終了タイミング t_6 となる。以下、3 段目以降のラッチ回路 1 4 3 0 についても同様である。

10

【 0 0 1 2 】

次に、1 段目と 2 段目のラッチ回路 1 4 3 0 の間に設置される N A N D 回路 1 4 6 4 の出力信号 Q 1 について考える。該 N A N D 回路 1 4 6 4 に供給される信号 P 1 および P 2 には、上述したように、アクティブ (H レベル) 期間の開始時にバラツキが存在している。このうち、信号 P 2 のアクティブ (H レベル) 期間の開始時におけるバラツキが、該 N A N D 回路 1 4 6 4 の出力信号 Q 1 のアクティブ (L レベル) 期間の開始時のバラツキ (タイミング t_3 から t_4 、期間 t_b) を生じさせている。また、該 N A N D 回路 1 4 6 4 を構成する P チャネル型 T F T の V_{th} 値のバラツキにより信号 Q 1 の立ち上がり時 (アクティブ期間の終了時) にも、タイミング t_5 から t_6 の範囲 (t_b 期間) にバラツキが生じることになる。なお、図中においては、信号 P 3 のアクティブ (H レベル) 期間の開始時もタイミング t_5 から t_6 の範囲 (t_b 期間) のバラツキを生じているが、上記信号 Q 1 のバラツキには無関係である。

20

【 0 0 1 3 】

同様にして 2 段目と 3 段目のラッチ回路 1 4 3 0 の間に設置される N A N D 回路 1 4 6 4 の出力信号 Q 2 についても、アクティブ期間は開始時・終了時ともに t_b 期間のバラツキが存在している。

【 0 0 1 4 】

ここで、信号 Q 1 のアクティブ (L レベル) 期間の終了時および信号 Q 2 のアクティブ (L レベル) 期間の開始時に着目する。双方の期間ともタイミング t_5 と t_6 の範囲 (t_b 期間) にあるため、例えば、信号 Q 1 のアクティブ (L レベル) 期間の終了時がタイミング t_6 であり、信号 Q 2 のアクティブ (L レベル) 期間の開始時がタイミング t_5 である場合も起こりうる。この場合、タイミング t_5 から t_6 の間 (t_b 期間)、双方の信号のアクティブ (L レベル) 期間はオーバーラップしてしまう。さらに、Q 3 以降の信号についても同様のオーバーラップが発生する可能性がある。

30

【 0 0 1 5 】

このような信号 Q 1 ~ Q n をサンプリング信号として使用した場合、サンプリング期間のオーバーラップが生じる。これは、あるデータ線に本来サンプリングされるべき画像信号が別のデータ線にも供給されることを意味する。この場合、複数のデータ線に同一画像信号が取り込まれ、結果、表示解像度や階調度が劣化し表示品位を低下するといった問題が起こる。

40

【 0 0 1 6 】

特に、最近では、ドットクロックの高周波数化に対処すべく、1 系統の画像信号を複数の m 系統にシリアル - パラレル変換 (相展開) するとともに、これら m 系統の画像信号をサンプリング信号に従って同時にサンプリングして、m 本のデータ線に供給する技術が開発されている。このような技術を適用した液晶装置において、サンプリング信号がオーバーラップして出力されると、m 本単位で表示品位の低下が発生するので、視覚的に検知され易いといった問題が起こる。

【 0 0 1 7 】

この表示品位の低下対策として、サンプリング信号に対して制限信号 (イネーブル信号)

50

を外部入力し、これによりサンプリング信号のアクティブ期間を制限することも考えられる。データ線への画像信号の供給期間はサンプリング信号のアクティブ期間によって決まるが、データ線には寄生容量が付随しているため、サンプリング信号のアクティブ期間はできる限り長くする必要があり、すなわち、外部から制限信号を供給してアクティブ期間を制限する場合には、オーバーラップ期間を解消できる程度に制限信号のパルス幅を狭く（数 nsec 程度）する必要があり、このためには、制限信号を高いスループレートで駆動する必要があり、制限信号を駆動する駆動回路の消費電流が増加するといった問題がある。一方、駆動回路の消費電流を抑制するには、制限信号のパルス幅を広くせざるを得ないため、サンプリング信号が必要以上に制限（イネーブル）されてしまうといった問題がある。

10

【0018】

本発明は、上述した事情に鑑みてなされたものであり、その目的とするところは、データ線駆動回路から出力されるサンプリング信号や、走査線駆動回路から出力される信号のオーバーラップ期間の発生を外部信号を使用すること無く防止して、表示品位を向上させる電気光学装置の駆動回路、および、電気光学装置、並びに、この電気光学装置を表示部に用いた電子機器を提供することにある。

【0019】

【課題を解決するための手段】

上記課題を解決するために、本発明に係る電気光学装置の駆動回路にあっては、

複数の走査線と、複数のデータ線と、前記各走査線と前記各データ線との交差に対応して設けられたスイッチング素子と画素電極とを有する電気光学装置の駆動回路であって、クロック信号に応じて入力信号を順次シフトして出力する複数の単位回路と、連続する2つの単位回路に対応して各々設けられ、前期各走査線または前記データ線を選択する信号を生成する複数の単位駆動回路を有し、前記単位駆動回路は、薄膜トランジスタで形成されており、対応する2つの単位回路のうち後段の出力信号を遅延させる遅延回路と、該単位駆動回路に入力される該2つの単位回路の出力信号により決定されるアクティブ期間を生成するアクティブ期間生成回路と、前記アクティブ期間を前記遅延回路の出力信号に基づいて制限する制限回路を具備し、前記遅延回路は、インバータで構成され、前記アクティブ期間生成回路は、NAND回路で構成され、前記制限回路は、NOR回路で構成され、前記制限回路は、前記遅延回路の出力信号に基づいて、前記アクティブ期間の開始タイミングを制限することを特徴とするものである。

20

30

更に、本発明に係る電気光学装置の駆動回路にあっては、インバータで構成された前記遅延回路と、NAND回路で構成され、該単位駆動回路に入力される該2つの単位回路の出力信号により決定されるアクティブ期間を生成する前記アクティブ期間生成回路と、NOR回路で構成され、前記アクティブ期間生成回路の出力信号のアクティブ期間を前記インバータの出力信号によって制限する前記制限回路とを備えることを特徴とするものである。

また、本発明に係る電気光学装置のデータ駆動回路にあっては、複数の走査線と、複数のデータ線と、前記各走査線と前記各データ線とに接続されたスイッチング素子と、前記スイッチング素子に接続された画素電極とを有する電気光学装置のデータ線駆動回路であって、クロック信号に応じて入力信号を順次シフトして出力する複数の単位回路と、連続する2つの単位回路に対応して各々設けられ、前期各データ線を選択するサンプリング信号を生成する複数の単位駆動回路と、前記サンプリング信号に基づいて画像信号をサンプリングして前記データ線に供給する複数のスイッチを有し、前記単位駆動回路は、薄膜トランジスタで形成されており、対応する2つの単位回路のうち後段の出力信号を遅延させる遅延回路と、該単位駆動回路に入力される該2つの単位回路の出力信号により決定されるアクティブ期間を生成するアクティブ期間生成回路と、前記アクティブ期間を前記遅延回路の出力信号に基づいて制限する制限回路を具備し、前記遅延回路は、インバータで構成され、前記アクティブ期間生成回路は、NAND回路で構成され、前記制限回路は、NOR回路で構成され、前記制限回路は、前記遅延回路の出力信号に基づいて、前記アクティブ期間

40

50

の開始タイミングを制限することを特徴とするものである。

更に、前記各データ線に対応する複数のスイッチは、 m (m は2以上の自然数)本の前記データ線に対応してブロック化されており、前記サンプリング信号をブロック化されたスイッチ毎に供給することを特徴とするものである。

更に、本発明に係る電気光学装置の走査線駆動回路は、複数の走査線と、複数のデータ線と、前記各走査線と前記各データ線との交差に対応して設けられたスイッチング素子と画素電極とを有する電気光学装置の走査線駆動回路であって、クロック信号に応じて入力信号を順次シフトして出力する複数の単位回路と、連続する2つの単位回路に対応して各々設けられ、前記各走査線を選択する信号を生成する複数の単位駆動回路とを有し、前記単位駆動回路は、薄膜トランジスタで形成されており、対応する2つの単位回路のうち後段の出力信号を遅延させる遅延回路と、該単位駆動回路に入力される該2つの単位回路の出力信号により決定されるアクティブ期間を生成するアクティブ期間生成回路と、前記アクティブ期間を前記遅延回路の出力信号に基づいて制限する制限回路を具備し、前記遅延回路は、インバータで構成され、前記アクティブ期間生成回路は、NAND回路で構成され、前記制限回路は、NOR回路で構成され、前記制限回路は、前記遅延回路の出力信号に基づいて、前記アクティブ期間の開始タイミングを制限することを特徴とするものである。

10

更に、本発明に係る電気光学装置は、前記画像表示領域が、相対向する一对の基板から構成され、一方の基板には、マトリクス状に配置された画素電極と、前記画素電極および前記データ線の間介挿されるとともに、前記走査線に供給される走査信号にしたがって開閉するトランジスタとを備えることを特徴とするものである。

20

更に、本発明に係る電子機器は、前記電気光学装置を表示部に用いることを特徴とするものである。

【0020】

この発明によれば、前記2つの単位回路の出力信号により決定されるアクティブ期間が互いにオーバーラップする場合であっても、前記アクティブ期間は前記制限回路により制限されるため、前記制限回路から出力される信号においてはオーバーラップする期間が生じない。従ってこの信号を、例えばサンプリング信号として使用すれば、同一画像信号が異なるデータ線にサンプリングされないため、表示品位の劣化を生じることもない。

【0021】

ここで、前記単位駆動回路は、前記遅延回路の出力信号に基づいて、前記アクティブ期間の開始タイミングを制限する回路であることが望ましい。この場合には、例えば、前記2つの単位回路の出力信号により決定されるアクティブ期間が他のものとオーバーラップする場合であっても、前期制限回路により、このアクティブ期間の開始部分は制限されるため、制限後の信号は互いにオーバーラップすることがなく、このために表示品位の劣化を引き起こすようなことにもならない。

30

【0022】

くわえて、前記遅延回路をインバータで構成し、前記制限回路は、連続する2つの単位回路の出力信号を入力するNAND回路と、このNAND回路の出力信号のアクティブ信号を、前記インバータの出力信号によって制限するNOR回路とを備えることが望ましい。これによれば、遅延回路における遅延時間の調整が容易かつ確実に行うことができ、NOR回路から出力される信号のオーバーラップも未然に防ぐことができる。

40

【0023】

また、本発明に係る電気光学装置のデータ線駆動回路にあっては、複数の走査線と、複数のデータ線と、前記各走査線と前記各データ線とに接続されたスイッチング素子と、前記スイッチング素子に接続された画素電極とを有する電気光学装置に用いられることを前提とし、クロック信号に応じて入力信号を順次シフトして出力する複数の単位回路と、連続する2つの単位回路に対応して各々設けられ、前記各データ線を選択するサンプリング信号を生成する複数の単位駆動回路と、前記サンプリング信号に基づいて画像信号をサンプリングして前記データ線に供給する複数のスイッチとを有し、前記単位駆動回路は、対応する2つの単位回路のうち後段の出力信号を遅延させる遅延回路と、該単位駆動回路に入

50

力される該2つの単位回路の出力信号により決定されるアクティブ期間を、前記遅延回路の出力信号に基づいて制限する制限回路とを具備することを特徴とするものであってもよい。

【0024】

これによれば、上記制限回路から出力される信号は互いにオーバーラップする期間が生じないため、この信号をサンプリング信号として使用すれば、同一画像信号が異なるデータ線に供給されてしまうこともなく、表示品位の劣化を生じることもない。

【0025】

また、この発明において、前記各データ線に対応する複数のスイッチは、 m (m は2以上の自然数)本の前記データ線に対応してブロック化されており、前記サンプリング信号をブロック化されたスイッチ毎に供給するものであることが望ましい。

10

【0026】

これによれば、画像信号をサンプリングするスイッチ等の性能を高めることなく、ドットクロックの高周波数化に対処することができる。

【0027】

また、本発明に係る電気光学装置の走査線駆動回路にあっては、複数の走査線と、複数のデータ線と、前記各走査線と前記各データ線との交差に対応して設けられたスイッチング素子と画素電極とを有する電気光学装置に用いられることを前提とし、クロック信号に応じて入力信号を順次シフトして出力する複数の単位回路と、連続する2つの単位回路に対応して各々設けられ、前記各走査線を選択する信号を生成する複数の単位駆動回路を有し、前記単位駆動回路は、対応する2つの単位回路のうち後段の出力信号を遅延させる遅延回路と、該単位駆動回路に入力される該2つの単位回路の出力信号により決定されるアクティブ期間を、前記遅延回路の出力信号に基づいて制限する制限回路とを具備することを特徴とするものであってもよい。

20

【0028】

これによれば、上記制限回路から出力される信号は互いにオーバーラップする期間が生じないため、この信号を走査線信号として使用すれば、同一画像信号が異なる走査線に供給されてしまうこともなく、表示品位の劣化を生じることもない。

【0029】

また、本発明に係る電気光学装置にあっては、上記電気光学装置の駆動回路と画像表示領域とを備えるものであり、前記画像表示領域は、相対向する一对の基板から構成され、一方の基板には、マトリクス状に配置された画素電極と、前記画素電極および前記データ線の間介挿されるとともに、前記走査線に供給される走査信号にしたがって開閉するトランジスタとを備えるのが望ましい。このトランジスタによりオン画素とオフ画素が電氣的に分離可能となり、画質のコントラストが良好な高精細表示が可能となる。

30

【0030】

また、上記課題を解決するために、本発明に係る電気機器にあっては、上記電気光学装置を表示部に用いることを特徴としているので、高品位な表示を行うことが可能となる。

【0031】

【発明の実施の形態】

以下、本発明の実施形態について図面を参照しながら説明する。以下、本実施形態に係る電気光学装置として、電気光学材料である液晶を用いた液晶装置を一例として説明をする。

40

【0032】

<液晶装置の全体構成>

図1は、この液晶装置の電氣的な構成を示すブロック図を示したものである。液晶装置は、液晶パネル100、タイミングジェネレータ200および画像信号処理回路300から構成される。タイミングジェネレータ200は、この液晶装置の各部で使用される制御信号(必要に応じて後述する。)を出力する装置である。

【0033】

50

画像信号処理回路300内のS/P変換回路302は、1系統の画像信号Videoを、6系統の画像信号にシリアル-パラレル変換する回路である。入力画像信号Videoを6系統にシリアル-パラレル変換する理由は、サンプリング回路150において、サンプリング用のスイッチ151を構成するTFTのソース領域への画像信号の印加時間を長くし、サンプリング時間および充放電時間を十分に確保するためである。

【0034】

増幅・反転回路304は、シリアル-パラレル変換された画像信号のうち、反転が必要となるものを反転させ、この後、適宜、増幅して画像信号VID1~VID6として液晶パネル100に対し並列的に供給する回路である。なお、反転が必要か否かは、データ信号の印加方式が 1 走査線112単位の極性反転であるか、 2 データ線114単位の極性反転であるか、 3 画素単位の極性反転、 4 画面単位の極性反転であるかに応じて定められ、その反転周期は、1水平走査期間、1垂直走査期間またはドットクロック周期に設定される。

10

【0035】

<液晶パネルの構成>

次に、液晶パネル100の電気的な構成を説明する。液晶パネル100は、素子基板と対向基板とが互いに電極形成面を対向して貼付された構成となっている。素子基板には、図1においてX方向に沿って平行に複数の走査線112が形成され、Y方向に沿って平行に複数本のデータ線114が形成されている。そして、この走査線112とデータ線114の各交点には、各画素を制御するためのスイッチとなるTFT116のゲート電極が走査線112に接続されており、TFT116のソース電極がデータ線114に接続されるとともに、TFT116のドレイン電極が画素電極118に接続されている。各画素は、画素電極118と、対向基板に形成された共通電極と、これら両電極間に挟持された液晶とによって構成され、走査線112とデータ線114との各交点に対応してマトリクス状に配列されている。

20

【0036】

駆動回路120は、走査線駆動回路130、データ線駆動回路140およびサンプリング回路150から構成され、透過性および絶縁性を有するガラス等からなる素子基板の対向面において、表示領域の周辺部に形成されている。

【0037】

<データ線駆動回路の構成>

次に、本実施形態に係るデータ線駆動回路140について説明する。データ線駆動回路140は、水平走査期間の最初に供給される転送開始パルスDXを、クロック信号CLXおよびその反転クロック信号CLXINVに従い順次シフトすることによって、サンプリング信号S1~Snを所定の順番に出力するものである。

30

【0038】

図2は、データ線駆動回路140の構成を示すブロック図である。この図に示すようにデータ線駆動回路140は、(n+1)段に縦続接続されたラッチ回路1430とn個の論理回路ユニットU1~Unとから大略構成されている。なお、クロック信号CLX、その反転クロック信号CLXINV、転送開始パルスDXは、いずれも図1におけるタイミングジェネレータ200によって、画像信号VID1~VID6と同期して供給される。

40

【0039】

(n+1)段に接続されたラッチ回路1430は、シフトレジスタとして機能する。1個のラッチ回路1430は、供給されるクロック信号CLXおよびその反転クロック信号CLXINVのレベル遷移(立ち下がり、立ち上がり)時において、その直前の入力信号レベルを出力するとともに、その出力信号を後段に位置するラッチ回路1430の入力信号として供給する。

【0040】

図3は、ラッチ回路1430の具体的構成の一例を示したものである。ラッチ回路1430は、クロックインバータ1432、1436およびインバータ1434により構成さ

50

れ、これらはさらにPチャンネル型TFTおよびNチャンネル型TFTから構成されている。以下、奇数段(i段目)のラッチ回路1430と偶数段(i+1段目)のラッチ回路1430についてのそれぞれの構成を述べる。

【0041】

奇数段のクロックインバータ1432は、クロック信号CLXの立ち上がり(反転クロック信号CLXINVの立ち下がり)における入力信号を反転するとともに、この状態を次のクロック信号CLXの立ち上がりまで保持する。同段のクロックインバータ1436は、反転クロック信号CLXINVの立ち上がり(クロック信号CLXの立ち下がり)における入力信号を反転するとともに、この状態を次のクロック信号CLXINVの立ち上がりまで保持する。偶数段のクロックインバータ1432、1436は、入力されるクロック信号CLXおよび反転クロック信号CLXINVの関係が奇数段のものに入れ替わったものに対応する。すなわち、偶数段のクロックインバータ1432、1436の取り込みおよび保持については、それぞれ奇数段のものに入れ替わったものに相当する。

10

【0042】

このような構成において、クロックインバータ1432の出力は、インバータ1434により反転された後、該ラッチ回路1430から出力されるとともに、クロックインバータ1436の入力に帰還される。この結果、奇数段のクロックインバータ1432は、クロック信号CLXの立ち上がりで入力信号を取り込む一方、これに続く偶数段のクロックインバータ1432は、反転クロック信号CLXINVの立ち上がりで入力信号を取り込むことになる。よって、偶数段のインバータ1434から出力される信号P(i+1)は、その前段のインバータ1434から出力される信号P_iよりも、クロック信号CLX(反転クロック信号CLXINV)の半周期だけ遅延したものに相当する。つまり、第1段~第n段のラッチ回路1430からそれぞれ出力される信号P₁~P_nは、1番最初に入力される転送開始パルスDXを、クロック信号CLXの反周期ずつ順次シフトしたものとなる。なお、iは、第1段~第(n+1)段のラッチ回路1430を一般化して説明するためのものである。また、ラッチ回路1430は単位回路の一例であり、このほかに、フリップフロップや、容量回路などを用いても良いし、これらを適宜組み合わせ用いてもよい。

20

【0043】

次に、n個の論理回路ユニットU₁~U_nについて説明する。図2に示すように各論理回路ユニットU₁~U_nは、連続する2つのラッチ回路1430対応して各々設けられており、前段のラッチ回路1430の出力信号と後段のラッチ回路の出力信号とに基づいて、サンプリング信号S₁~S_nを生成する。

30

【0044】

各論理回路ユニットU₁~U_nは、いずれもNAND回路1464、インバータ1476およびNOR回路1474から構成されている。論理回路ユニットU_iのNAND回路1464は、i段目のラッチ回路1430の出力信号P_iとI+1段目のラッチ回路1430の出力信号P_{i+1}との論理積を反転したものを信号Q_iとして出力する。換言すれば、信号Q_iのアクティブ期間は、NAND回路1474によって、信号P_iと信号P_{i+1}とに基づいて決定されている。ここで、ラッチ回路1430等を構成するTFTの特性にバラツキがあるとすれば、信号Q₁~Q_nのアクティブ期間は相互にオーバーラップすることがある。

40

【0045】

このオーバーラップの発生を無くすため、論理回路ユニットU_iは、さらにインバータ1476およびNOR回路1474を備えている。まず、インバータ1476は、論理回路ユニットU_iに対応するi段目とi+1段目のラッチ回路1430のうち、後段のラッチ回路の出力信号P_{i+1}を所定時間だけ遅延したものを信号R_iとして出力する遅延回路として機能する。ここで、オーバーラップ期間をt_bとすれば、インバータ1476の遅延時間t_dは、t_bよりも若干長くなるように設定してある。

【0046】

50

次に、NOR回路1474は、信号 Q_i とインバータ1476の論理和の反転をサンプリング信号 S_i として出力する。ここで、NAND回路1464の伝搬遅延時間を無視すれば、信号 Q_i のアクティブ期間の開始タイミングは信号 P_{i+1} のアクティブ期間の開始タイミングと一致し、信号 Q_i のアクティブ期間の終了タイミングは信号 P_i のアクティブ期間の終了タイミングと一致する。一方、信号 R_i は、信号 P_{i+1} を遅延時間 t_d だけ遅延させて反転して得られたものである。したがって、NOR回路1474の伝搬遅延時間を無視すれば、サンプリング信号 S_i のアクティブ期間の開始タイミングは、信号 R_i のアクティブ期間の開始タイミングと一致する一方、サンプリング信号 S_i のアクティブ期間の終了タイミングは、信号 Q_i のアクティブ期間の終了タイミングと一致する。すなわち、NOR回路1474は、信号 R_i に基づいて、信号 Q_i のアクティブ期間を制限する機能を有する。

10

【0047】

したがって、各論理回路ユニット $U_1 \sim U_n$ から出力されるサンプリング信号 $S_1 \sim S_n$ の各アクティブ期間は、信号 $Q_1 \sim Q_n$ の各アクティブ期間に対して短くなるように制限される。ここで、信号 Q_i のアクティブ期間とサンプリング信号 S_i のアクティブ期間の時間差は、インバータ1476の遅延時間 t_d によって与えられる。また、上述したように遅延時間 t_d はオーバーラップ期間 t_b より若干長くなるように設定されているから、サンプリング信号 $S_1 \sim S_n$ のオーバーラップを無くすることができる。

【0048】

<サンプリング回路>

次に、図1におけるサンプリング回路150について説明する。サンプリング回路150は、6本のデータ線114を1群(ブロック)とし、これらの群に属するデータ線114に対し、サンプリング信号 $S_1 \sim S_n$ にしたがって、画像信号 $VID_1 \sim VID_6$ をそれぞれサンプリングして供給するものである。詳細には、サンプリング回路150は、各データ線114毎に設けられるスイッチ151からなり、各スイッチ151は、データ線114の一端と、画像信号 $VID_1 \sim VID_6$ のいずれかが供給される信号線との間に介挿されるとともに、そのゲートにサンプリング信号が供給される構成となっている。スイッチ151の具体的構成については、例えば、図4(a)に示されるNチャンネル型TFTによる構成、同図(b)に示されるPチャンネル型TFTによる構成、あるいは、同図(c)に示される相補型TFTにより構成してもよい。

20

30

【0049】

<走査線駆動回路>

次に、走査線駆動回路130について説明する。走査線駆動回路130は、データ線駆動回路140と比較し、出力信号の引き出し方向および入力される信号が異なっている。すなわち、走査線駆動回路130は、データ線駆動回路140を90度左回転して配置したものに相当し、図1に示されるように、転送開始パルス DX の代わりに、パルス DY を入力し、クロック信号 CLX およびその反転クロック信号 CLX_{INV} の代わりに、水平走査期間毎に、クロック信号 CLY およびその反転クロック信号 CLY_{INV} を入力する構成になっている。

【0050】

従って、本実施形態に係る走査線駆動回路130についても、上述したデータ線駆動回路140と同様、 $(n+1)$ 段に縦続接続されたラッチ回路1430および n 個の論理ユニット $U_1 \sim U_n$ により構成する。この回路構成により、各ラッチ回路1430から出力される信号のアクティブ期間には互いにオーバーラップを生じる可能性があるが、各論理ユニット $U_1 \sim U_n$ から出力される n 個の信号 $S_1 \sim S_n$ のアクティブ期間は互いにオーバーラップを生じさせないようにすることが可能である。よって、この信号を走査線信号として使用すれば、同一画像信号が異なる走査線に供給されてしまうことはない。

40

【0051】

<本実施形態の動作>

次に、上述した構成に係る液晶装置における動作について説明する。

50

【 0 0 5 2 】

走査線駆動回路 1 3 0 に供給された転送開始パルス D Y は、クロック信号 C L Y およびその反転クロック信号 C L Y INVにより順次シフトされ、各走査線 1 1 2 に出力される。そして、複数のデータ線 1 1 4 が 1 本ずつ線順次に Y 方向に選択される。

【 0 0 5 3 】

以下、データ線駆動回路 1 4 0 内の信号の流れについて、図 5 および図 6 に示すタイミングチャートを参照し説明する。図 5 は、データ線駆動回路 1 4 0 の概略動作を示すタイミングチャートである。

【 0 0 5 4 】

この図に示されるように、1 系統の画像信号 V i d e o は、画像信号処理 3 0 0 により、画像信号 V I D 1 ~ V I D 6 に分配され、時間軸に対して 6 倍に伸長される。さらに、あるデータ線が選択される期間の最初、すなわち水平走査期間の最初において、データ線駆動回路 1 4 0 には、転送開始パルス D X が供給される。

10

【 0 0 5 5 】

初段のラッチ回路 1 4 3 0 に供給された転送開始パルス D X は、クロック信号 C L X および反転クロック信号 C L X INVに依りて、各々のラッチ回路 1 4 3 0 から信号 P 1 ~ P n として順次出力される。そして、連続する 2 つのラッチ回路 1 4 3 0 にそれぞれ対応して設けられる各 N A N D 回路 1 4 6 4 から信号 Q 1 ~ Q n が順次出力される。また、各ラッチ回路 1 4 3 0 の出力端子に対して設けられたインバータ 1 4 7 6 により、信号 P 1 ~ P n を時間 t d だけ遅延させた信号 R 1 ~ R n が順次出力される。また、この信号 R 1 ~ R n と、信号 Q 1 ~ Q n に基づいて、N O R 回路 1 4 7 4 は、サンプリング信号 S 1 ~ S n を順次生成する。

20

【 0 0 5 6 】

図 6 は、上述した信号 P 1 ~ P 4、信号 Q 1 ~ Q 3、信号 R 1 ~ R 3 および信号 S 1 ~ S 3 の各波形を示すタイミングチャートである。ここでは、ラッチ回路 1 4 3 0、N A N D 回路 1 4 6 4 およびインバータ 1 4 7 6 を構成する P チャネル型 T F T の V t h にバラツキがあり、他の構成部分のバラツキは無視するものとする。また、同図において、黒く塗りつぶした領域は、立ち上がりエッジまたは立ち下がりエッジの発生タイミングがバラツク範囲を示している。

【 0 0 5 7 】

図に示すように、第 1 段目から第 3 段目のラッチ回路 1 4 3 0 から出力される各信号 P 1 ~ P 4 の立ち上がりエッジのタイミングは、それらを構成する P チャネル型 T F T の V t h にバラツキに応じて、黒く塗りつぶした領域内で発生する。一方、N A N D 回路 1 4 6 4 の P チャネル型 T F T にも V t h のバラツキがある。このため、N A N D 回路 1 4 6 4 の各出力信号 Q 1 ~ Q 3 は、図に示すようにアクティブ期間 (L レベル) がオーバーラップすることがある。例えば、信号 Q 1 のアクティブ期間がタイミング t 3 8 で終了し、信号 Q 2 のアクティブ期間がタイミング t 3 7 から開始するものとするれば、信号 Q 1 と信号 Q 2 とは、タイミング t 3 7 から t 3 8 までの期間オーバーラップする。

30

【 0 0 5 8 】

信号 R 1 ~ R 3 は、信号 P 2 ~ P 4 をインバータ 1 4 7 6 により時間 t d だけ遅延反転させた信号である。上述したようにインバータ 1 4 7 6 の遅延時間 t d は、オーバーラップ期間 t b よりも長くなるように設定されている。このため、信号 R 2、R 3 のアクティブ期間 (L レベル) の開始タイミングは、信号 Q 1、Q 2 のアクティブ期間 (H レベル) の終了タイミングよりも必ず後になる。例えば、信号 P 3 がタイミング t 3 7 において L レベルから H レベルに変化するものとするれば、信号 R 2 は、タイミング t 3 7 から時間 t d が経過してタイミング t 3 9 に至った時に、H レベルから L レベルに変化する。一方、N A N D 回路 1 4 6 4 を構成する P チャネル型 T F T の V t h 値のバラツキによって、信号 Q 1 の立ち上がりエッジが最も遅れて発生するものとするれば、信号 Q 1 のアクティブ期間はタイミング t 3 8 で終了する。すなわち、信号 R 2 のアクティブ期間 (L レベル) の開始タイミングは、信号 Q 1 のアクティブ期間 (H レベル) の終了タイミングよりも必ず

40

50

後になる。

【 0 0 5 9 】

次に、信号 S 1 ~ S 3 は、信号 Q 1 ~ Q 3 と信号 R 1 ~ R 3 に基づいて、N O R 回路 1 4 7 4 によって生成される。N O R 回路 1 4 7 4 の出力信号は、各入力信号を反転してしたものの論理積として与えられる。したがって、信号 S 1 ~ S 3 のアクティブ期間（H レベル）は、信号 Q 1 ~ Q 3 のアクティブ期間（L レベル）と信号 R 1 ~ R 3 のアクティブ期間（L レベル）とが重複する期間となる。信号 R 1 ~ R 3 は、信号 P 2 ~ 信号 P 4 を時間 t d だけ遅延して得られたものであるから、信号 S 1 ~ S 3 のアクティブ期間は、信号 Q 1 ~ Q 3 のアクティブ期間を信号 R 1 ~ R 3 のアクティブ期間によって制限したものとなる。具体的には、信号 Q 1 ~ Q 3 のアクティブ期間の開始タイミングが、信号 R 1 ~ R 3

10

【 0 0 6 0 】

例えば、信号 S 2 に着目すると、制限される前の信号 Q 2 においては、アクティブ期間の開始タイミングはタイミング t 3 7 から t 3 8 までの範囲内にある。これを、アクティブ期間の開始タイミングがタイミング t 3 9 から t 4 0 までの範囲内にある信号 R 2 によって制限するから、信号 S 2 のアクティブ期間の開始タイミングは最も早いとしてもタイミング t 3 9 となる。これに対して、信号 S 1 の終了タイミングは、最も遅いとしてもタイミング t 3 8 である。すなわち、信号 S 2 の開始タイミングは信号 S 1 の終了タイミングよりも必ず後になる。よって、信号 S 1 と信号 S 2 のアクティブ期間がオーバーラップすることは起こり得ない。このように、インバータ 1 4 7 6 の遅延時間 t d を信号のバラツキ期間 t b よりも若干長いものに設定しておくことにより、信号 S 1 と信号 S 2 の関係と同様、他の信号 S 1 ~ S n 間においても互いのアクティブ期間にオーバーラップすることは起こり得ない。

20

【 0 0 6 1 】

なお、この遅延時間 t d は、遅延回路 1 4 7 4 の構成を、3 連のインバータや、ディレイラインに置き換えたり、あるいはインバータのゲートサイズを変更することにより調整可能である。この調整は数 n s e c 単位で行うことができるため、必要以上に信号 S 1 ~ S n 間におけるアクティブ（H レベル）期間が狭められることにもならない。

【 0 0 6 2 】

以上の信号 S 1 ~ S n が、本実施形態に係るデータ駆動回路 1 4 0 におけるサンプリング信号として使用される。例えば、サンプリング信号 S 1 が H レベルとなると、この群に属する 6 本のデータ線 1 1 4 に、それぞれ画像信号 V I D 1 ~ V I D 6 がサンプリングされて、これらの画像信号 V I D 1 ~ V I D 6 が現時点で選択された走査線と交差する 6 個の要素に、当該 T F T 1 1 6 によってそれぞれ書き込まれることとなる。その後、サンプリング信号 S 2 が H レベルとなると、今度は、次の 6 本のデータ線 1 1 4 にそれぞれ画像信号 V I D 1 ~ V I D 6 がサンプリングされ、これらの画像信号 V I D 1 ~ V I D 6 がその時点で選択された走査線 1 1 2 と交差する 6 個の要素に、当該 T F T 1 1 6 によってそれぞれ書き込まれる。上述したように、サンプリング信号 S 1 とサンプリング信号 S 2 のアクティブ（H レベル）期間がオーバーラップすることはないので、表示品位を低下させる問題も生じない。

30

40

【 0 0 6 3 】

以下同様にして、サンプリング信号 S 3、S 4、・・・、S n が順次 H レベルとなると、各サンプリング信号に属する 6 本のデータ線 1 1 4 にそれぞれ画像信号 V I D 1 ~ V I D 6 がサンプリングされ、これらの画像信号がその時点で選択された走査線 1 1 2 と交差する 6 個の画素にそれぞれ書き込まれることとなる。そして、その後、次の走査線 1 1 2 が選択され、再び、サンプリング信号 S 1 ~ S n が順次出力されて、同様な書き込みが繰り返し実行されることとなる。

【 0 0 6 4 】

なお、このような駆動方式では、データ線 1 1 4 を 1 本毎に駆動する方式と比較すると、各スイッチ 1 5 1 による画像信号のサンプリング時間が 6 倍となるので、各画素における

50

充放電時間が十分に確保される。このため、高コントラスト化が図られることになる。さらに、データ線駆動回路140におけるラッチ回路1430の段数、および、クロック信号CLXおよびその反転クロックCLX INVの周波数が、それぞれ1/6に低減され、段数の低減化および低消費電力化も図られる。

【0065】

<液晶パネルの構成例>

次に、上述した各実施形態に係るデータ線駆動回路140を有する液晶パネル100の全体構成について図7および図8を参照して説明する。ここで、図7は、液晶パネル100の構成を示す斜視図であり、図8は、図7におけるA-A'線の断面図である。

【0066】

液晶パネル100は、画素電極118等が形成されたガラスや、半導体、石英などの素子基板101と、共通電極108等が形成されたガラスなどの透明な対向基板102とが、スペーサ103の混入されたシール材104によって一定の間隔を保って、互いに電極形成面が対向するように貼り合わせされるとともに、この間隔に電気光学材料としての液晶105が封入された構造をとっている。シール材104は、対向基板102の基板周辺に沿って形成されるが、液晶105を封入するために一部が開口している。このため、液晶105の封入後に、その開口部分が封止材106によって封止されている。

【0067】

ここで、素子基板101の対向面であって、シール材104の外側一辺においては、上述したデータ線駆動回路140およびサンプリング回路150が形成されて、Y方向に延在するデータ線114を駆動する構成となっている。さらに、この一辺には複数の外部回路接続端子107が形成されて、タイミングジェネレータ200および画像信号処理回路300からの各種信号を入力する構成となっている。

【0068】

対向基板102の共通電極108は、素子基板101との貼合部分における4隅のうち、少なくとも1箇所において設けられた導通材によって、素子基板101との電氣的導通が図られている。ほかに、対向基板102には、液晶パネル100の用途に応じて、例えば、第1に、ストライプ状や、モバイク状、トライアングル状等に配列したカラーフィルタが設けられ、第2に、例えば、クロムやニッケルなどの金属材料や、カーボンやチタンなどをフォトレジストに分散した樹脂ブラックなどの遮光膜が設けられ、第3に、液晶パネル100に光を照射するバックライトが設けられる。なお、色光変調の用途の場合には、カラーフィルタは形成されずに遮光膜が対向基板102に設けられる。

【0069】

また、素子基板101および対向基板102の対向面には、それぞれ所定の方向にラビング処理された配向膜（図示省略）などが設けられる一方、その各背面側には配向方向に応じた偏光板（図示省略）がそれぞれ設けられる。ただし、液晶105として、高分子中に微少粒として分散させた高分子分散型液晶を用いれば、前述の配向膜や偏光板などが不要となる結果、光利用効率が高まるので、高輝度化や低消費電力化などの点において有利である。

【0070】

なお、駆動回路120等の周辺回路の一部または全部を、素子基板101に形成する代わりに、例えば、TAB（Tape Automated Bonding）技術を用いてフィルムに実装された駆動用ICチップを、素子基板101の所定位置に設けられる異方性導通フィルムを介して電氣的および機械的に接続する構成としてもよい。また、駆動用ICチップ自体を、COG（Chip On Glass）技術を用いて、素子基板101の所定位置に異方性導通フィルムを介して電氣的および機械的に接続する構成としてもよい。

【0071】

<変換数と1群を構成するデータ線数との関係>

上述の説明において、サンプリング回路150は、1群とする6本のデータ線114に対して、6系統に変換された画像信号VID1～VID6を同時にサンプリングして供給し

10

20

30

40

50

、画像信号VID1～VID6の印加をデータ線群毎に順次行うように構成しているが、この変換数および同時に印加するデータ線数（すなわち、1群を構成するデータ線数）は、「6」に限られるものではない。例えば、サンプリング回路150におけるスイッチ151の応答速度が十分に高いのであれば、画像信号をパラレルに変換することなく1本の信号線にシリアル伝送して、各データ線114毎に順次サンプリングするように構成しても良い。また、変換数および同時に印加するデータ線の数を「3」や、「12」、「24」等として、3本や、12本、24本等のデータ線に対して、3系統変換や、12系統変換、24系統変換等して並列供給させた画像信号を同時に供給する構成としてもよい。なお、変換数および同時に印加するデータ線数としては、カラーの画像信号が3つの原色に係る信号からなることとの関係から、3の倍数であることが制御や回路などを簡易化する上で望ましい。

10

【0072】

<素子基板の構成など>

また、上述した実施形態においては、液晶パネル100の素子基板101をガラス等の透明な絶縁性基板により構成して、当該基板上にシリコン薄膜を形成するとともに、当該薄膜上にソース、ドレイン、型が形成されたTFTによって、画素のスイッチング素子（TFT116）や駆動回路120の素子を構成するものとして説明したが、本発明はこれに限られるものではない。

【0073】

例えば、素子基板101を半導体基板により構成して、当該半導体基板の表面にソース、ドレイン、型が形成された絶縁ゲート型電界効果トランジスタによって、画素のスイッチング素子や駆動回路120の素子を構成しても良い。このように素子基板101を半導体基板により構成する場合には、透過型の電気光学装置として用いることができないため、画素電極118をアルミニウムなどで形成して、反射型として用いられることとなる。また、単に、素子基板101を透過基板として、画素電極118を反射型としても良い。

20

【0074】

さらに、上述した実施の形態にあつては、画素のスイッチング素子を、TFTで代表される3端子素子として説明したが、ダイオード等の2端子素子で構成しても良い。ただし、画素のスイッチング素子として2端子素子を用いる場合には、走査線112を一方の基板に形成し、データ線114を他方の基板に形成するとともに、2端子素子を、走査線112またはデータ線114のいずれか一方と、画素電極との間に形成する必要がある。この場合、画素は、2端子素子が接続される画素電極と、対向基板に形成される信号線（データ線114または走査線112の一方）と、これらの間に挟持される液晶とから構成されることとなる。

30

【0075】

さらに、電気光学材料としては、液晶のほかに、エレクトロルミネッセンス素子などを用いて、その電気光学効果により表示を行う表示装置にも適用可能である。すなわち、本発明は、上述した液晶装置と類似の構成を有するすべての電気光学装置に適用可能である。

【0076】

<画素の構成>

また、上述した実施形態においては、複数の走査線112と複数のデータ線114の各交点に対応する画素において、1個のTFT116とこれに接続される画素電極118とを設けたが、本発明は、これに限定されるものではなく、1画素に複数のTFTをスイッチング素子として設け、各画素にメモリ機能を持たせるようにしてもよい。要は、走査線とデータ線の交差に対応してスイッチング素子と画素電極を設けたものであれば足り、1画素当たりのスイッチング素子の個数は問わない。

40

【0077】

<電子機器>

次に、上述した液晶装置を各種の電子機器に適用される場合について説明する。この場合、電子機器は、図9に示されるように、主に、表示情報出力源1000、表示情報処理回

50

路1002、電源回路1004、液晶パネル100、駆動回路120、および、タイミングジェネレータ200により構成される。尚、駆動回路120は液晶パネル100に内蔵されている。このうち、表示情報出力源1000は、ROM(Read Only Memory)や、RAM(Random Access Memory)などのメモリ、各種ディスクなどのストレージユニット、画像信号を同調出力する同調回路等を備え、タイミングジェネレータ200により生成される各種のクロック信号に基づいて、所定フォーマットの画像信号などの表示情報を表示情報処理回路1002に供給するものである。次に、表示情報処理回路1002は、上述したS/P変換回路302や、増幅・反転回路304のほか、ローテーション回路、ガンマ補正回路、クランプ回路等の周知の各種回路を備え、入力した表示情報の処理を実行して、その画像信号をクロック信号CLXとともに、駆動回路120に供給するものである。なお、図13において、クロック信号CLXは、表示情報処理回路1002を介して供給されているが、図1に示されるように、タイミングジェネレータ200から駆動回路120に直接供給されて、画像処理回路300の上位構成である表示情報処理回路1002が、タイミングジェネレータ200によるクロック信号に同期して動作する構成としてもよい。

10

【0078】

次に、上述した液晶パネル100を具体的な電子回路に用いた例のいくつかについて説明する。

【0079】

<その1: プロジェクタ>

20

はじめに、この液晶パネルをライトバルブとして用いたプロジェクタについて説明する。図10は、このプロジェクタの構成を示す平面図である。この図に示されるように、プロジェクタ1100内部には、ハロゲンランプ等の白色光源からなるランプユニット1102が設けられている。このランプユニット1102から射出された投射光は、内部に配置された3枚のミラー1106および2枚のダイクロイックミラー1108によってRGBの3原色に分離されて、各原色に対応するライトバルブとしての液晶パネル100R、100B、および100Gにそれぞれ導かれる。ここで、B色の光は、他のR色やG色と比較すると、光路が長いので、その損失を防ぐために、入射レンズ1122、リレーレンズ1123および出射レンズ1124からなるリレーレンズ系1121を介して導かれる。

【0080】

30

液晶パネル100R、100Bおよび100Gの構成は、上述した液晶パネル100と同等であり、画像信号処理回路(図示省略)から供給されるR、G、Bの原色信号でそれぞれ駆動されるものである。そして、これらの液晶パネルによって変調された光は、ダイクロイックプリズム1112に3方向から入射される。このダイクロイックプリズム1112において、R色およびB色の光は90度に屈折する一方、G色の光は直進する。したがって、各色の画像が合成される結果、投射レンズ1114を介して、スクリーン1120にカラー画像が投射されることとなる。

【0081】

ここで、各液晶パネル100R、100Bおよび100Gによる表示像について着目すると、液晶パネル100Gによる表示像は、各液晶パネル100R、100Bによる表示像に対して左右反転していることが必要となる。このため、水平走査方向は、液晶パネル100Gと、液晶パネル100R、100Bとは互いに逆方向の関係となる。なお、液晶パネル100R、100Bおよび100Gには、ダイクロイックミラー1108によって、R、G、Bの各原色に対応する光が投射されるので、カラーフィルタを設ける必要はない。

40

【0082】

<その2: モバイル型コンピュータ>

次に、この液晶パネルを、モバイル型のパーソナルコンピュータに適用した例について説明する。図11は、このパーソナルコンピュータの構成を示す斜視図である。図において、コンピュータ1200は、キーボード1202を備えた本体部1204と、液晶表示ユ

50

ニット1206とから構成されている。この液晶表示ユニット1206は、先に述べた液晶パネル100の背面にバックライトを付加することにより構成されている。

【0083】

<その3：携帯電話>

さらに、この液晶パネルを、携帯電話に適用した例について説明する。図12は、この携帯電話の構成を示す斜視図である。図において、携帯電話1300は、複数の操作ボタン1302のほか、受話口1304、送話口1306とともに、液晶パネル100を備えるものである。その液晶パネル100にも、必要に応じてその背面にバックライトが設けられる。

【0084】

なお、電子機器としては、図10～図12を参照して説明した他にも、液晶テレビや、ビューファインダ型、モニタ直視型のビデオテープレコーダ、カーナビゲーション装置、ページャ、電子手帳、電卓、ワードプロセッサ、ワークステーション、テレビ電話、POS端末、タッチパネルを備えた機器等等が挙げられる。そして、それらの各種電子機器に対して、各実施形態の液晶パネル、さらには電気光学装置が適用可能である。

【0085】

【発明の効果】

以上説明したように本発明によれば、データ線駆動回路から出力されるサンプリング信号や走査線駆動回路から出力される信号のオーバーラップ期間の発生が未然に防止されるため、表示品位の低下を抑えることが可能となる。このために外部信号を供給する必要もない。

【図面の簡単な説明】

【図1】 本発明の実施形態に係る駆動回路を適用した液晶装置の全体構成を示すブロック図である。

【図2】 同液晶装置におけるデータ線駆動回路の構成を示すブロック図である。

【図3】 同データ線駆動回路のラッチ回路の構成例を示す回路図である。

【図4】 (a)～(c)は、それぞれ同液晶装置におけるサンプリング回路のスイッチ構成を示す回路図である。

【図5】 同データ線駆動回路の動作を説明するためのタイミングチャートである。

【図6】 同データ線駆動回路の動作を説明するためのタイミングチャートである。

【図7】 同液晶パネルの構造を示す斜視図である。

【図8】 同液晶パネルの構造を説明するための一部断面図である。

【図9】 同液晶装置が適用される電子機器の概略構成を示すブロック図である。

【図10】 同液晶装置を適用した電子機器の一例たるプロジェクタの構成を示す斜視図である。

【図11】 同液晶装置を適用した電子機器の一例たるパーソナルコンピュータの構成を示す斜視図である。

【図12】 同液晶装置を適用した電子機器の一例たる携帯電話の構成を示す斜視図である。

【図13】 従来技術におけるデータ線駆動回路の構成を示すブロック図である。

【図14】 同データ線駆動回路の動作を説明するためのタイミングチャートである。

【符号の説明】

100 …… 液晶パネル

101 …… 素子基板

102 …… 対向基板

116 …… TFT

120 …… 駆動回路

130 …… 走査線駆動回路

140 …… データ線駆動回路

150 …… サンプリング回路

10

20

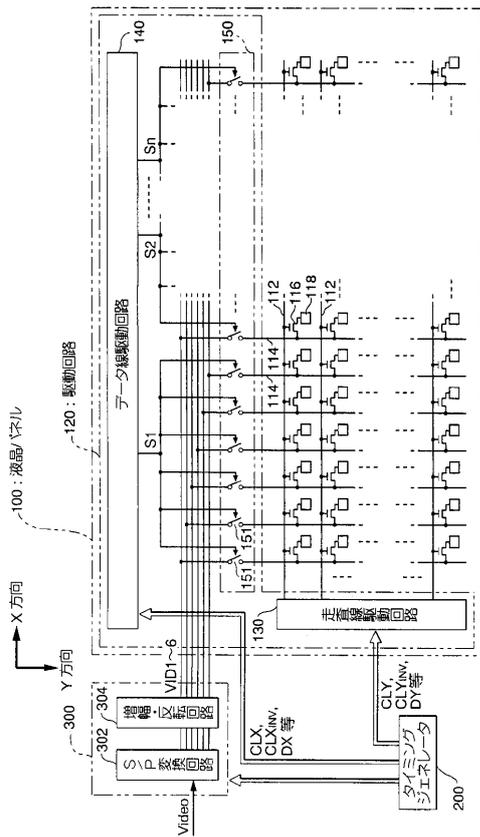
30

40

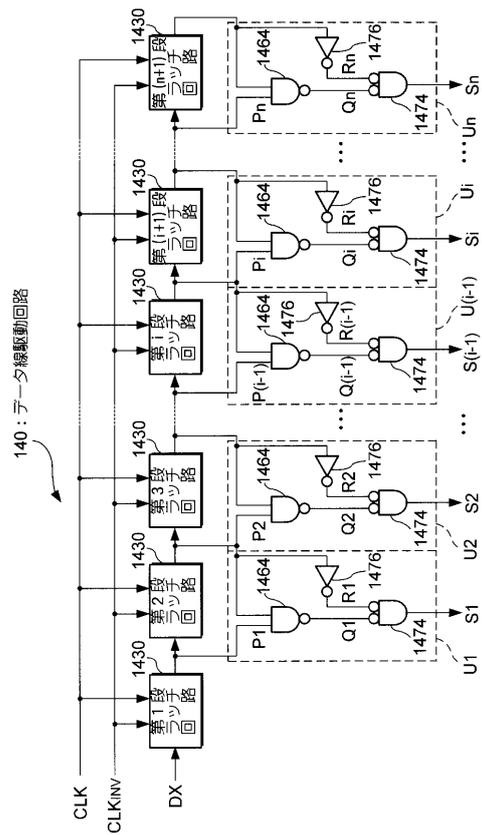
50

- 1 5 1 スイッチ
- 1 4 3 0 ラッチ回路
- 1 4 6 4 NAND回路
- 1 4 7 4 NOR回路
- 1 4 7 6 NOT回路
- 1 4 8 6 アナログスイッチ

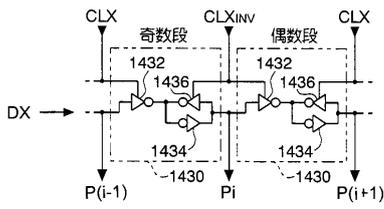
【 図 1 】



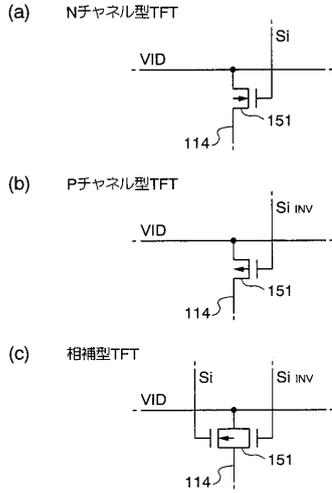
【 図 2 】



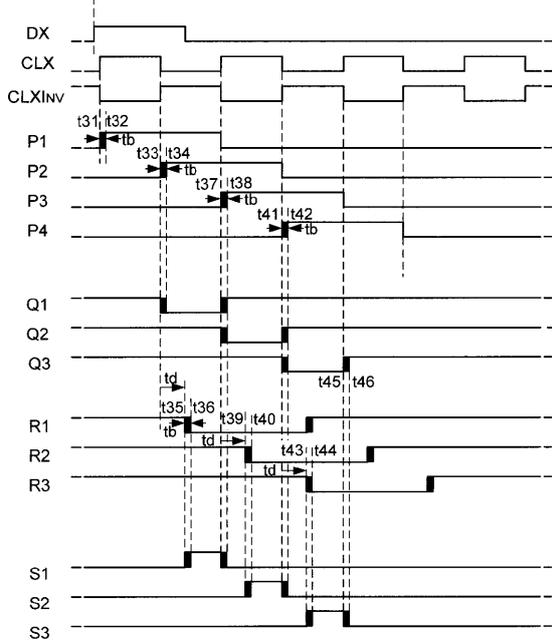
【 図 3 】



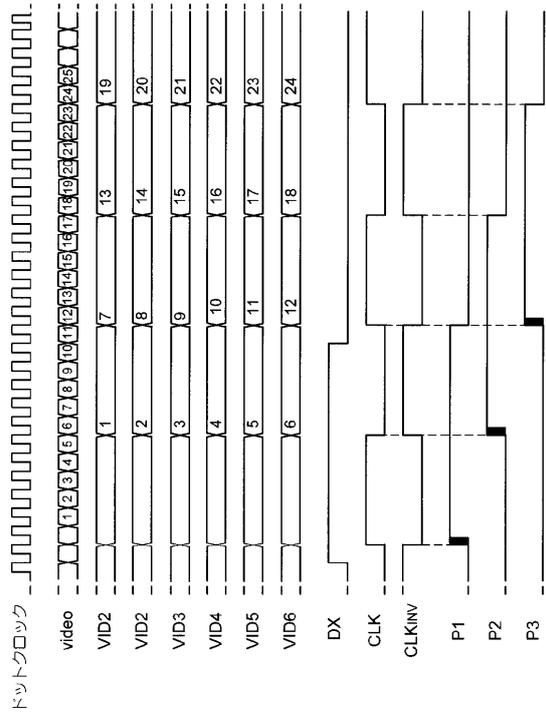
【 図 4 】



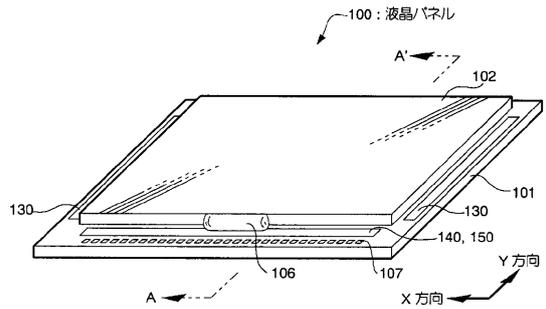
【 図 6 】



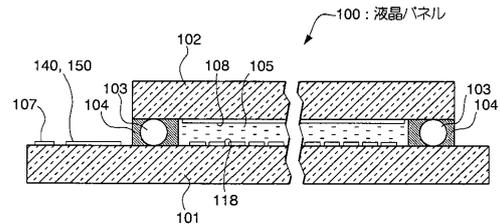
【 図 5 】



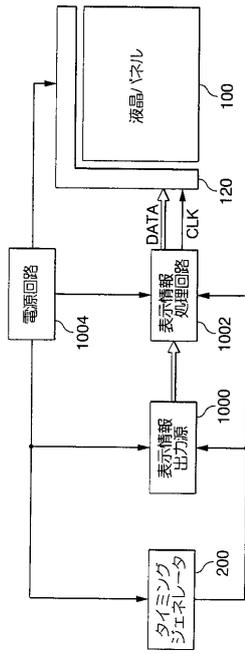
【 図 7 】



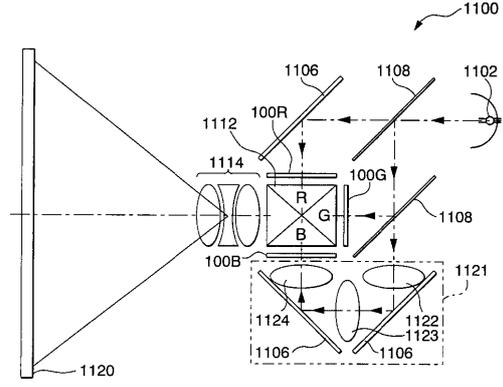
【 図 8 】



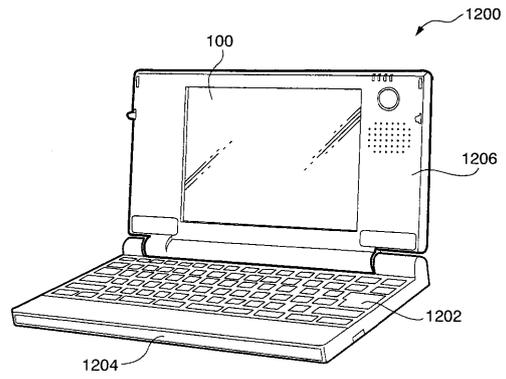
【図9】



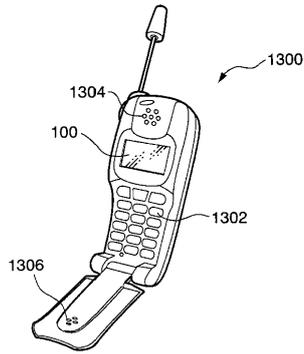
【図10】



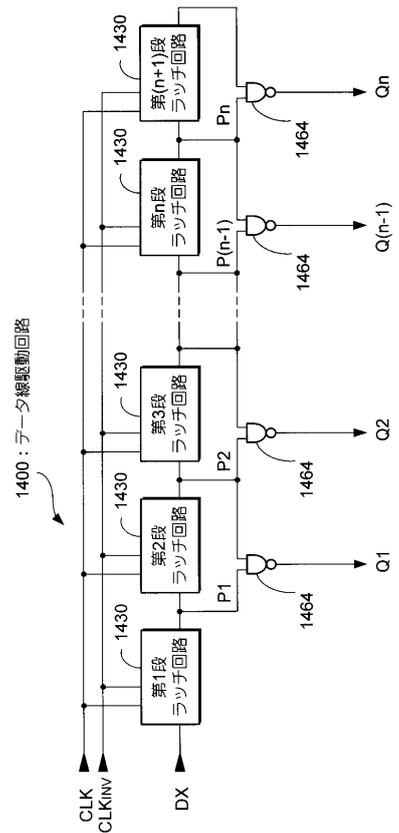
【図11】



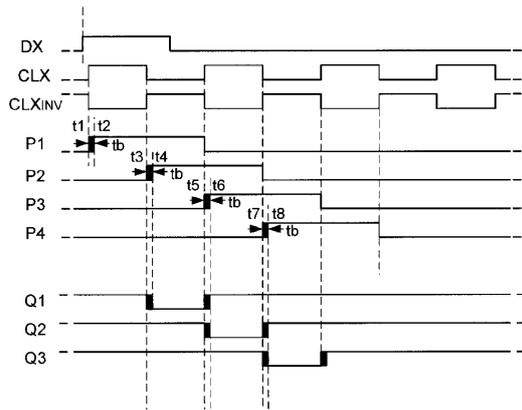
【図12】



【図13】



【 図 1 4 】



フロントページの続き

(51) Int.Cl.

F I

G 0 9 G 3/20 6 8 0 G

(56) 参考文献 特開平 0 5 - 2 4 1 5 3 6 (J P , A)

特開平 1 1 - 2 9 6 1 4 8 (J P , A)

特開平 1 0 - 0 3 9 2 7 5 (J P , A)

特開平 1 1 - 1 0 9 9 2 6 (J P , A)

特開平 0 9 - 2 1 2 1 3 3 (J P , A)

(58) 調査した分野(Int.Cl. , D B 名)

G09G 3/00-3/38

G02F 1/133 505-580