



(19) 대한민국특허청(KR)  
(12) 등록특허공보(B1)

(45) 공고일자 2009년02월26일  
(11) 등록번호 10-0885891  
(24) 등록일자 2009년02월20일

(51) Int. Cl.

H01L 27/115 (2006.01) H01L 21/8247 (2006.01)

(21) 출원번호 10-2007-0042051

(22) 출원일자 2007년04월30일

심사청구일자 2007년04월30일

(65) 공개번호 10-2008-0097004

(43) 공개일자 2008년11월04일

(56) 선행기술조사문헌

KR1020020091984 A\*

KR1020030056666 A\*

US6326263 B1

US6171909 B1

\*는 심사관에 의하여 인용된 문헌

(73) 특허권자

삼성전자주식회사

경기도 수원시 영통구 매탄동 416

(72) 발명자

이세훈

경기 용인시 기흥구 농서동 삼성전자(주)기흥공장  
남자기숙사 난초동 327호

최정동

경기 안양시 동안구 귀인동 현대홈타운아파트 10  
5동606호

(뒷면에 계속)

(74) 대리인

박영우

전체 청구항 수 : 총 33 항

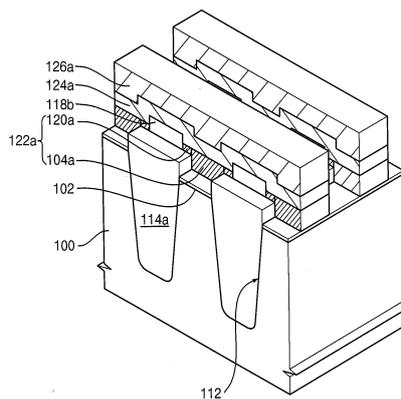
심사관 : 정병홍

(54) 비휘발성 메모리 소자 및 이의 제조 방법

(57) 요약

비휘발성 메모리 소자 및 그 제조 방법에서, 비휘발성 메모리 소자는 반도체 기판 표면으로부터 돌출된 상부면을 갖고 기판을 액티브 영역 및 소자 분리 영역으로 구분하기 위한 소자 분리막 패턴과, 상기 기판의 액티브 영역 상에 형성되는 터널 산화막 패턴과, 상기 터널 산화막 패턴 상에 구비되고, 상기 터널 산화막 패턴과 동일한 제1 폭을 갖는 제1 플로팅 게이트 패턴과, 상기 제1 플로팅 게이트 패턴의 양측벽으로부터 측방으로 돌출되어 상기 소자 분리막 패턴의 상부에 구비되는 제2 플로팅 게이트 패턴과, 상기 제2 플로팅 게이트 패턴 상에 구비되는 유전막 패턴 및 상기 유전막 패턴 상에 구비되는 콘트롤 게이트 패턴을 포함한다. 상기 비휘발성 메모리 소자는 커패시턴스 비가 높고 이웃하는 셀 간의 간섭이 감소된다.

대표도 - 도1



(72) 발명자

**장동훈**

서울 송파구 잠실5동 주공아파트 529동 904호

**이종진**

경기 성남시 분당구 구미동

무지개마을건영아파트308-2003

---

## 특허청구의 범위

### 청구항 1

반도체 기판 표면으로부터 돌출된 상부면을 갖고 기판을 액티브 영역 및 소자 분리 영역으로 구분하기 위한 소자 분리막 패턴;

상기 기판의 액티브 영역 상에 형성되는 터널 산화막 패턴;

상기 터널 산화막 패턴 상에 구비되고 상기 터널 산화막 패턴과 동일한 제1 폭을 갖는 제1 플로팅 게이트 패턴;

상기 제1 플로팅 게이트 패턴의 양측벽으로부터 측방으로 돌출되면서 상기 소자 분리막 패턴의 상부에 구비되는 제2 플로팅 게이트 패턴;

상기 제2 플로팅 게이트 패턴 사이의 갭 내에 구비되고, 상기 제2 플로팅 게이트 패턴 상부면보다 높거나 또는 동일한 높이의 상부면을 갖는 층간 절연막 패턴;

상기 제1 및 제2 플로팅 게이트 패턴과 상기 층간 절연막 패턴 상에 구비되는 유전막 패턴; 및

상기 유전막 패턴 상에 구비되는 콘트롤 게이트 패턴을 포함하는 것을 특징으로 하는 비휘발성 메모리 소자.

### 청구항 2

제1항에 있어서, 상기 제2 플로팅 게이트 패턴의 저면은 상기 제1 플로팅 게이트 패턴의 저면보다 높게 위치하는 것을 특징으로 하는 비휘발성 메모리 소자.

### 청구항 3

제2항에 있어서, 상기 제2 플로팅 게이트 패턴의 상부면은 상기 제1 플로팅 게이트 패턴의 상부면과 동일한 평면에 위치하거나, 상기 제1 플로팅 게이트 패턴의 상부면보다 낮게 위치하는 것을 특징으로 하는 비휘발성 메모리 소자.

### 청구항 4

제2항에 있어서, 상기 제2 플로팅 게이트 패턴의 상부면은 상기 제1 플로팅 게이트 패턴의 상부면보다 높게 위치하는 것을 특징으로 하는 비휘발성 메모리 소자.

### 청구항 5

제1항에 있어서, 상기 제2 플로팅 게이트 패턴의 저면은 상기 제1 플로팅 게이트 패턴의 저면과 동일한 평면에 위치하는 것을 특징으로 하는 비휘발성 메모리 소자.

### 청구항 6

제5항에 있어서, 제2 플로팅 게이트 패턴의 상부면은 상기 제1 플로팅 게이트 패턴의 상부면과 동일한 평면에 위치하는 것을 특징으로 하는 비휘발성 메모리 소자.

### 청구항 7

제5항에 있어서, 제2 플로팅 게이트 패턴의 상부면은 상기 제1 플로팅 게이트 패턴의 상부면보다 낮게 위치하는 것을 특징으로 하는 비휘발성 메모리 소자.

### 청구항 8

제1항에 있어서, 상기 제1 플로팅 게이트 패턴과 상기 제2 플로팅 게이트 패턴은 동일한 물질 또는 서로 다른 물질로 이루어지는 것을 특징으로 하는 비휘발성 메모리 소자.

### 청구항 9

제1항에 있어서, 상기 제1 플로팅 게이트 패턴은 불순물이 도핑된 폴리실리콘으로 이루어지는 것을 특징으로 하

는 비휘발성 메모리 소자.

**청구항 10**

제1항에 있어서, 상기 제2 플로팅 게이트 패턴은 텅스텐, 텅스텐 질화물, 티타늄, 티타늄 질화물, 불순물이 도핑된 폴리실리콘, 도핑되지 않은 폴리실리콘으로부터 선택된 적어도 하나의 물질로 이루어지는 것을 특징으로 하는 비휘발성 메모리 소자.

**청구항 11**

제1항에 있어서, 상기 제2 플로팅 게이트 패턴의 저면은 상기 제1 플로팅 게이트 패턴의 측부와 멀어질수록 기판 표면과의 높이가 증가되도록 경사진 형상을 갖는 것을 특징으로 하는 비휘발성 메모리 소자.

**청구항 12**

삭제

**청구항 13**

제1항에 있어서, 상기 층간 절연막 패턴은 실리콘 산화물로 이루어진 것을 특징으로 하는 비휘발성 메모리 소자.

**청구항 14**

제1항에 있어서, 상기 유전막 패턴은 고유전율을 갖는 금속 산화물을 포함하는 것을 특징으로 하는 비휘발성 메모리 소자.

**청구항 15**

제14항에 있어서, 상기 유전막 패턴은 알루미늄 산화물, 하프늄 알루미늄 산화물, 하프늄 산화물, 지르코늄 산화물로 이루어지는 군에서 선택된 적어도 하나의 물질로 이루어지는 것을 특징으로 하는 비휘발성 메모리 소자.

**청구항 16**

- 기판 상에 터널 산화막 패턴, 제1 도전막 패턴 및 마스크 패턴이 적층된 구조물을 형성하는 단계;
- 상기 구조물들 사이의 기판을 식각하여 트렌치를 형성하는 단계;
- 상기 트렌치 내부에 상기 기판 표면으로부터 돌출되고 상기 제1 도전막 패턴의 상부면보다 낮은 상부면을 갖는 소자 분리막 패턴을 형성하는 단계;
- 상기 소자 분리막 패턴으로부터 돌출되는 구조물들의 양측에 도전 물질로 이루어진 스페이서를 형성하는 단계;
- 상기 스페이서 사이의 갭을 매립하는 층간 절연막 패턴을 형성하는 단계;
- 상기 스페이서를 부분적으로 식각하여 상기 제1 도전막 패턴의 측벽으로부터 측방으로 돌출되고, 상기 층간 절연막 패턴보다 낮은 높이를 갖는 제2 도전막 패턴을 형성하는 단계;
- 상기 마스크 패턴을 제거하는 단계;
- 상기 제2 도전막 패턴 및 제1 도전막 패턴 상에 유전막 및 제3 도전막을 형성하는 단계; 및
- 상기 제3 도전막, 유전막, 제2 도전막 패턴 및 제1 도전막 패턴의 일부분을 순차적으로 식각하여, 제1 플로팅 게이트 패턴, 상기 제1 플로팅 게이트 패턴의 양측벽으로부터 측방으로 돌출된 제2 플로팅 게이트 패턴, 유전막 패턴 및 콘트롤 게이트 패턴을 형성하는 단계를 포함하는 것을 특징으로 하는 비휘발성 메모리 소자의 제조 방법.

**청구항 17**

제16항에 있어서, 상기 마스크 패턴은 실리콘 산화막 패턴, 실리콘 질화막 패턴 및 실리콘 산화막 패턴이 적층된 형상을 갖는 것을 특징으로 하는 비휘발성 메모리 소자의 제조 방법.

**청구항 18**

제16항에 있어서, 상기 소자 분리막을 형성하는 단계는,  
 상기 트렌치 내부를 채우면서 상기 마스크 패턴의 상부면을 덮는 절연막을 형성하는 단계;  
 상기 마스크 패턴의 상부면이 노출되도록 상기 절연막을 연마하여 절연막 패턴을 형성하는 단계; 및  
 상기 절연막 패턴의 높이가 낮아지도록 상기 절연막 패턴의 일부를 식각하는 단계를 포함하는 것을 특징으로 하는 비휘발성 메모리 소자의 제조 방법.

**청구항 19**

제18항에 있어서, 상기 절연막을 형성하는 단계는,  
 상기 트렌치 내부에 제1 절연물질을 증착시켜 상기 트렌치 내부를 부분적으로 채우는 제1 절연막을 형성하는 단계; 및  
 상기 제1 절연막 상에 제2 절연물질을 증착시켜 상기 트렌치를 완전히 채우는 제2 절연막을 형성하는 단계를 포함하는 것을 특징으로 하는 비휘발성 메모리 소자의 제조 방법.

**청구항 20**

제16항에 있어서, 상기 소자 분리막 패턴의 상부면은 상기 제1 도전막 패턴의 저면보다 높게 위치하도록 형성되는 것을 특징으로 하는 비휘발성 메모리 소자의 제조 방법.

**청구항 21**

제20항에 있어서, 제2 도전막 패턴을 형성하는 단계에서, 상기 제2 도전막 패턴의 상부면이 상기 제1 도전막 패턴의 상부면과 동일한 평면에 위치하거나 상기 제1 도전막 패턴의 상부면보다 낮게 되도록 상기 스페이서를 부분적으로 식각하는 것을 특징으로 하는 비휘발성 메모리 소자의 제조 방법.

**청구항 22**

제20항에 있어서, 제2 도전막 패턴을 형성하는 단계에서, 상기 제2 도전막 패턴의 상부면이 상기 제1 도전막 패턴의 상부면 보다 높게 위치하도록 상기 스페이서를 부분적으로 식각하는 것을 특징으로 하는 비휘발성 메모리 소자의 제조 방법.

**청구항 23**

제16항에 있어서, 상기 소자 분리막 패턴의 상부면은 상기 제1 도전막 패턴의 저면과 동일한 평면에 위치하도록 형성되는 것을 특징으로 하는 비휘발성 메모리 소자의 제조 방법.

**청구항 24**

제23항에 있어서, 제2 도전막 패턴을 형성하는 단계에서, 상기 제2 도전막 패턴의 상부면이 상기 제1 도전막 패턴의 상부면과 동일한 평면에 위치하도록 상기 스페이서를 부분적으로 식각하는 것을 특징으로 하는 비휘발성 메모리 소자의 제조 방법.

**청구항 25**

제23항에 있어서, 제2 도전막 패턴을 형성하는 단계에서, 상기 제2 도전막 패턴의 상부면이 상기 제1 도전막 패턴의 상부면 보다 낮게 위치하도록 상기 스페이서를 부분적으로 식각하는 것을 특징으로 하는 비휘발성 메모리 소자의 제조 방법.

**청구항 26**

제16항에 있어서, 상기 스페이서는 상기 제1 도전막 패턴과 동일한 도전 물질 또는 서로 다른 도전 물질로 형성하는 것을 특징으로 하는 비휘발성 메모리 소자의 제조 방법.

**청구항 27**

삭제

**청구항 28**

제16항에 있어서, 상기 유전막은 고유전율을 갖는 금속 산화물을 증착시켜 형성하는 것을 특징으로 하는 비휘발성 메모리 소자의 제조 방법.

**청구항 29**

제16항에 있어서, 상기 제1 도전막 패턴은 100 내지 500Å의 두께를 갖도록 형성하는 것을 특징으로 하는 비휘발성 메모리 소자의 제조 방법.

**청구항 30**

제16항에 있어서, 상기 층간 절연막 패턴은 상기 스페이서 사이의 갭을 부분적으로 채우도록 형성되는 것을 특징으로 하는 비휘발성 메모리 소자의 제조 방법.

**청구항 31**

제17항에 있어서, 상기 스페이서를 부분적으로 식각하여 제2 도전막 패턴을 형성하기 이 전에, 상기 마스크 패턴의 일부를 식각하는 단계를 더 포함하는 것을 특징으로 하는 비휘발성 메모리 소자의 제조 방법.

**청구항 32**

제31항에 있어서, 상기 마스크 패턴의 일부를 식각하는 단계에서 상기 마스크 패턴에서 최하부막인 실리콘 산화물을 남기면서 상부에 위치하는 실리콘 산화물 및 실리콘 질화막을 식각하는 것을 특징으로 하는 비휘발성 메모리 소자의 제조 방법.

**청구항 33**

제16항에 있어서, 상기 층간 절연막 패턴은 상기 유전막보다 낮은 유전율을 갖는 물질로 형성되는 것을 특징으로 하는 비휘발성 메모리 소자의 제조 방법.

**청구항 34**

제1항에 있어서, 상기 제1 플로팅 게이트 패턴은 100 내지 500Å의 두께를 갖는 것을 특징으로 하는 비휘발성 메모리 소자.

**청구항 35**

제1항에 있어서, 상기 층간 절연막 패턴은 상기 유전막 패턴보다 낮은 유전율을 갖는 물질로 이루어지는 것을 특징으로 하는 비휘발성 메모리 소자.

**명세서**

**발명의 상세한 설명**

**발명의 목적**

**발명이 속하는 기술 및 그 분야의 종래기술**

<10> 본 발명은 비휘발성 메모리 소자 및 이의 제조방법에 관한 것으로, 보다 상세하게는 NAND형 플래시 메모리 소자 및 이의 제조방법에 관한 것이다.

<11> 반도체 메모리 소자는 일반적으로 DRAM(Dynamic Random Access Memory) 장치 및 SRAM(Static Random Access Memory) 장치와 같이 시간이 지남에 따라 데이터를 잃어버리는 휘발성(volatile) 메모리 소자와 시간이 지나도 그 데이터를 계속하여 유지할 수 있는 비휘발성(non-volatile) 메모리 소자로 크게 구분할 수 있다. 이러한 비휘발성 메모리 소자로서 전기적으로 데이터의 입·출력이 가능한 EEPROM(Electrically Erasable and

Programmable ROM) 및 플래시(Flash) 메모리 소자가 개발되어 있다. 상기 플래시 메모리 소자는 고속으로 전기적 소거가 가능한 EEPROM 장치의 진보된 형태로서, F-N 터널링(Fowler-Nordheim tunneling) 또는 열전자 주입(hot electron injection)에 의해 전기적으로 데이터의 입·출력을 제어하는 장치이다.

- <12> 상기 플래시 메모리 소자의 단위 셀은 터널 산화막, 플로팅 게이트 패턴, 유전막 및 콘트롤 게이트 패턴이 적층된 형상을 갖는다. 상기 플래시 메모리 소자의 데이터 저장은 통상적으로 상기 플로팅 게이트 패턴에 전자 또는 정공을 넣거나 빼내는 방식으로 구현된다. 즉, 상기 플로팅 게이트 패턴은 상기 터널 산화막에 의해 격리되어 있으므로 상기 플로팅 게이트 패턴으로 주입된 전자 또는 정공은 전원이 공급되지 않더라도 상기 플로팅 게이트 패턴을 빠져나가지 못하고 부유하게 된다. 때문에, 상기 플래시 메모리 소자에 저장된 데이터가 소실되지 않는다.
- <13> 한편, 상기 플래시 메모리 소자는 데이터의 기록 또는 소거를 위하여 외부에서 접근 가능한 단자, 예를 들어 콘트롤 게이트 패턴, 불순물 영역 및 기판에 인가된 바이어스가 상기 플로팅 게이트 패턴으로 유도되어 상기 터널 산화막의 양단에서 높은 전계가 생성되어야 한다. 이와 같이, 상기 콘트롤 게이트 패턴, 불순물 영역 및 기판에 인가된 전압이 상기 플로팅 게이트 패턴을 유도되는 비율을 커플링 비 이라하며, 상기 커플링 비가 증가될수록 프로그래밍 및 소거 동작의 효율이 증가하게 된다.
- <14> 상기 커플링 비는 터널 산화막이 형성하는 정전 용량과 유전막이 형성하는 정전 용량의 비에 의해서 규정될 수 있다. 구체적으로, 터널 산화막이 형성하는 정전 용량을  $C_{tun}$ 이라 하고, 상기 유전막이 형성하는 정전 용량을  $C_{ipd}$ 라 하면, 상기 커플링 비는 다음의 수식으로 표현될 수 있다.
- <15> [수학식 1]
- <16>  $커플링\ 비 = C_{ipd} / (C_{tun} + C_{ipd})$
- <17> 상기 수학식 1에서 알수 있듯이 커플링 비를 높이기 위해서는  $C_{tun}$ 에 비해 상기  $C_{ipd}$ 의 값이 상대적으로 커져야 한다. 이를 위하여, 상기 유전막이 형성될 수 있는 상기 플로팅 게이트 패턴의 표면적을 증가시켜야 한다.
- <18> 상기 유전막이 형성되기 위한 플로팅 게이트 패턴의 표면적을 증가시키기 위하여 상기 플로팅 게이트 패턴의 선폭을 증가시키거나 상기 플로팅 게이트 패턴의 높이를 높일 수 있다.
- <19> 그러나, 상기 플로팅 게이트 패턴의 선폭을 증가시키는 경우에는 이웃하는 플로팅 게이트 패턴들 간의 간격이 매우 감소하게 된다. 또한, 상기 플로팅 게이트 패턴의 높이를 높이는 경우에는 상기 이웃하는 플로팅 게이트 패턴들이 서로 대향하는 면적이 증가하게 된다. 때문에, 상기와 같이 플로팅 게이트 패턴의 선폭 또는 높이를 증가시키는 경우에는 상기 이웃하는 플로팅 게이트 패턴들 간의 기생 커패시턴스가 높아지게 되어 셀 간의 간섭(interference)이 발생하게 된다.

**발명이 이루고자 하는 기술적 과제**

- <20> 따라서, 본 발명의 목적은 높은 커플링 비를 가지면서 이웃하는 셀들 간의 간섭이 감소되는 비휘발성 메모리 소자를 제공하는데 있다.
- <21> 본 발명의 다른 목적은 상기 비휘발성 메모리 소자의 제조 방법을 제공하는데 있다.

**발명의 구성 및 작용**

- <22> 상기한 목적을 달성하기 위한 본 발명의 일 실시예에 따른 비휘발성 메모리 소자는, 반도체 기판 표면으로부터 돌출된 상부면을 갖고 기판을 액티브 영역 및 소자 분리 영역으로 구분하기 위한 소자 분리막 패턴과, 상기 기판의 액티브 영역 상에 형성되는 터널 산화막 패턴과, 상기 터널 산화막 패턴 상에 구비되고, 상기 터널 산화막 패턴과 동일한 제1 폭을 갖는 제1 플로팅 게이트 패턴과, 상기 제1 플로팅 게이트 패턴의 양측벽으로부터 측방으로 돌출되어 상기 소자 분리막 패턴의 상부에 구비되는 제2 플로팅 게이트 패턴과, 상기 제2 플로팅 게이트 패턴 상에 구비되는 유전막 패턴 및 상기 유전막 패턴 상에 구비되는 콘트롤 게이트 패턴을 포함한다.
- <23> 상기 제1 플로팅 게이트 패턴과 상기 제2 플로팅 게이트 패턴은 동일한 물질 또는 서로 다른 물질로 이루어질 수 있다.
- <24> 상기한 목적을 달성하기 위한 본 발명의 일 실시예에 따른 비휘발성 메모리 소자의 제조 방법으로, 기판 상에 터널 산화막 패턴, 제1 도전막 패턴 및 마스크 패턴이 적층된 구조물을 형성한다. 상기 구조물들 사이의 기판을 식각하여 트렌치를 형성한다. 상기 트렌치 내부에 상기 기판 표면으로부터 돌출되고 상기 제1 도전막 패턴의 상

부면보다 낮은 상부면을 갖는 소자 분리막 패턴을 형성한다. 상기 소자 분리막 패턴으로부터 돌출되는 구조물들의 양측에 도전 물질로 이루어진 스페이서를 형성한다. 상기 스페이서를 부분적으로 식각하여 상기 제1 도전막 패턴의 측벽으로부터 측방으로 돌출된 제2 도전막 패턴을 형성한다. 상기 제2 도전막 패턴 상에 유전막 및 제3 도전막을 형성한다. 다음에, 상기 제3 도전막, 유전막, 제2 도전막 패턴 및 제1 도전막 패턴의 일부분을 순차적으로 식각하여, 제1 플로팅 게이트 패턴, 상기 제1 플로팅 게이트 패턴의 양측벽으로부터 측방으로 돌출된 제2 플로팅 게이트 패턴, 유전막 패턴 및 콘트롤 게이트 패턴을 형성한다.

- <25> 상기 비휘발성 메모리 소자는 플로팅 게이트 전극의 상부 선평이 상기 터널 산화막 패턴의 선평에 비해 넓다. 그러므로, 상기 비휘발성 메모리 소자의 커플링비가 높아진다.
- <26> 또한, 상기 플로팅 게이트 전극에 포함되는 제2 플로팅 게이트 패턴의 두께가 매우 얇기 때문에 이웃하는 셀 간의 간섭도 매우 감소된다.
- <27> 더구나, 상기 제2 플로팅 게이트 패턴의 두께를 증착 공정을 통해 조절하기 때문에, 상기 제2 플로팅 게이트 패턴을 매우 얇게 형성할 수 있다.
- <28> 이하, 첨부한 도면을 참조하여 본 발명의 바람직한 실시예를 상세히 설명하고자 한다.
- <29> 첨부된 도면들을 참조하여 본 발명의 실시예들에 따른 비휘발성 메모리 소자에 대하여 상세하게 설명하지만, 본 발명이 하기의 실시예들에 제한되는 것은 아니며, 해당 분야에서 통상의 지식을 가진 자라면 본 발명의 기술적 사상을 벗어나지 않는 범위 내에서 본 발명을 다양한 다른 형태로 구현할 수 있을 것이다. 첨부된 도면에 있어서, 기판, 층(막), 패턴 또는 전극들의 치수는 본 발명의 명확성을 기하기 위하여 실제보다 확대하여 도시한 것이다. 본 발명에 있어서, 각 층(막), 패턴 또는 전극들이 기판, 각 층(막), 패턴 또는 전극들의 "상에", "상부에" 또는 "하부"에 형성되는 것으로 언급되는 경우에는 각 층(막), 패턴 또는 전극들이 직접 기판, 각 층(막), 패턴 또는 전극들 위에 형성되거나 아래에 위치하는 것을 의미하거나, 다른 층(막), 다른 패턴, 다른 패드 또는 다른 전극들이 기판 상에 추가적으로 형성될 수 있다. 또한, 층(막)들이 "제1" 및/또는 "제2"로 언급되는 경우, 이러한 부재들을 한정하기 위한 것이 아니라 단지 각 층(막)들을 구분하기 위한 것이다. 따라서 "제1" 및/또는 "제2"는 각 층(막)들에 대하여 각기 선택적으로 또는 교환적으로 사용될 수 있다.
- <30> 실시예 1
- <31> 도 1은 본 발명의 실시예 1에 따른 NAND형 플래시 메모리 소자의 사시도이다. 도 2는 본 발명의 실시예 1에 따른 NAND형 플래시 메모리 소자의 단면도이다.
- <32> 도 1 및 2를 참조하면, 단결정 실리콘과 같은 반도체 물질로 이루어지는 기판(100)이 구비된다. 상기 반도체 기판(100)에서 소자 분리 영역에 해당되는 부위에는 트렌치(112)들이 형성되어 있다. 상기 트렌치(112)들은 서로 평행하게 배치되며 제1 방향으로 연장되는 형상을 갖는다.
- <33> 상기 트렌치(112) 내벽에는 내벽 산화막(도시안됨)이 형성되어 있다. 상기 내벽 산화막은 열산화 공정에 의해 형성된 실리콘 산화물로 이루어질 수 있다.
- <34> 상기 트렌치(112) 내부에는 절연 물질로 이루어지는 소자 분리막 패턴(114a)이 구비된다. 상기 소자 분리막 패턴(114a)은 상기 기판 표면으로부터 돌출된 상부면을 갖는다. 상기 소자 분리막 패턴(114a)에 의해 상기 기판(100)은 액티브 영역 및 소자 분리 영역으로 구분된다. 상기 액티브 영역 및 소자 분리 영역은 제1 방향으로 연장되는 라인 형상을 갖고 서로 번갈아가며 나란하게 배치된다. 상기 소자 분리막 패턴(114a)은 화학기상증착공정에 의해 형성된 실리콘 산화물로 이루어질 수 있다.
- <35> 본 실시예에서, 상기 소자 분리막 패턴(114a)의 상부면은 제1 플로팅 게이트 패턴(104a)의 상부면보다 낮게 위치한다. 이를 위하여, 상기 기판(100) 표면으로부터 상기 소자 분리막 패턴(114a)이 돌출되는 두께는 상기 제1 플로팅 게이트 패턴(104a)의 두께보다 낮다.
- <36> 상기 액티브 영역 상에는 터널 산화막 패턴(102)이 구비된다. 상기 터널 산화막 패턴(102)은 열산화 공정에 의해 형성된 실리콘 산화물로 이루어질 수 있다.
- <37> 상기 터널 산화막 패턴(102) 상에는 제1 플로팅 게이트 패턴(104a)이 구비된다. 상기 제1 플로팅 게이트 패턴(104a)의 하부 측벽은 상기 소자 분리막 패턴(114a)과 접촉된다. 또한, 상기 제1 플로팅 게이트 패턴(104a)의 상부면은 상기 소자 분리막 패턴(114a)의 상부면보다 높게 위치한다. 상기 제1 플로팅 게이트 패턴(104a)은 불순물이 도핑된 폴리실리콘으로 이루어질 수 있다. 상기 제1 플로팅 게이트 패턴(104a)은 상기 기판의 액티브 영

역의 폭과 동일한 폭을 가질 수 있다. 상기 제1 플로팅 게이트 패턴(104a)은 100 내지 500Å 정도의 두께를 갖는 것이 바람직하다.

- <38> 상기 제1 플로팅 게이트 패턴(104a)의 양측벽으로부터 측방으로 돌출되는 제2 플로팅 게이트 패턴(120a)이 구비된다. 상기 제2 플로팅 게이트 패턴(120a)은 상기 소자 분리막 패턴(114a)의 상부면에 위치하고, 상기 소자 분리막 패턴(114a)에 의해 지지된다. 그러므로, 상기 제2 플로팅 게이트 패턴(120a)의 저면은 상기 제1 플로팅 게이트 패턴(104a)의 저면보다 높게 위치하게 된다.
- <39> 그리고, 상기 제2 플로팅 게이트 패턴(120a)의 상부면은 상기 제1 플로팅 게이트 패턴(104a)의 상부면과 동일한 평면에 위치한다.
- <40> 상기 제2 플로팅 게이트 패턴(120a)은 상기 제1 플로팅 게이트 패턴(104a)과 동일한 물질로 이루어질 수 있다. 구체적으로, 상기 제1 플로팅 게이트 패턴(104a)이 불순물이 도핑된 폴리실리콘으로 이루어지므로, 상기 제2 플로팅 게이트 패턴(120a)도 폴리실리콘으로 이루어질 수 있다. 그러나, 상기 제2 플로팅 게이트 패턴(120a)은 불순물이 도핑된 폴리실리콘 뿐 아니라 불순물이 도핑되지 않은 폴리실리콘으로 이루어질 수 있다.
- <41> 상기 제2 플로팅 게이트 패턴(120a)이 불순물이 도핑되지 않은 폴리실리콘으로 이루어지는 경우, 상기 제2 플로팅 게이트 패턴(120a)에서는 상기 제1 플로팅 게이트 패턴(104a)에 비해 전위가 감소하게 되어 이웃하는 셀 간에 발생하는 기생 커패시턴스가 감소하게 된다. 그러므로, 상기 기생 커패시턴스에 의하여 발생하는 셀 간의 간섭이 감소된다.
- <42> 상기 제2 플로팅 게이트 패턴(120a)이 상기 제1 플로팅 게이트 패턴(104a)의 측방으로 돌출되는 형상을 가지므로, 상기 제1 및 제2 플로팅 게이트 패턴(104a, 120a)으로 이루어지는 플로팅 게이트 전극(122a)은 T 자 형상을 갖는다.
- <43> 이 때, 상기 제2 플로팅 게이트 패턴(120a)은 30 내지 150Å 정도로 얇은 두께를 갖는다. 이와 같이, 상기 제2 플로팅 게이트 패턴(120a)이 매우 얇게 형성되므로 이웃하는 제2 플로팅 게이트 패턴(120a)들 간의 간섭이 감소될 수 있다.
- <44> 상기 제2 플로팅 게이트 패턴(120a) 사이의 갭 부위에는 절연막 패턴(118b)이 구비된다. 상기 절연막 패턴(118b)은 플로팅 게이트 전극(122a) 상에 형성되는 유전막 패턴(124a)에 비해 낮은 유전율을 갖는 물질로 이루어지는 것이 바람직하다. 구체적으로, 상기 절연막 패턴(118b)은 실리콘 산화물로 이루어질 수 있다.
- <45> 상기 절연막 패턴(118b)의 상부면은 상기 제2 플로팅 게이트 패턴(120a)의 상부면과 동일한 평면에 위치하거나 또는 상기 제2 플로팅 게이트 패턴(120a)의 상부면보다 높게 위치한다. 도시된 것과 같이, 상기 절연막 패턴(118b)의 상부면이 상기 제2 플로팅 게이트 패턴(120a)의 상부면보다 높게 위치하는 것이 더 바람직하다. 상기 와 같이, 상기 제2 플로팅 게이트 패턴(120a)들 사이의 갭 부위에 낮은 유전율을 갖는 절연막 패턴(118b)이 구비됨으로써 상기 제2 플로팅 게이트 패턴(120a)들 사이에서 발생하는 기생 커패시턴스를 감소시킬 수 있다.
- <46> 상기 제1 및 제2 플로팅 게이트 패턴(120a) 상에는 유전막 패턴(124a)이 구비된다. 상기 유전막 패턴(124a)은 실리콘 산화물에 비해 높은 유전율을 갖는 고유전 산화물로 이루어질 수 있다. 또는, 상기 유전막 패턴(124a)은 실리콘 산화물, 실리콘 질화물 및 실리콘 산화물이 적층된 형상을 가질 수 있다. 상기 고유전 산화물의 예로는 알루미늄 산화물, hafnium 산화물, hafnium 산화물, hafnium 산화물, zirconium 산화물 등을 들 수 있다. 이들은 단독 또는 2 이상을 적층하여 사용할 수 있다. 도시된 것과 같이, 상기 유전막 패턴(124a)은 상기 제1 방향과 수직한 제2 방향으로 연장되는 라인 형상을 가질 수 있다.
- <47> 상기 유전막 패턴(124a) 상에 콘트롤 게이트 패턴(126a)이 구비된다. 상기 콘트롤 게이트 패턴(126a)은 상기 제2 방향으로 연장되는 라인 형상을 갖는다. 상기 콘트롤 게이트 패턴(126a)으로 사용될 수 있는 도전 물질은 폴리실리콘, 금속, 금속 질화물 등을 들 수 있다. 이들은 단독 또는 2 이상이 적층된 구조를 가질 수 있다.
- <48> 본 실시예에 따른 플래시 메모리 소자는 제1 플로팅 게이트 패턴의 측방으로 돌출된 제1 플로팅 게이트 패턴의 두께가 얇아서 이웃하는 셀 간의 간섭이 감소되면서도 커패시턴스 비가 상승된다.
- <49> 도 3 내지 도 12는 본 발명의 실시예 1에 따른 NAND형 플래시 메모리 소자의 제조 방법을 설명하기 위한 단면도들이다.
- <50> 도 3을 참조하면, 반도체 기판(100) 상에 터널 산화막(도시안됨)을 형성한다. 상기 터널 산화막은 약 10Å 내지 100Å 정도의 두께를 갖는 실리콘 산화물로 이루어질 수 있다. 상기 실리콘 산화물은 열산화 공정을 통해 형성

될 수 있다.

- <51> 상기 터널 산화막 상에 플로팅 게이트 전극의 일부로 사용되기 위한 제1 도전막(도시안됨)을 형성한다. 구체적으로, 상기 제1 도전막은 터널 산화막 상에 형성되는 제1 플로팅 게이트 패턴으로 사용된다. 상기 제1 도전막은 불순물이 도핑된 폴리실리콘을 저압 화학 기상 증착 공정을 통해 증착시켜 형성할 수 있다.
- <52> 상기 제1 도전막은 100Å 보다 얇으면 플로팅 게이트 전극의 두께가 얇아서 플로팅되는 전하의 개수가 감소되며, 상기 제1 도전막이 500Å보다 두꺼우면 이웃하는 셀 간의 간섭이 증가하게 된다. 때문에, 상기 제1 도전막은 100 내지 500Å 정도의 두께로 형성하며, 바람직하게는 100 내지 300Å의 두께로 형성한다.
- <53> 상기 제1 도전막 상에 제1 실리콘 산화막(도시안됨)을 형성한다. 상기 제1 실리콘 산화막은 상기 제1 도전막과 이후에 형성되는 실리콘 질화막 사이에 개재되어 상기 실리콘 질화막을 형성할 시에 발생하는 스트레스를 감소시킨다. 또한, 상기 제1 실리콘 산화막은 이 후의 공정들을 수행할 때 상기 제1 도전막에 어택이 가해지지 않도록 보호하는 역할을 한다. 때문에, 상기 제1 실리콘 산화막은 통상적으로 형성되는 패드 산화막의 두께보다는 다소 두껍게 형성되는 것이 바람직하다. 구체적으로, 상기 제1 실리콘 산화막은 100 내지 500Å 정도의 두께로 형성한다.
- <54> 상기 제1 실리콘 산화막 상에 실리콘 질화막(도시안됨)을 형성한다.
- <55> 상기 실리콘 질화막 상에 제2 실리콘 산화막(도시안됨)을 형성한다. 상기 제2 실리콘 산화막은 이 후의 트렌치 형성을 위한 식각 공정에서 상기 실리콘 질화막이 제거되지 않도록 상기 실리콘 질화막을 보호하는 역할을 한다.
- <56> 상기 제2 실리콘 산화막을 사진 및 식각 공정을 통해 패터닝함으로써 제1 방향으로 연장되는 제2 실리콘 산화막 패턴(110)을 형성한다. 이 후, 상기 실리콘 질화막 및 제1 실리콘 산화막을 계속하여 식각함으로써, 실리콘 질화막 패턴(108) 및 제1 실리콘 산화막 패턴(106)을 형성한다. 상기 공정을 수행하면, 상기 제1 실리콘 산화막 패턴(106), 실리콘 질화막 패턴(108) 및 제2 실리콘 산화막 패턴(110)이 적층된 하드 마스크 구조물이 형성된다.
- <57> 다음에, 상기 하드 마스크 구조물을 식각 마스크로 사용하여 제1 도전막, 터널 산화막을 식각하여 제1 도전막 패턴(104) 및 터널 산화막 패턴(102)을 형성한다.
- <58> 도 4를 참조하면, 상기 하드 마스크 구조물 사이에 노출된 기판은 식각함으로써 소자 분리용 트렌치(112)들을 형성한다. 이 때, 상기 소자 분리용 트렌치(112)들 사이에 식각되지 않고 남아있는 기판 부위가 액티브 영역이 되고, 상기 소자 분리용 트렌치(112) 부위는 소자 분리 영역이 된다. 상기 소자 분리용 트렌치(112)는 제1 방향으로 연장되는 형상을 갖는다.
- <59> 상기 소자 분리용 트렌치(112)를 형성한 이 후에도 상기 제2 실리콘 산화막 패턴(110)이 완전하게 제거되지 않고 남아있어야 한다. 이와 같이, 상기 제2 실리콘 산화막 패턴(110)이 남아있어서 상기 실리콘 질화막 패턴(108)을 보호하는 경우에는, 상기 식각 공정이 수행된 이 후에도 상기 실리콘 질화막 패턴(108)의 두께가 변하지 않고 그대로 유지된다.
- <60> 도 5를 참조하면, 상기 소자 분리용 트렌치(112) 내벽을 산화시켜 내벽 산화막(도시안됨)을 형성한다. 상기 산화 공정을 수행하면, 폴리실리콘으로 형성되는 제1 도전막의 측벽에도 내벽 산화막이 형성된다. 또한, 라디칼 산화 공정을 수행하는 경우에는, 상기 실리콘 질화막 패턴의 표면에도 내벽 산화막이 형성될 수 있다.
- <61> 다음에, 상기 소자 분리용 트렌치(112) 내부를 완전히 채우도록 절연 물질을 증착하여 소자 분리막(도시안됨)을 형성한다. 상기 절연 물질은 갭 필 특성이 우수한 실리콘 산화물을 포함한다.
- <62> 상기 실리콘 질화막 패턴(108)의 상부면이 노출되도록 상기 소자 분리막을 화학기계적 연마 공정을 통해 연마함으로써, 예비 소자 분리막 패턴(114)을 형성한다. 이 때, 상기 실리콘 질화막 패턴(108)을 연마 저지막으로 사용하여 연마 공정을 수행한다. 또한, 상기 실리콘 질화막 패턴(108)은 최초에 증착되었던 실리콘 질화막의 두께와 동일한 두께를 갖는 것이 바람직하다.
- <63> 도 6을 참조하면, 상기 실리콘 질화막 패턴(108)을 식각 마스크로 사용하여 상기 예비 소자 분리막 패턴(114)의 일부분을 1차 식각한다. 상기 1차 식각은 습식 식각 공정을 통해 이루어지는 것이 바람직하다. 이 때, 상기 예비 소자 분리막 패턴의 상부면이 상기 제1 실리콘 산화막 패턴(106)보다 높게 위치하게 되도록 상기 1차 식각 공정이 수행되어야 한다.

- <64> 이는, 상기 예비 소자 분리막 패턴(114)과 상기 제1 실리콘 산화막 패턴(106)이 동일한 실리콘 산화물계 물질로 이루어지므로, 상기 예비 소자 분리막 패턴(114)의 상부면이 상기 제1 실리콘 산화막 패턴(106)보다 낮게 되도록 식각하면 상기 제1 실리콘 산화막 패턴(106)까지 불가피하게 식각될 수 있기 때문이다.
- <65> 상기와 같이, 습식 식각 공정을 통해 1차 식각 공정을 수행하면, 주변의 막들이 플라즈마에 의한 어택을 받지 않으면서 상기 예비 소자 분리막 패턴(114)의 두께를 효과적으로 낮출 수 있다.
- <66> 도 7을 참조하면, 상기 실리콘 질화막 패턴(108)을 식각 마스크로 사용하여 상기 예비 소자 분리막 패턴(114)의 일부분을 2차 식각함으로써 소자 분리막 패턴(114a)을 형성한다. 상기 2차 식각은 이방성 식각 공정을 통해 수행되는 것이 바람직하다. 상기 예비 소자 분리막 패턴(114)을 이방성 식각하면, 상기 제1 실리콘 산화막 패턴(106)이 제거되지 않는다.
- <67> 상기 소자 분리막 패턴(114a)은 상기 제1 도전막 패턴(104)의 상부면보다는 낮은 상부면을 갖고, 상기 액티브 영역의 기판(100) 표면보다는 높은 상부면을 갖도록 형성된다. 본 실시예에서, 상기 소자 분리막 패턴(114a)의 상부면이 상기 제1 도전막 패턴(104)의 높이의 1/2 보다 높게 위치하도록 형성한다.
- <68> 상기 공정을 수행하면, 상기 소자 분리막 패턴(114a) 사이에는 제1 도전막 패턴(104)의 상부, 제1 실리콘 산화막 패턴(106) 및 실리콘 질화막 패턴(108)이 돌출된다.
- <69> 상기 도 6 및 도 7에서 설명한 것과 달리, 상기 예비 소자 분리막 패턴(114)에 대하여 1회의 이방성 식각 공정을 수행함으로써 소자 분리막 패턴(114a)을 형성할 수도 있다. 이 경우, 공정이 단순화되는 효과가 있다.
- <70> 도 8을 참조하면, 상기 소자 분리막 패턴(114a)의 상부면과 상기 소자 분리막 패턴(114a) 사이에 돌출되어 있는 제1 도전막 패턴(104), 제1 실리콘 산화막 패턴(106) 및 실리콘 질화막 패턴(108)의 표면을 따라 제2 도전막(도시안됨)을 형성한다. 이 때, 상기 제2 도전막은 상기 돌출된 패턴 구조물들 사이의 갭 부위를 매립하지 않도록 형성되어야 한다.
- <71> 상기 제2 도전막은 후속 공정을 통해 플로팅 게이트 전극의 일부로 사용된다. 구체적으로, 상기 제2 도전막은 제1 플로팅 게이트 패턴(104a)의 측벽으로부터 측방으로 돌출되는 제2 플로팅 게이트 패턴으로 사용된다. 그러므로, 상기 제2 도전막의 두께를 증가시킴으로써 상기 제2 플로팅 게이트 패턴의 폭을 증가시킬 수 있다.
- <72> 상기 제2 도전막은 상기 제1 도전막 패턴(104)과 동일한 도전 물질로 형성할 수 있다. 본 실시예에서는 상기 제1 도전막 패턴(104)이 폴리실리콘으로 이루어지므로, 상기 제2 도전막도 역시 폴리실리콘으로 형성된다. 구체적으로, 상기 제2 도전막은 불순물이 도핑된 폴리실리콘 또는 불순물이 도핑되지 않은 폴리실리콘으로 형성될 수 있다. 상기 제2 도전막으로써 불순물이 도핑되지 않은 폴리실리콘을 형성하는 경우, 이웃하는 셀 간의 간섭을 감소시킬 수 있다.
- <73> 이 후, 상기 제2 도전막을 이방성으로 식각함으로써 상기 돌출된 제1 도전막 패턴(104), 제1 실리콘 산화막 패턴(106) 및 실리콘 질화막 패턴(108)의 측벽에 스페이서(116)를 형성한다.
- <74> 도 9를 참조하면, 상기 스페이서(116) 사이의 갭 부위를 매립하도록 절연막(도시안됨)을 증착한다. 상기 절연막은 화학 기상 증착법으로 실리콘 산화물을 증착시켜 형성할 수 있다.
- <75> 이 후, 상기 실리콘 질화막 패턴(108)의 상부면이 노출되도록 상기 절연막을 연마함으로써 상기 스페이서(116) 사이에 제1 층간 절연막 패턴(118)을 형성한다.
- <76> 도 10을 참조하면, 상기 제1 층간 절연막 패턴(118)의 상부를 일부 제거하여 제2 층간 절연막 패턴(118a)을 형성한다. 이 때, 상기 제2 층간 절연막 패턴(118a)의 상부면은 상기 제1 실리콘 산화막 패턴(106)의 상부면보다 높게 위치하여야 한다. 상기 제거 공정은 습식 식각 공정을 통해 수행되는 것이 바람직하다. 상기와 같이 습식 식각 공정을 수행하면, 주변에 형성된 막들에 대하여 플라즈마 어택이 발생되지 않는다.
- <77> 도 11을 참조하면, 상기 실리콘 질화막 패턴(108)을 제거한다. 상기 실리콘 질화막 패턴(108)을 제거하면, 상기 스페이서(116)는 제1 실리콘 산화막 패턴(106) 및 제2 층간 절연막 패턴(118a) 사이에서 상부로 돌출된 형상을 갖게 된다. 이 때, 상기 제2 층간 절연막 패턴(118a)의 상부면은 상기 제1 실리콘 산화막 패턴(106)의 상부면보다 더 높게 위치하게 된다.
- <78> 도 12를 참조하면, 상기 스페이서(116)의 일부분을 제거하여 상기 스페이서(116)의 높이를 낮춤으로써 상기 제1 도전막 패턴(104)의 양측벽에 측방으로 연장되는 제2 도전막 패턴(120)을 형성한다. 상기 스페이서(116)의 제거

는 습식 또는 건식 식각 공정으로 수행될 수 있다.

- <79> 본 실시예에서는 상기 제1 도전막 패턴(104)의 상부면과 동일한 높이를 갖도록 상기 스페이서(116)를 식각한다.
- <80> 도시되지는 않았지만, 본 실시예와는 다르게, 상기 제1 도전막 패턴(104)의 상부면보다 낮은 높이를 갖도록 상기 스페이서(116)를 식각할 수도 있다.
- <81> 도 13을 참조하면, 상기 제1 도전막 패턴(104)의 상부면에 형성되어 있는 제1 실리콘 산화막 패턴(106)을 완전히 제거한다. 상기 제1 실리콘 산화막 패턴(106)을 제거할 때 동일한 실리콘 산화물계 물질인 상기 제2 층간 절연막 패턴(118a)도 일부 제거된다. 이와 같이, 상기 제거 공정을 통해 상기 제2 층간 절연막 패턴(118a)이 일부 제거됨으로써 절연막 패턴(118b)이 생성된다. 상기 절연막 패턴(118b)의 상부면은 상기 제1 및 제2 도전막 패턴(104, 120)의 상부면보다 더 높게 위치하는 것이 바람직하다.
- <82> 상기 제거 공정 시에 상기 제1 도전막 패턴(104)의 표면에 발생하는 어택을 감소시키기 위하여, 상기 제거는 습식 식각 공정을 통해 이루어지는 것이 바람직하다.
- <83> 도 14를 참조하면, 상기 제1 도전막 패턴(104), 제2 도전막 패턴(120) 및 절연막 패턴(118b)의 표면 상에 유전막(124)을 형성한다.
- <84> 상기 유전막(124)은 고유전 물질을 원자층 적층법 또는 화학기상 증착법을 통해 형성할 수 있다. 상기 유전막(124)으로 사용될 수 있는 고유전 물질의 예로는 알루미늄 산화물, hafnium 산화물, zirconium 산화물 등을 들 수 있다. 이들은 단독 또는 혼합하여 형성될 수 있다. 상기 고유전율을 갖는 금속 산화물을 사용하는 경우, 상기 유전막(124)은 100 내지 500Å 정도의 두께로 형성될 수 있다.
- <85> 이와는 다르게, 상기 유전막(124)을 실리콘 산화물, 실리콘 질화물 및 실리콘 산화물을 순차적으로 적층시켜 형성할 수도 있다.
- <86> 도시된 것과 같이, 상기 제2 도전막 패턴(120) 사이에는 절연막 패턴(118b)이 형성되어 있다. 때문에, 상기 제2 도전막 패턴(120) 사이의 갭 부위에는 고유전율을 갖는 유전막(124)이 형성되지 않는다. 이로 인해 상기 제2 도전막 패턴(120) 사이의 거리가 가까워지더라도 상기 이웃하는 셀 간의 간섭이 감소된다.
- <87> 상기 유전막(124) 상에 콘트롤 게이트 전극으로 제공되기 위한 제3 도전막(126)을 형성한다. 상기 제3 도전막(126)은 금속 물질로 형성되는 것이 바람직하다. 상기 제3 도전막(126)으로 사용될 수 있는 금속 물질의 예로는 탄탈륨, 탄탈륨 질화물, 티타늄, 티타늄 질화물 등을 들 수 있다. 이들은 단독 또는 혼합하여 형성할 수 있다. 또한, 상기 금속 물질 상에 폴리실리콘막(도시안됨)을 추가적으로 증착시킬 수 있다.
- <88> 상기 제3 도전막(126) 상에 상기 제1 방향과 수직한 제2 방향으로 연장되는 하드 마스크 패턴(도시안됨)을 형성한다.
- <89> 이 후, 도 1에 도시된 것과 같이, 상기 하드 마스크 패턴을 식각 마스크로 사용하여 상기 제3 도전막(126)을 식각하여 콘트롤 게이트 패턴(126a)을 형성한다.
- <90> 계속하여, 상기 하드 마스크 패턴을 식각 마스크로 사용하여 상기 유전막(124), 제2 도전막 패턴(120) 및 제1 도전막 패턴(104)을 순차적으로 식각함으로써 유전막 패턴(124a), 제1 플로팅 게이트 패턴(104a) 및 제2 플로팅 게이트 패턴(120a)을 형성한다. 상기 공정을 통해, 고립된 섬 형상을 갖는 제1 플로팅 게이트 패턴(104a) 및 상기 제1 플로팅 게이트 패턴(104a)의 양측벽으로부터 측방으로 돌출되는 제2 플로팅 게이트 패턴(120a)으로 이루어지는 플로팅 게이트 전극이 완성된다.
- <91> 상기 실시예 1의 방법에 따르면, 제2 도전막의 증착 두께를 조절함으로써 상기 제2 플로팅 게이트 패턴의 폭을 용이하게 조절할 수 있다. 또한, 상기 제2 플로팅 게이트 패턴을 매우 얇게 형성할 수 있어서, 이웃하는 셀 간의 간섭을 감소시키면서도 커패시턴스 비를 상승시킬 수 있다.
- <92>
- <93> 실시예 2
- <94> 도 15는 본 발명의 실시예 2에 따른 NAND형 플래시 메모리 소자의 단면도이다. 이하에서 설명하는 실시예 2에 따른 메모리 소자는 제2 플로팅 게이트 패턴을 이루는 물질을 제외하고는 실시예 1과 동일하다.
- <95> 도 15를 참조하면, 본 실시예의 메모리 소자는 제1 플로팅 게이트 패턴과 상기 제1 플로팅 게이트의 측벽으로부터

터 측방으로 돌출되는 제2 플로팅 게이트 패턴이 서로 다른 도전 물질로 이루어진다.

- <96> 구체적으로, 상기 제1 플로팅 게이트 패턴(104a)은 불순물이 도핑된 폴리실리콘을 포함한다. 그리고, 상기 제2 플로팅 게이트 패턴(130a)은 금속 물질을 포함한다. 상기 제2 플로팅 게이트 패턴(130a)으로 사용될 수 있는 금속 물질의 예로는 텅스텐, 텅스텐 질화물 티타늄, 티타늄 질화물 등을 들 수 있다.
- <97> 이와 같이, 본 실시예에 따른 플래시 메모리 소자는 이종의 물질을 포함하는 플로팅 게이트 전극(132a)을 갖는다.
- <98> 도 15에 도시된 NAND형 플래시 메모리 소자의 제조 방법은 상기 실시예 1과 유사하다.
- <99> 구체적으로, 실시예 1의 도 3 내지 도 7의 공정을 수행하여 도 7에 도시된 구조물을 형성한다. 이 후에, 제2 도전막으로써 상기 제1 도전막 패턴에서 사용된 물질과 다른 도전 물질로써 제2 도전막을 형성한다. 상기 제2 도전막을 이방성으로 식각함으로써 스페이서를 형성한다. 상기 제2 도전막으로 사용될 수 있는 물질의 예로는 텅스텐, 텅스텐 질화물 티타늄, 티타늄 질화물 등을 들 수 있다.
- <100> 다음에, 도 8 내지 도 14에서 설명한 것과 동일한 공정들을 수행한다.
- <101> 실시예 3
- <102> 도 16은 본 발명의 실시예 3에 따른 NAND형 플래시 메모리 소자의 단면도이다. 이하에서 설명하는 실시예 3에 따른 메모리 소자는 제2 플로팅 게이트 패턴의 형상을 제외하고는 실시예 1과 동일하다.
- <103> 도 16을 참조하면, 본 실시예의 플래시 메모리 소자는 제1 플로팅 게이트 패턴(104a)의 측벽으로부터 측방으로 돌출되는 제2 플로팅 게이트 패턴(144a)의 저면이 기판에 대해 일정 경사를 가진다. 구체적으로, 상기 제2 플로팅 게이트 패턴(144a)의 저면은 상기 제1 플로팅 게이트 패턴(104a)의 측부와 멀어질수록 기판(100) 표면과의 높이가 증가되는 형상을 가지게 된다. 또한, 상기 제1 및 제2 플로팅 게이트 패턴(104a, 144a)으로 이루어지는 플로팅 게이트 전극(146)은 Y자 형상을 갖는다.
- <104> 도 17 내지 도 19는 도 16에 도시된 NAND형 플래시 메모리 소자의 제조 방법을 제조하는 방법을 나타내는 단면도들이다.
- <105> 도 16에 도시된 NAND형 플래시 메모리 소자의 제조 방법은 트렌치 내부를 채우는 방법을 제외하고는 상기 실시예 1의 방법과 유사하다.
- <106> 도 17을 참조하면, 먼저 실시예 1의 도 3 내지 도 4를 참조로 하여 설명한 공정을 동일하게 수행하여 기판에 소자 분리용 트렌치를 형성한다.
- <107> 다음에, 소자 분리용 트렌치 내부에 제1 절연 물질을 부분적으로 채워넣어 제1 소자 분리막(도시안됨)을 형성한다. 상기 제1 소자 분리막은 증온 산화막을 포함한다. 이 후, 상기 제1 소자 분리막 상에 상기 소자 분리용 트렌치 내부를 완전히 채우도록 제2 소자 분리막(도시안됨)을 형성한다. 상기 제2 소자 분리막은 BPSG막으로 이루어질 수 있다.
- <108> 상기와 같이, 소자 분리용 트렌치 내부에 2가지 이상의 서로 다른 물질을 채워넣음으로써 보이드를 감소시킬 뿐 아니라 절연 특성도 향상시킬 수 있다.
- <109> 상기 하드 마스크 구조물에 포함되어 있는 실리콘 질화막 패턴(108)의 상부면이 노출되도록 상기 제1 소자 분리막, 제2 소자 분리막 및 제2 실리콘 산화막 패턴(110)을 연마함으로써, 제1 소자 분리막 패턴(140) 및 제2 소자 분리막 패턴(142)을 포함하는 예비 소자 분리막 패턴(143)을 형성한다.
- <110> 도 18을 참조하면, 상기 예비 소자 분리막 패턴(143)의 상부를 부분적으로 제거함으로써 소자 분리막 패턴(145)을 형성한다.
- <111> 상기 예비 소자 분리막 패턴(143)의 상부를 부분적으로 제거하는 방법은 도 6 내지 도 7을 참조로 설명한 것과 동일하다. 보다 상세하게 설명하면, 먼저 상기 실리콘 질화막 패턴(108)을 식각 마스크로 사용하여 상기 예비 소자 분리막 패턴(143)의 일부분을 1차 습식 식각한다. 1차 습식 식각한 이 후에 남아있는 상기 예비 소자 분리막 패턴(143)의 상부면은 상기 제1 실리콘 산화막 패턴(106)의 상부면보다 높게 위치하여야 한다.
- <112> 그런데, 상기 예비 소자 분리막 패턴(143)에 포함되어 있는 상기 제1 소자 분리막 패턴(140)은 상기 제2 소자 분리막 패턴(142)보다 더 빠르게 식각된다. 그러므로, 상기 1차 습식 식각된 예비 소자 분리막 패턴(143)은 중

심 부위가 가장자리 부위에 비해 돌출되는 형상을 갖게된다.

- <113> 다음에, 상기 예비 소자 분리막 패턴(143)을 2차 건식 식각하여 소자 분리막 패턴(145)을 형성한다. 상기 건식 식각 시에도 상기 예비 소자 분리막 패턴(143)에 포함되어 있는 상기 제1 소자 분리막 패턴(140)은 상기 제2 소자 분리막 패턴(142)보다 더 빠르게 식각된다. 그러므로, 상기 소자 분리막 패턴(145)은 중심 부위가 가장자리 부위에 비해 돌출되는 형상을 갖게된다.
- <114> 이 때, 상기 소자 분리막 패턴(145)은 상기 제1 도전막 패턴(104)의 측벽의 일부분과 접하도록 형성되어야 한다. 다만, 본 실시예에서는 상기 소자 분리막 패턴(145)의 돌출된 부위가 상기 제1 도전막 패턴(104)의 상부면보다 높아질 수도 있다.
- <115> 도 19는 제1 도전막 패턴(104)의 측벽에 제2 도전막 패턴(144)이 형성된 것을 도시한 것이다.
- <116> 도 19에 도시된 구조물을 형성하기 위하여, 도 8 내지 도 12를 참조로 설명한 것과 동일한 공정을 수행한다. 간단하게 설명하면, 상기 소자 분리막 패턴(145)의 상부로 돌출되어 있는 하드 마스크 구조물의 측벽에 도전 물질로 이루어지는 스페이서(도시안됨)를 형성하고, 상기 스페이서를 부분적으로 제거하여 제2 도전막 패턴(144)을 형성한다.
- <117> 그런데, 상기 소자 분리막 패턴(145)의 상부면이 평탄하지 않고 가장자리에 비해 중심 부위가 돌출되는 형상을 가지므로, 상기 제2 도전막 패턴(144)의 저면의 형상도 평탄하지 않게 된다. 구체적으로, 상기 제2 도전막 패턴(144)의 저면은 상기 제1 플로팅 게이트 패턴(104a)의 측부와 멀어질수록 기판(100) 표면으로부터의 높이가 증가되는 형상을 갖게된다. 따라서, 후속 공정을 통해 완성되는 제1 및 제2 플로팅 게이트 패턴(104a, 144a)을 포함하는 플로팅 게이트 전극(146)은 Y자 형상을 갖는다.
- <118> 다음에, 도 13 내지 도 14를 참조로 하여 설명한 것과 동일한 공정을 수행함으로써 도 16에 도시되어 있는 실시예 3의 비휘발성 메모리 장치를 형성할 수 있다.
- <119> 이와 같이, 상기 소자 분리막 패턴(145) 상부면의 형상이 변화함에 따라 상기 제2 플로팅 게이트 패턴(144a)의 형상이 변화하게 된다. 이를 이용하여, 상기 제2 플로팅 게이트 패턴(144a)의 형상을 용이하게 변화시킬 수 있다.
- <120> 특히, 본 실시예에서와 같이 플로팅 게이트 전극(146)이 Y자 형상을 갖도록 함으로써, 상기 제2 플로팅 게이트 패턴(144a)들 사이의 이격 거리를 보다 증가시킬 수 있다. 그러므로, 이웃하는 셀 간의 간섭이 더욱 감소된다.
- <121> 실시예 4
- <122> 도 20은 본 발명의 실시예 4에 따른 NAND형 플래시 메모리 소자의 단면도이다. 이하에서 설명하는 실시예 4에 따른 메모리 소자는 제2 플로팅 게이트 패턴의 형상을 제외하고는 실시예 1과 동일하다.
- <123> 도 20을 참조하면, 본 실시예의 메모리 소자는 제1 플로팅 게이트 패턴(104a)과 상기 제1 플로팅 게이트 패턴(104a)의 측벽으로부터 측방으로 돌출되는 제2 플로팅 게이트 패턴(150)이 동일한 높이를 갖는다.
- <124> 그리고, 상기 제1 및 제2 플로팅 게이트 패턴(104a, 150)의 상부면 및 하부면이 서로 동일한 평면 상에 위치하게 된다.
- <125> 상기와 같이, 제1 및 제2 플로팅 게이트 패턴(104a, 150)으로 이루어지는 플로팅 게이트 전극이 평탄한 패턴 형상을 갖게되는 경우, 상기 제1 플로팅 게이트 패턴(104a)은 상기 실시예 1 내지 3에 도시되어 있는 제1 플로팅 게이트 패턴들에 비해 상대적으로 얇은 두께를 갖는 것이 바람직하다. 구체적으로, 상기 제1 및 제2 플로팅 게이트 패턴(104a, 150)은 100 내지 300Å의 두께를 갖는다.
- <126> 이와 같이, 상기 플로팅 게이트 전극이 얇은 두께를 가지면서 상기 터널 산화막의 폭보다 넓은 폭을 가지므로, 상기 플래시 메모리 소자는 커플링 비가 상승되고 이웃하는 셀 간의 간섭이 감소된다.
- <127> 도 15에 도시된 NAND형 플래시 메모리 소자의 제조 방법은 상기 실시예 1과 유사하다. 구체적으로, 실시예 1의 도 3 내지 도 6의 공정을 수행한다.
- <128> 이 후에, 습식 식각이 이루어진 예비 소자 분리막 패턴의 일부를 건식 식각하여 소자 분리막 패턴(114a)을 형성한다. 이 때, 상기 소자 분리막 패턴(114a)의 상부면은 상기 기판(100) 상부면보다는 높게 위치하도록 하여야 한다. 또한, 상기 소자 분리막 패턴(114a)의 상부면은 상기 터널 산화막 패턴(102)의 상부면과 동일하거나 상기 터널 산화막 패턴(102)의 상부면보다는 낮게 위치하도록 한다. 바람직하게는, 상기 소자 분리막 패턴(114a)의

상부면이 상기 터널 산화막 패턴(102)의 상부면과 동일하게 위치하도록 한다.

- <129> 다음에, 상기 도 8 내지 도 14를 참조로 설명한 것과 동일한 공정들을 수행함으로써 도 15에 도시된 플래시 메모리 장치를 형성할 수 있다.
- <130> 실시예 5
- <131> 도 21은 본 발명의 실시예 5에 따른 NAND형 플래시 메모리 소자의 단면도이다. 이하에서 설명하는 실시예 5에 따른 메모리 소자는 제2 플로팅 게이트 패턴의 형상을 제외하고는 실시예 1과 동일하다.
- <132> 도 21을 참조하면, 본 실시예의 메모리 소자는 제1 플로팅 게이트 패턴(104a)의 상부면보다 상기 제2 플로팅 게이트 패턴(160)의 상부면이 낮게 위치한다. 그러므로, 상기 제1 플로팅 게이트 패턴(104a)이 상기 제2 플로팅 게이트 패턴(160)에 비해 상부로 돌출되는 형상을 갖는다.
- <133> 또한, 도시된 것과 같이, 상기 제1 및 제2 플로팅 게이트 패턴(104a, 160)으로 이루어지는 플로팅 게이트 전극의 하부면은 평탄한 형상을 갖는다. 그러므로, 상기 플로팅 게이트 전극은  $\perp$  형상을 갖는다.
- <134> 이와 같이, 상기 플로팅 게이트 전극이  $\perp$  형상을 갖는 경우, 실시예 1 및 2에서와 같이 플로팅 게이트 전극이 T형상을 갖는 경우에 비해 상기 플로팅 게이트 전극 상에 유전막이 증착될 수 있는 유효 면적이 증가하게 된다. 그러므로, 비휘발성 메모리 장치의 커플링 비가 상승되는 효과가 있다.
- <135> 도 21에 도시된 NAND형 플래시 메모리 소자의 제조 방법은 상기 실시예 1과 유사하다.
- <136> 구체적으로, 실시예 1의 도 3 내지 도 6을 참조로 설명한 공정들을 수행한다.
- <137> 이 후에, 습식 식각이 이루어진 예비 소자 분리막 패턴의 일부를 건식 식각하여 소자 분리막 패턴(114a)을 형성한다. 이 때, 상기 소자 분리막 패턴(114a)의 상부면은 상기 기판(100) 상부면보다는 높게 위치하도록 하여야 한다. 또한, 상기 소자 분리막 패턴(114a)의 상부면은 상기 터널 산화막 패턴(102)의 상부면과 동일하거나 상기 터널 산화막 패턴(102)의 상부면 보다 낮게 위치하도록 한다. 바람직하게는, 상기 소자 분리막 패턴(114a)의 상부면이 상기 터널 산화막 패턴(102)의 상부면과 동일하게 위치하도록 한다.
- <138> 이 후, 상기 도 8 내지 도 11을 참조로 설명한 것과 동일한 공정들을 수행하여 스페이서를 형성한다.
- <139> 상기 스페이서를 부분적으로 식각하여 제2 도전막 패턴을 형성한다. 이 때, 상기 제2 도전막 패턴의 상부면이 상기 제1 도전막 패턴의 상부면보다 낮게 위치하도록 하여야 한다.
- <140> 다음에, 상기 도 13 및 도 14를 참조로 설명한 것과 동일한 공정들을 수행함으로써 도 21에 도시된 플래시 메모리 장치를 형성할 수 있다.
- <141> 실시예 6
- <142> 도 22는 본 발명의 실시예 6에 따른 NAND형 플래시 메모리 소자의 단면도이다. 이하에서 설명하는 실시예 6에 따른 메모리 소자는 제2 플로팅 게이트 패턴의 형상을 제외하고는 실시예 1과 동일하다.
- <143> 도 22를 참조하면, 본 실시예의 플래시 메모리 소자는 제1 플로팅 게이트 패턴(104a)의 상부면이 상기 제2 플로팅 게이트 패턴(170)의 상부면 보다 낮게 위치한다. 또한, 제1 플로팅 게이트 패턴(104a)의 하부면이 상기 제2 플로팅 게이트 패턴(170)의 하부면보다 높게 위치한다. 그러므로, 상기 제2 플로팅 게이트 패턴(170)이 상기 제1 플로팅 게이트 패턴(104a)의 상부로 돌출되는 형상을 갖는다.
- <144> 이와 같이, 상기 제2 플로팅 게이트 패턴(170)이 돌출되는 형상을 갖는 경우 상기 제2 플로팅 게이트 패턴(170)의 측벽 부위가 일부 노출된다. 그러므로, 실시예 1 및 2에서와 같이 플로팅 게이트 전극이 T형상을 갖는 경우에 비해 상기 플로팅 게이트 전극 상에 유전막이 증착될 수 있는 유효 면적이 증가하게 된다. 그러므로, 비휘발성 메모리 장치의 커플링 비가 더욱 상승되는 효과가 있다.
- <145> 도 22에 도시된 NAND형 플래시 메모리 소자의 제조 방법은 상기 실시예 1과 유사하다.
- <146> 구체적으로, 실시예 1의 도 3 내지 도 11을 참조로 설명한 공정들을 수행한다.
- <147> 이 후, 스페이서를 부분적으로 식각하여 제2 도전막 패턴을 형성한다. 이 때, 상기 제2 도전막 패턴의 상부면이 상기 제1 도전막 패턴의 상부면보다 높게 위치하도록 하여야 한다.
- <148> 다음에, 상기 도 12 내지 도 14를 참조로 설명한 것과 동일한 공정들을 수행함으로써 도 21에 도시된 플래시 메모리 장치를 형성할 수 있다.

모리 장치를 형성할 수 있다.

**발명의 효과**

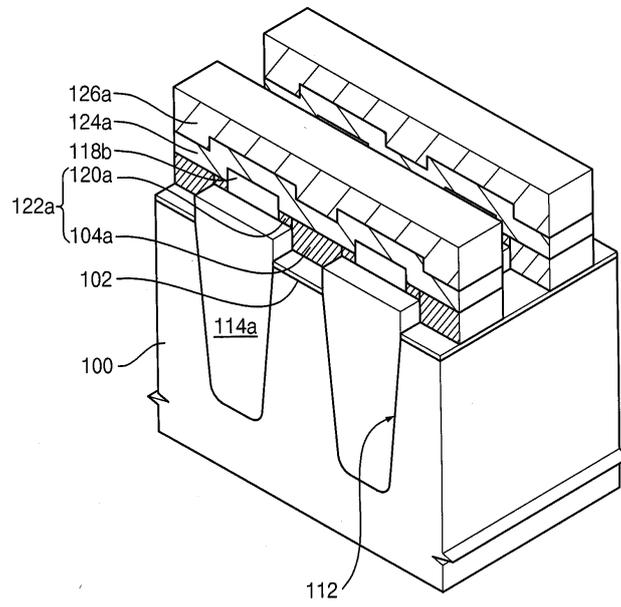
- <149> 상술한 바와 같이 본 발명에 따른 비휘발성 메모리 소자는 플로팅 게이트 전극의 상부 선편이 상기 터널 산화막 패턴의 선편에 비해 넓다. 그러므로, 상기 비휘발성 메모리 소자의 커플링 비가 상승된다.
- <150> 또한, 상기 플로팅 게이트 전극에 포함되는 제2 플로팅 게이트 패턴의 두께가 매우 얇기 때문에 이웃하는 셀 간의 간섭도 매우 감소된다.
- <151> 더구나, 간단한 공정으로 상기 제2 플로팅 게이트 패턴의 두께를 얇게 형성할 수 있으므로 상기 비휘발성 메모리 소자를 제조하는데 소요되는 비용이 크게 증가되지 않는다.
- <152> 상술한 바와 같이, 본 발명의 바람직한 실시예를 참조하여 설명하였지만 해당 기술 분야의 숙련된 당업자라면 하기의 특허 청구의 범위에 기재된 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다.

**도면의 간단한 설명**

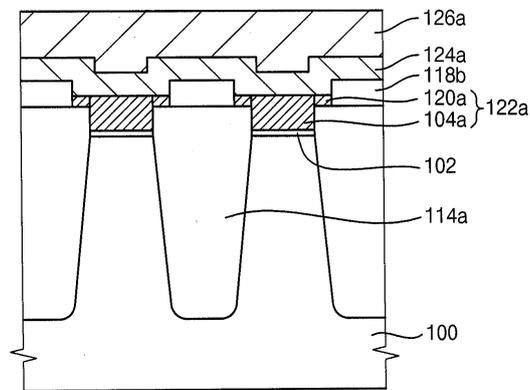
- <1> 도 1은 본 발명의 실시예 1에 따른 NAND형 플래시 메모리 소자의 사시도이다.
- <2> 도 2는 본 발명의 실시예 1에 따른 NAND형 플래시 메모리 소자의 단면도이다.
- <3> 도 3 내지 도 14는 본 발명의 실시예 1에 따른 NAND형 플래시 메모리 소자의 제조 방법을 설명하기 위한 단면도들이다.
- <4> 도 15는 본 발명의 실시예 2에 따른 NAND형 플래시 메모리 소자의 단면도이다.
- <5> 도 16은 본 발명의 실시예 3에 따른 NAND형 플래시 메모리 소자의 단면도이다.
- <6> 도 17 내지 도 19는 도 16에 도시된 NAND형 플래시 메모리 소자의 제조 방법을 제조하는 방법을 나타내는 단면도들이다.
- <7> 도 20은 본 발명의 실시예 4에 따른 NAND형 플래시 메모리 소자의 단면도이다.
- <8> 도 21은 본 발명의 실시예 5에 따른 NAND형 플래시 메모리 소자의 단면도이다.
- <9> 도 22는 본 발명의 실시예 6에 따른 NAND형 플래시 메모리 소자의 단면도이다.

도면

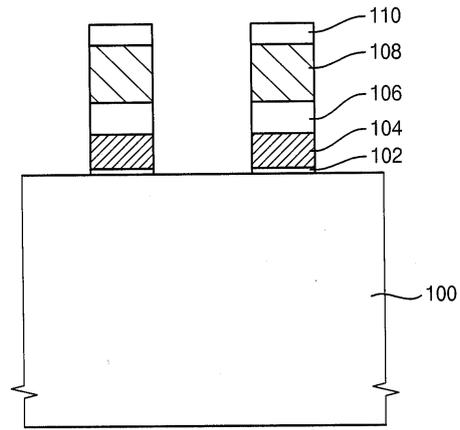
도면1



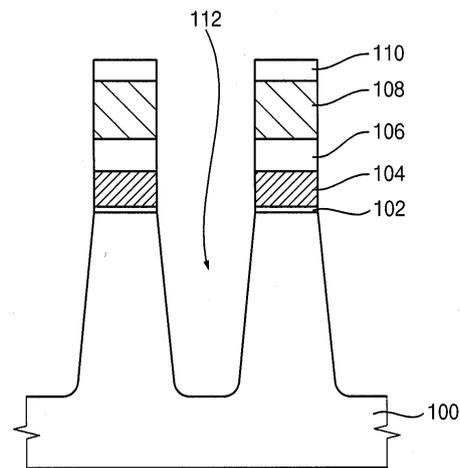
도면2



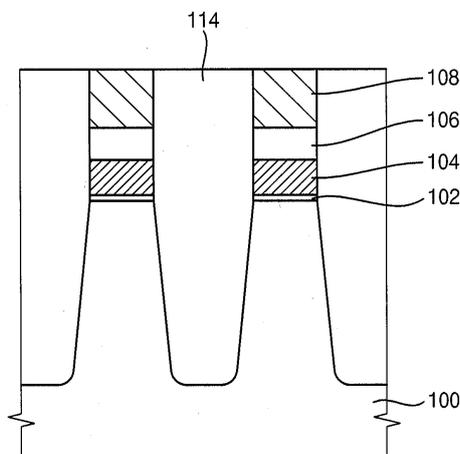
도면3



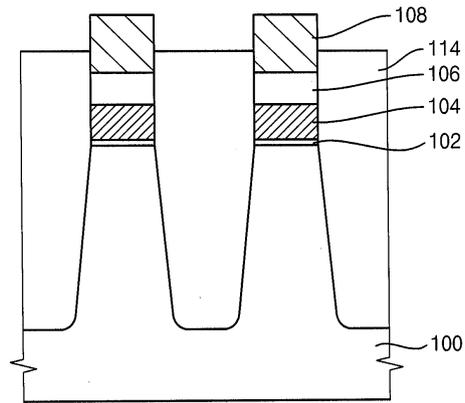
도면4



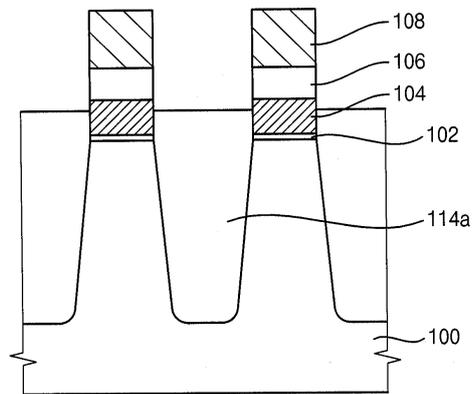
도면5



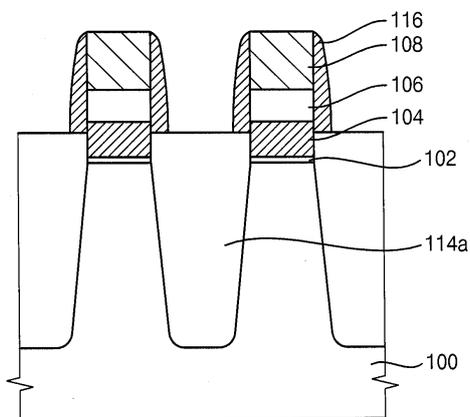
도면6



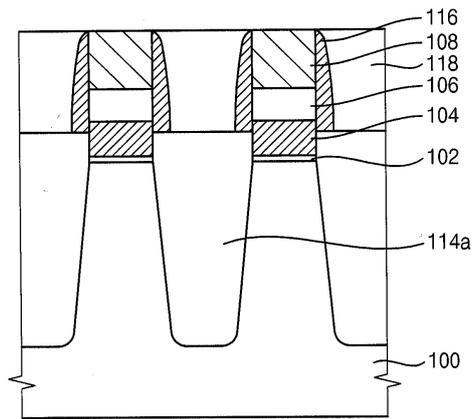
도면7



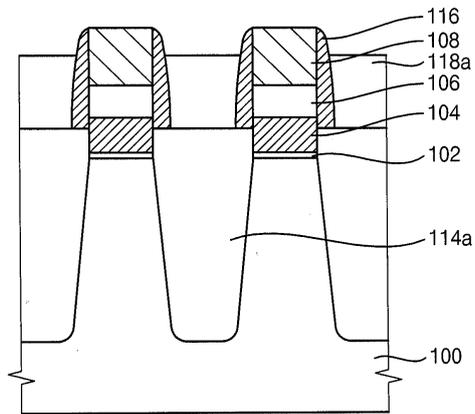
도면8



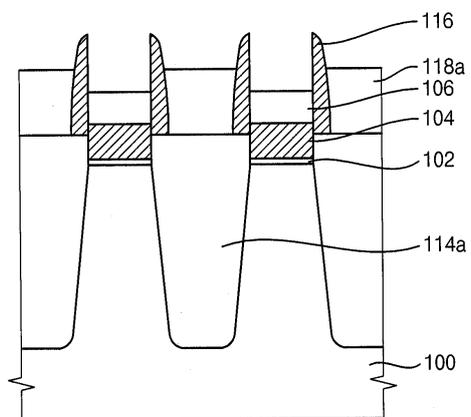
도면9



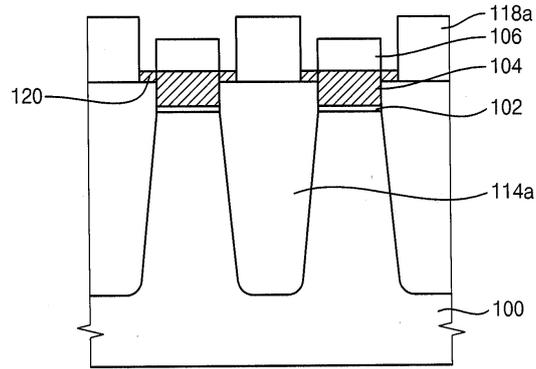
도면10



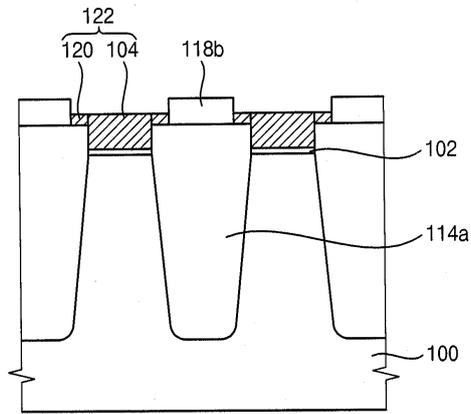
도면11



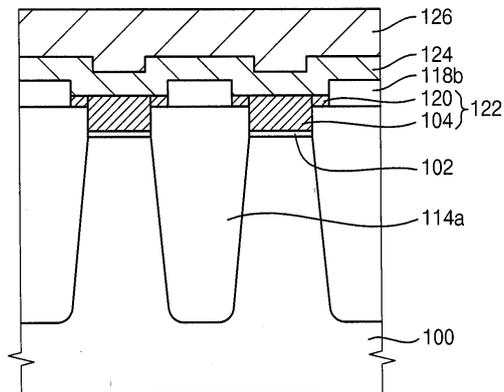
도면12



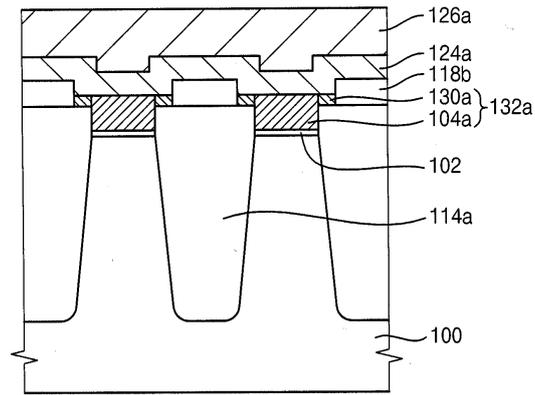
도면13



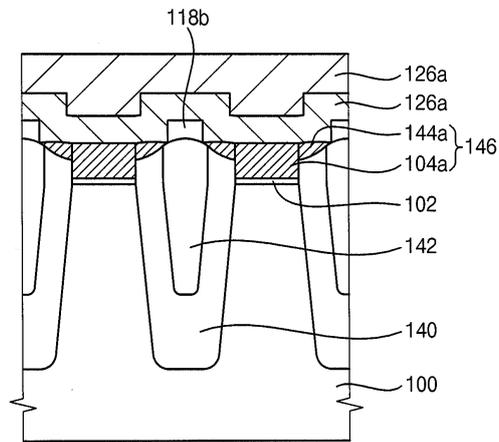
도면14



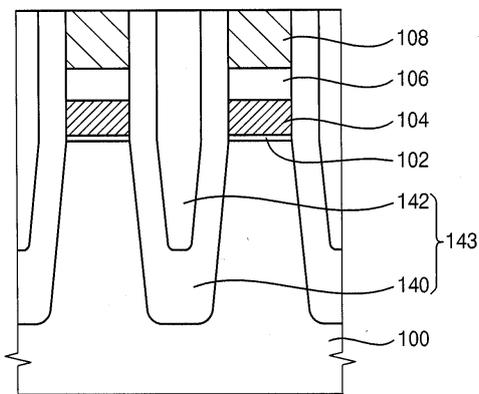
도면15



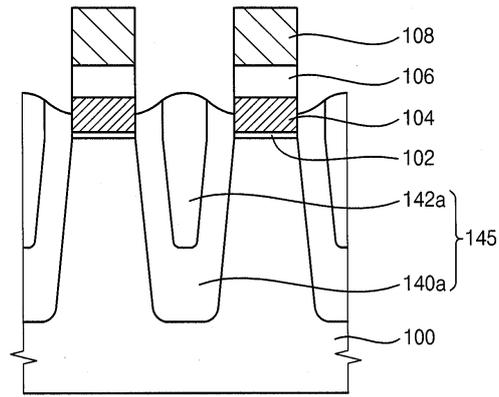
도면16



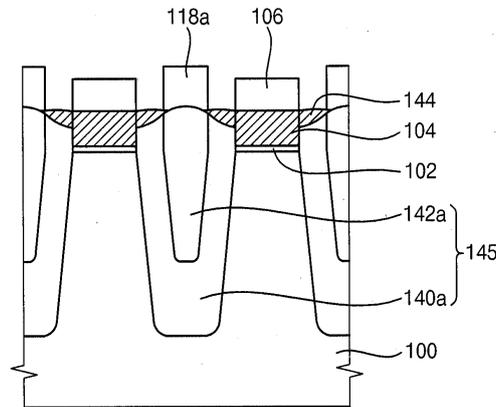
도면17



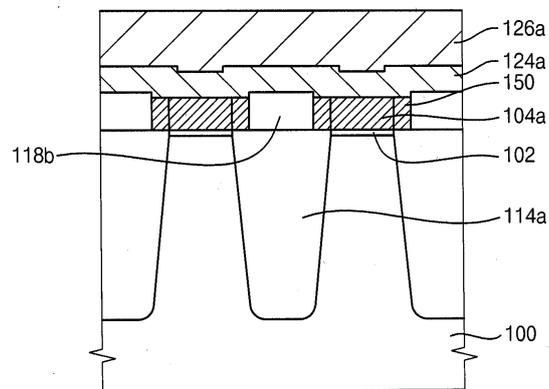
도면18



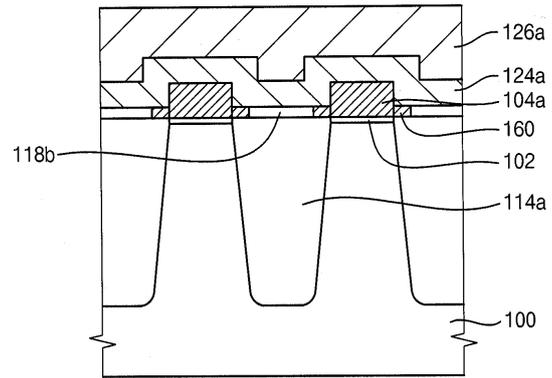
도면19



도면20



도면21



도면22

