

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2016-82593  
(P2016-82593A)

(43) 公開日 平成28年5月16日(2016.5.16)

(51) Int.Cl.  
H03K 3/3562 (2006.01)

F I  
H03K 3/3562

テーマコード(参考)  
5J034

審査請求 未請求 請求項の数 8 O L (全 44 頁)

(21) 出願番号 特願2015-201643 (P2015-201643)  
(22) 出願日 平成27年10月12日(2015.10.12)  
(31) 優先権主張番号 特願2014-209506 (P2014-209506)  
(32) 優先日 平成26年10月10日(2014.10.10)  
(33) 優先権主張国 日本国(JP)

(71) 出願人 000153878  
株式会社半導体エネルギー研究所  
神奈川県厚木市長谷398番地  
(72) 発明者 上杉 航  
神奈川県厚木市長谷398番地 株式会社  
半導体エネルギー研究所内  
(72) 発明者 田村 輝  
神奈川県厚木市長谷398番地 株式会社  
半導体エネルギー研究所内  
(72) 発明者 磯部 敦生  
神奈川県厚木市長谷398番地 株式会社  
半導体エネルギー研究所内  
Fターム(参考) 5J034 AA03 AA05 CB01

(54) 【発明の名称】 論理回路、処理装置、電子部品および電子機器

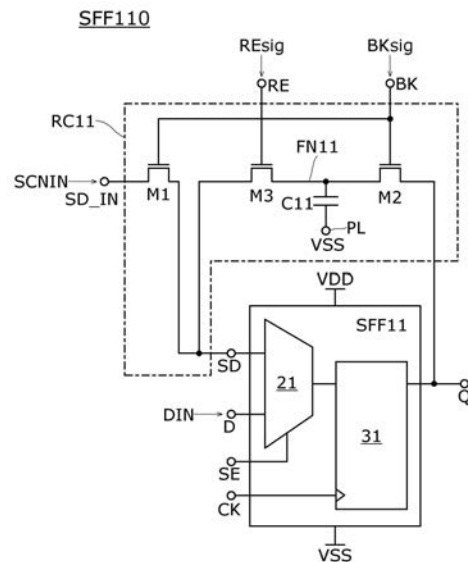
(57) 【要約】

【課題】 論理回路に保持回路を設けることで、パワーゲーティングを可能にする。

【解決手段】 保持回路は、第1端子、ノード、容量素子、および第1乃至第3トランジスタを有する。第1トランジスタは第1端子と論理回路の入力端子との間の導通状態を制御する。第2トランジスタは論理回路の出力端子とノードとの間の導通状態を制御する。第3トランジスタはノードと論理回路の入力端子との間の導通状態を制御する。第1トランジスタのゲートと第2トランジスタのゲートとが電氣的に接続されている。データ保持期間、ノードは電氣的に浮遊状態になる。ノードの電圧は容量素子によって保持される。

【選択図】 図4

FIG. 4



## 【特許請求の範囲】

## 【請求項 1】

第 1 回路、および第 2 回路を有する論理回路であり、

前記第 1 回路は、第 1 乃至第  $n$  入力端子、および第 1 出力端子を有し ( $n$  は 2 以上の整数)、

前記第 2 回路は第  $n + 1$  入力端子、第 1 ノード、第 1 容量素子、および第 1 乃至第 3 トランジスタを有し、

前記第 1 回路は、前記第 1 乃至前記第  $n$  入力端子の何れか 1 つを選択し、選択した入力端子の論理と同じ論理のデータを前記第 1 出力端子から出力することができる機能を有し、

前記容量素子は前記第 1 ノードと電氣的に接続され、

前記第 1 トランジスタは前記第  $n + 1$  入力端子と前記第 1 入力端子との間の導通状態を制御する機能を有し、

前記第 2 トランジスタは前記第 1 出力端子と前記第 1 ノードとの間の導通状態を制御する機能を有し、

前記第 3 トランジスタは前記第 1 ノードと前記第 1 入力端子との間の導通状態を制御する機能を有し、

前記第 1 トランジスタのゲートと前記第 2 トランジスタのゲートとが電氣的に接続され、

前記第 2 トランジスタおよび前記第 3 トランジスタは半導体領域が酸化物半導体層で形成されている論理回路。

## 【請求項 2】

請求項 1 において、

前記第 1 トランジスタは半導体領域が酸化物半導体層で形成されている論理回路。

## 【請求項 3】

請求項 2 において、

前記第 1 乃至前記第 3 トランジスタの酸化物半導体層は  $c$  軸に配向している結晶を有する記憶装置ことを特徴とする論理回路。

## 【請求項 4】

請求項 1 乃至 3 のいずれか 1 項において、

前記第 1 容量素子および前記第 1 乃至前記第 3 トランジスタは前記第 1 回路が形成されている領域上に積層されている論理回路。

## 【請求項 5】

請求項 1 乃至 4 のいずれか 1 項において、

前記第 1 回路は、選択回路および第 1 論理回路を有し、

前記第 1 論理回路は、第  $n + 2$  入力端子および前記第 1 出力端子を有し、

前記第 1 論理回路は、前記第  $n + 2$  入力端子と同じ論理のデータを前記第 1 出力端子から出力する機能を有し、

前記選択回路は、第 2 出力端子を有し、

前記選択回路は、前記第 1 乃至前記第  $n$  入力端子の何れか 1 つを前記第 2 出力端子と電氣的に接続する機能を有し、

前記第 2 出力端子は前記第  $n + 2$  入力端子と電氣的に接続されている論理回路。

## 【請求項 6】

第 1 乃至第  $m$  スキャンフリップフロップと ( $m$  は 2 以上の整数)、

複数の組み合わせ回路と、

を有する処理装置であって、

前記スキャンフリップフロップは、 $n$  が 2 である請求項 5 に記載の論理回路であり、

第  $k - 1$  スキャンフリップフロップの前記第 1 出力端子は、第  $k$  スキャンフリップフロップの前記第  $n + 1$  入力端子と電氣的に接続され ( $k$  は 2 以上  $m$  以下の整数)、

前記複数の組み合わせ回路の何れか 1 つの出力端子は前記第 1 乃至前記第  $m$  スキャンフ

10

20

30

40

50

リップフロップの前記第 1 乃至前記第 n 入力端子の何れか 1 つと電氣的に接続され、  
前記第 1 乃至前記第 m スキャンリップフロップの前記第 1 出力端子は、それぞれ、前  
記複数の組み合わせ回路の何れか 1 つの入力端子と電氣的に接続されている処理装置。

【請求項 7】

チップおよびリードを有し、

前記チップには、請求項 1 乃至 5 の何れか 1 項に記載の論理回路が設けられ、

前記リードは前記チップと電氣的に接続されている電子部品。

【請求項 8】

請求項 1 乃至 5 の何れか 1 項に記載の論理回路と、

表示装置、タッチパネル、マイク、スピーカ、操作キー、及び筐体の少なくとも一と、  
を有する電子機器。

10

【発明の詳細な説明】

【技術分野】

【0001】

本出願の明細書、図面、および特許請求の範囲（以下、本明細書等と呼ぶ）で開示する本  
発明の一形態は、半導体装置（例えば、順序回路、保持回路、記憶回路、論理回路等）、  
その駆動方法、およびその作製方法等に関する。本発明の一形態は例示した技術分野に  
限定されるものではない。例えば、本発明の一形態は、記憶装置、処理装置、撮像装置、表  
示装置、発光装置、蓄電装置、又はそれらの駆動方法、又はそれらの製造方法に関する。

【背景技術】

20

【0002】

半導体装置の消費電力削減のため、パワーゲーティングやクロックゲーティングにより、  
動作させる必要のない回路を停止させることが行われている。リップフロップ（FF）  
は、半導体装置に多く含まれる順序回路（状態を保持する記憶回路）の 1 つである。よっ  
て、FF の消費電力の削減は、FF を組み込んだ半導体装置の消費電力の削減につながる  
。一般的な FF は、電源を遮断すると保持している状態（データ）が失われてしまう。

【0003】

半導体領域が酸化物半導体で形成されているトランジスタ（以下、OS トランジスタと呼  
ぶ場合がある）のオフ電流が極めて小さいという特性を利用して、電源遮断時でもデー  
タを保持することが可能な保持回路が提案されている。例えば、特許文献 1 - 3 には、OS  
トランジスタが適用された保持回路を FF に組み込むことで、FF のパワーゲーティング  
を可能にすることが記載されている。例えば、非特許文献 1 には、FF および SRAM に  
OS トランジスタが用いられた保持回路を設け、プロセッサのパワーゲーティングを行っ  
たことが記載されている。

30

【先行技術文献】

【特許文献】

【0004】

【特許文献 1】特開 2012 - 257192 号公報

【特許文献 2】特開 2013 - 9297 号公報

【特許文献 3】特開 2013 - 175708 号公報

40

【非特許文献】

【0005】

【非特許文献 1】H. Tamura et al., "Embedded SRAM a  
nd Cortex-M0 Core with Backup Circuits U  
sing a 60-nm Crystalline Oxide Semicondu  
ctor for Power Gating," IEEE COOL Chips X  
VII, Apr. 2014.

【発明の概要】

【発明が解決しようとする課題】

【0006】

50

本発明の一形態の課題は、新規な半導体装置、または新規な半導体装置の駆動方法を提供することである。または、本発明の一形態の課題は、パワーゲーティングを可能にすること、電源を供給せずにデータを保持できるようにすること、消費電力を削減すること、小型化すること、設計を容易にすること、等が挙げられる。

【0007】

複数の課題の記載は互いの課題の存在を妨げるものではない。なお、本発明の一形態はこれらの課題の全てを解決する必要はない。また、列記した以外の課題が本明細書等の記載から自ずと明らかとなるものであり、これらの課題も本発明の一形態の課題となり得る。

【課題を解決するための手段】

【0008】

本発明の一形態は、第1回路、および第2回路を有する論理回路であり、第1回路は、第1乃至第n入力端子、および第1出力端子を有し（nは2以上の整数）、第2回路は第n+1入力端子、第1ノード、第1容量素子、および第1乃至第3トランジスタを有し、第1回路は、第1乃至第n入力端子の何れか1つを選択し、選択した入力端子の論理と同じ論理のデータを第1出力端子から出力する機能を有し、容量素子は第1ノードと電氣的に接続され、第1トランジスタは第n+1入力端子と第1入力端子との間の導通状態を制御する機能を有し、第2トランジスタは第1出力端子と第1ノードとの間の導通状態を制御する機能を有し、第3トランジスタは第1ノードと第1入力端子との間の導通状態を制御する機能を有し、第1トランジスタのゲートと第2トランジスタのゲートとが電氣的に接続され、第2トランジスタおよび第3トランジスタは半導体領域が酸化物半導体層で形成されている。

10

20

【0009】

上記形態において、第1容量素子および第1乃至第3トランジスタは、第1回路が形成されている領域上に積層されていてもよい。上記形態において、第1トランジスタは半導体領域が酸化物半導体層で形成されていてもよく、この場合、第1乃至第3トランジスタの酸化物半導体層はc軸に配向している結晶を有することが好ましい。

【0010】

また、上記形態に係る論理回路において、第1回路は、選択回路および第1論理回路を有し、第1論理回路は、第n+2入力端子および第1出力端子を有し、第1論理回路は、第n+2入力端子と同じ論理のデータを第1出力端子から出力する機能を有し、選択回路は、第2出力端子を有し、選択回路は、第1乃至第n入力端子の何れか1つを第2出力端子と電氣的に接続する機能を有し、第2出力端子は第n+2入力端子と電氣的に接続されていてもよい。

30

【発明の効果】

【0011】

本発明の一形態によって、新規な半導体装置、または新規な半導体装置の動作方法を提供することが可能になる。または、本発明の一形態によって、パワーゲーティングが可能になる、電源を供給せずにデータ保持が可能になる、消費電力を削減することが可能になる、小型化が可能になる、あるいは、設計を容易にすることが可能になる。

40

【0012】

複数の効果の記載は、他の効果の存在を妨げるものではない。また、本発明の一形態は、必ずしも、例示した効果の全てを有する必要はない。また、本発明の一形態について、上記以外の課題、効果、および新規な特徴については、本明細書の記載および図面から自ずと明らかになるものである。

【図面の簡単な説明】

【0013】

【図1】A：論理回路の構成例を示すブロック図。B：図1Aの回路10の構成例を示すブロック図。

【図2】A、B：論理回路の構成例を示すブロック図。

【図3】論理回路の構成例を示すブロック図。

50

- 【図4】スキャンFF(SFF)の構成例を示す回路図。
- 【図5】SFFの構成例を示す回路図。
- 【図6】SFFの動作例を示すタイミングチャート。
- 【図7】SFFの動作例を示すタイミングチャート。
- 【図8】SFFの構成例を示す回路図。
- 【図9】SFFの構成例を示す回路図。
- 【図10】SFFの構成例を示す回路図。
- 【図11】SFFの構成例を示す回路図。
- 【図12】SFFの構成例を示す回路図。
- 【図13】処理装置の構成例を示すブロック図。 10
- 【図14】プロセッサコアの構成例を示すブロック図。
- 【図15】SFFのデバイス構造を示す図。
- 【図16】A：電子部品の作製方法例を示すフローチャート。B：電子部品の構成例を示す斜視模式図。
- 【図17】A-F：電子機器の例を示す図。
- 【図18】A：トランジスタの構成例を示す平面図。B-D：図18Aのトランジスタの断面図。
- 【図19】A：図18Bのトランジスタの部分拡大図。B：トランジスタのエネルギーバンド図。
- 【図20】A-C：トランジスタの構成例を示す断面図。 20
- 【図21】A、B：トランジスタの構成例を示す断面図。
- 【図22】チップの構成例を示す断面図。
- 【図23】チップの構成例を示す断面図。
- 【発明を実施するための形態】
- 【0014】
- 本明細書等において、半導体装置とは、半導体特性を利用した装置であり、半導体素子(トランジスタ、ダイオード等)を含む回路、同回路を有する装置等をいう。また、半導体特性を利用することで機能しうる装置全般をいう。例えば、集積回路、集積回路を備えたチップは、半導体装置の一例である。また、記憶装置、表示装置、発光装置、照明装置及び電子機器等は、それ自体が半導体装置であり、半導体装置を有している場合がある。 30
- 【0015】
- また、本明細書等において、XとYとが接続されている、と明示的に記載されている場合は、XとYとが電氣的に接続されている場合と、XとYとが機能的に接続されている場合と、XとYとが直接接続されている場合とが、本明細書等に開示されているものとする。したがって、所定の接続関係、例えば、図または文章に示された接続関係に限定されず、図または文章に示された接続関係以外のものも、図または文章に記載されているものとする。X、Yは、対象物(例えば、装置、素子、回路、配線、電極、端子、導電膜、層、など)であるとする。
- 【0016】
- トランジスタは、ゲート、ソース、およびドレインと呼ばれる3つの端子を有する。ゲートは、トランジスタの導通状態を制御する制御ノードとして機能するノードである。ソースまたはドレインとして機能する2つの入出力ノードは、トランジスタの型及び各端子に与えられる電位の高低によって、一方がソースとなり他方がドレインとなる。このため、本明細書等においては、ソースやドレインの用語は、入れ替えて用いることができるものとする。また、本明細書等では、ゲート以外の2つの端子を第1端子、第2端子と呼ぶ場合がある。 40
- 【0017】
- ノードは、回路構成やデバイス構造等に応じて、端子、配線、電極、導電層、導電体、不純物領域等と言い換えることが可能である。また、端子、配線等をノードと言い換えることが可能である。 50

## 【 0 0 1 8 】

電圧は、ある電位と、基準の電位（例えば接地電位（GND）またはソース電位）との電位差のことを示す場合が多い。よって、電圧を電位と言い換えることが可能である。なお、電位とは、相対的なものである。よって、接地電位と記載されていても、必ずしも、0Vを意味しない場合もある。

## 【 0 0 1 9 】

本明細書等において、「膜」という言葉と「層」という言葉とは、場合によっては、または、状況に応じて、互いに入れ替えることが可能である。例えば、「導電層」という用語を「導電膜」という用語に変更することが可能な場合がある。例えば、「絶縁膜」という用語を、「絶縁層」という用語に変更することが可能な場合がある。

10

## 【 0 0 2 0 】

本明細書等において、“第1”、“第2”、“第3”という序数詞は構成要素の混同を避けるために付す場合があり、その場合は数的に限定するものではなく、また順序を限定するものでもない。

## 【 0 0 2 1 】

本明細書等において、例えば、クロック信号CLKを、信号CLK、CLK等と省略して記載する場合がある。これは、他の構成要素（例えば、信号、電圧、電位、回路、素子、電極、配線等）についても同様である。

## 【 0 0 2 2 】

図面において、大きさ、層の厚さ、又は領域は、明瞭化のために誇張されている場合がある。よって、必ずしもそのスケールに限定されない。なお図面は、理想的な例を模式的に示したものであり、図面に示す形状又は値などに限定されない。例えば、ノイズによる信号、電圧、若しくは電流のばらつき、又は、タイミングのずれによる信号、電圧、若しくは電流のばらつきなどを含むことが可能である。

20

## 【 0 0 2 3 】

本明細書において、「上に」、「下に」などの配置を示す語句は、構成同士的位置関係を、図面を参照して説明するために、便宜上用いている場合がある。また、構成同士的位置関係は、各構成を描写する方向に応じて適宜変化するものである。従って、明細書で説明した語句に限定されず、状況に応じて適切に言い換えることができる。

## 【 0 0 2 4 】

図面に記載したブロック図の各回路ブロックの配置は、説明のため位置関係を特定するものであり、異なる回路ブロックで別々の機能を実現するよう示していても、実際の回路ブロックにおいては同じ回路ブロック内で別々の機能を実現しうるように設けられている場合もある。また各回路ブロックの機能は、説明のため機能を特定するものであり、一つの回路ブロックとして示していても、実際の回路ブロックにおいては一つの回路ブロックで行う処理を、複数の回路ブロックで行うよう設けられている場合もある。

30

## 【 0 0 2 5 】

以下に本発明の実施の形態を示す。ただし、本明細書に記載された実施の形態を適宜組み合わせることが可能である。また、1つの実施の形態の中に複数の構成例（動作例、製造方法例も含む）が示される場合は、互いに構成例を適宜組み合わせることが可能である。また、本発明は、多くの異なる形態で実施することが可能であり、趣旨及びその範囲から逸脱することなく、その形態及び詳細を様々に変更し得ることは当業者であれば容易に理解される。従って、本発明は、以下の実施の形態の記載内容に限定して解釈されるものではない。

40

## 【 0 0 2 6 】

## 〔実施の形態1〕

## &lt;&lt;論理回路の構成例&gt;&gt;

図1Aは論理回路の構成例を示す。図1Aに示す論理回路100はデータ（状態）を保持することが可能な半導体装置である。回路構造等によっては、順序回路と呼ぶこともできる。論理回路100はクロックゲーティングおよびパワーゲーティング可能な半導体装置

50

である。論理回路100は、回路10および回路RC1を有する。回路RC1はデータを保持する機能を有する保持回路である。回路RC1は回路10の状態(データ)を読み込み、それを保持する機能を有する。また、回路RC1は保持しているデータを回路10に読み出す機能を有する。

【0027】

<回路10>

回路10は、端子D1 - Dn (nは2以上の整数)、端子Q、端子QB、端子ENを有する。端子D1 - Dnはデータ入力端子である。端子Q、QBはデータ出力端子である。端子ENは制御信号E0が入力される端子である。回路10は論理回路であればよい。回路10は、端子ENの論理に応じて、端子D1 - Dnの何れか1つを選択し、選択した端子に入力されたデータと同じ論理のデータを端子Qから出力する演算機能を有していればよい。端子QBは端子Qの論理を反転したデータを出力する端子である。図1Aの例では、回路10は端子QBを有していなくてもよい。

10

【0028】

図1Bに回路10の構成例を示す。図1Bに示す回路10は、選択回路20および回路30を有する。選択回路20の端子T1が回路30の端子T2と電氣的に接続されている。端子T1は選択回路20の出力端子であり、端子T2は回路30の入力端子である。

【0029】

信号E0は選択回路20の制御信号である。選択回路20は、信号E0に従い、端子D1 - Dnの何れか1つを選択し、端子T1と電氣的に接続する機能を有する。

20

【0030】

回路30は論理回路であればよい。回路30は端子T2に入力されたデータと同じ論理のデータを端子Qから出力することができる演算機能を有していればよい。例えば、回路30は、クロック信号CLK等の制御信号によって、内部の状態が更新される順序回路とすることができる。例えば、回路30は、ラッチ、フリップフロップ、シフトレジスタ、カウンタ回路、分周回路などとすることができる。

【0031】

<回路RC1>

回路RC1は、ノードFN、端子D0、端子T0、スイッチSW1、スイッチSW2、スイッチSW3および容量素子C1を有する。端子D0、T0は入力端子である。

30

【0032】

ノードFNは電氣的に浮遊状態となることが可能なノードであり、回路RC1のデータ(状態)保持部として機能するノードである。容量素子C1の一方の端子はノードFNと、他方の端子は端子T0と電氣的に接続されている。容量素子C1はノードFNの電圧を保持する保持容量として機能することができる。端子T0には、信号あるいは一定電圧を入力することができる。例えば、端子T0には、回路10の低電源電圧を入力すればよい。

【0033】

スイッチSW1は端子D0と端子D1との間の導通状態を制御し、スイッチSW2は端子QとノードFNとの間の導通状態を制御する。信号E2により、スイッチSW1、SW2のオン、オフが制御される。スイッチSW3はノードFNと端子D1との間の導通状態を制御する。信号E3により、スイッチSW3のオン、オフが制御される。

40

【0034】

(通常動作)

回路10が入力されるデータを処理する場合は、スイッチSW3をオフにする。スイッチSW1は必要に応じてオンにすればよい。回路10が処理するデータに端子D1のデータが含まれない場合は、スイッチSW1はオフにすればよい。回路10が処理するデータに端子D1のデータが含まれる場合は、スイッチSW1をオンにすればよい。スイッチSW2の状態はオン、オフの何れでもよく、図1Aの例では、信号E2によってスイッチSW2もスイッチSW1と連動してオンになる。スイッチSW1とスイッチSW2との制御信号を異ならせて、スイッチSW2をオフにしてもよい。スイッチSW1とスイッチSW2

50

の制御信号を共通にすることで、配線数や素子数の削減となり、消費電力の削減につながる。

【0035】

(バックアップ(退避)動作)

回路10の状態をバックアップするには、必要に応じて回路10へのCLK等の信号の入力を停止して、端子Qの論理(状態)が変更されないようにする。次に、スイッチSW2をオンにし、かつスイッチSW3をオフにする。ノードFNが端子Qと電氣的に接続されるので、ノードFNの論理は端子Qと同じになる。端子Qの論理が“1”であれば、ノードFNも“1”となり、端子Qの論理が“0”であれば、ノードFNも“0”となる。スイッチSW2、SW3をオフにして、ノードFNを電氣的に浮遊状態にすることで、バックアップが完了し、回路RC1はデータ保持状態となる。

10

【0036】

バックアップが完了することで、回路10への電源供給を遮断することが可能となる。すなわち、回路RC1を設けることで、回路10のクロックゲーティングおよびパワーゲーティングが可能となる。

【0037】

(リストア(復元)動作)

回路10の状態をリストアする時は、回路10に電源を供給し、かつ、信号E0によって、回路10を端子D1のデータが端子Qから出力されることが可能な状態にする。端子D1がノードFNと電氣的に接続されるため、その論理レベルはノードFNと同じになる。よって、回路10は、ノードFNで保持していたデータと同じ論理のデータを端子Qから出力することができる。つまり、論理回路100の状態が復元したことになる。

20

【0038】

スイッチSW3をオフにする。必要に応じて、信号CLKの供給を再開することで、論理回路100は通常動作が可能な状態になる。なお、信号CLKの供給を再開する前に、端子Qの論理をデータ保持期間のノードFNの論理と同じにする必要がある場合は、スイッチSW3をオフにする前に、信号CLK等の制御信号を供給して回路10を通常動作させて、端子D1のデータを端子Qに書き込めばよい。

【0039】

回路RC1は、回路10がパワーゲーティングされている間データを保持することができるリテンション特性を備えていればよい。回路RC1でデータを長時間保持させるには、電氣的に浮遊状態のノードFNの電位の変動(特に、電位の降下)を可能な限り抑えることが好ましい。このための手段の1つとして、スイッチSW2、SW3は、非導通状態でのドレイン電流(オフ電流)が非常に小さいトランジスタで構成することが挙げられる。

30

【0040】

トランジスタのオフ電流を下げるには、例えば、半導体領域をエネルギーギャップが広い半導体で形成すればよい。半導体のエネルギーギャップは、 $2.5\text{ eV}$ 以上、または $2.7\text{ eV}$ 以上、または $3\text{ eV}$ 以上であることが好ましい。このような半導体として酸化物半導体が挙げられる。例えば、スイッチSW2、SW3は、半導体領域が酸化物半導体で形成されているトランジスタ(OSトランジスタ)とすればよい。チャンネル幅で規格化したOSトランジスタのリーク電流は、ソースドレイン間電圧が $10\text{ V}$ 、室温( $25$ 程度)の状態では $10 \times 10^{-21}\text{ A}/\mu\text{m}$ ( $10$ zeptoA/ $\mu\text{m}$ )以下とすることが可能である。スイッチSW2、SW3に適用されるOSトランジスタのリーク電流は、室温( $25$ 程度)にて $1 \times 10^{-18}\text{ A}$ 以下、または、 $1 \times 10^{-21}\text{ A}$ 以下、または $1 \times 10^{-24}\text{ A}$ 以下が好ましい。または、リーク電流は $85$ にて $1 \times 10^{-15}\text{ A}$ 以下、または $1 \times 10^{-18}\text{ A}$ 以下、または $1 \times 10^{-21}\text{ A}$ 以下であることが好ましい。

40

【0041】

酸化物半導体はエネルギーギャップが大きく、電子が励起されにくく、ホールの有効質量が大きい半導体である。このため、OSトランジスタは、シリコン等を用いた一般的なトランジスタと比較して、アバランシェ崩壊等が生じにくい場合がある。アバランシェ崩壊

50



に起因するホットキャリア劣化等が抑制されることで、OSトランジスタは高いドレイン耐圧を有することとなり、高いドレイン電圧で駆動することが可能である。よって、回路RC1にOSトランジスタを適用することで、信号の電位レベルや入力タイミング等の駆動条件の余裕度（マージン）を高くすることができる。例えば、データ保持状態にノードFNの電圧が高くなるような駆動も可能になる。

#### 【0042】

OSトランジスタの酸化物半導体は、少なくともIn、Ga、SnおよびZnのうちの1種以上の元素を含有する酸化物であることが好ましい。このような酸化物としては、In-Sn-Ga-Zn酸化物、In-Ga-Zn酸化物、In-Sn-Zn酸化物、In-Al-Zn酸化物、Sn-Ga-Zn酸化物、Al-Ga-Zn酸化物、Sn-Al-Zn酸化物、In-Zn酸化物、Sn-Zn酸化物、Al-Zn酸化物、Zn-Mg酸化物、Sn-Mg酸化物、In-Mg酸化物や、In-Ga酸化物、In酸化物、Sn酸化物、Zn酸化物等がある。また、これら酸化物に、酸化物の構成元素以外の元素や化合物を含むもの、例えばSiO<sub>2</sub>を含む酸化物半導体を用いることができる。

10

#### 【0043】

また、OSトランジスタは、ゲート絶縁層を酸化膜換算膜厚で11nm程度まで厚くし、チャネル長を50nm程度まで短くしても、非常に良好なオフ電流特性およびサブスレッショルド特性を有することが可能である。よって、OSトランジスタは、論理回路を構成する一般的なSiトランジスタよりも厚いゲート絶縁層を用いることができるため、ゲート絶縁層を介したリーク電流が低減され、ゲート絶縁層の膜厚のばらつきによる電気特性のばらつきも抑えることができる。OSトランジスタの詳細は実施の形態4で説明する。

20

#### 【0044】

スイッチSW1、及び回路10を構成するトランジスタに特段の制約はなく、スタンダードセルに適用される一般的なトランジスタを用いることができ、例えば、半導体領域が第14族元素（Si、Ge、C）で形成されているトランジスタとすることができる。回路10のトランジスタの代表例は、シリコンで半導体領域が形成されているトランジスタ（Siトランジスタ）である。また、Siトランジスタの移動度を向上させる目的等のため、Siでなる半導体領域にGeが添加されている歪みトランジスタを用いてもよい。

#### 【0045】

スイッチSW1は、スイッチSW2およびスイッチSW3と同様にOSトランジスタで構成してもよいし、アナログスイッチ等のCMOS回路で構成してもよい。スイッチSW1をOSトランジスタとすることで、下記に述べるように、回路RC1の追加による論理回路100の面積オーバーヘッドをゼロにすることが可能である。また、スイッチSW1がアナログスイッチ（n型トランジスタとp型トランジスタが並列に接続されているスイッチ）である場合、p型のSiトランジスタ上にn型のOSトランジスタを積層することで、アナログスイッチをSiトランジスタだけで構成する場合よりも、論理回路100の面積増加を抑えることができる。なお、アナログスイッチはトランスファークロークとも呼ばれている。

30

#### 【0046】

論理回路100において、回路RC1を設けたことによる回路10の回路構成の変更は不必要である。例えば、図1Bに示す構成例の場合、選択回路20には、セレクトあるいはマルチプレクサと呼ばれるような一般的な回路を適用することができる。回路30には、ラッチやフリップフロップのような一般的な順序回路を適用することができる。回路10に回路RC1を積層することが可能であるため、回路10の設計変更、およびレイアウト変更をせずに、回路RC1を設けることが可能である。

40

#### 【0047】

上述したように、本実施の形態の保持回路によって、論理回路の回路構成およびレイアウト変更を伴わずに、論理回路にバックアップ機能を付加することができる。また、保持回路によって、通常動作時の性能を実質的に低下させずに、論理回路にバックアップ機能を付加することが可能である。また、論理回路が形成されている領域に保持回路を積層する

50

ことができるので、保持回路の追加による面積オーバーヘッドをゼロにすることが可能である。

【0048】

< 保持回路の変形例 >

図2Aに示す論理回路101は、回路RC1の代わりに回路RC2を有する。回路RC2は、回路RC1にインバータ42を追加したものである。インバータ42の入力端子は端子QBと電氣的に接続され、同出力端子はスイッチSW2と電氣的に接続されている。端子QBの論理反転したデータを回路RC2が保持することになる。よって、回路RC2は、端子Qと同じ論理のデータを保持し、保持しているデータを端子D1に書き込むことが可能である。インバータ42はバックアップ動作時のみ電源を供給するとよい。

10

【0049】

図2Bに示す論理回路102は、回路RC1の代わりに回路RC3を有する。回路RC3は、回路RC1にインバータ43、44を追加したものである。インバータ43の入力端子はスイッチSW1、SW3と電氣的に接続され、同出力端子は端子D1と電氣的に接続されている。インバータ44の入力端子は端子D0と電氣的に接続され、同出力端子はスイッチSW1と電氣的に接続されている。スイッチSW2は、端子QBとノードFNとの間の導通状態を制御する。バックアップ動作によって、回路RC3は、端子QBと同じ論理のデータを保持する。リストア動作によって端子D1に書き込まれるデータは、インバータ43によりノードFNの論理を反転したものである。つまり、端子Qと同じ論理のデータを端子D1に書き込むことができる。

20

【0050】

図2A、図2Bに示す回路10は端子Qを有していなくてもよい。

【0051】

< 論理回路の変形例 >

図3に示す論理回路103は、論理回路101の変形例である。回路10が1入力の回路15に変更されている。回路15は論理回路である。回路15は端子D1と同じ論理のデータを出力することができる演算機能を有していればよい。回路15には、必要に応じてCLK等の制御信号が入力されていてもよい。また、回路15は端子QBを有していてもよい。回路15は例えば、バッファ回路とすればよい。

30

【0052】

回路RC4は回路RC1の変形例である。スイッチSW1 - SW3は互いに異なる信号E1 - E3で制御される。これにより、論理回路103の通常動作時にスイッチSW1のみオンにすることができ、バックアップ動作時にSW1をオフにすることができる。

【0053】

〔実施の形態2〕

<< スキャンフリップフロップの構成例 >>

論理回路100のより具体的な回路構成例および駆動方法例について説明する。ここでは、論理回路100がスキャンフリップフロップである例を示す。図4に示すスキャンフリップフロップ(SFF)110は、スキャンフリップフロップ(SFF)11、および回路RC11を有する。SFF11は、選択回路(SEL)21、およびフリップフロップ(FF)31を有する。回路RC11はデータを保持する機能を有する保持回路である。SFF110は、バックアップ機能を備えたスキャンFFと呼ぶことができる。SFF110は、パワーゲーティングが行われる電源ドメインに設けることが可能である。

40

【0054】

< SFF11の構成例 >

図5はSFF11の回路構成例を示す。図5に示すSFF11は、SEL21、FF31、および端子VH、VL、D、Q、QB、SD、SE、CK、RTを有する。

【0055】

端子VHは高電源電圧VDD用の電源端子であり、端子VLは低電源電圧VSS用の電源端子である。VDD、VSSはSEL21のインバータ、FF31のインバータおよびN

50

AND回路（以下、“NAND”と呼ぶ。）に供給される。端子VHへのVDDの入力は、パワースイッチを介して行われる。

【0056】

端子D、SDはデータの入力端子である。端子Dは、論理回路（例えば、組み合わせ回路）の出力端子と電氣的に接続されており、データDINが入力される。端子SDには、回路RC11を介して、リストア用のデータ、またはスキャンテストデータSCNINが入力される（図4参照）。端子Qはデータ出力端子である。端子Qは、他のSFF110の端子SD\_\_IN、および論理回路のデータ入力端子と電氣的に接続される。端子QBは、端子Qの論理を反転したデータを出力する。端子QBは、他の論理回路のデータ入力端子に電氣的に接続される。端子QBは必要に応じて設ければよい。

10

【0057】

端子SE、CK、RTは制御信号用の入力端子である。端子SEには、スキャンイネーブル信号SEsigが入力される。SEはSEL21と電氣的に接続されている。端子CKにはクロック信号CLKが入力される。端子CKは回路31aと電氣的に接続されている。端子RTにはリセット信号RSTsigが入力される。端子RTはFF31のNANDと電氣的に接続されている。

【0058】

(SEL21)

SEL21は、端子SEの電圧（論理）によって端子D、SDの何れか一方を選択し、FF31の入力端子と電氣的に接続する機能を有する。スキャンテストを行うときは信号SEを高レベル電圧（“H”）にし、端子SDをFF31の入力端子と電氣的に接続する。SFF11をフリップフロップとして通常動作させる場合は、端子SEを低レベル電圧（“L”）にして、端子DをFF31の入力端子と電氣的に接続する。

20

【0059】

(FF31)

FF31は、2つのラッチ32M、33S、および回路31aを有する。ラッチ32Mはマスタ・ラッチであり、ラッチ32Sはスレーブ・ラッチであり、ラッチ32Mとラッチ32Sは直列に電氣的に接続されている。回路31aはクロック信号入力用の回路であり、端子CK1、CKB1を有する。端子CK1は信号CLKの非反転クロック信号を出力する端子である。端子CKB1は信号CLKの反転クロック信号を出力する端子である。端子CK1およびCKB1は、それぞれ、FF31のアナログスイッチに電氣的に接続されている。

30

【0060】

< 保持回路の構成例1 >

図4に示す回路RC11は、端子SD\_\_IN、RE、BKおよびPL、ノードFN11、トランジスタM1 - M3、並びに容量素子C11を有する。回路RC11は、回路RC1のスイッチSW1 - SW3がそれぞれトランジスタM1 - M3で構成されている回路である。なお、以下の説明において、端子VHをVHと呼ぶ場合がある。他の端子も同様である。また、ノードFN11をFN11と呼ぶ場合がある。

【0061】

SD\_\_INは、スキャンテストデータSCNINの入力端子である。BK、REは制御信号用の入力端子である。BKには、バックアップ動作を制御する信号（バックアップ信号BKsig）が入力される。BKはトランジスタM1、M2のゲートと電氣的に接続されている。REには、リストア動作を制御する信号（リストア信号REsig）が入力される。REはトランジスタM3のゲートと電氣的に接続されている。

40

【0062】

容量素子C11の2つの端子のうち、一方はFN11と電氣的に接続され、他方はPLと電氣的に接続されている。PLにはVSSが入力されている。トランジスタM1 - M3はn型であり、ここではOSTランジスタである。トランジスタM1はSD\_\_INとSDとの間を電氣的に接続するためのパストラランジスタである。トランジスタM2はQとFN1

50

1 との間を電氣的に接続するためのパストラジスタである。トランジスタ M 3 は F N 1 1 と S D との間を電氣的に接続するためのパストラジスタである。

【 0 0 6 3 】

トランジスタ M 2、M 3 が O S トランジスタであることで、F N 1 1 が “ 1 ” のデータを保持している状態でも、F N 1 1 の電圧の低下を抑えることができる。よって、回路 R C 1 1 を、S F F 1 1 のバックアップ用の不揮発性の記憶回路として機能させることが可能となる。また、S F F 1 1 0 を搭載した半導体装置のパワーゲーティングが可能となり、半導体装置の消費電力を削減することが可能となる。

【 0 0 6 4 】

なお、回路 R C 1 1 のデータ保持期間に、トランジスタ M 2、M 3 が完全にオフ状態となるような電圧がゲートに印加され続けている場合がある。または、トランジスタ M 2、M 3 にバックゲートを設けている場合、トランジスタ M 2、M 3 がノーマリオフ状態になるような電圧がバックゲートに供給され続けている場合がある。そのような場合には、保持期間において、回路 R C 1 1 に電圧が供給されていることになるが、電流がほとんど流れないので回路 R C 1 1 では電力をほとんど消費しない。したがって、保持期間に所定の電圧が回路 R C 1 1 に供給されていても、回路 R C 1 1 は電力をほとんど消費しないことから、回路 R C 1 1 は不揮発性であるということが出来る。

【 0 0 6 5 】

<< スキャンフリップフロップの動作例 >>

図 6、図 7 は S F F 1 1 0 の動作例を示すタイミングチャートである。図 6 は、S F F 1 1 0 が組み込まれている半導体装置がアクティブモードからスリープモードに移行するときの、S F F 1 1 0 の動作例を示し、図 7 は、スリープモードからアクティブモードに移行するときの S F F 1 1 0 の動作例を示す。図 6、図 7 には、端子 V H、C K、Q、S E、S D、B K および R E、並びにノード F N 1 1 の電圧（論理）の変化を示す。図 6、図 7 において、電圧の最大値は V D D であり、最小値は V S S である。また t 1 - t 1 0 は時刻を表している。

【 0 0 6 6 】

< アクティブモード（通常動作モード） >

アクティブモードでは、S F F 1 1 0 は通常動作を行う。S F F 1 1 0 は、論理回路からの出力データを一時的に保持するフリップフロップとして機能する。ここでは、論理回路の出力データは、端子 D に入力されることとする。通常動作時では、R E、B K が “ L ” であるので、トランジスタ M 1 - M 3 はオフである。S E は “ L ” であり、S E L 2 1 によって端子 D が F F 3 1 の入力端子と接続される。R T は “ H ” である。C K には信号 C L K が入力される。C K が “ H ” になるのに連動して、Q の電圧（論理）が変化する。

【 0 0 6 7 】

< スキャンモード >

スキャンモードでは、複数の S F F 1 1 0 が直列に電氣的に接続され、スキャンチェーンが構成される。回路 R C 1 1 では、トランジスタ M 1、M 2 がオンとなり、トランジスタ M 3 がオフになる。S E が “ H ” であるので、S E L 2 1 によって S D が F F 3 1 の入力端子と電氣的に接続される。つまり、スキャンモードでは、S F F 1 1 の Q の出力データが、次段の S F F 1 1 の S D に入力されることになる。

【 0 0 6 8 】

（スキャンテスト）

スキャンテストを行うには、スキャンモードにして、スキャンチェーンの初段の S F F 1 1 0 の S D \_ I N にスキャンテストデータ S C N I N を入力する。C L K の入力によってスキャンチェーンのシフト動作を行い、スキャンチェーンの S F F 1 1 0 にスキャンテストデータ S C N I N を書き込む。次に、S F F 1 1 0 を通常動作させ、論理回路の出力データを S F F 1 1 0 に保持させる。再び、スキャンモードにして、スキャンチェーンのシフト動作を行う。最終段の S F F 1 1 0 の Q から出力されるデータから、論理回路および S F F 1 1 0 の故障の有無を判定することができる。

10

20

30

40

50

## 【 0 0 6 9 】

(バックアップ・シーケンス)

アクティブモードからスリープモードに移行することでバックアップ・シーケンスが行われる。バックアップ・シーケンスでは、クロックゲーティング(クロック停止)、データのバックアップ、およびパワーゲーティング(電源オフ)が行われる。クロックの供給停止によって、スリープモードになる。

## 【 0 0 7 0 】

図6の例では、 $t_1$ で、SFF11のクロックゲーティングが開始し、回路RC11ではバックアップ動作が開始している。具体的には、 $t_1$ でCKは“L”となり、BKは“H”となる。BKが“H”である期間がバックアップ動作期間である。BKが“H”になることで、トランジスタM2によりFN11がQと電氣的に接続される。よって、Qが“0”であれば、FN11は“L”のままであり、Qが“1”であれば、FN11の電圧は上昇して“H”となる。つまり、BKが“H”である期間に、FN11の論理をQと同じにすることができる。FN11の電圧が“1”の論理レベルまで上昇できるように、BKが“H”である期間を決定すればよい。 $t_2$ でBKを“L”にしてトランジスタM1、M2をオフにすることで、FN11が電氣的に浮遊状態になり、回路RC11はデータ保持状態となる。

10

## 【 0 0 7 1 】

$t_3$ で電源をオフにし、RTを“L”にする。VHの電圧はVDDから徐々に低下し、VSSとなる。 $t_2$ に電源を遮断してもよい。また、電源の遮断は必要に応じて行えばよい。SFF110が組み込まれる半導体装置の電源ドメインの構成や、スリープモードにしておく時間等によっては、電源が遮断されることで削減できる電力よりも、スリープモードからアクティブモードに復帰するのに要する電力の方が大きくなる場合がある。この場合は、パワーゲーティングの効果を得ることができないので、スリープモードでは電源は遮断せずに、クロックの供給停止のみ行うほうが好ましい。

20

## 【 0 0 7 2 】

(リストア・シーケンス)

スリープモードからアクティブモードに移行するリストア・シーケンスでは、電源のオン、データのリストア、クロックの供給が行なわれる。クロックの供給を開始することで、アクティブモードになる。

30

## 【 0 0 7 3 】

$t_4$ で電源をオンにする。VHの電圧がVSSから徐々に上昇し、VDDとなる。VHがVDDになった後にリストア動作を開始する。 $t_5$ でSE、REを“H”にする。またRTも“H”にする。REが“H”である間にリストア動作が行われる。トランジスタM3がオンになり、FN11とSDが接続される。FN11が“L”であれば、SDは“L”のままである。FN11が“H”であれば、SDの電圧は上昇し、“H”となる。 $t_6$ でSEを“H”にする。SEおよびSEL21によりSDがFF31の入力端子と電氣的に接続される。つまり、REを“H”にすることで、FN11で保持されているデータがSDに書き込まれる。

40

## 【 0 0 7 4 】

なお、 $t_5$ で、REと共にSEを“H”にすることも可能である。図7に示すように、FN11が“H”である場合、SDの電圧が“1”の論理レベルまで上昇してから、SEを“H”にすることが好ましい。このような駆動によって、SFF11で貫通電流が流れることを防ぐことができる。

## 【 0 0 7 5 】

容量分配によりFN11のデータをSDに書き込むため、FN11が“H”の状態、FN11をSDと接続すると、SDの寄生容量によって、FN11の電圧が低下する。そのため、C11の容量はSDの寄生容量よりも十分に大きくする必要がある場合がある。C11の容量は、SDのデータが入力される論理回路の特性等を考量して決定すればよい。例えば、この論理回路の閾値電圧がVDD/2である場合、C11の容量はSDの寄生容

50

量以上とする必要がある。

【0076】

SDの論理がFN11と同じになった後、一定期間(t7からt8)CKを“H”にする。図7の例では、CKに1クロック分CLKを入力している。t7でCKが“H”になることで、ラッチ32Mのデータがラッチ32Sに書き込まれる。t7でSDが“0”であればQは“0”となり、SDが“1”であればQは“1”となる。つまり、FN11のデータがQに書き込まれ、SFF110はCLKの供給が停止される(スリープモードになる)直前の状態に復帰する。t9でSE、REを“L”にしてリストア動作を終了する。SEL21によりDがFF31の入力端子と電氣的に接続される。回路RC11では、トランジスタM3がオフとなり、ノードFN11が浮遊状態になる。

10

【0077】

SE、REを“L”にした後、一定期間(例えば、1クロック期間)経過したt10で、CLKの入力を再開し、SFF110をアクティブモードとする。SFF110は通常動作を行う。

【0078】

上述したように、SFF110は、高速でデータのバックアップ、リストアが可能であり、例えば、バックアップ動作、リストア動作を数クロック(2乃至5クロック)以内で完了することが可能である。回路RC11の書き込み動作は、トランジスタM1-M3のスイッチング動作によってFN11を充電または放電する動作であり、読み出し動作は、トランジスタM1-M3のスイッチング動作によってSDを充電または放電する動作であるため、これらの動作に要するエネルギーは、DRAMセルと同様に小さい。データ保持のために回路RC1に電源を供給する必要がないので、SFF110のスタンバイ電力を少なくすることができる。また、同様に、通常動作時に回路RC1への電源供給は不要であるので、回路RC1を設けたことによるSFF110のダイナミック電力は実質的に増加しない。回路RC1を設けたことによって、トランジスタM1による寄生容量が端子Qに付加することになるが、端子Qに接続される論理回路による寄生容量と比較して小さいので、SFF110の通常動作に影響はなく、回路RC1を設けたことで、アクティブモードでのSFF110の性能を実質的に低下させることがない。

20

【0079】

以下、スキャンFFを例に、保持回路の他の回路構成例を説明する。

30

【0080】

<保持回路の構成例2>

図8に示すSFF112は、回路RC12およびSFF11を有する。回路RC12は回路RC11(図4)の変形例であり、ノードFN11と端子REとの間を容量結合するための容量素子C12を有する。このような回路構成によって、リストア動作時にREの電圧をVDD(“H”)とすることによって、ノードFN11の電圧を上昇させることができる。よって、回路RC12は、回路RC11よりも長期間“H”の電圧を保持することが可能となる。ただし、この場合、ノードFN11が“L”の電圧を保持している場合でも、ノードFN11の電圧が上昇してしまう。よって、この場合、ノードFN11の“L”の電圧をSDに書きこんだとき、SDの電圧が“0”の論理レベルになるように、容量素子C12の容量を設定する。そのため、容量素子C12の容量はC11よりも小さい。

40

【0081】

<保持回路の構成例3、4>

図9に示すSFF113は、回路RC13およびSFF11を有する。図10に示すSFF114は、回路RC14およびSFF11を有する。

【0082】

図8に示す回路RC12では、容量素子C12とC11の容量比によって、SDにノードFN11の“H”の電圧を書きこんだとき、SDの電圧が“1”の論理レベルを超える場合がある。そのような場合には、回路RC13または回路RC14を保持回路に用いればよい。回路RC13は、回路RC12にバッファ45(以下、BUF45と呼ぶ。)を追

50

加した回路である。BUF45の入力端子がトランジスタM3のドレイン（またはソース）と電氣的に接続され、BUF45の出力端子がSDと電氣的に接続されている。BUF45のトランジスタは、VDDを超えるゲート電圧に耐えうる高耐圧型とすることが好ましい。

【0083】

図10に示す回路RC14は回路RC13の変形例である。図10に示すように、容量素子C12の接続位置が変更されている。容量素子C12の一方の端子は、トランジスタM3のドレイン（またはソース）と電氣的に接続され、他方の端子はBUF45の入力端子に電氣的に接続されている。必要に応じて、BUF45を回路RC14に設ければよい。

【0084】

< 保持回路の構成例5、6 >

図11に示すSFF115は、回路RC15およびSFF11を有する。図12に示すSFF116は、回路RC16およびSFF11を有する。回路RC15および回路RC16は、回路RC11の変形例であり、バックゲートが設けられているトランジスタM1-M3を有する。

【0085】

回路RC15は、トランジスタM1-M3のバックゲートが端子OBGと電氣的に接続されている。OBGには、信号、または一定電位を入力することができる。あるいは、OBGに容量素子を接続してもよい。この容量素子を充電しておき、トランジスタM1-M3のバックゲートの電圧を保持するようにしてもよい。トランジスタM1-M3のバックゲートの電圧によって、例えば、トランジスタM1-M3の閾値電圧を調節することが可能となる。

【0086】

回路RC16では、トランジスタM1-M3のゲートにバックゲートが電氣的に接続されている。このようなデバイス構造とすることで、トランジスタM1-M3のオン電流特性を向上することができる。

【0087】

回路RC15では、トランジスタM1-M3にバックゲートを設けたが、一部はバックゲートを有さないトランジスタとしてもよい。また、トランジスタM1にバックゲートを設ける場合、バックゲートを端子OBGと接続してもよいし、トランジスタM1のゲートと電氣的に接続するようにしてもよい。これは、トランジスタM2、M3についても同様である。回路RC16も同様である。

【0088】

<< 処理装置の構成例 >>

スキャンFFを有する半導体装置の例を説明する。図13に示す半導体装置は、処理装置(PU)200および電源回路210を有する。PU200は命令を実行する機能を有する回路である。PU200は、一のチップに集積された複数の機能回路を有する。PU200は、プロセッサコア201、電源管理装置(PMU)202、パワースイッチ(PSW)203、クロック制御回路204を有する。図13は、電源回路210がPU200と異なるチップに設けられている例を示している。端子220は電源用端子であり、電源回路210から電源電圧VDDが入力される。端子221、222は、信号の入力端子である。端子221はマスタクロック信号CLKが入力される。端子222には信号INTが入力される。信号INTは割り込み処理を要求する割り込み信号である。信号INTは、プロセッサコア201およびPMU202に入力される。

【0089】

< プロセッサコア >

プロセッサコア201は、命令を処理することができる機能を有する回路であり、演算処理回路、あるいはプロセッサ（処理装置）と呼ぶことも可能である。プロセッサコア201は、論理回路240およびSFF（スキャンFF）250等を有しており、これらにより、各種の機能回路が構成されている。例えば、論理回路240は組み合わせ回路とする

10

20

30

40

50

ことができる。例えば、S F F 2 5 0 はレジスタに含まれる。S F F 2 5 0 は、S F F 5 0 および回路 R C 5 0 を有する。S F F 5 0 はスキャン F F の機能を有していればよく、標準的な回路ライブラリに用意されているスキャン F F で構成することが可能である。回路 R C 5 0 は、S F F 5 0 のバックアップ用の保持回路であり、回路 R C 1 1 - R C 1 4 を適用することができる。S F F 2 5 0 の端子 Q は、論理回路 2 4 0 の入力端子と電氣的に接続され、かつスキャンチェーンを構成するため、他の S F F 2 5 0 の端子 S D \_ I N と電氣的に接続されている。S F F 2 5 0 が設けられたことで、プロセッサコア 2 0 1 のクロックゲーティングおよびパワーゲーティングが可能となり、P U 2 0 0 の消費電力を削減することができる。

#### 【 0 0 9 0 】

図 1 4 はプロセッサコア 2 0 1 の構成例を示す。図 1 4 に示すプロセッサコア 2 0 1 は、制御装置 2 3 1、プログラムカウンタ 2 3 2、パイプラインレジスタ 2 3 3、パイプラインレジスタ 2 3 4、レジスタファイル 2 3 5、A L U (算術論理演算装置) 2 3 6、およびデータバス 2 3 7 を有する。プロセッサコア 2 0 1 と P M U 2 0 2 やキャッシュ等の周辺回路とのデータのやり取りは、データバス 2 3 7 を介して行われる。

#### 【 0 0 9 1 】

制御装置 2 3 1 は、プログラムカウンタ 2 3 2、パイプラインレジスタ 2 3 3、パイプラインレジスタ 2 3 4、レジスタファイル 2 3 5、A L U 2 3 6、データバス 2 3 7 の動作を統括的に制御することで、入力されたアプリケーションなどのプログラムに含まれる命令をデコードし、実行する機能を有する。A L U 2 3 6 は、四則演算、論理演算などの各種演算処理を行う機能を有する。プログラムカウンタ 2 3 2 は、次に実行する命令のアドレスを記憶する機能を有するレジスタである。

#### 【 0 0 9 2 】

パイプラインレジスタ 2 3 3 は、命令データを一時的に記憶する機能を有するレジスタである。レジスタファイル 2 3 5 は、汎用レジスタを含む複数のレジスタを有しており、メインメモリから読み出されたデータ、または A L U 2 3 6 の演算処理の結果得られたデータ、などを記憶することができる。パイプラインレジスタ 2 3 4 は、A L U 2 3 6 の演算処理に利用するデータ、または A L U 2 3 6 の演算処理により得られたデータなどを一時的に記憶する機能を有するレジスタである。

#### 【 0 0 9 3 】

##### < 電源管理 >

P M U 2 0 2 は、パワーゲーティング、クロックゲーティング等を制御する機能を有する。より具体的には、P M U 2 0 2 は、プロセッサコア 2 0 1、P S W 2 0 3、クロック制御回路 2 0 4 を制御することができる機能を有する。P M U 2 0 2 は、プロセッサコア 2 0 1 に、B K s i g、R E s i g、S E s i g 等の制御信号を出力する機能を有する。

#### 【 0 0 9 4 】

P M U 2 0 2 は回路 2 0 5 を有する。回路 2 0 5 は時間を計測することができる機能を有する。P M U 2 0 2 は、回路 2 0 5 で得られる時間に関するデータをもとに、電源管理を行うことができる機能を有する。例えば、回路 2 0 5 をタイマー回路とすることで、P M U 2 0 2 でタイマー割り込み要求信号を生成するようにしてもよい。必要に応じて回路 2 0 5 を設ければよい。

#### 【 0 0 9 5 】

P S W 2 0 3 は、P M U 2 0 2 の制御信号に従い、P U 2 0 0 への V D D の供給を制御することができる機能を有する。図 1 3 の例では、プロセッサコア 2 0 1 は複数の電源ドメインを有していてもよい。この場合、P S W 2 0 3 により、複数の電源ドメインへの電源供給を独立に制御できるようにすればよい。また、プロセッサコア 2 0 1 は、パワーゲーティングが行われない電源ドメインを有していてもよい。この場合、この電源ドメインに P S W 2 0 3 を介さずに V D D を供給してもよい。

#### 【 0 0 9 6 】

クロック制御回路 2 0 4 は、信号 M C L K から、ゲーテッドクロック信号を生成し、出力

10

20

30

40

50



する機能を有する。クロック制御回路204は、PMU202の制御信号に従い、プロセッサコア201へのクロック信号の供給を遮断することができる機能を有する。電源回路210は、PMU202の制御信号に従い、VDDの大きさを変更できる機能を有していてもよい。

【0097】

プロセッサコア201からPMU202に信号SLPが出力される。信号SLPは、プロセッサコア201をスリープモードに移行するためのトリガとなる信号である。信号SLPに従い、プロセッサコア201では、SFF250のバックアップ・シーケンスが実行される。SFF250のバックアップ・シーケンスは、図6に示すSFF110のバックアップ・シーケンスと同様に実行することができる。PMU202は、信号SLPが入力されると、アクティブモードからスリープモードに移行するための制御信号を制御対象の機能回路に出力する。PMU202はクロック制御回路204を制御し、プロセッサコア201へのクロック信号の供給を停止させる。また、PMU202はPSW203を制御し、プロセッサコア201への電源の供給を停止させる。

【0098】

プロセッサコア201をスリープモードからアクティブモードへ復帰するための処理は、信号INTの入力により実行される。信号INTに従い、プロセッサコア201では、SFF250のリストア・シーケンスが実行される。SFF250のリストア・シーケンスは、図7に示すSFF110のリストア・シーケンスと同様に実行することができる。PMU202は、信号INTが入力されると、スリープモードからアクティブモードに移行するための制御信号を制御対象の機能回路に出力する。PMU202はPSW203を制御して、プロセッサコア201への電源の供給を再開させ、また、クロック制御回路204を制御して、プロセッサコア201へのクロック信号の供給を再開させる。

【0099】

バックアップ・シーケンスは、信号INT、あるいはPMU202の割り込み要求信号をトリガにして実行できるようにしてもよい。また、リストア・シーケンスはPMU202の割り込み要求信号をトリガにして実行できるようにしてもよい。

【0100】

<<SFF250のデバイス構造>>

図15は、SFF250のデバイス構造を示す。図15では、回路RC50は、回路RC11(図4)と同じ回路構成である。トランジスタM1-M3はOSTランジスタである。SFF250は、SFF50に回路RC50が積層された3次元的なデバイス構造とすることができる。W<sub>1</sub>、W<sub>k</sub>、W<sub>k+1</sub>、W<sub>h</sub>は、それぞれ、第1配線層、第k配線層、第k+1配線層、第h配線層である。kは1以上の整数であり、hはk+2以上の整数である。SFF50の端子D、SD、Q、SE、CKは配線層W<sub>k</sub>に設けられ、回路RC50の端子SD-INは配線層W<sub>h</sub>に設けられている。

【0101】

FET層260には、SFF50のトランジスタが設けられている。FET層260のトランジスタは標準的なCMOSプロセスで作製すればよい。配線層W<sub>1</sub> W<sub>k</sub>の導電体によって、FET層260のトランジスタが電氣的に接続される。配線層W<sub>k+1</sub> W<sub>h</sub>の導電体によって、SFF50と回路RC50とが電氣的に接続される。

【0102】

回路RC50は、SFF50と比較して素子数が非常に少ないので、回路RC50を積層するためにSFF50の回路構成およびレイアウトの変更が必要ない。つまり、回路RC50は、汎用性が非常に高いバックアップ回路である。また、SFF50が形成されている領域内に回路RC50を設けることができるので、回路RC50を搭載しても、SFF250の面積オーバーヘッドはゼロである。

【0103】

<<回路RC50を組み込んだ集積回路>>

よって、図13に示すプロセッサコア201では、回路RC50はSFF50の配置に影

響を与えず、スキャンテストを効率良く行えるように、SFF50を配置することができる。つまり、回路RC50をバックアップ回路に用いることで、バックアップ機能付きの集積回路の設計が容易であり、かつ、テスト容易性も確保できる。

#### 【0104】

プロセッサコア201では、SFF50と同様に、NAND回路等の他のスタンダードセルがFET層260および配線層 $W_1$   $W_k$ に設けられている。配線層 $W_1$   $W_k$ に回路RC50と端子SD、Qとを接続するための導電体が形成されるので、他のスタンダードセルの配線は、これら導電体を迂回してレイアウトする必要があり、そのためにプロセッサコア201の面積が増加する場合がある。SFF250は、プロセッサコア201に多く搭載されるスタンダードセルの1つであるが、回路RC50の搭載によるSFF250の面積オーバーヘッドは0である。よって、プロセッサコア201の面積増加は、他のスタンダードセル間の配線のレイアウトの変更によるものだけであり、プロセッサコア201の面積オーバーヘッドは数%未満に抑えることが可能である。このことを、回路RC50搭載のプロセッサコアを設計することで確認した。また、シミュレーションにより、回路RC50搭載のプロセッサコアが省電力化されていることを確認した。

10

#### 【0105】

<プロセッサコアの面積と電力>

回路RC50を有するスキャンFFを搭載したプロセッサコアを設計した。このプロセッサコアを“OS-FF搭載プロセッサ”と呼ぶこととし、回路RC50を有するスキャンFFをOS-FFと呼ぶこととする。比較のため、回路RC50が無いスキャンFFを搭載したCPUコアを設計した。このプロセッサコアを“Si-FF搭載プロセッサ”と呼ぶこととする。

20

#### 【0106】

設計したプロセッサコアは、RISCプロセッサコアである。OS-FF搭載プロセッサとSi-FF搭載プロセッサとは、回路RC50の有無以外は、回路構成は同じである。回路RC50以外の回路はSiトランジスタで構成されている。Siトランジスタのチャンネル長が60nmであり、OSTランジスタのチャンネル長が60nmであるデザインルールで、プロセッサコアを設計した。Si-FF搭載プロセッサの面積は $275\mu\text{m} \times 272\mu\text{m}$ であり、OS-FF搭載プロセッサの面積は $275\mu\text{m} \times 272\mu\text{m}$ である。スキャンFFは、プロセッサコアの論理回路の半分近く占めている。OS-FF搭載プロセッサの各スキャンFFに回路RC50が設けられていても、面積オーバーヘッドは3%に抑えられている。

30

#### 【0107】

シミュレーションでは、電源電圧が1.2VのときのSi-FF搭載プロセッサのダイナミック電力は $19\mu\text{A}/\text{MHz}$ であり、OS-FF搭載プロセッサのダイナミック電力も $19\mu\text{A}/\text{MHz}$ であり、回路RC50搭載によりダイナミック電力は増加していない。また、パワーゲーティングを行った時のOS-FF搭載プロセッサのスタンバイ電力は $0.03\mu\text{A}$ と見積もられた。

#### 【0108】

設計したOS-FFの性能をシミュレーションで確認した。OSTランジスタのチャンネル長は65nmであり、閾値電圧は1.6Vである場合、室温環境下におけるOS-FFの保持時間は30日を超える。つまり、OS-FF搭載プロセッサのスリープ期間、OS-FFは不揮発性の記憶回路として十分な保持性能を有していることが確認された。

40

#### 【0109】

シミュレーションでは、動作周波数が50MHzでのOS-FFのバックアップ時間、およびリストア時間はそれぞれ2クロックである。OS-FF搭載プロセッサのパワーゲーティング動作によるオーバーヘッド時間は十分に短いことから、OS-FFはプロセッサの性能を実質的に低下させないことが確認された。

#### 【0110】

シミュレーションで、パワーゲーティングによるOS-FF搭載プロセッサの省電力効果

50

を確認した。アクティブ期間が1 msecに対して、スリープ期間を1 msec、1 sec、100 secとする動作条件について、それぞれ消費電力を見積もった。電源電圧は1.2 Vである。動作条件1（アクティブ期間1 msec、スリープ期間1 msec）での消費電力は570  $\mu$ Wである。動作条件2（アクティブ期間1 msec、スリープ期間1 sec）での消費電力は1.2  $\mu$ Wである。動作条件3（アクティブ期間1 msec、スリープ期間100 sec）での消費電力は0.05  $\mu$ Wである。スリープ期間にパワーゲーティングを行うことで、OS-FF搭載プロセッサの消費電力を効果的に削減できることが確認された。

#### 【0111】

本実施の形態のスキャンFFは保持回路を有することで、例えば、以下のような優れた効果を奏する。本スキャンFFでは、保持回路を設けたことによる面積オーバーヘッドが0であることが可能である。保持回路を設けたことによって、通常動作時の消費電力はほぼなく、また通常動作性能はほとんど低下しないことが可能である。低電力、かつ高速なバックアップ、リストアが可能である。電源を供給しないでデータを保持することが可能である。また、本スキャンFFは回路ライブラリのスキャンFFをそのまま利用して設計することができるので、設計容易性が高い。よって、本スキャンFFを搭載した集積回路は、本スキャンFFによってスキャンチェーンを構成しても、テスト容易性が損なわれない。

10

#### 【0112】

このように、本スキャンFFはノーマリオフ・コンピューティングに非常に好適である。本スキャンFFを搭載しても、集積回路のダイナミック電力の増加や、性能低下をほとんど発生させないようにすることが可能である。したがって、本スキャンFFを搭載した集積回路は性能を保ったまま、パワーゲーティングによって消費電力を効果的に削減することが可能である。

20

#### 【0113】

ここでは、順序回路がスキャンFFである形態を説明したが、他の順序回路でも上掲の効果をj得ることができる。

#### 【0114】

##### 〔実施の形態3〕

本実施の形態では、半導体装置の一例として、電子部品、及び電子部品を具備する電子機器等について説明する。

30

#### 【0115】

<電子部品の作製方法例>

図16Aは、電子部品の作製方法例を示すフローチャートである。電子部品は、半導体パッケージ、またはIC用パッケージともいう。この電子部品は、端子取り出し方向や、端子の形状に応じて、複数の規格や名称が存在する。そこで、本実施の形態では、その一例について説明することにする。

#### 【0116】

トランジスタで構成される半導体装置は、組み立て工程（後工程）を経て、プリント基板に脱着可能な部品が複数合わさることで完成する。後工程については、図16Aに示す各工程を経ることで完成させることができる。具体的には、前工程で得られる素子基板が完成（ステップS1）した後、基板の裏面を研削する（ステップS2）。この段階で基板を薄膜化して、前工程での基板の反り等を低減し、部品の小型化を図る。

40

#### 【0117】

基板の裏面を研削して、基板を複数のチップに分離するダイシング工程を行う。分離したチップを個々にピックアップしてリードフレーム上に搭載し接合する、ダイボンディング工程を行う（ステップS3）。ダイボンディング工程におけるチップとリードフレームとの接着方法は製品に適した方法を選択すればよい。例えば、接着は樹脂やテープによって行えばよい。ダイボンディング工程は、インターポーザ上にチップを搭載し接合してもよい。ワイヤーボンディング工程で、リードフレームのリードとチップ上の電極とを金属の

50

細線（ワイヤー）で電氣的に接続する（ステップ S 4）。金属の細線には、銀線や金線を用いることができる。ワイヤーボンディングは、ボールボンディングとウェッジボンディングの何れでもよい。

#### 【0118】

ワイヤーボンディングされたチップは、エポキシ樹脂等で封止される、モールド工程が施される（ステップ S 5）。モールド工程を行うことで電子部品の内部が樹脂で充填され、機械的な外力による内蔵される回路部やワイヤーに対するダメージを低減することができる。また水分や埃による特性の劣化を低減することができる。リードフレームのリードをメッキ処理する。そしてリードを切断及び成形加工する（ステップ S 6）。めっき処理によりリードの錆を防止し、後にプリント基板に実装する際ははんだ付けをより確実に行うことができる。パッケージの表面に印字処理（マーキング）を施す（ステップ S 7）。検査工程（ステップ S 8）を経て、電子部品が完成する（ステップ S 9）。上掲した実施の形態の半導体装置を組み込むことで、低消費電力で、小型な電子部品を提供することができる。

10

#### 【0119】

完成した電子部品の斜視模式図を図 16 B に示す。図 16 B では、電子部品の一例として、QFP（Quad Flat Package）の斜視模式図を示している。図 16 B に示すように、電子部品 7000 は、リード 7001 及び回路部 7003 を有する。回路部 7003 には、例えば、実施の形態 2 のスキャン FF（SFF）やその他の論理回路が作製されている。電子部品 7000 は、例えばプリント基板 7002 に実装される。このような電子部品 7000 が複数組み合わせられて、それぞれがプリント基板 7002 上で電氣的に接続されることで電子機器に搭載することができる。完成した回路基板 7004 は、電子機器等の内部に設けられる。例えば、電子部品 7000 は、データを記憶するランダムアクセスメモリ、CPU、MCU（マイクロコントローラユニット）、FPGA、無線 IC 等の各種の処理を実行するプロセッシングユニットに用いることができる。電子部品 7000 を搭載することで、電子機器の消費電力を削減することができる。または、電子機器を小型化することが容易になる。

20

#### 【0120】

よって、電子部品 7000 は、デジタル信号処理、ソフトウェア無線、アビオニクス（通信機器、航法システム、自動操縦装置、飛行管理システム等の航空に関する電子機器）、ASIC のプロトタイピング、医療用画像処理、音声認識、暗号、バイオインフォマティクス（生物情報科学）、機械装置のエミュレータ、および電波天文学における電波望遠鏡等、幅広い分野の電子機器の電子部品（IC チップ）に適用することが可能である。このような電子機器としては、表示機器、パーソナルコンピュータ（PC）、記録媒体を備えた画像再生装置（DVD、ブルーレイディスク、フラッシュメモリ、HDD 等の記録媒体を再生する装置、および画像を表示するための表示部を有する装置）を挙げることができる。その他に、本発明の一形態に係る電子部品を用いることができる電子機器には、携帯電話、携帯型を含むゲーム機、携帯データ端末、電子書籍端末、カメラ（ビデオカメラ、デジタルスチルカメラ等）、ウェアラブル型表示装置（ヘッドマウント型、ゴーグル型、眼鏡型、腕章型、ブレスレット型、ネックレス型等）、ナビゲーションシステム、音響再生装置（カーオーディオ、デジタルオーディオプレイヤー等）、複写機、ファクシミリ、プリンタ、プリンタ複合機、現金自動預け入れ払い機（ATM）、自動販売機などが挙げられる。これら電子機器の具体例を図 17 に示す。

30

40

#### 【0121】

図 17 A に示す携帯型ゲーム機 900 は、筐体 901、筐体 902、表示部 903、表示部 904、マイクロホン 905、スピーカ 906、操作キー 907、およびスタイラス 908 等を有する。

#### 【0122】

図 17 B に示す携帯情報端末 910 は、筐体 911、筐体 912、表示部 913、表示部 914、接続部 915、および操作キー 916 等を有する。表示部 913 は筐体 911 に

50

設けられ、表示部 9 1 4 は筐体 9 1 2 に設けられている。接続部 9 1 5 により筐体 9 1 1 と筐体 9 1 2 とが接続され、筐体 9 1 1 と筐体 9 1 2 との間の角度は接続部 9 1 5 により変更可能となっている。そのため、接続部 9 1 5 における筐体 9 1 1 と筐体 9 1 2 との間の角度によって、表示部 9 1 3 に表示される画像を切り換える構成としてもよい。また、表示部 9 1 3 および / または表示部 9 1 4 にタッチパネル付の表示装置を使用してもよい。

【 0 1 2 3 】

図 1 7 C に示すノート型 PC 9 2 0 は、筐体 9 2 1、表示部 9 2 2、キーボード 9 2 3、およびポインティングデバイス 9 2 4 等を有する。

【 0 1 2 4 】

図 1 7 D に示す電気冷凍冷蔵庫 9 3 0 は、筐体 9 3 1、冷蔵室用扉 9 3 2、および冷凍室用扉 9 3 3 等を有する。

【 0 1 2 5 】

図 1 7 E に示すビデオカメラ 9 4 0 は、筐体 9 4 1、筐体 9 4 2、表示部 9 4 3、操作キー 9 4 4、レンズ 9 4 5、および接続部 9 4 6 等を有する。操作キー 9 4 4 およびレンズ 9 4 5 は筐体 9 4 1 に設けられており、表示部 9 4 3 は筐体 9 4 2 に設けられている。そして、筐体 9 4 1 と筐体 9 4 2 は接続部 9 4 6 によって接続されており、かつ接続部 9 4 6 により筐体 9 4 1 と筐体 9 4 2 の間の角度を変えることが可能な構造となっている。筐体 9 4 1 に対する筐体 9 4 2 の角度によって、表示部 9 4 3 に表示される画像の向きの変更、画像の表示 / 非表示の切り換え等を行えるようにしてもよい。

【 0 1 2 6 】

図 1 7 F に示す自動車 9 5 0 は、車体 9 5 1、車輪 9 5 2、ダッシュボード 9 5 3、およびライト 9 5 4 等を有する。

【 0 1 2 7 】

〔実施の形態 4〕

本実施の形態では、酸化物半導体、および O S トランジスタ等について説明する。

【 0 1 2 8 】

<< O S トランジスタの構成例 1 >>

図 1 8 に O S トランジスタの構成の一例を示す。図 1 8 A は O S トランジスタの構成の一例を示す上面図である。図 1 8 B は、 $y_1 - y_2$  線断面図であり、図 1 8 C は  $x_1 - x_2$  線断面図であり、図 1 8 D は  $x_3 - x_4$  線断面図である。ここでは、 $y_1 - y_2$  線の方向をチャンネル長方向と、 $x_1 - x_2$  線方向をチャンネル幅方向と呼称する場合がある。よって、図 1 8 B は、O S トランジスタのチャンネル長方向の断面構造を示す図であり、図 1 8 C および図 1 8 D は、O S トランジスタのチャンネル幅方向の断面構造を示す図である。なお、デバイス構造を明確にするため、図 1 8 A では、一部の構成要素が省略されている。

【 0 1 2 9 】

O S トランジスタ 5 0 1 は絶縁表面に形成される。ここでは、絶縁層 5 1 1 上に形成されている。絶縁層 5 1 1 は基板 5 1 0 表面に形成されている。O S トランジスタ 5 0 1 は、絶縁層 5 1 4 および絶縁層 5 1 5 に覆われている。なお、絶縁層 5 1 4 および 5 1 5 を O S トランジスタ 5 0 1 の構成要素とみなすこともできる。O S トランジスタ 5 0 1 は、絶縁層 5 1 2、絶縁層 5 1 3、酸化物半導体 ( O S ) 層 5 2 1 - 5 2 3、導電層 5 3 0、導電層 5 4 1、および導電層 5 4 2 を有する。絶縁層 5 1 3 はゲート絶縁層として機能する領域を有する。導電層 5 3 0 はゲート電極として機能する。ここでは、O S 層 5 2 1、O S 層 5 2 2 および O S 層 5 2 3 をまとめて O S 層 5 2 0 と呼ぶ。

【 0 1 3 0 】

図 1 8 B、図 1 8 C に示すように、O S 層 5 2 0 は、O S 層 5 2 1、O S 層 5 2 2、O S 層 5 2 3 の順に積層している部分を有する。絶縁層 5 1 3 はこの積層部分を覆っている。導電層 5 3 1 は絶縁層 5 1 3 を介して積層部分と重なる。導電層 5 4 1 および導電層 5 4 2 は、O S 層 5 2 1 および O S 層 5 2 3 とでなる積層上に設けられており、それぞれ、積層上面、および積層のチャンネル長方向の側面と接している。また図 1 8 の例では、導電層

10

20

30

40

50

5 4 1、5 4 2 は絶縁層 5 1 2 とも接している。OS 層 5 2 3 は、OS 層 5 2 1、5 2 2、および導電層 5 4 1、5 4 2 を覆うように形成されている。OS 層 5 2 3 の下面は OS 層 5 2 2 の上面と接している。

【0 1 3 1】

OS 層 5 2 0 において、絶縁層 5 1 3 を介して、OS 層 5 2 1 - 5 2 3 の積層部分のチャンネル幅方向を取り囲むように、導電層 5 3 0 が形成されている（図 1 8 C 参照）。このため、この積層部分には、垂直方向からのゲート電界と、側面方向からのゲート電界も印加される。OS トランジスタ 5 0 1 において、ゲート電界とは、導電層 5 3 0（ゲート電極層）に印加される電圧により形成される電界のことをいう。よって、ゲート電界によって、OS 層 5 2 1 - 5 2 3 の積層部分全体を電気的に取り囲むことができるので、OS 層 5 2 2 の全体に（バルク）にチャンネルが形成される場合がある。そのため、OS トランジスタ 5 0 1 は高いオン電流を有することができる。

10

【0 1 3 2】

本明細書では、このようにゲート電界によって半導体を電気的に取り囲むことができるトランジスタの構造を "surrounded channel (s-channel)" 構造と呼ぶ。OS トランジスタ 5 0 1 は、s-channel 構造である。s-channel 構造では、トランジスタのソース - ドレイン間に大電流を流すことができ、導通状態でのドレイン電流（オン電流）を高くすることができる。

【0 1 3 3】

OS トランジスタ 5 0 1 を s-channel 構造とすることで、OS 層 5 2 2 の側面に対してもゲート電界を印加できるので、チャンネル形成領域の制御がしやすくなる。導電層 5 3 0 が OS 層 5 2 2 の下方まで伸び、OS 層 5 2 1 の側面と対向している構造では、さらに制御性が優れ、好ましい。その結果、OS トランジスタ 5 0 1 のサブスレッショルドスイング値（S 値ともいう。）を小さくすることができ、短チャンネル効果を抑制することができる。従って、微細化に適した構造である。

20

【0 1 3 4】

OS トランジスタ 5 0 1 のように、OS トランジスタを立体的なデバイス構造とすることで、チャンネル長を 1 0 0 nm 未満にすることができる。OS トランジスタを微細化することで、回路面積が小さくできる。OS トランジスタのチャンネル長は、6 5 nm 未満とすることが好ましく、3 0 nm 以下または 2 0 nm 以下がより好ましい。チャンネル長は少なくとも 1 0 nm とすればよい。

30

【0 1 3 5】

トランジスタのゲートとして機能する導電体をゲート電極、トランジスタのソースとして機能する導電体をソース電極、トランジスタのドレインとして機能する導電体をドレイン電極、トランジスタのソースとして機能する領域をソース領域、トランジスタのドレインとして機能する領域をドレイン領域、と呼ぶ。本明細書では、ゲート電極をゲート、ドレイン電極またはドレイン領域をドレイン、ソース電極またはソース領域をソース、と記す場合がある。

【0 1 3 6】

チャンネル長とは、例えば、トランジスタの上面図において、半導体（またはトランジスタがオン状態のときに半導体の中で電流の流れる部分）とゲート電極とが重なる領域、またはチャンネルが形成される領域における、ソースとドレインとの間の距離をいう。なお、一つのトランジスタにおいて、チャンネル長が全ての領域で同じ値をとるとは限らない。即ち、一つのトランジスタのチャンネル長は、一つの値に定まらない場合がある。そのため、本明細書では、チャンネル長は、チャンネルの形成される領域における、いずれか一の値、最大値、最小値または平均値とする。

40

【0 1 3 7】

チャンネル幅とは、例えば、半導体（またはトランジスタがオン状態のときに半導体の中で電流の流れる部分）とゲート電極とが重なる領域、またはチャンネルが形成される領域における、ソースとドレインとが向かい合っている部分の長さをいう。なお、一つのトランジ

50

スタにおいて、チャンネル幅がすべての領域で同じ値をとるとは限らない。即ち、一つのトランジスタのチャンネル幅は、一つの値に定まらない場合がある。そのため、本明細書では、チャンネル幅は、チャンネルの形成される領域における、いずれか一の値、最大値、最小値または平均値とする。

#### 【0138】

なお、トランジスタの構造によっては、実際にチャンネルの形成される領域におけるチャンネル幅（以下、実効的なチャンネル幅と呼ぶ。）と、トランジスタの上面図において示されるチャンネル幅（以下、見かけ上のチャンネル幅と呼ぶ。）と、が異なる場合がある。例えば、立体的な構造を有するトランジスタでは、実効的なチャンネル幅が、トランジスタの上面図において示される見かけ上のチャンネル幅よりも大きくなり、その影響が無視できなくなる場合がある。例えば、微細かつ立体的な構造を有するトランジスタでは、半導体の側面に形成されるチャンネル領域の割合が大きくなる場合がある。その場合は、上面図において示される見かけ上のチャンネル幅よりも、実際にチャンネルの形成される実効的なチャンネル幅の方が大きくなる。

10

#### 【0139】

ところで、立体的な構造を有するトランジスタにおいては、実効的なチャンネル幅の、実測による見積もりが困難となる場合がある。例えば、設計値から実効的なチャンネル幅を見積もるためには、半導体の形状が既知という仮定が必要である。したがって、半導体の形状が正確にわからない場合には、実効的なチャンネル幅を正確に測定することは困難である。

20

#### 【0140】

そこで、本明細書では、トランジスタの上面図において、半導体とゲート電極とが重なる領域における、ソースとドレインとが向かい合っている部分の長さである見かけ上のチャンネル幅を、「囲い込みチャンネル幅（SCW：Surrounded Channel Width）」と呼ぶ場合がある。また、本明細書では、単にチャンネル幅と記載した場合には、囲い込みチャンネル幅または見かけ上のチャンネル幅を指す場合がある。または、本明細書では、単にチャンネル幅と記載した場合には、実効的なチャンネル幅を指す場合がある。なお、チャンネル長、チャンネル幅、実効的なチャンネル幅、見かけ上のチャンネル幅、囲い込みチャンネル幅などは、断面TEM像などを取得して、その画像を解析することなどによって、値を決定することができる。

30

#### 【0141】

なお、トランジスタの電界効果移動度や、チャンネル幅当たりの電流値などを計算して求める場合、囲い込みチャンネル幅を用いて計算する場合がある。その場合には、実効的なチャンネル幅を用いて計算する場合とは異なる値をとる場合がある。

#### 【0142】

<基板>

基板510は、単なる支持材料に限らず、他のトランジスタなどのデバイスが形成された基板であってもよい。この場合、OSトランジスタ501の導電層530、導電層541、および導電層542の一つは、上記の他のデバイスと電気的に接続されていてもよい。

#### 【0143】

<下地絶縁層>

絶縁層511は、基板510からの不純物の拡散を防止する役割を有する。絶縁層512はOS層520に酸素を供給する役割を有することが好ましい。したがって、絶縁層512は酸素を含む絶縁膜であることが好ましく、化学量論組成よりも多い酸素を含む絶縁膜であることがより好ましい。例えば、TDS（Thermal Desorption Spectroscopy：昇温脱離ガス分光法）において、膜の表面温度が100以上700以下、または100以上500以下の範囲における酸素分子の放出量が $1.0 \times 10^{18}$  [分子/cm<sup>3</sup>]以上である膜とする。基板510が他のデバイスが形成された基板である場合、絶縁層511は、表面が平坦になるようにCMP（Chemical Mechanical Polishing）法等で平坦化処理を行うことが好ましい。

40

50

## 【0144】

絶縁層511、512は、酸化アルミニウム、酸化窒化アルミニウム、酸化マグネシウム、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、酸化ガリウム、酸化ゲルマニウム、酸化イットリウム、酸化ジルコニウム、酸化ランタン、酸化ネオジム、酸化ハフニウムおよび酸化タンタル、窒化シリコン、窒化酸化アルミニウムなどの絶縁材料、またはこれらの混合材料を用いて形成することができる。

## 【0145】

<ゲート電極>

導電層530は、銅(Cu)、タングステン(W)、モリブデン(Mo)、金(Au)、アルミニウム(Al)、マンガン(Mn)、チタン(Ti)、タンタル(Ta)、ニッケル(Ni)、クロム(Cr)、鉛(Pb)、錫(Sn)、鉄(Fe)、コバルト(Co)、ルテニウム(Ru)、イリジウム(Ir)、ストロンチウム(Sr)、白金(Pt)などの金属、もしくはこれらの合金、またはこれらを主成分とする化合物で形成することが好ましい。

10

## 【0146】

また、導電層530は、一層構造でも、二層以上の積層構造としてもよい。例えば、シリコンを含むアルミニウム膜の単層構造、アルミニウム膜上にチタン膜を積層する二層構造、窒化チタン膜上にチタン膜を積層する二層構造、窒化チタン膜上にタングステン膜を積層する二層構造、窒化タンタル膜または窒化タングステン膜上にタングステン膜を積層する二層構造、チタン膜と、そのチタン膜上にアルミニウム膜を積層し、さらにその上にチタン膜を形成する三層構造、Cu-Mn合金膜の単層構造、Cu-Mn合金膜上にCu膜を積層する二層構造、Cu-Mn合金膜上にCu膜を積層し、さらにその上にCu-Mn合金膜を積層する三層構造等がある。特にCu-Mn合金膜は、電気抵抗が低く、且つ、酸素を含む絶縁膜との界面に酸化マンガンを形成し、Cuの拡散を防ぐことができるため好ましい。

20

## 【0147】

また、導電層530には、インジウム錫酸化物、酸化タングステンを含むインジウム酸化物、酸化タングステンを含むインジウム亜鉛酸化物、酸化チタンを含むインジウム酸化物、酸化チタンを含むインジウム錫酸化物、インジウム亜鉛酸化物、酸化シリコンを添加したインジウム錫酸化物等の透光性を有する導電性材料を適用することもできる。また、上記透光性を有する導電性材料と、上記金属元素の積層構造とすることもできる。

30

## 【0148】

<ゲート絶縁層>

絶縁層513は、単層構造または積層構造の絶縁膜で形成される。絶縁層513には、酸化アルミニウム、酸化マグネシウム、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、酸化ガリウム、酸化ゲルマニウム、酸化イットリウム、酸化ジルコニウム、酸化ランタン、酸化ネオジム、酸化ハフニウムおよび酸化タンタルを一種以上含む絶縁膜を用いることができる。また、絶縁層513は上記材料の積層であってもよい。なお、絶縁層513に、ランタン(La)、窒素、ジルコニウム(Zr)などを、不純物として含んでいてもよい。また、絶縁層511も絶縁層513と同様に形成することができる。絶縁層511は、例えば、酸素、窒素、シリコン、ハフニウムなどを有する。具体的には、酸化ハフニウム、および酸化シリコンまたは酸化窒化シリコンを含むと好ましい。

40

## 【0149】

酸化ハフニウムは、酸化シリコンや酸化窒化シリコンと比べて比誘電率が高い。したがって、酸化シリコンを用いた場合と比べて、絶縁層513の膜厚を大きくできるため、トンネル電流によるリーク電流を小さくすることができる。即ち、オフ電流の小さいトランジスタを実現することができる。さらに、結晶構造を有する酸化ハフニウムは、非晶質構造を有する酸化ハフニウムと比べて高い比誘電率を備える。したがって、オフ電流の小さいトランジスタとするためには、結晶構造を有する酸化ハフニウムを用いることが好ましい。結晶構造の例としては、単斜晶系や立方晶系などが挙げられる。ただし、本発明の一態

50



様は、これらに限定されない。

【0150】

<ソース電極、ドレイン電極、バックゲート電極>

導電層541、導電層542は、導電層530と同様に作製することができる。Cu-Mn合金膜は、電気抵抗が低く、且つ、酸化物半導体膜と接して設けることで、酸化物半導体膜との界面に酸化マンガンを形成することができ、酸化マンガンの存在によりCuの拡散を防ぐことができる。よって、Cu-Mn合金層を導電層541、導電層542に用いることが好ましい。また、後述する導電層531(図20A)も、導電層530と同様に作製することができる。

【0151】

<保護絶縁膜>

絶縁層514は、酸素、水素、水、アルカリ金属、アルカリ土類金属等をブロッキングできる機能を有することが好ましい。このような絶縁層514を設けることで、OS層520からの酸素の外部への拡散と、外部からOS層520への水素、水等の入り込みを防ぐことができる。絶縁層514としては、例えば、窒化物絶縁膜を用いることができる。該窒化物絶縁膜としては、窒化シリコン、窒化酸化シリコン、窒化アルミニウム、窒化酸化アルミニウム等がある。なお、酸素、水素、水、アルカリ金属、アルカリ土類金属等のブロッキング効果を有する窒化物絶縁膜の代わりに、酸素、水素、水等のブロッキング効果を有する酸化物絶縁膜を設けてもよい。酸素、水素、水等のブロッキング効果を有する酸化物絶縁膜としては、酸化アルミニウム、酸化窒化アルミニウム、酸化ガリウム、酸化窒化ガリウム、酸化イットリウム、酸化窒化イットリウム、酸化ハフニウム、酸化窒化ハフニウム等がある。

【0152】

酸化アルミニウム膜は、水素、水分などの不純物、および酸素の両方に対して膜を透過させない遮断効果が高いので絶縁層514に適用するのに好ましい。したがって、酸化アルミニウム膜は、トランジスタの作製工程中および作製後において、トランジスタの電気特性の変動要因となる水素、水分などの不純物のOS層520への混入防止、OS層520を構成する主成分材料である酸素の酸化物半導体からの放出防止、絶縁層512からの酸素の不必要な放出防止の効果を有する保護膜として用いることに適している。また、酸化アルミニウム膜に含まれる酸素を酸化物半導体中に拡散させることもできる。

【0153】

<層間絶縁膜>

また、絶縁層514上には絶縁層515が形成されていることが好ましい。絶縁層515は単層構造または積層構造の絶縁膜で形成することができる。当該絶縁膜には、酸化マグネシウム、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、酸化ガリウム、酸化ゲルマニウム、酸化イットリウム、酸化ジルコニウム、酸化ランタン、酸化ネオジム、酸化ハフニウムおよび酸化タンタルを一種以上含む絶縁膜を用いることができる。

【0154】

<酸化物半導体層>

OS層521-523の半導体材料としては、代表的には、In-Ga酸化物、In-Zn酸化物、In-M-Zn酸化物(Mは、Ga、Y、Sn、Zr、La、Ce、またはNd等)がある。元素Mは、例えば、酸素との結合エネルギーが高い元素であり、または、酸素との結合エネルギーがインジウムよりも高い元素であり、または、酸化物半導体のエネルギーギャップを大きくする機能を有する元素である。また、OS層521-523は、インジウムを含む酸化物層に限定されない。OS層521-523は、例えば、Zn-Sn酸化物、Ga-Sn酸化物、Zn-Mg酸化物等で形成することができる。また、OS層522は、In-M-Zn酸化物で形成することが好ましい。また、OS層521、OS層523は、それぞれ、Ga酸化物で形成することができる。

【0155】

10

20

30

40

50

OS層522は、インジウムを含む酸化物半導体に限定されない。OS層522は、例えば、インジウムを含まず亜鉛、ガリウム、およびスズのうちの少なくとも1を含む酸化物半導体（例えば、亜鉛スズ酸化物、ガリウムスズ酸化物）などであっても構わない。

【0156】

OS層522は、例えば、エネルギーギャップが大きい酸化物で形成するとよい。OS層522のエネルギーギャップは、例えば、2.5 eV以上4.2 eV以下、好ましくは2.8 eV以上3.8 eV以下、さらに好ましくは3 eV以上3.5 eV以下とする。

【0157】

OS層522は、後述するCAAC-OS膜であることが好ましい。酸化物半導体はZnを含むと結晶化しやすくなる場合があるため、OS層522はZnを含むことが好ましい。

10

【0158】

OS層522とOS層521の界面に界面準位が形成されると、界面近傍の領域にもチャネル領域が形成されるために、OSTランジスタ501の閾値電圧が変動してしまう。そのため、OS層521は、OS層522を構成する金属元素の少なくとも1つをその構成要素に含むことが好ましい。これにより、OS層522とOS層523の界面には、界面準位が形成されにくくなり、OSTランジスタ501の閾値電圧等の電気特性のばらつきを低減することができる。

【0159】

OS層523は、OS層522を構成する金属元素を少なくとも1つをその構成要素に含むことが好ましい。これにより、OS層522とOS層523との界面では、界面散乱が起こりにくくなり、キャリアの動きが阻害されにくくなるので、OSTランジスタ501の電界効果移動度を高くすることができる。

20

【0160】

OS層521、OS層522およびOS層523は、少なくともインジウムを含むと好ましい。なお、OS層521がIn-M-Zn酸化物のとき、InおよびMの和を100 atomic%としたとき、好ましくはInが50 atomic%未満、Mが50 atomic%より高く、さらに好ましくはInが25 atomic%未満、Mが75 atomic%より高いとする。また、OS層522がIn-M-Zn酸化物のとき、InおよびMの和を100 atomic%としたとき、好ましくはInが25 atomic%より高く、Mが75 atomic%未満、さらに好ましくはInが34 atomic%より高く、Mが66 atomic%未満とする。また、OS層523がIn-M-Zn酸化物のとき、InおよびMの和を100 atomic%としたとき、好ましくはInが50 atomic%未満、Mが50 atomic%より高く、さらに好ましくはInが25 atomic%未満、Mが75 atomic%より高くする。なお、OS層523は、OS層521と同種の酸化物を用いても構わない。または、OS層521または/およびOS層523がインジウムを含まなくても構わない場合がある。例えば、OS層521または/およびOS層523を酸化ガリウムとすることができる。

30

【0161】

OS層521-523のうち、OS層522が最もキャリア移動度が高いことが好ましい。これにより、絶縁層511から離間しているOS層522にチャネルを形成することができる。

40

【0162】

例えば、In-M-Zn酸化物等のInを含む酸化物は、Inの含有率を高めることでキャリア移動度を高めることができる。In-M-Zn酸化物では主として重金属のs軌道がキャリア伝導に寄与しており、インジウムの含有率を多くすることにより、より多くのs軌道が重なるため、インジウムの含有率が多い酸化物はインジウムの含有率が少ない酸化物と比較して移動度が高くなる。そのため、酸化物半導体膜にインジウムの含有量が多い酸化物を用いることで、キャリア移動度を高めることができる。

【0163】

50

酸化物半導体膜をスパッタリング法で成膜する際には、被成膜面である基板表面の加熱、または空間加熱などの影響で、ソースとなるターゲットなどの組成と膜の組成とが異なる場合がある。例えば、In-Ga-Zn酸化物のターゲットを用いる場合、酸化亜鉛は、酸化インジウムや酸化ガリウムなど比べて昇華しやすいため、ソースとIn-Ga-Zn酸化物との組成のずれが生じやすい。具体的には、成膜されるIn-Ga-Zn酸化物は、Znの含有量がソースよりも少なくなる。したがって、あらかじめ組成の変化を考慮したソースを選択することが好ましい。なお、ソースと膜との組成のずれ量は、温度以外にも圧力や成膜に用いるガスなどの影響でも変化する。

【0164】

OS層522がスパッタリング法で作製されたIn-M-Zn酸化物の場合、In-M-Zn酸化物を成膜するために用いるターゲットの金属元素の原子数比In:M:Znは、1:1:1、3:1:2、または4:2:4.1が好ましい。例えば、In:M:Zn=4:2:4.1のターゲットを用いて成膜された半導体膜に含まれる金属元素の原子数比は、およそIn:M:Zn=4:2:3である。

10

【0165】

OS層521及びOS層523がスパッタリング法で作製されたIn-M-Zn酸化物の場合、In-M-Zn酸化物を成膜するために用いるターゲットの金属元素の原子数比In:M:Znは、1:3:2、または1:3:4が好ましい。

【0166】

酸化物半導体膜をスパッタリング法で成膜する場合、プラズマを発生させるための電源装置は、RF電源装置、AC電源装置、DC電源装置等を適宜用いることができる。スパッタリングガスは、希ガス(代表的にはアルゴン)、酸素、希ガス及び酸素の混合ガスを適宜用いる。なお、希ガス及び酸素の混合ガスの場合、希ガスに対して酸素のガス比を高めることが好ましい。また、ターゲットは、成膜する酸化物半導体の組成にあわせて、適宜選択すればよい。

20

【0167】

高純度真性または実質的に高純度真性である酸化物半導体を得るためには、チャンパー内を高真空排気するのみならずスパッタガスの高純度化も必要である。スパッタガスとして用いる酸素ガスやアルゴンガスは、露点が-40以下、好ましくは-80以下、より好ましくは-100以下、より好ましくは-120以下にまで高純度化したガスを用いることで酸化物半導体に水分等が取り込まれることを可能な限り防ぐことができる。

30

【0168】

<エネルギーバンド構造>

次に、OS層521、OS層522、およびOS層523の積層により構成されるOS層520の機能およびその効果について、図19Bに示すエネルギーバンド構造図を用いて説明する。図19Aは、OSTランジスタ501のチャネル領域を拡大した図であり、図18Bの部分拡大図である。図19Bに、図19Aで点線z1-z2で示した部位(OSTランジスタ501のチャネル形成領域)のエネルギーバンド構造を示す。以下、OSTランジスタ501を例に説明するが、OSTランジスタ502-506でも同様である。

【0169】

図19B中、Ec512、Ec521、Ec522、Ec523、Ec513は、それぞれ、絶縁層512、OS層521、OS層522、OS層523、絶縁層513の伝導帯下端のエネルギーを示している。

40

【0170】

ここで、真空準位と伝導帯下端のエネルギーとの差(「電子親和力」ともいう。)は、真空準位と価電子帯上端のエネルギーとの差(イオン化ポテンシャルともいう。)からエネルギーギャップを引いた値となる。なお、エネルギーギャップは、分光エリプソメータ(HORIBA JOBIN YVON社 UT-300)を用いて測定できる。また、真空準位と価電子帯上端のエネルギー差は、紫外線光電子分光分析(UPS: Ultraviolet Photoelectron Spectroscopy)装置(PHI社

50

VersaProbe)を用いて測定できる。

【0171】

絶縁層512と絶縁層513は絶縁体であるため、 $E_{c513}$ と $E_{c512}$ は、 $E_{c521}$ 、 $E_{c522}$ 、および $E_{c523}$ よりも真空準位に近い(電子親和力が小さい)。

【0172】

OS層522は、OS層521およびOS層523よりも電子親和力の大きい酸化物層である。例えば、OS層522として、OS層521およびOS層523よりも電子親和力の0.07 eV以上1.3 eV以下、好ましくは0.1 eV以上0.7 eV以下、さらに好ましくは0.15 eV以上0.4 eV以下大きい酸化物を用いる。なお、電子親和力は、真空準位と伝導帯下端のエネルギーとの差である。

10

【0173】

OSTランジスタ501のゲート(導電層530)に電圧を印加すると、OS層521、OS層522、OS層523のうち、電子親和力が大きいOS層522にチャネルが形成される。

【0174】

インジウムガリウム酸化物は、小さい電子親和力と、高い酸素ブロック性を有する。そのため、OS層523がインジウムガリウム酸化物を含むと好ましい。ガリウム原子割合 $[Ga/(In+Ga)]$ は、例えば、70%以上、好ましくは80%以上、さらに好ましくは90%以上とする。

【0175】

また、 $E_{c521}$ は、 $E_{c522}$ よりも真空準位に近い。具体的には、 $E_{c521}$ は、 $E_{c522}$ よりも0.05 eV以上、0.07 eV以上、0.1 eV以上または0.15 eV以上、かつ2 eV以下、1 eV以下、0.5 eV以下または0.4 eV以下真空準位に近いことが好ましい。

20

【0176】

また、 $E_{c523}$ は、 $E_{c522}$ よりも真空準位に近い。具体的には、 $E_{c523}$ は、 $E_{c522}$ よりも0.05 eV以上、0.07 eV以上、0.1 eV以上または0.15 eV以上、かつ2 eV以下、1 eV以下、0.5 eV以下または0.4 eV以下真空準位に近いことが好ましい。

【0177】

また、OS層521とOS層522の間にはOS層521とOS層522の混合領域が存在する場合がある。また、OS層523とOS層522の間にはOS層523とOS層522の混合領域が存在する場合がある。混合領域は、界面準位密度が低くなるため、OS層521-523の積層体(OS層520)は、それぞれの界面近傍においてエネルギーが連続的に変化する(連続接合ともいう。)バンド構造となる。

30

【0178】

このようなエネルギーバンド構造を有するOS層520において、電子はOS層522を主として移動することになる。そのため、OS層521と絶縁層512との界面に、または、OS層523と絶縁層513との界面に準位が存在したとしても、これらの界面準位により、OS層520中を移動する電子の移動が阻害されにくくなるため、OSTランジスタ501のオン電流を高くすることができる。

40

【0179】

また、図19Bに示すように、OS層521と絶縁層512の界面近傍、およびOS層523と絶縁層513の界面近傍には、それぞれ、不純物や欠陥に起因したトラップ準位 $E_{t502}$ が形成され得るものの、OS層521、およびOS層523があることにより、OS層522とトラップ準位 $E_{t502}$ とを遠ざけることができる。OSTランジスタ501は、チャネル幅方向において、OS層522の上面と側面がOS層523と接し、OS層522の下面がOS層521と接して形成されている(図18C参照)。このように、OS層522をOS層521とOS層523で覆う構成とすることで、トラップ準位 $E_{t502}$ の影響をさらに低減することができる。

50

## 【0180】

ただし、Ec521またはEc523と、Ec522とのエネルギー差が小さい場合、OS層522の電子が該エネルギー差を越えてトラップ準位に達することがある。トラップ準位に電子が捕獲されることで、絶縁膜の界面にマイナスの固定電荷が生じ、トランジスタの閾値電圧はプラス方向にシフトしてしまう。従って、Ec521、およびEc523と、Ec522とのエネルギー差を、それぞれ0.1eV以上、好ましくは0.15eV以上とすると、OSTランジスタ501の閾値電圧の変動が低減され、OSTランジスタ501の電気特性を良好なものとすることができるため、好ましい。

## 【0181】

トランジスタのオン電流は、電子の移動を阻害する要因を低減するほど、高くすることができる。例えば、電子の移動を阻害する要因のない場合、効率よく電子が移動すると推定される。電子の移動は、例えば、チャネル領域の物理的な凹凸が大きい場合にも阻害される。または、チャネル領域中の欠陥準位密度が高い場合にも、電子の移動は阻害される。

10

## 【0182】

OSTランジスタ501のオン電流を高くするためには、例えば、OS層522の上面または下面（被形成面、ここではOS層521）の、 $1\mu\text{m} \times 1\mu\text{m}$ の範囲における二乗平均平方根（RMS：Root Mean Square）粗さが1nm未満、好ましくは0.6nm未満、さらに好ましくは0.5nm未満、より好ましくは0.4nm未満とすればよい。また、 $1\mu\text{m} \times 1\mu\text{m}$ の範囲における平均面粗さ（Raともいう。）が1nm未満、好ましくは0.6nm未満、さらに好ましくは0.5nm未満、より好ましくは0.4nm未満とすればよい。また、 $1\mu\text{m} \times 1\mu\text{m}$ の範囲における最大高低差（P-Vともいう。）が10nm未満、好ましくは9nm未満、さらに好ましくは8nm未満、より好ましくは7nm未満とすればよい。

20

## 【0183】

例えば、OS層522が酸素欠損（ $V_{\text{O}}$ とも表記。）を有する場合、酸素欠損のサイトに水素が入り込むことでドナー準位を形成することがある。以下では酸素欠損のサイトに水素が入り込んだ状態を $V_{\text{O}}\text{H}$ と表記する場合がある。 $V_{\text{O}}\text{H}$ は電子を散乱するため、トランジスタのオン電流を低下させる要因となる。なお、酸素欠損のサイトは、水素が入るよりも酸素が入る方が安定する。したがって、OS層522中の酸素欠損を低減することで、トランジスタのオン電流を高くすることができる場合がある。例えば、OS層522のある深さにおいて、または、OS層522のある領域において、二次イオン質量分析法（SIMS：Secondary Ion Mass Spectrometry）で測定される水素濃度は、 $2 \times 10^{20} \text{ atoms/cm}^3$ 以下、好ましくは $5 \times 10^{19} \text{ atoms/cm}^3$ 以下、より好ましくは $1 \times 10^{19} \text{ atoms/cm}^3$ 以下、さらに好ましくは $5 \times 10^{18} \text{ atoms/cm}^3$ 以下とする。

30

## 【0184】

OS層522の酸素欠損を低減するために、例えば、絶縁層512に含まれる過剰酸素を、OS層521を介してOS層522まで移動させる方法などがある。この場合、OS層521は、酸素透過性を有する層（酸素を透過させる層）であることが好ましい。

## 【0185】

OSTランジスタ501がs-channel構造を有する場合、OS層522の全体にチャネルが形成されるようにすることができる。OS層522の厚さは10nm以上100nm以下、または10nm以上30nm以下とすればよい。

40

## 【0186】

また、トランジスタのオン電流を高くするためには、OS層523を薄くすればよい。例えば、10nm未満、好ましくは5nm以下、さらに好ましくは3nm以下の領域を有するOS層523とすればよい。一方、OS層523は、OS層522へ、隣接する絶縁体を構成する酸素以外の元素（水素、シリコンなど）が入り込まないようにブロックする機能を有する。そのため、OS層523は、ある程度の厚さを有することが好ましい。例えば、0.3nm以上、好ましくは1nm以上、さらに好ましくは2nm以上の厚さの領域を

50

有するOS層523とすればよい。また、OS層523は、絶縁層512などから放出される酸素の外方拡散を抑制するために、酸素をブロックする性質を有すると好ましい。

【0187】

また、信頼性を高くするためには、OS層521は厚く、OS層523は薄いことが好ましい。例えば、10nm以上、好ましくは20nm以上、さらに好ましくは40nm以上、より好ましくは60nm以上の厚さの領域を有するOS層521とすればよい。OS層521を厚くすることで、隣接する絶縁体とOS層521との界面からチャンネルの形成されるOS層522までの距離を離すことができる。ただし、半導体装置の生産性が低下する場合があるため、例えば、200nm以下、好ましくは120nm以下、さらに好ましくは80nm以下の厚さの領域を有するOS層521とすればよい。

10

【0188】

酸化物半導体をチャンネルとするOSTランジスタに安定した電気特性を付与するには、酸化物半導体中の不純物濃度を低減し、酸化物半導体を真性または実質的に真性にするのが有効である。ここで、実質的に真性とは、酸化物半導体のキャリア密度が、 $1 \times 10^{17} / \text{cm}^3$ 未満であること、好ましくは $1 \times 10^{15} / \text{cm}^3$ 未満であること、さらに好ましくは $1 \times 10^{13} / \text{cm}^3$ 未満であることを指す。

【0189】

また、酸化物半導体において、水素、窒素、炭素、シリコン、および主成分以外の金属元素は不純物となる。例えば、水素および窒素はドナー準位の形成に寄与し、キャリア密度を増大させてしまう。また、シリコンは酸化物半導体中で不純物準位の形成に寄与する。当該不純物準位はトラップとなり、ランジスタの電気特性を劣化させることがある。したがって、OS層521、OS層522およびOS層523の層中や、それぞれの界面において不純物濃度を低減させることが好ましい。

20

【0190】

酸化物半導体を真性または実質的に真性とするためには、SIMS分析において、例えば、酸化物半導体のある深さにおいて、または、酸化物半導体のある領域において、シリコン濃度を $1 \times 10^{19} \text{ atoms} / \text{cm}^3$ 未満、好ましくは $5 \times 10^{18} \text{ atoms} / \text{cm}^3$ 未満、さらに好ましくは $1 \times 10^{18} \text{ atoms} / \text{cm}^3$ 未満とする。また、水素濃度は、例えば、酸化物半導体のある深さにおいて、または、酸化物半導体のある領域において、 $2 \times 10^{20} \text{ atoms} / \text{cm}^3$ 以下、好ましくは $5 \times 10^{19} \text{ atoms} / \text{cm}^3$ 以下、より好ましくは $1 \times 10^{19} \text{ atoms} / \text{cm}^3$ 以下、さらに好ましくは $5 \times 10^{18} \text{ atoms} / \text{cm}^3$ 以下とする。また、窒素濃度は、例えば、酸化物半導体のある深さにおいて、または、酸化物半導体のある領域において、 $5 \times 10^{19} \text{ atoms} / \text{cm}^3$ 未満、好ましくは $5 \times 10^{18} \text{ atoms} / \text{cm}^3$ 以下、より好ましくは $1 \times 10^{18} \text{ atoms} / \text{cm}^3$ 以下、さらに好ましくは $5 \times 10^{17} \text{ atoms} / \text{cm}^3$ 以下とする。

30

【0191】

また、酸化物半導体が結晶を含む場合、シリコンや炭素が高濃度で含まれると、酸化物半導体の結晶性を低下させることがある。酸化物半導体の結晶性を低下させないためには、例えば、酸化物半導体のある深さにおいて、または、酸化物半導体のある領域において、シリコン濃度を $1 \times 10^{19} \text{ atoms} / \text{cm}^3$ 未満、好ましくは $5 \times 10^{18} \text{ atoms} / \text{cm}^3$ 未満、さらに好ましくは $1 \times 10^{18} \text{ atoms} / \text{cm}^3$ 未満とする部分を有していればよい。また、例えば、酸化物半導体のある深さにおいて、または、酸化物半導体のある領域において、炭素濃度を $1 \times 10^{19} \text{ atoms} / \text{cm}^3$ 未満、好ましくは $5 \times 10^{18} \text{ atoms} / \text{cm}^3$ 未満、さらに好ましくは $1 \times 10^{18} \text{ atoms} / \text{cm}^3$ 未満とする部分を有していればよい。

40

【0192】

また、上述のように高純度化された酸化物半導体をチャンネル形成領域に用いたランジスタのオフ電流は極めて小さい。例えば、ソースとドレインとの間の電圧を0.1V、5V、または、10V程度とした場合に、ランジスタのチャンネル幅で規格化したオフ電流を

50

数  $y \text{ A} / \mu\text{m}$  から数  $z \text{ A} / \mu\text{m}$  にまで低減することが可能となる。

【0193】

図18は、OS層520が3層構造の例であるが、これに限定されない。例えば、OS層520をOS層521またはOS層523のない2層構造とすることができる。または、OS層521の上もしくは下、またはOS層523上もしくは下に、OS層521、OS層522およびOS層523として例示した酸化物半導体層のいずれか一を有する4層構造とすることもできる。または、OS層520の任意の層の間、OS層520の上、OS層520の下のいずれか二箇所以上に、OS層521 523として例示した酸化物半導体層を一または複数を設けて、 $n$ 層構造( $n$ は5以上の整数)とすることもできる。

【0194】

<<OSTランジスタの構成例2>>

図20Aに示すOSTランジスタ502は、OSTランジスタ501の変形例である。OSTランジスタ502も、OSTランジスタ501と同様に、*s-channel*構造である。OSTランジスタ502は、導電層541および導電層542の形状、および絶縁層511上に導電層531が設けられていることが、OSTランジスタ501と異なる。

【0195】

導電層531はバックゲート電極として機能する。導電層531に、一定の電位を供給してもよいし、導電層530と同じ電位や同じ信号を供給してもよいし、異なる電位や異なる信号を供給してもよい。導電層541および導電層542は、それぞれ、ソース電極またはドレイン電極として機能する。

【0196】

OSTランジスタ502の導電層541および導電層542は、OS層521とOS層522との積層を形成するために使用されるハードマスクから作製されている。そのため、導電層541および導電層542は、OS層521およびOS層522の側面に接する領域を有していない。例えば、次のような工程を経て、OS層521、522、導電層541、542を作製することができる。OS層521、522を構成する2層の酸化物半導体膜を形成する。酸化物半導体膜上に、単層または積層の導電膜を形成する。この導電膜をエッチングしてハードマスクを形成する。このハードマスクを用いて、2層の酸化物半導体膜をエッチングして、OS層521とOS層522の積層を形成する。次に、ハードマスクをエッチングして、導電層541および導電層542を形成する。

【0197】

導電層531は、OSTランジスタ502のバックゲート電極として機能させることができる。図20に示すOSTランジスタ501や後述するOSTランジスタ503-506(図18-図21)にも、導電層531を設けることができる。

【0198】

<<OSTランジスタの構成例3、4>>

図20Bに示すOSTランジスタ503はOSTランジスタ501の変形例であり、図20Cに示すOSTランジスタ504は、OSTランジスタ502の変形例である。OSTランジスタ503およびOSTランジスタ504では、導電層530をマスクに用いて、OS層523および絶縁層513がエッチングされている。そのため、OS層523および絶縁層513の端部は導電層530の端部とほぼ一致することになる。

【0199】

<<OSTランジスタの構成例5、6>>

図21Aに示すOSTランジスタ505は、OSTランジスタ501の変形例であり、図21Bに示すOSTランジスタ506は、OSTランジスタ502の変形例である。OSTランジスタ505およびOSTランジスタ506は、それぞれ、OS層523と導電層541との間に層551を有し、OS層523と導電層542との間に層552を有する。

【0200】

層551、552は、例えば、透明導電体、酸化物半導体、窒化物半導体または酸化窒化

10

20

30

40

50

物半導体でなる層で形成することができる。層551、552は、n型の酸化物半導体層で、または、導電層541、542よりも抵抗が高い導電体層で、形成することができる。例えば、層551、層552としては、インジウム、スズおよび酸素を含む層、インジウムおよび亜鉛を含む層、インジウム、タングステンおよび亜鉛を含む層、スズおよび亜鉛を含む層、亜鉛およびガリウムを含む層、亜鉛およびアルミニウムを含む層、亜鉛およびフッ素を含む層、亜鉛およびホウ素を含む層、スズおよびアンチモンを含む層、スズおよびフッ素を含む層またはチタンおよびニオブを含む層などを用いればよい。例示したこれらの層は水素、炭素、窒素、シリコン、ゲルマニウムまたはアルゴンの1または複数を含んでも構わない。

#### 【0201】

層551、552は、可視光線を透過する性質を有しても構わない。または、層551、552は、可視光線、紫外線、赤外線もしくはX線を、反射もしくは吸収することで透過させない性質を有しても構わない。このような性質を有することで、迷光によるトランジスタの電気特性の変動を抑制できる場合がある。

#### 【0202】

また、層551、552は、OS層522との間にショットキー障壁を形成しない層を用いると好ましい。こうすることで、OSTランジスタ505、506のオン特性を向上させることができる。

#### 【0203】

層551、552は、導電層541、542よりも高抵抗であることが好ましい。また、層551、552は、OSTランジスタ505、506のチャネル抵抗よりも低抵抗であることが好ましい。例えば、層551、552の抵抗率は、 $0.1 \text{ cm}$ 以上 $100 \text{ cm}$ 以下、 $0.5 \text{ cm}$ 以上 $50 \text{ cm}$ 以下、または $1 \text{ cm}$ 以上 $10 \text{ cm}$ 以下であるとよい。層551、552の抵抗率を上述の範囲とすることにより、チャネルとドレインとの境界部における電界集中を緩和することができる。これにより、トランジスタの電気特性の変動を低減することができる。また、ドレインから生じる電界に起因したパンチスルー電流を低減することができる。そのため、チャネル長の短いトランジスタにおいても飽和特性を良好にすることができる。なお、動作中にOSTランジスタ505、506のソースとドレインとが入れ替わらない回路構成であれば、層551または層552の一方のみ（例えば、ドレイン側）を設けるほうが好ましい場合がある。

#### 【0204】

<<チップのデバイス構造例1>>

図22に、OSTランジスタとSiトランジスタとで構成されているチップのデバイス構造の一例を示す。図22は、PU200（図13）の積層構造を説明するための図であり、図14の積層構造をより具体的に記載した図面である。なお、図22はPU200のチップを特定の切断線で切ったものではない。

#### 【0205】

チップは単結晶シリコンウエハ270に形成されている。FET層260には、回路RC50を除く回路を構成するSiトランジスタ、容量素子等の半導体素子が設けられている。図22には、代表的に、p型Siトランジスタ271、n型Siトランジスタ272を示す。FET層260に配線層 $W_1 - W_4$ が積層されている。配線層 $W_4$ にFET層261が積層されている。

#### 【0206】

FET層261はOSTランジスタが形成される層であり、トランジスタM1 - M3が形成されている。トランジスタM3を代表的に示している。トランジスタM1、M2も同様のデバイス構造を有する。ここでは、トランジスタM1 - M3の構造は、OSTランジスタ504（図20C）と同様である。トランジスタM3にバックゲートを設けるために、配線層 $W_4$ に導電層280が形成されている。

#### 【0207】

FET層261に配線層 $W_5$ 、 $W_6$ が積層され、配線層 $W_6$ に容量素子C11が積層され

10

20

30

40

50



、容量素子C 1 1に配線層W<sub>7</sub>、W<sub>8</sub>積層されている。容量素子C 1 1は、導電層2 8 1、2 8 2、絶縁層2 8 4を有する。ここでは、導電層2 8 1が形成される層を配線層として利用している。容量素子C 1 1をFET層2 6 1に積層して設けることで、容量素子C 1 1の容量を大きくすることが容易である。また、容量素子C 1 1の容量の大きさによるが、容量素子C 1 1をFET層2 6 1に設けることも可能である。この場合、トランジスタM 3のソース電極およびドレイン電極と同じ層の導電層と、同ゲート電極と同じ層の導電層とで、2つの電極を形成すればよい。FET層2 6 1に容量素子C 1 1を設けることで、工程数が削減できるため、製造コストの削減につながる。

【0208】

<<チップのデバイス構造例2>>

10

FET層2 6 1にOSトランジスタが形成される他のFET層を積層することが可能である。図2 3は、そのような3次元のデバイス構造を有するチップの例を示す。

【0209】

図2 3のチップでは、容量素子C 1 1はFET層2 6 1に形成されている。FET層2 6 1に配線層W<sub>6</sub>、W<sub>7</sub>が積層されている。配線層W<sub>7</sub>にFET層2 6 2が積層されている。FET層2 6 2はOSトランジスタが作製されている層である。ここでは、トランジスタM 8 0を示している。トランジスタM 8 0にバックゲートを設けるために、配線層W<sub>7</sub>に導電層2 8 3が形成されている。

【0210】

FET層2 6 2に配線層W<sub>8</sub>、W<sub>9</sub>が積層されている。配線層W<sub>9</sub>に容量層2 6 3が積層されている。容量層2 6 3に配線層W<sub>10</sub>、W<sub>11</sub>が積層されている。容量層2 6 3には、複数の容量素子C 8 0が形成されている。例えば、トランジスタM 8 0と容量素子C 1 1とで1トランジスタ型1容量型のメモリセルを構成することができる。よって、FET層2 6 1上に、メモリセルアレイを積層することができる。

20

【0211】

また、FET層2 6 1のOSトランジスタとFET層2 6 2のOSトランジスタとで電気特性を異ならせることができる。例えば、OSトランジスタの2層目の酸化半導体層を異ならせればよい。2層目の酸化半導体層がスパッタリング法で成膜されたIn-Ga-Zn酸化物である場合、原子数比In:Ga:Znが異なるターゲットを用いればよい。例えば、トランジスタM 3には、In:Ga:Zn=1:1:1のターゲットを使用し、トランジスタM 8 0には、In:Ga:Zn=4:2:4.1のターゲットを使用する。トランジスタM 8 0の酸化半導体層はInの含有量が多くなるため、トランジスタM 8 0の移動度を高くすることができる。他方、トランジスタM 3の酸化半導体層はInの含有量が減るため、トランジスタM 3の移動度はトランジスタM 8 0よりも低くなるが、トランジスタM 3のオフ電流はトランジスタM 8 0よりも低くなる。

30

【0212】

図2 2、図2 3のチップに使用されている絶縁体には、酸化アルミニウム、窒化酸化アルミニウム、酸化マグネシウム、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、酸化ガリウム、酸化ゲルマニウム、酸化イットリウム、酸化ジルコニウム、酸化ランタン、酸化ネオジム、酸化ハフニウム、酸化タンタルなどから選ばれた一種以上の材料を含む絶縁体を用いることができる。また、絶縁体には、ポリイミド樹脂、ポリアミド樹脂、アクリル樹脂、シロキサン樹脂、エポキシ樹脂、フェノール樹脂等の樹脂を用いることもできる。なお、本明細書において、酸化窒化物とは、窒素よりも酸素の含有量が多い化合物をいい、窒化酸化物とは、酸素よりも窒素の含有量が多い化合物をいう。

40

【0213】

絶縁層2 9 1 - 2 9 5は、水素、水等に対するブロッキング効果を有する絶縁物で形成されている層を少なくとも1層含むことが好ましい。水、水素等は酸化半導体中にキャリアを生成する要因の一つであるので、水素、水等に対するブロッキング層を設けることにより、トランジスタM 3の信頼性を向上することができる。水素、水等に対するブロッキング効果を有する絶縁物には、例えば、酸化アルミニウム、酸化窒化アルミニウム、酸化

50

ガリウム、酸化窒化ガリウム、酸化イットリウム、酸化窒化イットリウム、酸化ハフニウム、酸化窒化ハフニウム、イットリア安定化ジルコニア ( Y S Z ) 等がある。

【 0 2 1 4 】

< < 酸化物半導体の構造 > >

酸化物半導体は、単結晶酸化物半導体と、それ以外の非単結晶酸化物半導体とに分けられる。非単結晶酸化物半導体としては、C A A C - O S ( C A x i s A l i g n e d C r y s t a l l i n e O x i d e S e m i c o n d u c t o r )、多結晶酸化物半導体、微結晶酸化物半導体、非晶質酸化物半導体などがある。別の観点では、酸化物半導体は、非晶質酸化物半導体と、それ以外の結晶性酸化物半導体とに分けられる。結晶性酸化物半導体としては、単結晶酸化物半導体、C A A C - O S、多結晶酸化物半導体、微結晶酸化物半導体などがある。

10

【 0 2 1 5 】

本明細書において、「平行」とは、二つの直線が  $-10^\circ$  以上  $10^\circ$  以下の角度で配置されている状態をいう。したがって、 $-5^\circ$  以上  $5^\circ$  以下の場合も含まれる。また、「略平行」とは、二つの直線が  $-30^\circ$  以上  $30^\circ$  以下の角度で配置されている状態をいう。また、「垂直」とは、二つの直線が  $80^\circ$  以上  $100^\circ$  以下の角度で配置されている状態をいう。したがって、 $85^\circ$  以上  $95^\circ$  以下の場合も含まれる。また、「略垂直」とは、二つの直線が  $60^\circ$  以上  $120^\circ$  以下の角度で配置されている状態をいう。また、本明細書において、結晶が三方晶または菱面体晶である場合、六方晶系として表す。

【 0 2 1 6 】

20

< C A A C - O S >

C A A C - O S を、C A N C ( C - A x i s A l i g n e d n a n o c r y s t a l s ) を有する酸化物半導体と呼ぶこともできる。C A A C - O S は、c 軸配向した複数の結晶部 ( ペレットともいう。 ) を有する酸化物半導体の一つである。

【 0 2 1 7 】

透過型電子顕微鏡 ( T E M : T r a n s m i s s i o n E l e c t r o n M i c r o s c o p e ) によって、C A A C - O S の明視野像と回折パターンとの複合解析像 ( 高分解能 T E M 像ともいう。 ) を観察すると、複数のペレットを確認することができる。一方、高分解能 T E M 像ではペレット同士の境界、即ち結晶粒界 ( グレインバウンダリーともいう。 ) を明確に確認することができない。そのため、C A A C - O S は結晶粒界に起因する電子移動度の低下が起こりにくいといえる。

30

【 0 2 1 8 】

C A A C - O S の o u t - o f - p l a n e 法による構造解析では、2 が  $31^\circ$  近傍のピークの他に、2 が  $36^\circ$  近傍にもピークが現れる場合がある。2 が  $36^\circ$  近傍のピークは、C A A C - O S 中の一部に、c 軸配向性を有さない結晶が含まれることを示している。より好ましい C A A C - O S は、o u t - o f - p l a n e 法による構造解析では、2 が  $31^\circ$  近傍にピークを示し、2 が  $36^\circ$  近傍にピークを示さない。

【 0 2 1 9 】

C A A C - O S に対し、c 軸に略垂直な方向から X 線を入射させる i n - p l a n e 法による構造解析を行うと、2 が  $56^\circ$  近傍にピークが現れる。このピークは  $\text{InGaZnO}_4$  の結晶の ( 1 1 0 ) 面に帰属される。C A A C - O S の場合は、2 を  $56^\circ$  近傍に固定し、試料面の法線ベクトルを軸 ( 軸 ) として試料を回転させながら分析 ( スキャン ) を行っても、明瞭なピークは現れない。これに対し、 $\text{InGaZnO}_4$  の単結晶酸化物半導体であれば、2 を  $56^\circ$  近傍に固定して スキャンした場合、( 1 1 0 ) 面と等価な結晶面に帰属されるピークが 6 本観察される。したがって、X R D を用いた構造解析から、C A A C - O S は a 軸および b 軸の配向が不規則であることが確認できる。

40

【 0 2 2 0 】

また、C A A C - O S は、欠陥準位密度の低い酸化物半導体である。酸化物半導体の欠陥としては、例えば、不純物に起因する欠陥や、酸素欠損などがある。したがって、C A A C - O S は不純物濃度の低い酸化物半導体ということもできる。また、C A A C - O S は

50

、酸素欠損の少ない酸化物半導体ということもできる。酸化物半導体に含まれる不純物は、キャリアトラップとなる場合や、キャリア発生源となる場合がある。また、酸化物半導体中の酸素欠損は、キャリアトラップとなる場合や、水素を捕獲することによってキャリア発生源となる場合がある。

#### 【0221】

不純物は、酸化物半導体の主成分以外の元素で、水素、炭素、シリコン、遷移金属元素などがある。例えば、シリコンなどの、酸化物半導体を構成する金属元素よりも酸素との結合力の強い元素は、酸化物半導体から酸素を奪うことで酸化物半導体の原子配列を乱し、結晶性を低下させる要因となる。また、鉄やニッケルなどの重金属、アルゴン、二酸化炭素などは、原子半径（または分子半径）が大きいいため、酸化物半導体の原子配列を乱し、結晶性を低下させる要因となる。

10

#### 【0222】

欠陥準位密度の低い（酸素欠損が少ない）酸化物半導体は、キャリア密度を低くすることができる。そのような酸化物半導体を高純度真性または実質的に高純度真性な酸化物半導体と呼ぶ。CAAC-Osは不純物濃度が低く、欠陥準位密度が低い。即ち、高純度真性または実質的に高純度真性な酸化物半導体となりやすい。したがって、CAAC-Osを用いたトランジスタはしきい値電圧がマイナスとなる電気特性（ノーマリーオンともいう。）になることが少ない。また、高純度真性または実質的に高純度真性な酸化物半導体はキャリアトラップが少ない。よってCAAC-Osを用いたトランジスタは、電気特性の変動が小さく、信頼性の高いトランジスタとなる。CAAC-Osは欠陥準位密度が低い

20

#### 【0223】

酸化物半導体のキャリアトラップに捕獲された電荷は、放出するまでに要する時間が長く、あたかも固定電荷のように振る舞うことがある。そのため、不純物濃度が高く、欠陥準位密度が高い酸化物半導体を用いたトランジスタは、電気特性が不安定となる場合がある。

#### 【0224】

<微結晶酸化物半導体>

微結晶酸化物半導体は、高分解能TEM像において、結晶部を確認することのできる領域と、明確な結晶部を確認することのできない領域とを有する。微結晶酸化物半導体に含まれる結晶部は、1nm以上100nm以下、または1nm以上10nm以下の大きさであることが多い。特に、1nm以上10nm以下、または1nm以上3nm以下の微結晶であるナノ結晶を有する酸化物半導体を、nc-Os (nanocrystalline Oxide Semiconductor) と呼ぶ。nc-Osは、例えば、高分解能TEM像では、結晶粒界を明確に確認できない場合がある。なお、ナノ結晶は、CAAC-Osにおけるペレットと起源を同じくする可能性がある。そのため、以下ではnc-Osの結晶部をペレットと呼ぶ場合がある。

30

#### 【0225】

nc-Osは、微小な領域（例えば、1nm以上10nm以下の領域、特に1nm以上3nm以下の領域）において原子配列に周期性を有する。また、nc-Osは、異なるペレット間で結晶方位に規則性が見られない。そのため、膜全体で配向性が見られない。したがって、nc-Osは、分析方法によっては、非晶質酸化物半導体と区別が付かない場合がある。例えば、nc-Osに対し、ペレットよりも大きい径のX線を用いるXRD装置を用いて構造解析を行うと、out-of-plane法による解析では、結晶面を示すピークが検出されない。また、nc-Osに対し、ペレットよりも大きいプローブ径（例えば50nm以上）の電子線を用いる電子回折（制限視野電子回折ともいう。）を行うと、ハローパターンのような回折パターンが観測される。一方、nc-Osに対し、ペレットの大きさと近いペレットより小さいプローブ径の電子線を用いるナノビーム電子回折

40

50

を行うと、スポットが観測される。また、nc-OSに対しナノビーム電子回折を行うと、円を描くように（リング状に）輝度の高い領域が観測される場合がある。さらに、リング状の領域内に複数のスポットが観測される場合がある。

【0226】

このように、ペレット（ナノ結晶）間では結晶方位が規則性を有さないことから、nc-OSを、RANC（Random Aligned nanocrystals）を有する酸化物半導体、またはNANC（Non-Aligned nanocrystals）を有する酸化物半導体と呼ぶこともできる。

【0227】

nc-OSは、非晶質酸化物半導体よりも規則性の高い酸化物半導体である。そのため、nc-OSは、非晶質酸化物半導体よりも欠陥準位密度が低くなる。ただし、nc-OSは、異なるペレット間で結晶方位に規則性が見られない。そのため、nc-OSは、CAAC-OSと比べて欠陥準位密度が高くなる。

10

【0228】

<非晶質酸化物半導体>

非晶質酸化物半導体は、膜中における原子配列が不規則であり、結晶部を有さない酸化物半導体である。石英のような無定形状態を有する酸化物半導体が一例である。非晶質酸化物半導体は、高分解能TEM像において結晶部を確認することができない。非晶質酸化物半導体に対し、XRD装置を用いた構造解析を行うと、out-of-plane法による解析では、結晶面を示すピークが検出されない。また、非晶質酸化物半導体に対し、電子回折を行うと、ハローパターンが観測される。また、非晶質酸化物半導体に対し、ナノビーム電子回折を行うと、スポットが観測されず、ハローパターンのみが観測される。

20

【0229】

非晶質構造については、様々な見解が示されている。例えば、原子配列に全く秩序性を有さない構造を完全な非晶質構造（completely amorphous structure）と呼ぶ場合がある。また、長距離秩序性を有さないが、ある原子から最近接原子または第2近接原子までの範囲において秩序性を有していてもよい構造を非晶質構造と呼ぶ場合もある。したがって、最も厳格な定義によれば、僅かでも原子配列に秩序性を有する酸化物半導体を非晶質酸化物半導体と呼ぶことはできない。また、少なくとも、長距離秩序性を有する酸化物半導体を非晶質酸化物半導体と呼ぶことはできない。よって、結晶部を有することから、例えば、CAAC-OSおよびnc-OSを、非晶質酸化物半導体または完全な非晶質酸化物半導体と呼ぶことはできない。

30

【0230】

<非晶質ライク酸化物半導体>

なお、酸化物半導体は、nc-OSと非晶質酸化物半導体との間の構造を有する場合がある。そのような構造を有する酸化物半導体を、特に非晶質ライク酸化物半導体（a-like OS: amorphous-like Oxide Semiconductor）と呼ぶ。

【0231】

a-like OSは、高分解能TEM像において鬆（ポイドともいう。）が観察される場合がある。また、高分解能TEM像において、明確に結晶部を確認することのできる領域と、結晶部を確認することのできない領域とを有する。鬆を有するため、a-like OSは不安定な構造である。また、鬆を有するため、a-like OSはnc-OSおよびCAAC-OSと比べて密度の低い構造である。具体的には、a-like OSの密度は、同じ組成の単結晶の密度の78.6%以上92.3%未満となる。また、nc-OSの密度およびCAAC-OSの密度は、同じ組成の単結晶の密度の92.3%以上100%未満となる。単結晶の密度の78%未満となる酸化物半導体は、成膜すること自体が困難である。

40

【0232】

例えば、In:Ga:Zn=1:1:1[原子数比]を満たす酸化物半導体において、菱

50

面体晶構造を有する単結晶  $\text{InGaZnO}_4$  の密度は  $6.357 \text{ g/cm}^3$  となる。よって、例えば、 $\text{In}:\text{Ga}:\text{Zn}=1:1:1$  [原子数比] を満たす酸化物半導体において、*a-like OS* の密度は  $5.0 \text{ g/cm}^3$  以上  $5.9 \text{ g/cm}^3$  未満となる。また、例えば、 $\text{In}:\text{Ga}:\text{Zn}=1:1:1$  [原子数比] を満たす酸化物半導体において、*nc-OS* の密度および *C AAC-OS* の密度は  $5.9 \text{ g/cm}^3$  以上  $6.3 \text{ g/cm}^3$  未満となる。

#### 【0233】

なお、同じ組成の単結晶が存在しない場合がある。その場合、任意の割合で組成の異なる単結晶を組み合わせることにより、所望の組成における単結晶に相当する密度を見積もることができる。所望の組成の単結晶に相当する密度は、組成の異なる単結晶を組み合わせる割合に対して、加重平均を用いて見積もればよい。可能な限り少ない種類の単結晶を組み合わせ、密度を見積もることが好ましい。

10

#### 【0234】

酸化物半導体は、様々な構造をとり、それぞれが様々な特性を有する。例えば、*OS* トランジスタの半導体領域は、非晶質酸化物半導体、*a-like OS*、微結晶酸化物半導体、*C AAC-OS* のうち、二種以上を有する積層膜であってもよい。

#### 【符号の説明】

#### 【0235】

10 : 回路、11 : スキャンフリップフロップ (SFF)、15 : 回路、20 : 選択回路、21 : 選択回路 (SEL)、30 : 回路、31 : フリップフロップ (FF)、31a : 回路、32M : ラッチ、32S : ラッチ、42 : インバータ、43 : インバータ、44 : インバータ、45 : バッファ (BUF)、50 : SFF、

20

100 : 論理回路、101 : 論理回路、102 : 論理回路、103 : 論理回路、110 : SFF、112 : SFF、113 : SFF、114 : SFF、115 : SFF、116 : SFF、

200 : PU、201 : プロセッサコア、202 : 電源管理装置 (PMU)、203 : パワースイッチ (PSW)、204 : クロック制御回路、205 : 回路、210 : 電源回路、220 : 端子、221 : 端子、222 : 端子、231 : 制御装置、232 : プログラムカウンタ、233 : パイプラインレジスタ、234 : パイプラインレジスタ、235 : レジスタファイル、236 : 算術論理演算装置 (ALU)、237 : データバス、240 : 論理回路、250 : SFF、

30

260 : FET層、261 : FET層、262 : FET層、263 : 容量層、270 : 単結晶シリコンウエハ、271 : p型Siトランジスタ、272 : n型Siトランジスタ、280 : 導電層、281 : 導電層、282 : 導電層、283 : 導電層、284 : 絶縁層、291 : 絶縁層、292 : 絶縁層、293 : 絶縁層、294 : 絶縁層、295 : 絶縁層、501 : *OS* トランジスタ、502 : *OS* トランジスタ、503 : *OS* トランジスタ、504 : *OS* トランジスタ、505 : *OS* トランジスタ、506 : *OS* トランジスタ、510 : 基板、511 : 絶縁層、512 : 絶縁層、513 : 絶縁層、514 : 絶縁層、515 : 絶縁層、520 : *OS* 層、521 : *OS* 層、522 : *OS* 層、523 : *OS* 層、530 : 導電層、531 : 導電層、541 : 導電層、542 : 導電層、551 : 層、552 : 層

40

900 : 携帯型ゲーム機、901 : 筐体、902 : 筐体、903 : 表示部、904 : 表示部、905 : マイクロホン、906 : スピーカ、907 : 操作キー、908 : スタイラス、910 : 携帯情報端末、911 : 筐体、912 : 筐体、913 : 表示部、914 : 表示部、915 : 接続部、916 : 操作キー、920 : ノート型PC、921 : 筐体、922 : 表示部、923 : キーボード、924 : ポインティングデバイス、930 : 電気冷凍冷蔵庫、931 : 筐体、932 : 冷蔵庫用扉、933 : 冷凍室用扉、940 : ビデオカメラ、941 : 筐体、942 : 筐体、943 : 表示部、944 : 操作キー、945 : レンズ、946 : 接続部、950 : 自動車、951 : 車体、952 : 車輪、953 : ダッシュボード、954 : ライト、

50

7000 : 電子部品、7001 : リード、7002 : プリント基板、7003 : 回路部、7004 : 回路基板、

BK : 端子、C1 : 容量素子、C11 : 容量素子、C12 : 容量素子、C80 : 容量素子、CK : 端子、CK1 : 端子、CKB1 : 端子、D : 端子、D0 : 端子、D1 : 端子、D2 : 端子、D3 : 端子、Dn : 端子、EN : 端子、FN : ノード、FN11 : ノード、M1 : トランジスタ、M2 : トランジスタ、M3 : トランジスタ、M80 : トランジスタ、OBG : 端子、PL : 端子、Q : 端子、QB : 端子、RC1 : 回路、RC2 : 回路、RC3 : 回路、RC4 : 回路、RC11 : 回路、RC12 : 回路、RC13 : 回路、RC14 : 回路、RC15 : 回路、RC16 : 回路、RC50 : 回路、RE : 端子、RT : 端子、SD : 端子、SD\_IN : 端子、SE : 端子、SW1 : スイッチ、SW2 : スイッチ、SW3 : スイッチ、T0 : 端子、T1 : 端子、T2 : 端子、VH : 端子、VL : 端子、W1 : 配線層、W2 : 配線層、W3 : 配線層、W4 : 配線層、W5 : 配線層、W6 : 配線層、W7 : 配線層、W8 : 配線層、W9 : 配線層、W10 : 配線層、W11 : 配線層

10

【図1】

FIG. 1A

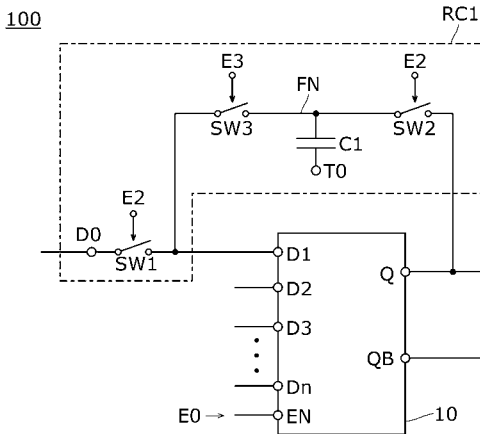
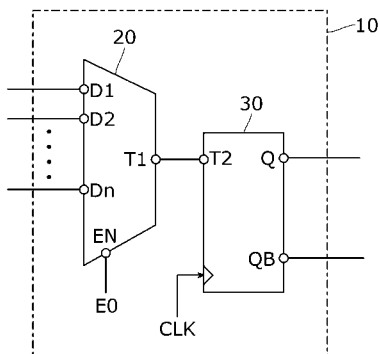


FIG. 1B



【図2】

FIG. 2A

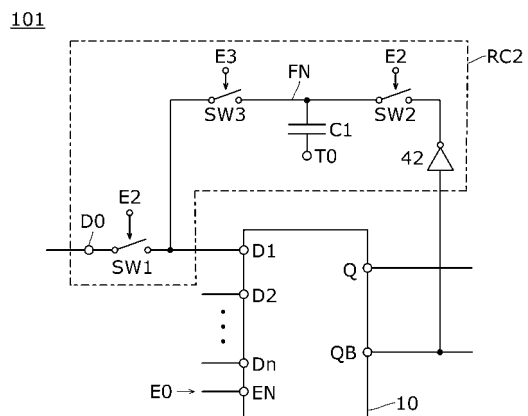
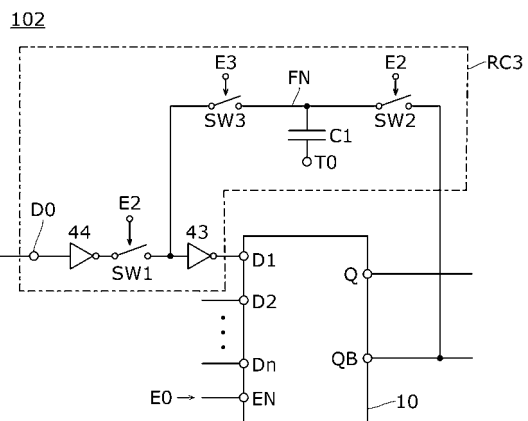


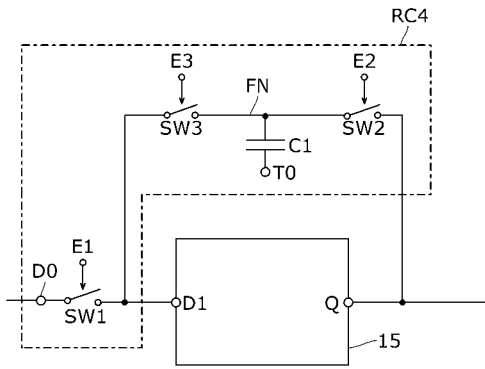
FIG. 2B



【 図 3 】

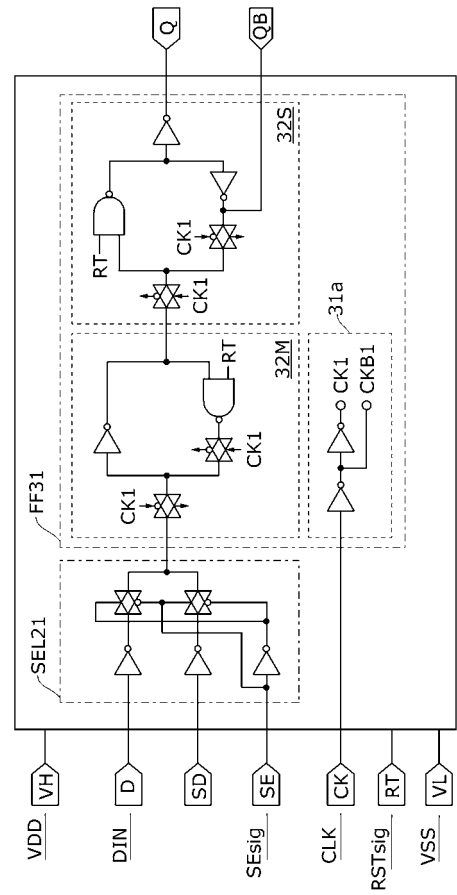
FIG. 3

103



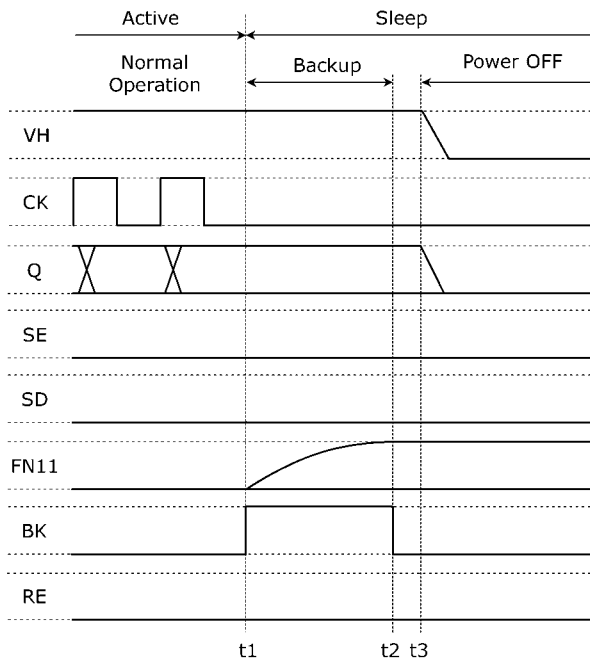
【 図 5 】

FIG. 5



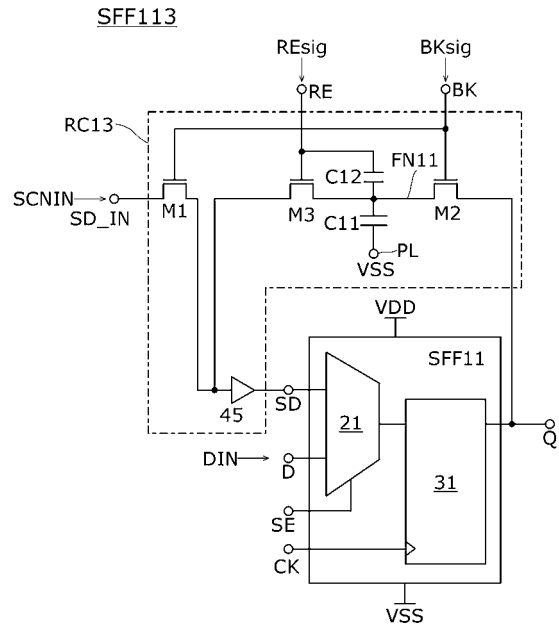
【 図 6 】

FIG. 6

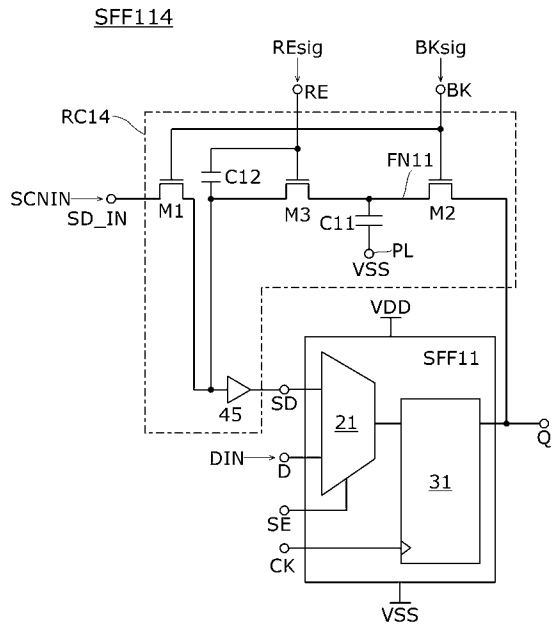


【 図 9 】

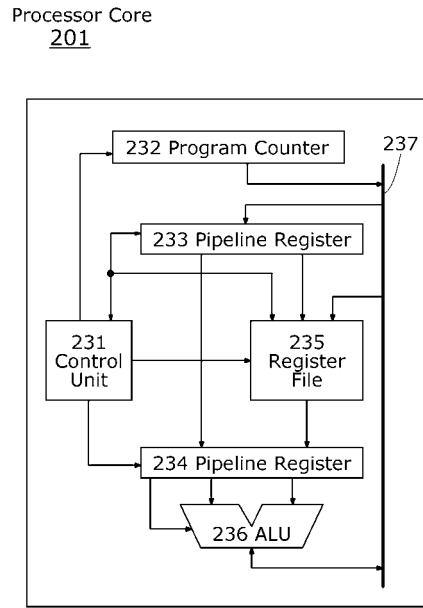
FIG. 9



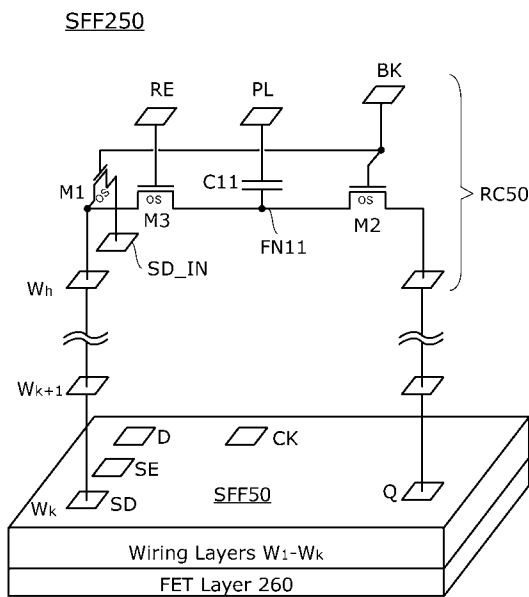
【 図 1 0 】  
FIG. 10



【 図 1 4 】  
FIG. 14



【 図 1 5 】  
FIG. 15



【 図 1 8 】  
FIG. 18A

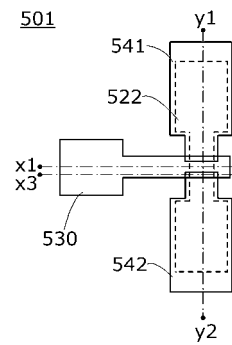


FIG. 18B

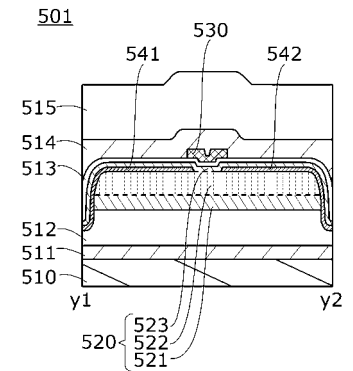


FIG. 18C

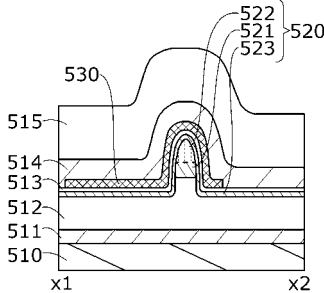
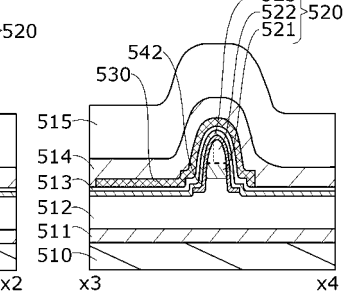


FIG. 18D





【 図 1 9 】  
FIG. 19A

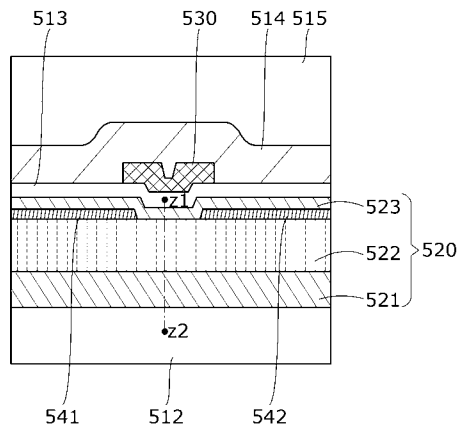
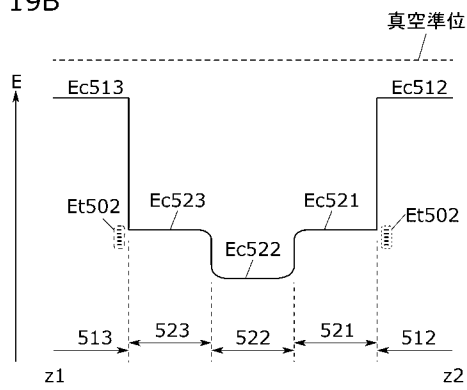


FIG. 19B



【 図 2 0 】  
FIG. 20A

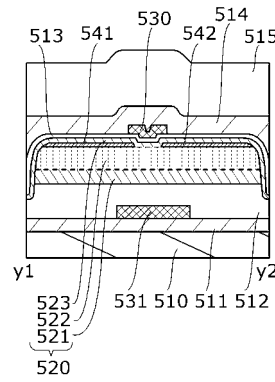


FIG. 20B

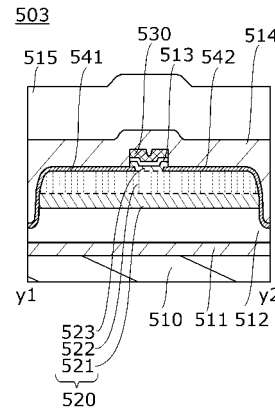
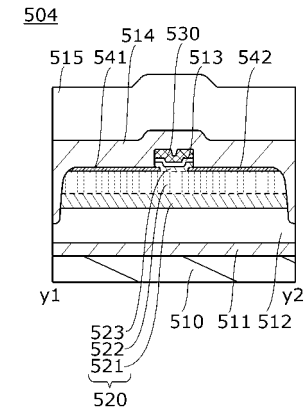


FIG. 20C



【 図 2 1 】  
FIG. 21A

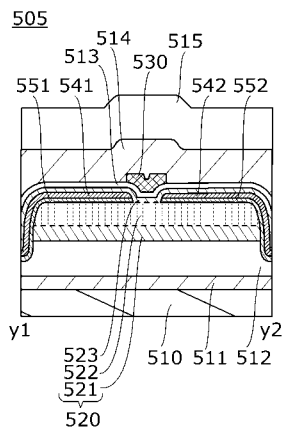
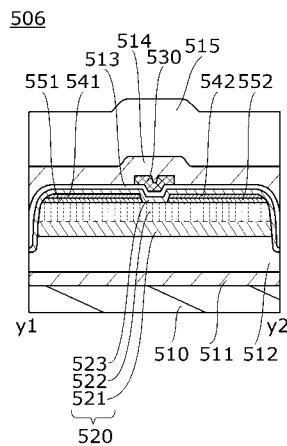
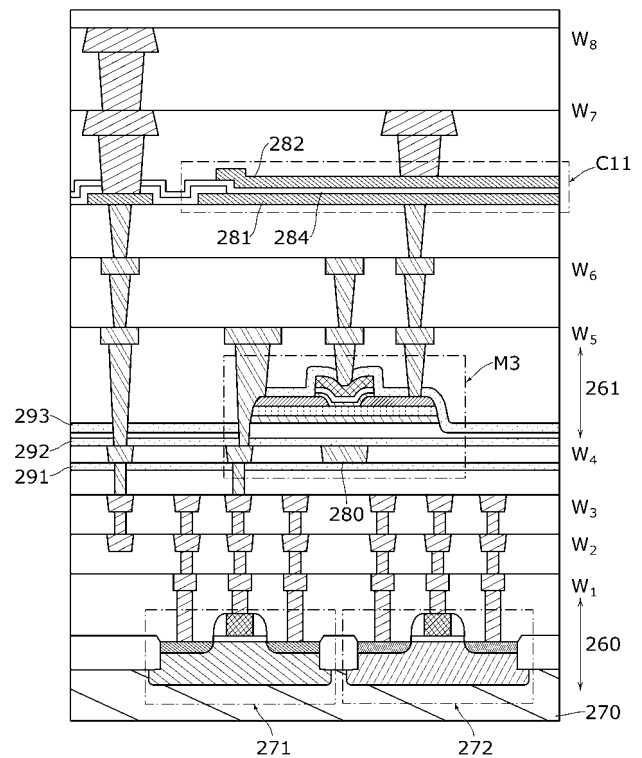


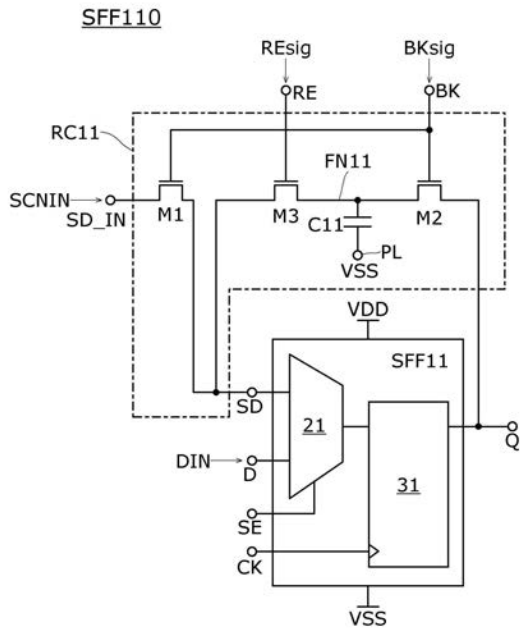
FIG. 21B



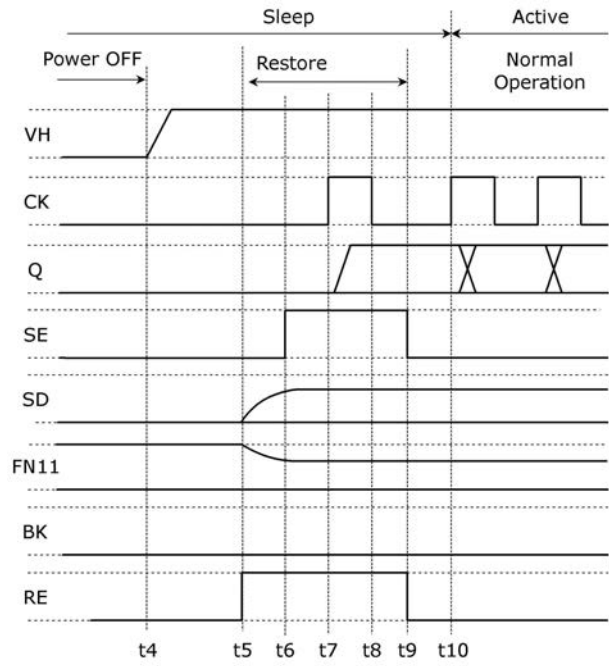
【 図 2 2 】  
FIG. 22



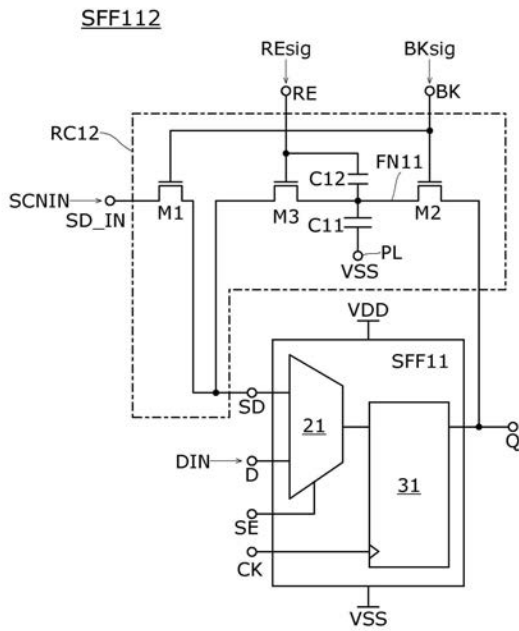
【 図 4 】  
FIG. 4



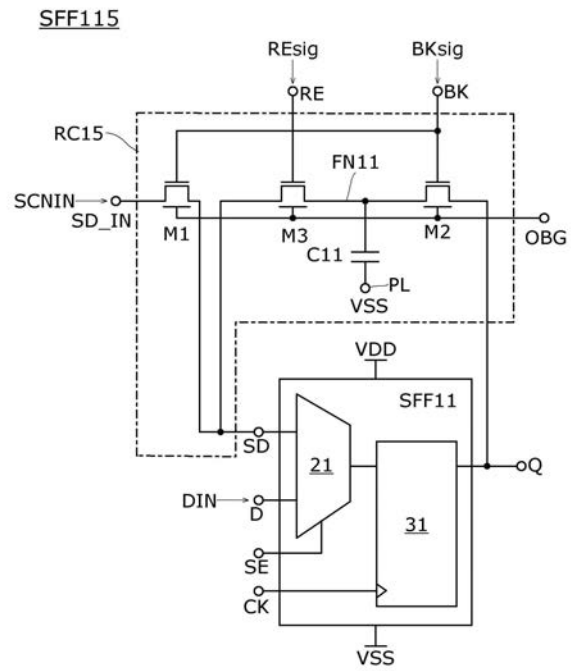
【 図 7 】  
FIG. 7



【 図 8 】  
FIG. 8

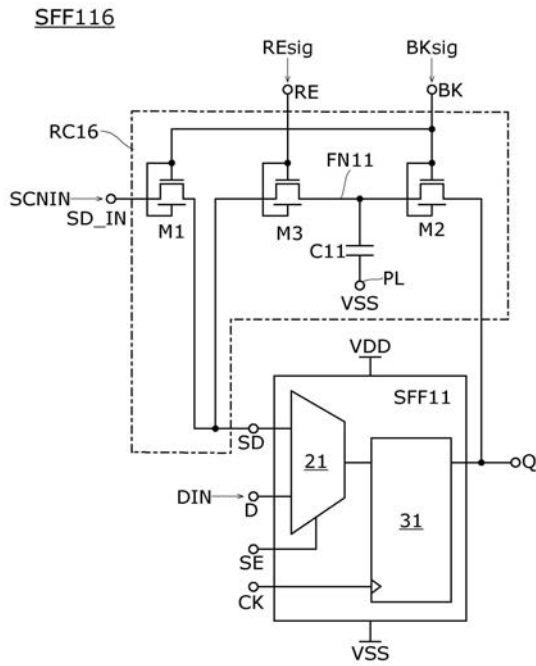


【 図 1 1 】  
FIG. 11



【 図 1 2 】

FIG. 12



【 図 1 3 】

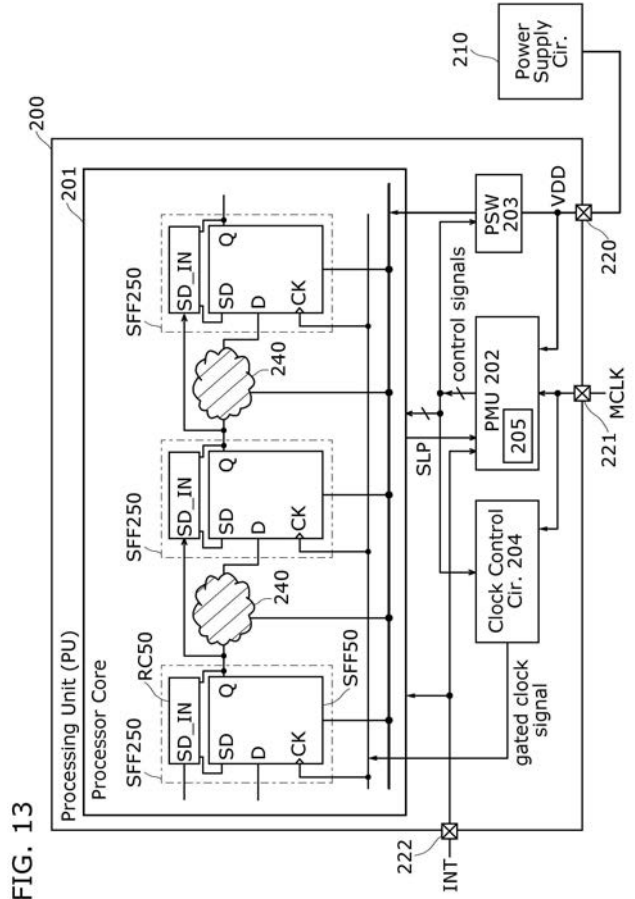


FIG. 13

【 図 1 6 】

FIG. 16A

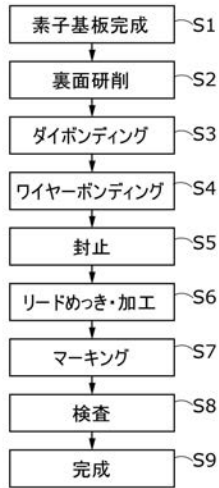
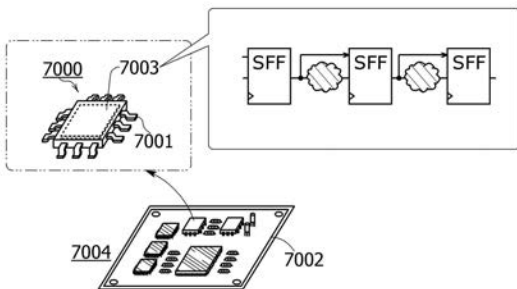


FIG. 16B



【 図 1 7 】

FIG. 17A

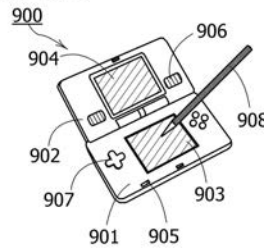


FIG. 17B

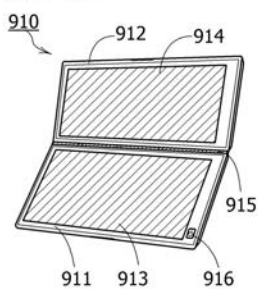


FIG. 17C

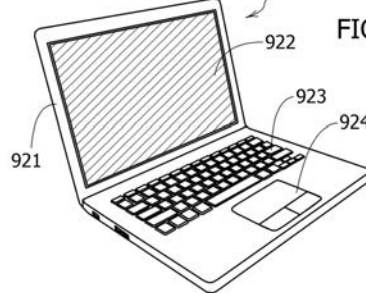


FIG. 17D

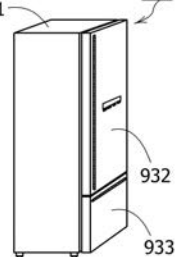


FIG. 17E

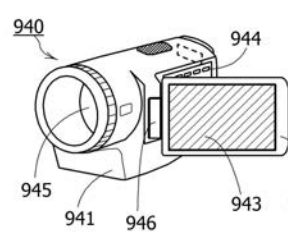
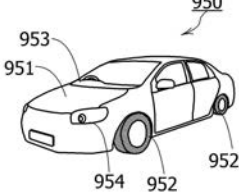


FIG. 17F



【 図 2 3 】  
FIG. 23

