



1. 一种非挥发性存储器单元,其特征在于,包含:
  - 耦合组件,形成于第一导电区域上;
  - 第一选择晶体管,与第一浮接栅极晶体管及第二选择晶体管串接,其中该第一选择晶体管、该第一浮接栅极晶体管及该第二选择晶体管是形成于第二导电区域上;
  - 第二浮接栅极晶体管,形成于第三导电区域上,其中该第一导电区域、该第二导电区域及该第三导电区域是形成于第四导电区域内,且该第一浮接栅极晶体管的栅极、该第二浮接栅极晶体管的栅极及该耦合组件的电极是由单一多晶硅形成的浮接栅极;
  - 控制线,电连接于该耦合组件;
  - 字符线,电连接于该第一选择晶体管的栅极;
  - 栅极选择线,电连接于该第二选择晶体管的栅极;
  - 抹除线,电连接于该第二浮接栅极晶体管的扩散区及该第三导电区域;
  - 比特线,电连接于该第二选择晶体管的汲极;及
  - 源极线,电连接于该第一选择晶体管的源极;其中该第一导电区域、该第二导电区域及该第三导电区域为井,而该第四导电区域为深井;
  - 其中该第三导电区域环绕该第一导电区域及该第二导电区域;及
  - 其中施于该第三导电区域的第三井电压的升缘领先施于该第一导电区域的第一井电压,且施于该第三导电区域的该第三井电压的降缘落后施于该第一导电区域的该第一井电压。
2. 如权利要求1所述的非挥发性存储器单元,其特征在于,该第一导电区域及该第二导电区域是属于第一电性,而该第三导电区域及该第四导电区域是属于第二电性。
3. 如权利要求1所述的非挥发性存储器单元,其特征在于,该浮接栅极包含:
  - 第一栅极部,用以形成该耦合组件的该电极;及
  - 第二栅极部,用以形成该第一浮接栅极晶体管的该栅极及该第二浮接栅极晶体管的该栅极;其中该第一栅极部的面积较该第二栅极部的面积大。
4. 如权利要求1所述的非挥发性存储器单元,其特征在于,该耦合组件为金氧半导体电容或金氧半场效晶体管。
5. 如权利要求1所述的非挥发性存储器单元,其特征在于,该第二浮接栅极晶体管为金氧半场效晶体管或金氧半导体电容。
6. 如权利要求1所述的非挥发性存储器单元,其特征在于,该第一浮接栅极晶体管是设于该第一选择晶体管及该第二选择晶体管之间。
7. 如权利要求1所述的非挥发性存储器单元,其特征在于,在读取操作模式下,控制施于该控制线的控制线电压,控制施于该字符线的字符线电压,控制施于该栅极选择线的栅极选择线电压,控制施于该抹除线的抹除线电压,控制施于该比特线的比特线电压,控制施于该源极线的源极线电压,控制施于该第一导电区域的该第一井电压,控制施于该第二导电区域的第二井电压,控制施于该第三导电区域的该第三井电压,及控制施于该第四导电区域的第四井电压,以感测流经互相串接的该第一选择晶体管、该第一浮接栅极晶体管及该第二选择晶体管的电流,其中施于该第一导电区域的该第一井电压与施于该控制线的该

控制线电压相等且施于该第三导电区域的该第三井电压与施于该抹除线的该抹除线电压相等。

8. 如权利要求1所述的非挥发性存储器单元,其特征在于,在写入操作模式下,控制施于该控制线的控制线电压,控制施于该字符线的字符线电压,控制施于该栅极选择线的栅极选择线电压,控制施于该抹除线的抹除线电压,控制施于该比特线的比特线电压,控制施于该源极线的源极线电压,控制施于该第一导电区域的该第一井电压,控制施于该第二导电区域的第二井电压,控制施于该第三导电区域的该第三井电压,及控制施于该第四导电区域的第四井电压以诱发电子穿隧注入于该第一浮接栅极晶体管,其中施于该第一导电区域的该第一井电压与施于该控制线的该控制线电压相等且施于该第三导电区域的该第三井电压与施于该抹除线的该抹除线电压相等。

9. 如权利要求1所述的非挥发性存储器单元,其特征在于,在禁止写入操作模式下,控制施于该控制线的控制线电压,控制施于该字符线的字符线电压,控制施于该栅极选择线的栅极选择线电压,控制施于该抹除线的抹除线电压,控制施于该比特线的比特线电压,控制施于该源极线的源极线电压,控制施于该第一导电区域的该第一井电压,控制施于该第二导电区域的第二井电压,控制施于该第三导电区域的该第三井电压,及控制施于该第四导电区域的第四井电压以强迫截止该第一选择晶体管及该第二选择晶体管,其中施于该第一导电区域的该第一井电压与施于该控制线的该控制线电压相等且施于该第三导电区域的该第三井电压与施于该抹除线的该抹除线电压相等。

10. 如权利要求1所述的非挥发性存储器单元,其特征在于,在抹除操作模式下,控制施于该控制线的控制线电压,控制施于该字符线的字符线电压,控制施于该栅极选择线的栅极选择线电压,控制施于该抹除线的抹除线电压,控制施于该比特线的比特线电压,控制施于该源极线的源极线电压,控制施于该第一导电区域的该第一井电压,控制施于该第二导电区域的第二井电压,控制施于该第三导电区域的该第三井电压,及控制施于该第四导电区域的第四井电压以诱发电子穿隧射出于该第二浮接栅极晶体管,其中施于该第三导电区域的该第三井电压与施于该抹除线的该抹除线电压相等。

## 非挥发性存储器单元

### 技术领域

[0001] 本发明涉及一种可多次写入存储器单元,特别是一种以逻辑控制为基础并可与一般互补式金氧半导体制程兼容,可多次写入存储器单元。

### 背景技术

[0002] 随着各式不同的电路单元常被整合进单一的集成电路当中,将非挥发性存储器单元与逻辑电路单元整合的需求也越趋重要。然而许多非挥发性存储器单元在制程上所需要的栅极堆栈架构并不兼容于传统的逻辑门制程,例如:仅有单一多晶硅层而无特别电荷陷入架构的半导体制程。

[0003] 美国专利号7,382,658(后文简称‘658),7,391,647(后文简称‘647),7,263,001(后文简称‘001),7,423,903(后文简称‘903),7,209,392(后文简称‘392)介绍了不同的存储器单元架构,‘658介绍了一种与N型金氧半导体电容共享浮接栅极的P型存取晶体管。‘647教导了一种具有P型金氧半电容和N型金氧半电容的P型存取晶体管。‘001教导了一种与两个P型金氧半电容共享浮接栅极的P型存取晶体管。‘903教导了一种用以经由信道热电子注流来写入内容的P型场效晶体管,及一种用以经由记忆窗口穿隧来抹除内容的N型场效晶体管。‘392教导了一种与P型金氧半场效晶体管共享浮接栅极的N型金氧半场效晶体管,其中每一个晶体管皆与各自的存取晶体管相耦接。

[0004] 请参考图1,图1为‘392所介绍的非挥发性存储器单元的示意图。图1中的非挥发性存储器单元包含第一P型金氧半晶体管 $T_1$ 、第二P型金氧半晶体管 $T_2$ 、第一N型金氧半晶体管 $T_3$ 及第二N型金氧半晶体管 $T_4$ 。第一P型金氧半晶体管 $T_1$ 和第一N型金氧半晶体管 $T_3$ 是由控制电压 $V_{SG}$ 所控制,用以分别作为第二P型金氧半晶体管 $T_2$ 和第二N型金氧半晶体管 $T_4$ 的存取晶体管。第一P型金氧半晶体管 $T_1$ 的输入端和第一N型金氧半晶体管 $T_3$ 的输入端接收选择线电压 $V_{SL}$ ,而第二P型金氧半晶体管 $T_2$ 的输入端和第二N型金氧半晶体管 $T_4$ 的输入端则分别接收第一比特线电压 $V_{BL1}$ 及第二比特线电压 $V_{BL2}$ 。第二N型金氧半晶体管 $T_4$ 和第二P型金氧半晶体管 $T_2$ 共享浮接栅极。

### 发明内容

[0005] 本发明的一实施例提供一种非挥发性存储器单元。非挥发性存储器单元包含耦合组件、第一选择晶体管、第二选择晶体管、第一浮接栅极晶体管及第二浮接栅极晶体管。耦合组件是于第一导电区域内形成。第一选择晶体管是与第一浮接栅极晶体管及第二选择晶体管串接,而第一选择晶体管、第一浮接栅极晶体管及第二选择晶体管是于第二导电区域内形成。第二浮接栅极晶体管是于第三导电区域内形成,而第一导电区域、第二导电区域及第三导电区域是于第四导电区域内形成。第一浮接栅极晶体管的栅极、第二浮接栅极晶体管的栅极及耦合组件的电极皆是由多晶硅形成的单一浮接栅极。第一导电区域、第二导电区域及第三导电区域为井,而第四导电区域为深井,且第三导电区域环绕第一导电区域及第二导电区域。

## 附图说明

- [0006] 图1为现有技术的非挥发性存储器单元的示意图。
- [0007] 图2为本发明一实施例的非挥发性存储器单元的示意图。
- [0008] 图3为图2非挥发性存储器单元的线路图。
- [0009] 图4说明本发明一实施例中图2及图3非挥发性存储器单元的写入、抹除、读取、禁止写入的电压安排。
- [0010] 图5为图2及图3非挥发性存储器单元的禁止写入操作的波形图。
- [0011] 图6为本发明另一实施例的非挥发性存储器单元的示意图。
- [0012] 图7为图6非挥发性存储器单元的线路图。
- [0013] 图8说明本发明另一实施例中图6及图7非挥发性存储器单元的写入、抹除、读取、禁止写入的电压安排。
- [0014] 图9为图6及图7非挥发性存储器单元的禁止写入操作的波形图。
- [0015] 图10为本发明另一实施例的非挥发性存储器单元的示意图。
- [0016] 图11为图10非挥发性存储器单元的线路图。
- [0017] 图12A-12D为图10非挥发性存储器单元分别沿直线A-A'、B-B'、C-C'及D-D'剖切的剖面图。
- [0018] 图13说明本发明另一实施例中图10及图11非挥发性存储器单元的写入、抹除、读取、禁止写入的电压安排。
- [0019] 图14为图10及图11非挥发性存储器单元的禁止写入操作的波形图。
- [0020] 其中,附图标记说明如下:
- |        |                  |            |
|--------|------------------|------------|
| [0021] | T <sub>1</sub>   | 第一P型金氧半导体管 |
| [0022] | T <sub>2</sub>   | 第二P型金氧半导体管 |
| [0023] | T <sub>3</sub>   | 第一N型金氧半导体管 |
| [0024] | T <sub>4</sub>   | 第二N型金氧半导体管 |
| [0025] | NMOS             | N型金氧半导体管   |
| [0026] | PMOS             | P型金氧半导体管   |
| [0027] | V <sub>SG</sub>  | 控制电压       |
| [0028] | V <sub>SL</sub>  | 选择线电压      |
| [0029] | V <sub>BL1</sub> | 第一比特线电压    |
| [0030] | V <sub>BL2</sub> | 第二比特线电压    |
| [0031] | 40、90、110        | 非挥发性存储器单元  |
| [0032] | 400、900、1100、FG  | 浮接栅极       |
| [0033] | 401、901、1101     | 第一栅极部      |
| [0034] | 402、902、1102     | 第二栅极部      |
| [0035] | 421、921、1121     | 第一扩散区      |
| [0036] | 422、922、1122     | 第二扩散区      |
| [0037] | 461、961、1161     | 第三扩散区      |
| [0038] | 462、962、1162     | 第四扩散区      |

[0039]	463、963、1163	第五扩散区
[0040]	464、964、1164	第六扩散区
[0041]	481、981、1181	第七扩散区
[0042]	482、982、1182	第八扩散区
[0043]	471、971、1171、WL	字符线
[0044]	472、972、1172、SG	栅极选择线
[0045]	CL	控制线
[0046]	SL	源极线
[0047]	BL	比特线
[0048]	EL	抹除线
[0049]	NW、930	N井区
[0050]	PW、PW1、PW2、PW3	P井区
[0051]	500、1000、1200	耦合组件
[0052]	510	第一N型金氧半导体管
[0053]	520	P型金氧半导体管
[0054]	530	第二N型金氧半导体管
[0055]	540	第三N型金氧半导体管
[0056]	t1	第一时点
[0057]	t2	第二时点
[0058]	t3	第三时点
[0059]	t4	第四时点
[0060]	t5	第五时点
[0061]	t6	第六时点
[0062]	V1	第一电压
[0063]	V2	第二电压
[0064]	V3	第三电压
[0065]	V4	第四电压
[0066]	V5	第五电压
[0067]	V6	第六电压
[0068]	1010、1210	第一浮接栅极晶体管
[0069]	1020、1220	第二浮接栅极晶体管
[0070]	1030、1230	第一选择晶体管
[0071]	1040、1240	第二选择晶体管
[0072]	1130、DNW	N型深井区
[0073]	120	P型基底
[0074]	AA'、BB'、CC'、DD'	直线
[0075]	STI	浅沟道隔绝层

### 具体实施方式

[0076] 请参考图2和图3。图2为本发明实施例的非挥发性存储器单元40的示意图,非挥发性存储器单元40在其相邻存储器单元写入时,具有较强的禁止写入的能力。图3为图2非挥发性存储器单元40的线路图。图2的非挥发性存储器单元40可于基底上或基底内形成,而此基底可为P型或N型。非挥发性存储器单元40包含浮接栅极(FG)400、字符线(WL)471、栅极选择线(SG)472、控制线(CL)、源极线(SL)、比特线(BL)及抹除线(EL),并透过栅极选择线(SG)472的使用来增强前述禁止写入的能力。以使用P型基底为例,非挥发性存储器单元40可另包含第一扩散区421和第二扩散区422,第一扩散区421及第二扩散区422是于具有第一导电性的第一导电区域上形成,如一N井区。第三扩散区461、第四扩散区462、第五扩散区463及第六扩散区464可于具有第二导电性的第二导电区域上形成,如一P井区。第七扩散区481及第八扩散区482可于具有第一导电性的第三导电区域上形成,如另一N井区。第二导电区域可设置于第一导电区域及第三导电区域之间,即P井区是可设置于两个N井区之间。于本发明的另一实施例,第一导电区域是为第二导电性,且第三导电区域是设置于第一导电区域及第二导电区域之间。浮接栅极(FG)400可包含第一栅极部401和第二栅极部402。第一部分是形成于第一扩散区421和第二扩散区422之间,而第二栅极部402是形成于第四扩散区462和第五扩散区463之间,并延伸至第七扩散区481和第八扩散区482之间。第一栅极部401和第二栅极部402可为同一层的多晶硅所构成,且可彼此相连。第一栅极部401的面积较第二栅极部402的面积大。字符线(WL)471及栅极选择线(SG)472可由与浮接栅极(FG)400同层的多晶硅所组成。字符线(WL)471可形成于第三扩散区461及第四扩散区462之间,而栅极选择线(SG)472可形成于第五扩散区463及第六扩散区464之间。第一扩散区421及第二扩散区422可为N<sup>+</sup>扩散区。第三扩散区461、第四扩散区462、第五扩散区463及第六扩散区464可为N<sup>+</sup>扩散区。第七扩散区481及第八扩散区482可为P<sup>+</sup>扩散区。非挥发性存储器单元40可利用单层多晶硅的互补式金氧半制程来制造。

[0077] 请参考图2及图3。耦合组件500可为由第一栅极部401及控制线(CL)所组成的金氧半电容或金氧半场效晶体管。第二栅极部402可与同为N<sup>+</sup>扩散区的第四扩散区462及第五扩散区463共同组成第一N型金氧半晶体管510,并与第七扩散区481及第八扩散区482共同组成P型金氧半晶体管520。字符线(WL)471可与同为N<sup>+</sup>扩散区的第三扩散区461及第四扩散区462共同组成第二N型金氧半晶体管530,栅极选择线(SG)472可与同为N<sup>+</sup>扩散区的第五扩散区463及第六扩散区464共同组成第三N型金氧半晶体管540。源极线(SL)可与第三扩散区461电连接,第三扩散区461可为第二N型金氧半晶体管530的源极。比特线(BL)可与第六扩散区464电连接,第六扩散区464可为第三N型金氧半晶体管540的汲极。抹除线(EL)可与P型金氧半晶体管520的第七扩散区481及第八扩散区482电连接。第四扩散区462可同时作为第一N型金氧半晶体管510的源极及第二N型金氧半晶体管530的汲极。第五扩散区463可同时作为第一N型金氧半晶体管510的汲极及第三N型金氧半晶体管540的源极。第一N型金氧半晶体管510及P型金氧半晶体管520可分别做为第一浮接栅极晶体管及第二浮接栅极晶体管,而第二N型金氧半晶体管530及第三N型金氧半晶体管540可分别做为第一选择晶体管及第二选择晶体管。于本发明的另一实施例中,第二浮接栅极晶体管可由金氧半电容所构成。

[0078] 图4说明了本发明一实施例中图2及图3非挥发性存储器单元40于写入、抹除、读取、禁止写入操作时的电压安排。于写入操作时,于控制线(CL)及抹除线(EL)上可施予介于5伏特至20伏特的范围之间控制线电压。于栅极选择线(SG)上可施予第一控制电压,第一控

制电压可介于1伏特至5伏特的范围之间。源极线(SL)、比特线(BL)和P井区(PW)可为接地。字符线(WL)可介于0伏特至5伏特之间的范围。在上述写入操作的电压安排下,控制线电压可经由金氧半电容500并根据金氧半电容与第一N型金氧半晶体管510的面积比例来与浮接栅极400相耦接。举例来说,如果控制线电压为6伏特且金氧半电容与第一N型金氧半晶体管510的面积比例为9:1,则浮接栅极400的电位即为5.4伏特(6伏特的十分之九)。于写入操作时,第一N型金氧半晶体管510会发生电子穿隧注入。而在抹除操作时,当将抹除电压施于抹除线(EL),而控制线(CL)、源极线(SL)、比特线(BL)及P井区(PW)是为接地时,P型金氧半晶体管520会发生电子穿隧射出。字符线(WL)及栅极选择线(SG)可介于0伏特至5伏特的范围之间,抹除电压可介于5伏特至20伏特的范围之间。如此一来,于写入操作时注入浮接栅极400的电子即可在抹除操作时自浮接栅极400穿隧射出。

[0079] 于读取操作时,可于控制线(CL)及抹除线(EL)上施予第一控制电压,于字符线(WL)及栅极选择线(SG)上施予第二控制电压,并于比特线(BL)上施予读取电压。第二控制电压及读取电压可介于1伏特至5伏特的范围之间。第一控制电压可介于0伏特至5伏特的范围之间。源极线(SL)及P井区(PW)可为接地。透过与金氧半电容的电容性耦接,部分的第一控制电压,如十分之九的第一控制电压,将耦合至浮接栅极400。若非挥发性存储器40已被抹除,则浮接栅极400的电位可足以导通第一N型金氧半晶体管510。由于读取电压施加于比特线(BL)上且源极线(SL)为接地,读取电流将可流经第一N型金氧半晶体管510。此时被侦测到的读取电流可表示为高电位逻辑状态。若是非挥发性存储器40已被写入,则被注入浮接栅极400的电子可足以将第一控制电压耦合至浮接栅极400的部分相抵消,或至少大量地降低,如此一来,第一N型金氧半晶体管510将可维持截止状态,或仅导通比在非挥发性存储器40已被抹除时可侦测到的读取电流要小很多的电流。此时被侦测到较小的读取电流可表示为低电位逻辑状态。于本发明的另一实施例中,较高的读取电流亦可对应到低电位逻辑状态,而较低的读取电流则可对应到高逻辑电位。

[0080] 请参考图5,图5为图2及图3非挥发性存储器单元的禁止写入操作的波形图。图5的波型图说明了在禁止写入操作期间,施于控制线(CL)的控制线电压,施于字符线(WL)上的字符线电压,施于栅极选择线(SG)上的栅极选择线电压,施于抹除线(EL)上的抹除线电压,施于比特线(BL)上的比特线电压,施于源极线(SL)上的源极线电压,施于P井区(PW)的P井区电压,以及在第三时点 $t_3$ 及第四时点 $t_4$ 内抬升的第一N型金氧半晶体管510的信道电压。如图5所示,自第二时点 $t_2$ 到第三时点 $t_3$ 的时段内,信道电压被抬升至第六电压 $V_6$ 。自第三时点 $t_3$ 到第四时点 $t_4$ 的时段内,控制线电压是为第一电压 $V_1$ ,栅极选择线电压是为第二电压 $V_2$ ,抹除线电压是为第三电压 $V_3$ ,比特线电压是为第四电压 $V_4$ ,且信道电压是为第五电压 $V_5$ 。在禁止写入操作期间,第一电压 $V_1$ 至第六电压 $V_6$ 的大小关系是可为 $V_1 \geq V_3 > V_5 > V_4 \geq V_2 > V_6$ 。于写入操作期间第一电压 $V_1$ 至第六电压 $V_6$ 的大小关系是可为 $V_1 \geq V_3 \geq V_2 > V_4 = V_5 = V_6 \geq 0V$ 。举例来说,如图4所示,在禁止写入操作的期间,控制线电压可介于5伏特至20伏特的范围之间,字符线电压可介于0伏特至5伏特的范围之间,栅极选择线电压可介于1伏特至5伏特的范围之间,抹除线电压可介于5伏特至20伏特的范围之间,比特线电压可介于1伏特至5伏特的范围之间,源极线电压可介于0伏特至5伏特的范围之间,而P井区电压可为0伏特。

[0081] 上述非挥发性存储器单元40可与一般互补式金氧半制程完全兼容,并仅需要相对



小的组件布局面积即可实现良好的写入和抹除速度、耐用性及数据保存性,且无退化存储器的循环次数。

[0082] 请参考图6及图7。图6为本发明另一实施例的非挥发性存储器单元90的示意图,而图7是图6非挥发性存储器单元90的线路图。非挥发性存储器单元90包含浮接栅极900、字符线(WL) 971、栅极选择线(SG) 972、控制线(CL)、源极线(SL)、比特线(BL)及抹除线(EL),并可利用栅极选择线(SG) 972使其在相邻存储器单元写入时,增强禁止写入的功能。以P型(第一导电性)基底为例,亦即,非挥发性存储器单元90是于N井区930(具有第二导电性的第三导电区域)组成,而N井区930则是于P型基底中组成。非挥发性存储器单元90另包含于具有第一导电性的第一导电区域(P井区PW1)中形成的第一扩散区921及第二扩散区922。第三扩散区961、第四扩散区962、第五扩散区963及第六扩散区964可于具有第一导电性的第二导电区域(P井区PW2)内形成。第七扩散区981及第八扩散区982可于具有第一导电性的第四导电区域(P井区PW3)中形成。第二导电区域(P井区PW2)可设置于第一导电区域(P井区PW1)及第四导电区域(P井区PW3)之间。浮接栅极(FG) 900包含第一栅极部901和第二栅极部902。第一栅极部901是于第一扩散区921和第二扩散区922之间形成,而第二栅极部902是于第四扩散区962和第五扩散区963之间形成,并延伸至第七扩散区981和第八扩散区982之间。第一栅极部901和第二栅极部902是由同一层的多晶硅所构成,且可彼此相连。第一栅极部901的面积较第二栅极部902的面积大。字符线(WL) 971可于第三扩散区961及第四扩散区962之间形成,而栅极选择线(SG) 972是于第五扩散区963及第六扩散区964之间形成。第一扩散区921及第二扩散区922具有第二导电性。第三扩散区961、第四扩散区962、第五扩散区963及第六扩散区964亦皆具有第二导电性。第七扩散区981及第八扩散区982亦皆具有第二导电性。非挥发性存储器单元90可利用单层多晶硅的互补式金氧半制程来制造。另外,在本发明的另一实施例中,第一导电性是为N型,而第二导电性则为P型。

[0083] 请参考图6及图7。耦合组件1000可为由第一栅极部901及控制线(CL)所组成的金氧半电容或金氧半场效应晶体管。第二栅极部902可与第四扩散区962及第五扩散区963共同组成第一浮接栅极晶体管1010(N型金氧半晶体管),并与第七扩散区981及第八扩散区982共同组成第二浮接栅极晶体管1020(N型金氧半晶体管)。字符线(WL) 971可与第三扩散区961及第四扩散区962共同组成第一选择晶体管1030(N型金氧半晶体管)。栅极选择线(SG) 972可与第五扩散区963及第六扩散区964共同组成第二选择晶体管1040(N型金氧半晶体管)。源极线(SL)可与第三扩散区961有电连接,第三扩散区961可为第一选择晶体管1030的源极。比特线BL可与第六扩散区964有电连接,第六扩散区964可为第二选择晶体管1040的汲极。抹除线(EL)可与第二浮接栅极晶体管1020的第七扩散区981及第八扩散区982有电连接。第四扩散区962可同时作为第一浮接栅极晶体管1010的源极及第一选择晶体管1030的汲极。第五扩散区963可同时作为第一浮接栅极晶体管1010的汲极及第二选择晶体管1040的源极。于本发明的另一实施例中,第二浮接栅极晶体管1020可由金氧半电容所构成。

[0084] 图8说明本发明一实施例中图6及图7非挥发性存储器单元90于写入、抹除、读取、禁止写入操作时的电压安排。于写入操作时,于控制线(CL)上施加介于5伏特至20伏特的范围之间的控制线电压,于第一导电区域(P井区PW1)上施加与控制线电压相同的第一井电压,源极线(SL)、比特线(BL)和第二导电区域(P井区PW2)可为接地。字符线(WL)电压可介于0伏特至5伏特之间的范围。于抹除线(EL)上施加介于5伏特至20伏特的范围之间的抹除线

电压,于第四导电区域(P井区PW3)上施加与抹除线电压相同的第四井电压,于栅极选择线(SG)上施加介于1伏特至5伏特之间的栅极选择线电压。此外,于N井区930(第三导电区域)施加介于5伏特至20伏特的范围之间的第三井电压。在上述写入操作的电压安排下,控制线电压可经由耦合组件1000并根据耦合组件1000与第一浮接栅极晶体管1010的面积比例来与浮接栅极900相耦接。举例来说,如果控制线电压为10伏特且耦合组件1000与浮接栅极晶体管1010的面积比例为9:1,则浮接栅极900的电位即为9伏特(10伏特的十分之九)。于写入操作时,第一浮接栅极晶体管1010会产生电子穿隧注入,如此一来电子即可经由第一浮接栅极晶体管1010注入浮接栅极900。

[0085] 在抹除操作时,于字符线(WL)上施加介于0伏特至5伏特之间的字符线电压,而控制线(CL)、第一导电区域(P井区PW1)、源极线(SL)、比特线(BL)及第二导电区域(P井区PW2)是为接地。于栅极选择线(SG)上施加介于0伏特至5伏特之间的栅极选择线电压。于抹除线(EL)上施加介于5伏特至20伏特之间的抹除线电压,并于第四导电区域(P井区PW3)施加与抹除线电压相等的第四井电压。此外,于N井区930(第三导电区域)施加介于5伏特至20伏特之间的第三井电压以避免产生第一导电区域(P井区PW1)、第二导电区域(P井区PW2)及第四导电区域(P井区PW3)与N井区930之间的顺向偏压。在抹除操作时,于抹除线(EL)及第四导电区域(P井区PW3)上施加介于5伏特至20伏特之间的抹除电压,此时第二浮接栅极晶体管1020会产生电子穿隧射出。如此一来,存放在浮接栅极900上的电子即可自浮接栅极900穿隧射出。

[0086] 于读取操作时,于控制线(CL)上施加介于0伏特至5伏特之间的控制线电压,于字符线(WL)上施加介于1伏特至5伏特之间的字符线电压,于栅极选择线(SG)上施加介于1伏特至5伏特之间的栅极选择线电压,于比特线(BL)上施加介于1伏特至5伏特之间的比特线电压。此外,于第一导电区域(P井区PW1)施加与控制线电压相同的第一井电压。源极线(SL)及第二导电区域(P井区PW2)可为接地。于抹除线(EL)上施加介于0伏特至5伏特之间的抹除线电压,其中施加于第四导电区域(P井区PW3)的第四井电压与抹除线电压相同。另外,于N井区930(第三导电区域)施加介于0伏特至5伏特之间的第三井电压以避免产生第一导电区域(P井区PW1)、第二导电区域(P井区PW2)及第四导电区域(P井区PW3)与N井区930之间的顺向偏压。透过与耦合组件1000的电容性耦接,部分的,如十分之九,控制线电压,将耦合至浮接栅极900。若非挥发性存储器90已被抹除,则浮接栅极900的电位可足以导通第一浮接栅极晶体管1010。由于比特线电压施加于比特线(BL)上且源极线(SL)及第二导电区域(P井区PW2)皆为接地,读取电流将可流经第一浮接栅极晶体管1010。此时被侦测到较大的读取电流可表示为高电位逻辑状态。若是非挥发性存储器90已被写入,则被注入浮接栅极900的电子可足以将控制线电压(VCL)耦合至浮接栅极900的部分抵消,或至少大量地降低,如此一来,第一浮接栅极晶体管1010将可维持截止状态,或仅导通比在非挥发性存储器90已被抹除时可侦测到的读取电流要小很多的电流。而此时被侦测到较小的读取电流可表示为低电位逻辑状态。上述将较大的读取电流判别为高电位逻辑状态及将较小的读取电流判别为低电位逻辑状态仅为本发明的一实施例而并非用以限制本发明。于其他实施例中,较大的读取电流亦可对应到低电位逻辑状态,而较小的读取电流则可对应到高逻辑电位。

[0087] 请参考图9,图9为图6及图7非挥发性存储器单元90的禁止写入操作的波形图。图9的波型图说明了在禁止写入操作期间,施于控制线(CL)的控制线电压,施于字符线(WL)上

的字符线电压,施于栅极选择线(SG)上的栅极选择线电压,施于抹除线(EL)上的抹除线电压,施于比特线(BL)上的比特线电压,施于源极线(SL)上的源极线电压,施于第二导电区域(P井区PW2)的第二井电压,施于N井区930的第三井电压,以及自第三时点t3至第四时点t4的时段内抬升的第一浮接栅极晶体管1010的信道电压。其中施于第一导电区域(P井区PW1)的第一井电压与控制线电压相等,而施于第四导电区域(P井区PW3)的第四井电压与抹除线电压相等。如图9所示,从第二时点t2到第三时点t3的时段内,信道电压抬升到了第六电压V6。从第三时点t3到第四时点t4的时段内,控制线电压是为第一电压V1,栅极选择线电压是为第二电压V2,抹除线电压是为第三电压V3,比特线电压是为第四电压V4,且信道电压是为第五电压V5。在禁止写入操作期间,第一电压V1至第六电压V6的大小关系是可为 $V1 \geq V3 > V5 > V4 \geq V2 > V6$ 。在写入操作期间,第一电压V1至第六电压V6的大小关系是可为 $V1 \geq V3 \geq V2 > V4 = V5 = V6 \geq 0V$ 。举例来说,如图8所示,在禁止写入操作的期间,控制线电压可介于5伏特至20伏特的范围之间,字符线电压可介于0伏特至5伏特的范围之间,栅极选择线电压可介于1伏特至5伏特的范围之间,抹除线电压可介于5伏特至20伏特的范围之间,比特线电压可介于1伏特至5伏特的范围之间,源极线电压可介于0伏特至5伏特的范围之间,第四井电压可介于5伏特至20伏特的范围之间,而施于第二导电区域(P井区PW2)的第二井电压可为0伏特。

[0088] 请参考图6,虽然非挥发性存储器单元90可应用在嵌入式系统当中,但因为第二导电区域(P井区PW2)是设置于第一导电区域(P井区PW1)及第四导电区域(P井区PW3)之间,因此非挥发性存储器单元90亦需要较多的芯片面积以达到既定的制程设计规范。

[0089] 请参考图10和图11。图10为本发明另一实施例的非挥发性存储器单元110的示意图,而图11为图10非挥发性存储器单元110的线路图。图10的非挥发性存储器单元110包含浮接栅极(FG)1100、字符线(WL)1171、栅极选择线(SG)1172、控制线(CL)、源极线(SL)、比特线(BL)及抹除线(EL),并透过栅极选择线(SG)1172以使其于相邻存储器单元写入时,可增强禁止写入的功能。以P型(第一导电性)基底120为例,亦即,非挥发性存储器单元110是于N型深井区1130(具有第二导电性的第四导电区域)中组成,而N型深井区1130是于P型基底120内组成。非挥发性存储器单元110可另包含于具有第一导电性的第一导电区域(P井区PW1)上形成的第一扩散区1121和第二扩散区1122。第三扩散区1161、第四扩散区1162、第五扩散区1163及第六扩散区1164可于具有第一导电性的第二导电区域(P井区PW2)上形成。第七扩散区1181及第八扩散区1182可于具有第二导电性的第三导电区域(N井区NW)上形成。第三导电区域(N井区NW)围绕在第一导电区域(P井区PW1)及第二导电区域(P井区PW2)周围。浮接栅极(FG)1100可包含第一栅极部1101和第二栅极部1102。第一栅极部1101是于第一扩散区1121和第二扩散区1122之间形成,而第二栅极部1102是于第四扩散区1162和第五扩散区1163之间形成,且亦介于第七扩散区1181和第八扩散区1182之间。第一栅极部1101和第二栅极部1102是由同一层的多晶硅所组成,且可彼此相连。第一栅极部1101的面积较第二栅极部1102的面积大。字符线(WL)1171及栅极选择线(SG)1172可由与浮接栅极(FG)1100同层的多晶硅所组成。字符线(WL)1171可于第三扩散区1161及第四扩散区1162之间形成,而栅极选择线(SG)1172可于第五扩散区1163及第六扩散区1164之间形成。第一扩散区1121及第二扩散区1122具有第二导电性。第三扩散区1161、第四扩散区1162、第五扩散区1163及第六扩散区1164亦具有第二导电性。而第七扩散区1181及第八扩散区1182具有第一

导电性。非挥发性存储器单元110可利用单层多晶硅的互补式金氧半制程来制造。而第一导电性可为P型,第二导电性可为N型。

[0090] 请参考图10及图11。耦合组件1200可为由第一栅极部1101及控制线(CL)所组成的金氧半电容或金氧半场效晶体管。第二栅极部1102可与第四扩散区1162及第五扩散区1163共同组成第一浮接栅极晶体管1210(N型金氧半晶体管),并可与第七扩散区1181及第八扩散区1182共同组成第二浮接栅极晶体管1220(P型金氧半晶体管),而第二浮接栅极晶体管1220可为金氧半电容或金氧半场效晶体管。此外,如图11所示,字符线(WL)1171可与第三扩散区1161及第四扩散区1162共同组成第一选择晶体管1230(N型金氧半晶体管)。栅极选择线(SG)1172可与第五扩散区1163及第六扩散区1164共同组成第二选择晶体管(N型金氧半晶体管)1240。而第一浮接栅极晶体管1210是介于第一选择晶体管1230和第二选择晶体管1240之间。源极线(SL)可与第三扩散区1161有电连接,第三扩散区1161可作为第一选择晶体管1230的源极。比特线(BL)可与第六扩散区1164有电连接,第六扩散区1164可为第二选择晶体管1240的汲极。抹除线(EL)可与第二浮接栅极晶体管1220的第七扩散区1181及第八扩散区1182有电连接。第四扩散区1162可同时作为第一浮接栅极晶体管1210的源极及第一选择晶体管1230的汲极。第五扩散区1163可同时作为第一浮接栅极晶体管1210的汲极及第二选择晶体管1240的源极。于本发明的另一实施例中,第二浮接栅极晶体管1220装置可由金氧半电容所组成。

[0091] 请参考图12A-12D,图12A-12D为图10非挥发性存储器单元110分别沿直线A-A'、B-B'、C-C'及D-D'剖切的剖面图。如图12A-12D所示,第三导电区域(N井区NW)环绕第一导电区域(P井区PW1)及第二导电区域(P井区PW2),而第一导电区域(P井区PW1)、第二导电区域(P井区PW2)及第三导电区域(N井区NW)皆是在第四导电区域1130中组成。而第一导电区域(P井区PW1)、第二导电区域(P井区PW2)及第三导电区域(N井区NW)为井构造,而第四导电区域1130是为深井构造。此外,图12A-12D中所示的浅沟道隔绝层STI是为浅沟道隔离(shallow trench isolation)。

[0092] 图13说明图10及图11非挥发性存储器单元110的写入、抹除、读取、禁止写入操作时的电压安排。于写入操作时,于控制线(CL)施加介于5伏特至20伏特的范围之间控制线电压,于第一导电区域(P井区PW1)施加与控制线电压相同的第一井电压,源极线(SL)、比特线(BL)和第二导电区域(PW2)可为接地。字符线电压可介于0伏特至5伏特之间的范围。于抹除线(EL)施加介于5伏特至20伏特的范围之间的抹除线电压,于第三导电区域(NW)施加与抹除线电压相同的第三井电压,于栅极选择线(SG)施加介于1伏特至5伏特之间的栅极选择线电压。此外,于N型深井区1130(第四导电区域)施加介于5伏特至20伏特之间第四井电压,以避免产生第一导电区域(P井区PW1)、第二导电区域(P井区PW2)或第三导电区域与N型深井区1130之间的顺向偏压。在上述写入电压的安排下,控制线电压可经由耦合组件1200并根据耦合组件1200与第一浮接栅极晶体管1210的面积比例与浮接栅极1100相耦接。举例来说,如果控制线电压为10伏特且耦合组件1200与第一浮接栅极晶体管1210的面积比例为9:1,则浮接栅极1100的电位即为9伏特(10伏特的十分之九)。于写入操作时,第一浮接栅极晶体管1210会产生电子穿隧注入,如此一来电子即可经由第一浮接栅极晶体管1210注入浮接栅极1100。

[0093] 在抹除操作时,于字符线(WL)上施加介于0伏特至5伏特之间的字符线电压。控制

线、第一导电区域(P井区PW1)、源极线(SL)、比特线(BL)及第二导电区域(P井区PW2)是为接地。于栅极选择线(SG)上施加介于0伏特至5伏特之间的栅极选择线电压。于抹除线(EL)上施加介于5伏特至20伏特之间的抹除线电压,并于第三导电区域(N井区NW)施加与抹除线电压相等的第三井电压。此外,于N型深井区1130(第四导电区域)施加介于5伏特至20伏特之间的第四井电压以避免产生第一导电区域(P井区PW1)、第二导电区域(P井区PW2)或第三导电区域与N型深井区1130之间的顺向偏压。在抹除操作时,当于抹除线(EL)及第三导电区域(N井区NW)上施加抹除电压时,第二浮接栅极晶体管1220会发生电子穿隧射出。如此一来,存放在浮接栅极1100上的电子即可自浮接栅极1100射出。

[0094] 于读取操作时,于控制线(CL)上施加介于0伏特至5伏特之间的控制线电压,于字符线(WL)上施加介于1伏特至5伏特之间的字符线电压,于栅极选择线(SG)上施加介于1伏特至5伏特之间的栅极选择线电压,于比特线(BL)上施加介于1伏特至5伏特之间的比特线电压,并于第一导电区域(P井区PW1)施加与控制线电压相同的第一井电压。源极线(SL)及第二导电区域(P井区PW2)可为接地。于抹除线(EL)上施加介于0伏特至5伏特之间的抹除线电压,其中施加于第三导电区域(N井区NW)的第三井电压与抹除线电压相同。另外,于N型深井区1130(第四导电区域)施加介于0伏特至5伏特之间的第四井电压以避免产生第一导电区域(P井区PW1)、第二导电区域(P井区PW2)或第三导电区域与N型深井区1130之间的顺向偏压。透过与耦合组件1200的电容性耦接,部分的控制线电压,如十分之九的控制线电压,将耦合至浮接栅极1100。若非挥发性存储器110已被抹除,则浮接栅极1100的电位可足以导通第一浮接栅极晶体管1210。由于比特线电压施加于比特线(BL)上且源极线(SL)及第二导电区域(P井区PW2)皆为接地,读取电流将可流经第一浮接栅极晶体管1210。被侦测到的读取电流可表示为高电位逻辑状态。若是非挥发性存储器110已被写入,则被注入浮接栅极1100的电子可足以将控制线电压耦合至浮接栅极1100的部分抵消,或至少大量地降低,如此一来,第一浮接栅极晶体管1210将可维持截止状态,或可仅导通比在非挥发性存储器110已被抹除时可侦测到的读取电流要小很多的电流。而此时被侦测到较小的读取电流可表示为低电位逻辑状态。上述将较大读取电流判别为高电位逻辑状态及将较小读取电流判别为低电位逻辑状态仅为本发明的一实施例而并非用以限制本发明。于其他实施例中,较大的读取电流亦可对应到低电位逻辑状态,而较小的读取电流则可对应到高逻辑电位。

[0095] 请参考图14,图14为图10及图11非挥发性存储器单元110的禁止写入操作的波形图。图14的波型图说明了在禁止写入操作期间,施于控制线(CL)的控制线电压,施于字符线(WL)上的字符线电压,施于栅极选择线(SG)上的栅极选择线电压,施于抹除线(EL)上的抹除线电压,施于比特线(BL)上的比特线电压,施于源极线(SL)上的源极线电压,施于第二导电区域(P井区PW2)的第二井电压,施于N型深井区1130的第四井电压,以及在第三时点t3至第四时点t4内抬升的第一浮接栅极晶体管1210的信道电压。其中施于第一导电区域(P井区PW1)的第一井电压与控制线电压相等,而施于第三导电区域(N井区NW)的第三井电压与抹除线电压相等。如图14所示,从第二时点t2到第三时点t3内,信道电压抬升至第六电压V6。从第三时点t3到第四时点t4内,控制线电压是为第一电压V1,栅极选择线电压是为第二电压V2,抹除线电压是为第三电压V3,比特线电压是为第四电压V4,且信道电压是为第五电压V5。在禁止写入操作期间,第一电压V1至第六电压V6的大小关系是可为 $V1 \geq V3 > V5 > V4 \geq V2 > V6$ 。在写入操作期间第一电压V1至第六电压V6的大小关系是可为 $V1 \geq V3 \geq V2 > V4 = V5 = V6$

$\geq 0V$ 。举例来说,如图14所示,在禁止写入操作的期间,控制线电压可介于5伏特至20伏特的范围之间,字符线电压可介于0伏特至5伏特的范围之间,栅极选择线电压可介于1伏特至5伏特的范围之间,抹除线电压可介于5伏特至20伏特的范围之间,比特线电压可介于1伏特至5伏特的范围之间,源极线电压可介于0伏特至5伏特的范围之间,第二井电压可为0伏特,而第四井电压可介于5伏特至20伏特的范围之间。此外,如图14图所示,施于第三导电区域(N井区NW)的第三井电压的升缘领先施于第一导电区域的第一井电压(P井区PW1),且施于第三导电区域(N井区NW)的第三井电压的降缘落后施于第一导电区域(P井区PW1)的第一井电压,因此可避免第一导电区域(P井区PW1)和第二导电区域(P井区PW2)与第三导电区域(N井区NW)之间的顺向偏压。

[0096] 综上所述,上述本发明的非挥发性存储器单元可与一般互补式金氧半制程完全兼容,并仅需要相对较小的组件布局面积即可实现良好的写入和抹除速度、耐用性及数据保存性,且无退化存储器的循环次数。

[0097] 以上所述仅为本发明的优选实施例而已,并不用于限制本发明,对于本领域的技术人员来说,本发明可以有各种更改和变化。凡在本发明的精神和原则之内,所作的任何修改、等同替换、改进等,均应包含在本发明的保护范围之内。

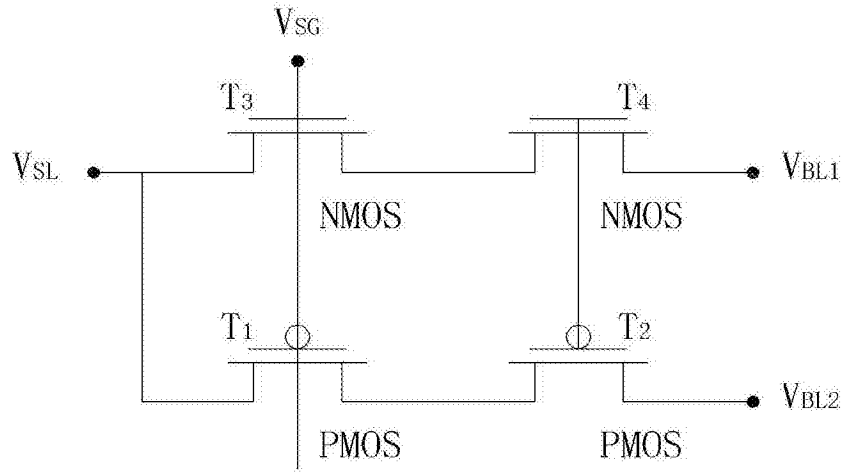


图1

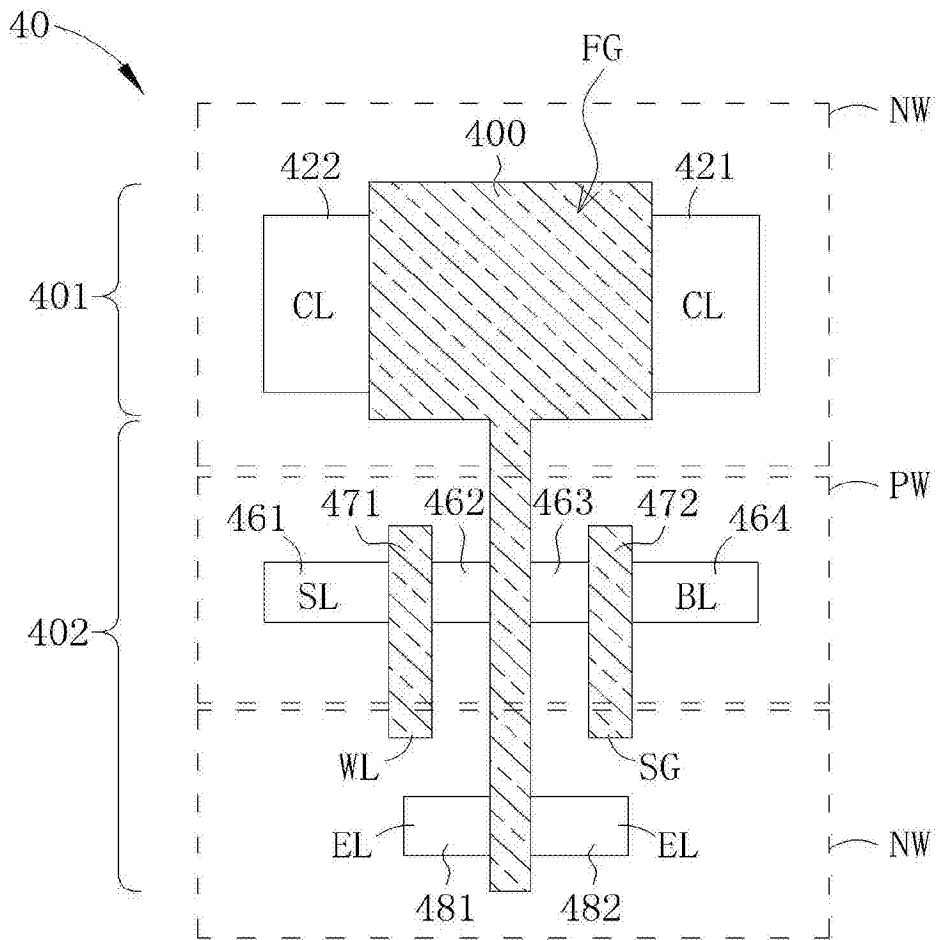


图2

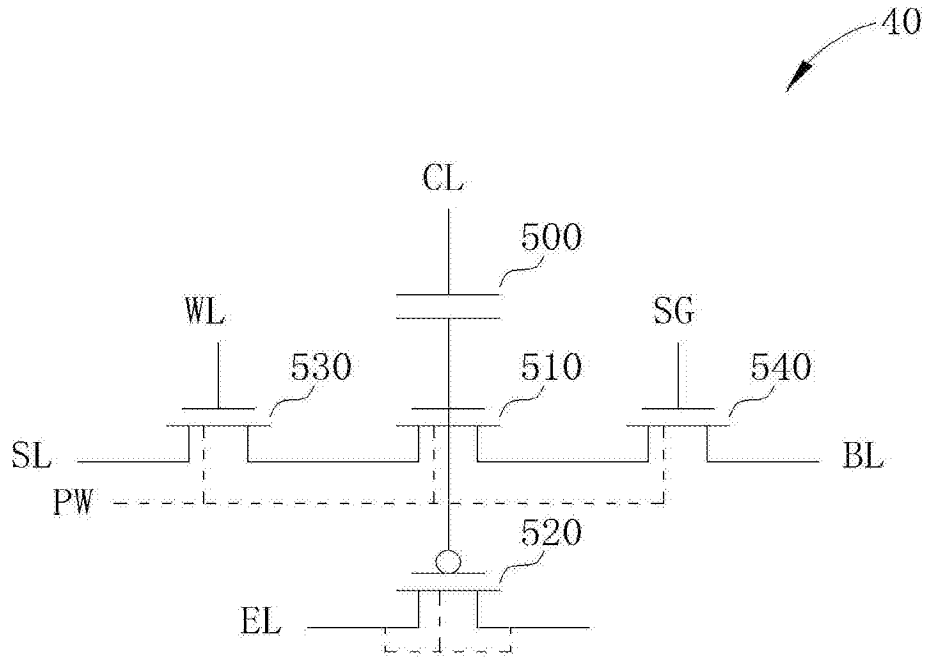


图3



	CL	WL	SG	EL	BL	SL	PW
写入	5-20	0-5	1-5	5-20	0	0	0
抹除	0	0-5	0-5	5-20	0	0	0
读取	0-5	1-5	1-5	0-5	1-5	0	0
禁止写入	5-20	0-5	1-5	5-20	1-5	0-5	0

图4

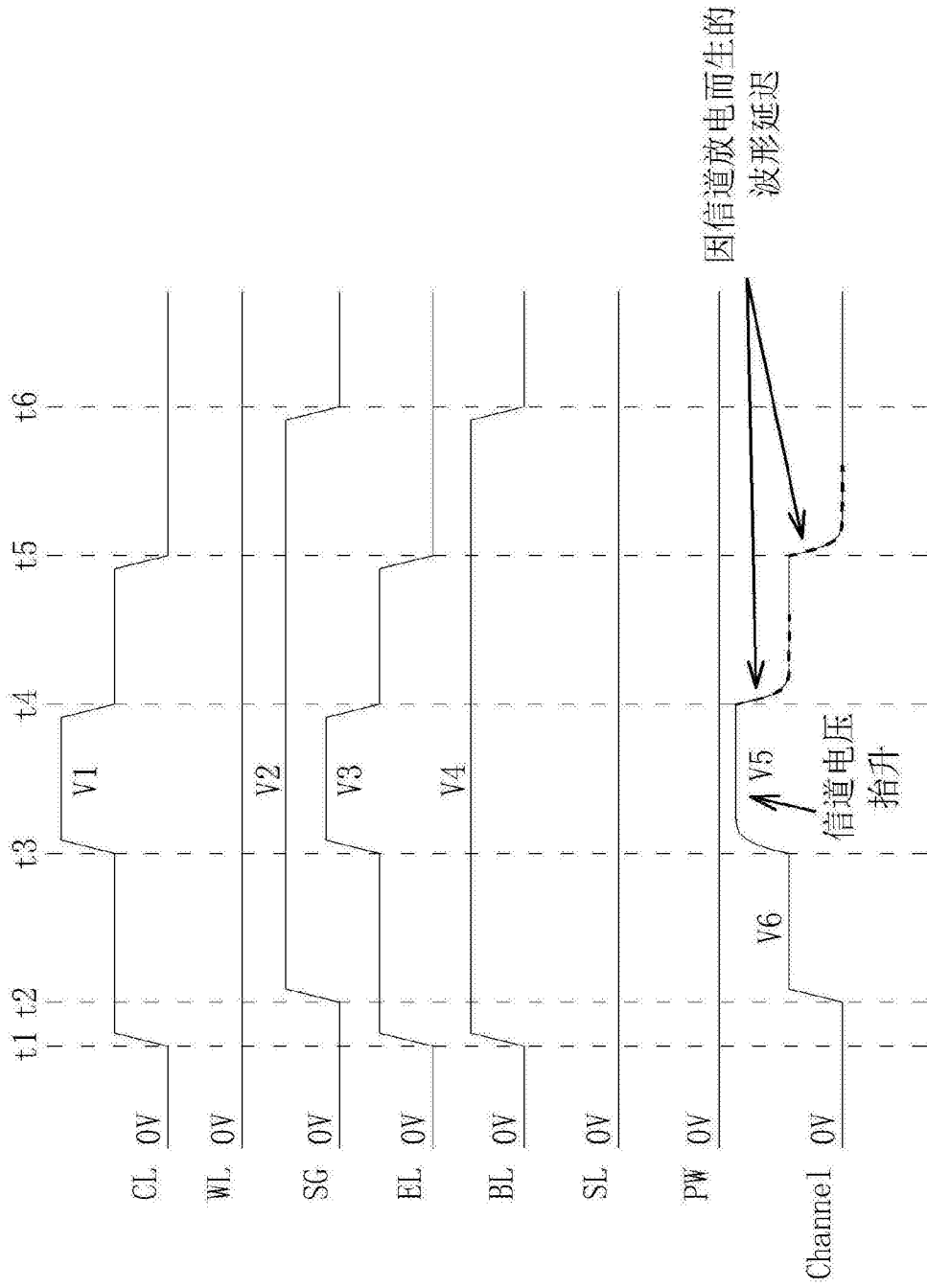


图5

90

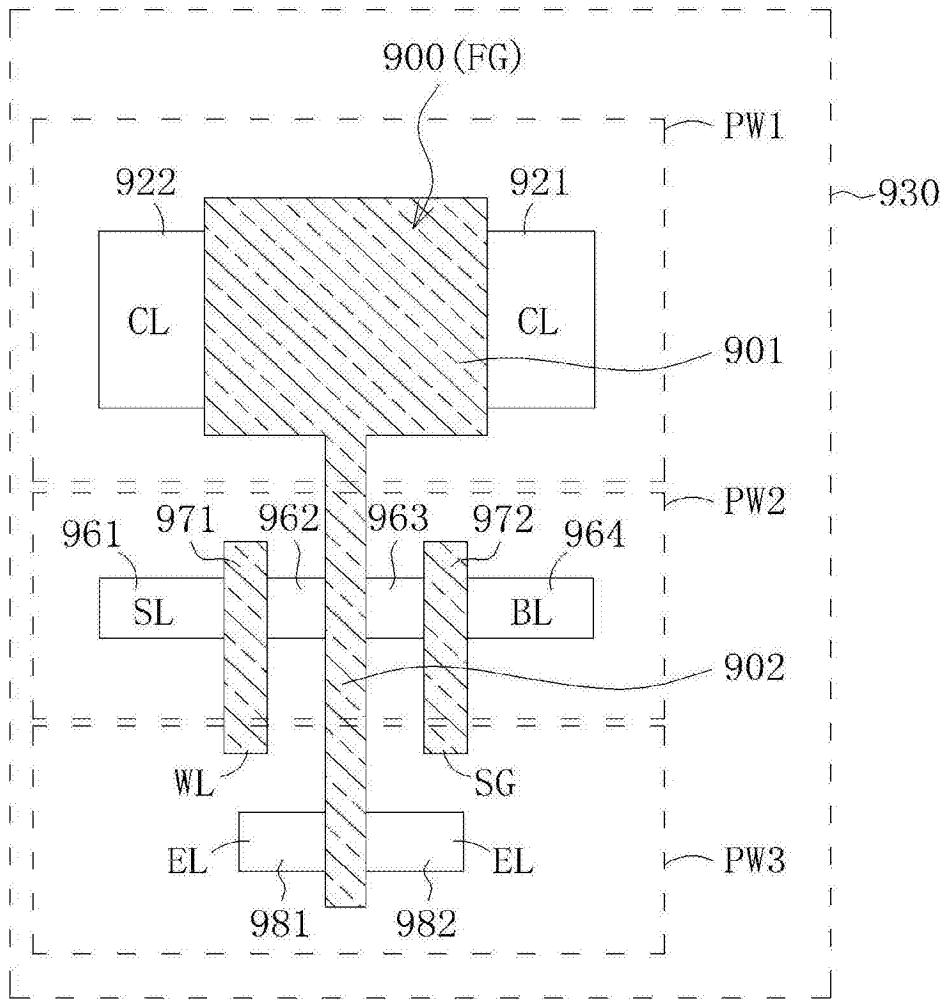


图6

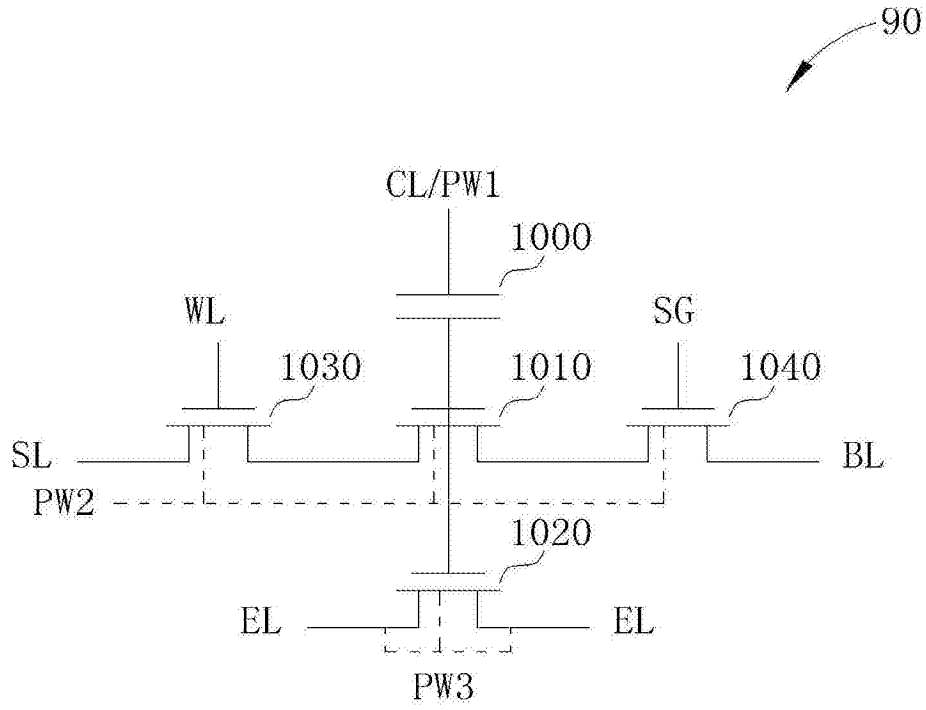


图7

	CL/PW1	WL	SG	SL	BL	PW2	EL/PW3	930
写入	5-20	0-5	1-5	0	0	0	5-20	5-20
抹除	0	0-5	0-5	0	0	0	5-20	5-20
读取	0-5	1-5	1-5	0	1-5	0	0-5	0-5
禁止写入	5-20	0-5	1-5	0-5	1-5	0	5-20	5-20

图8

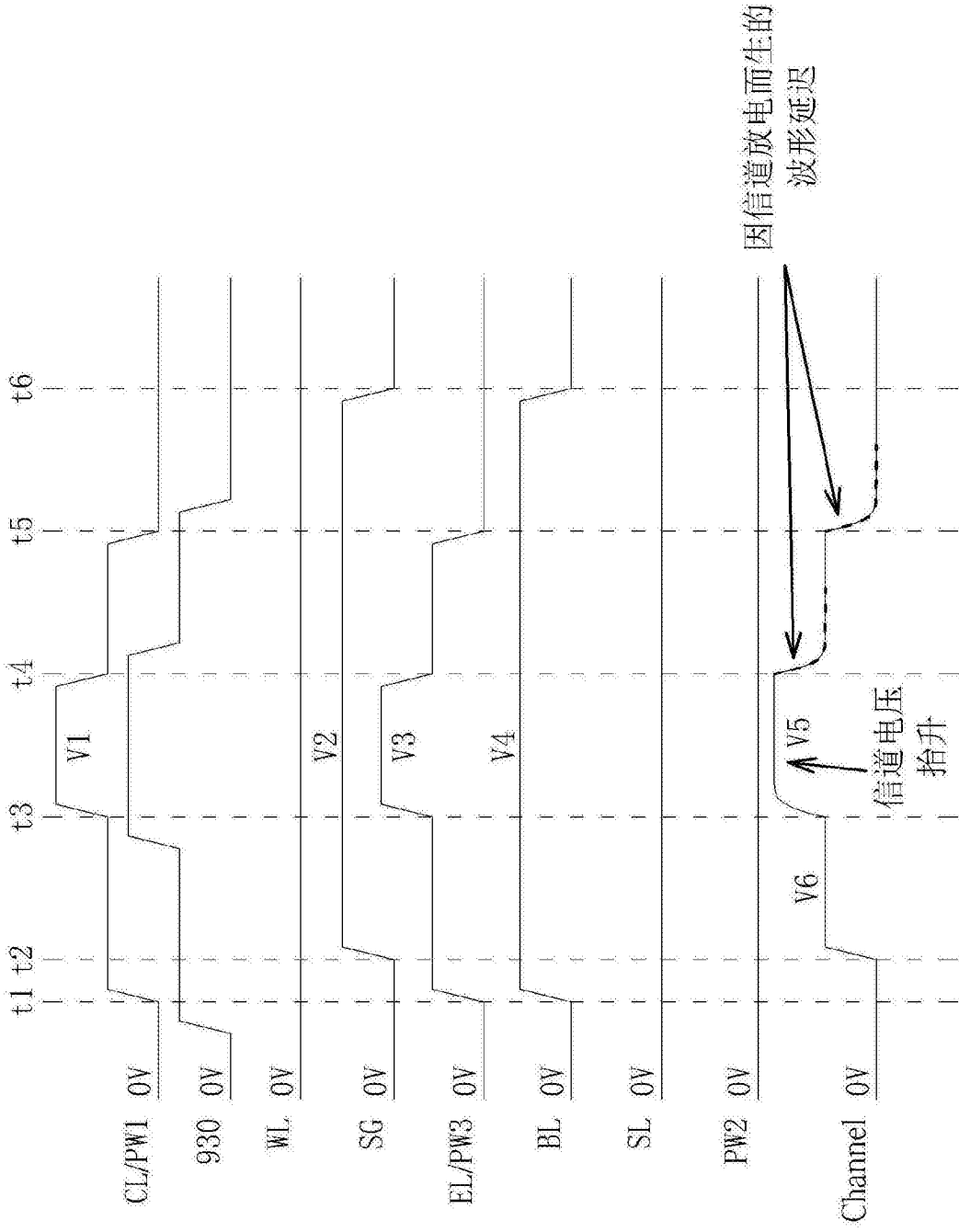


图9

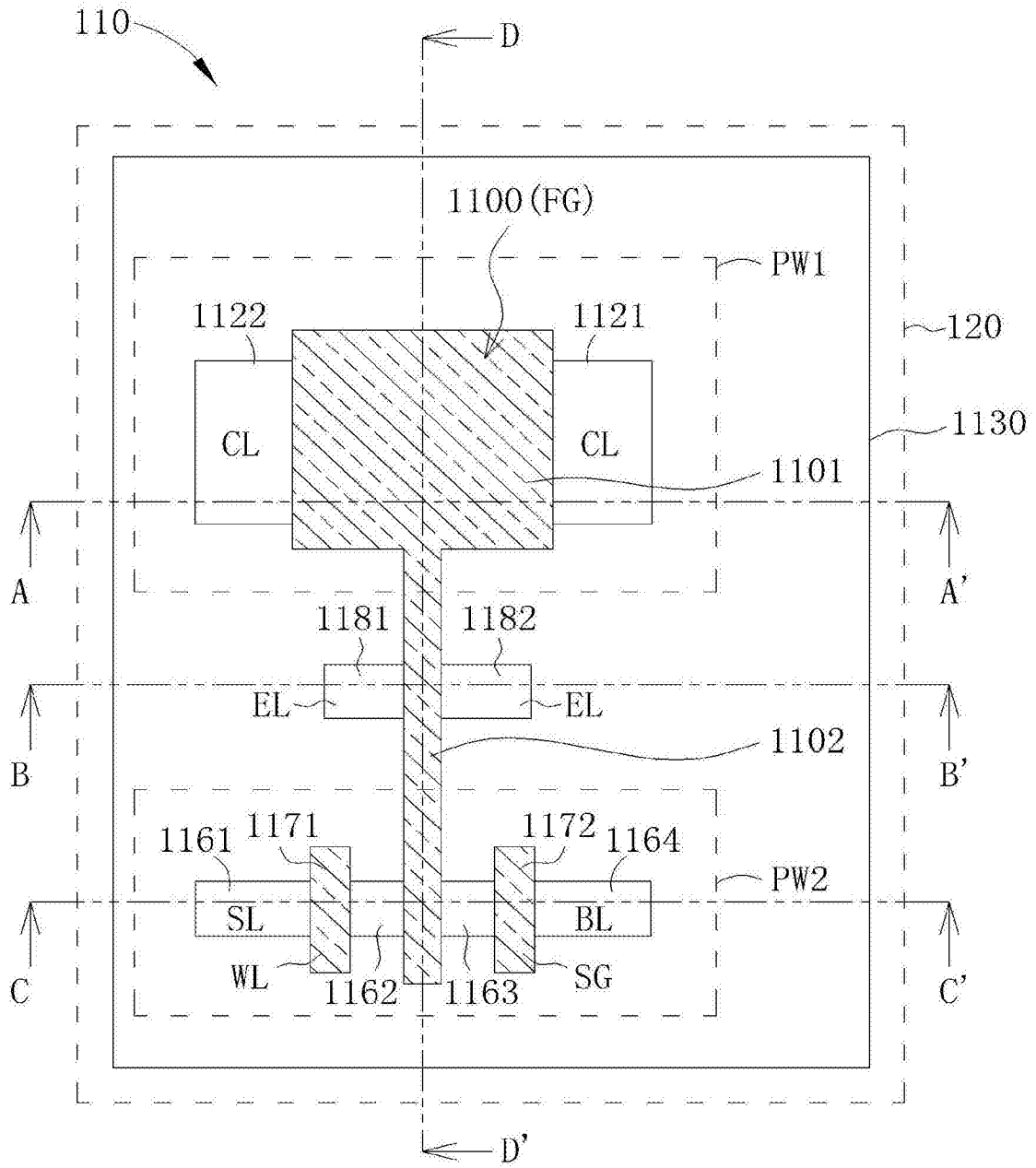


图10

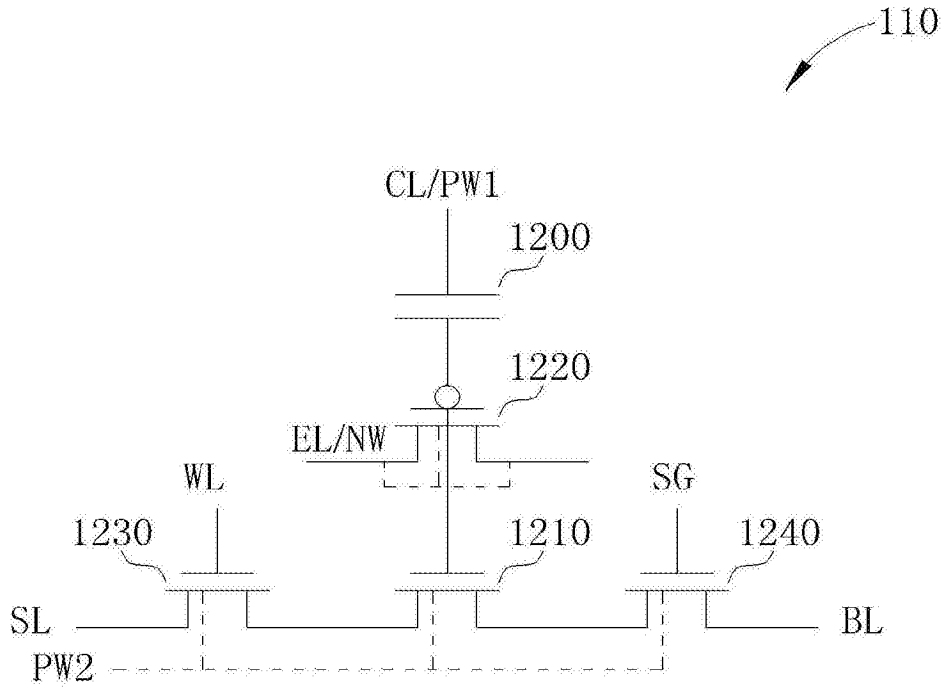


图11

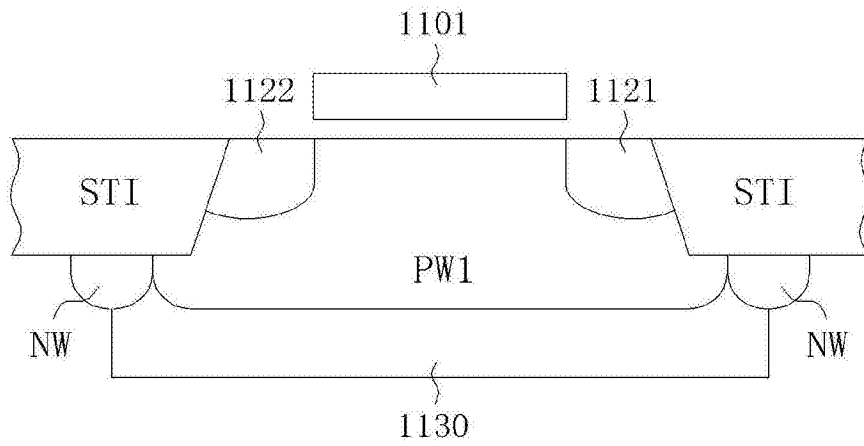


图12A



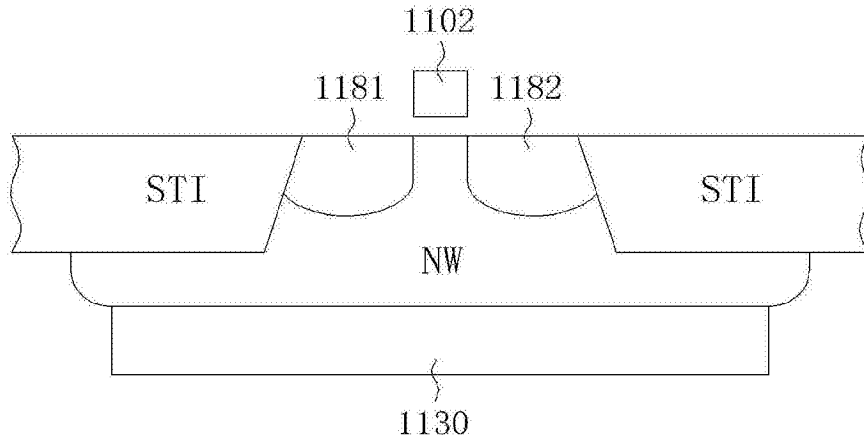


图12B

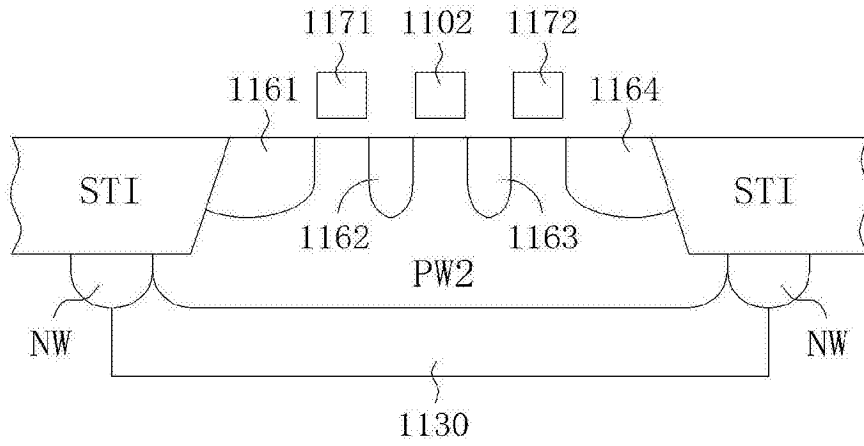


图12C

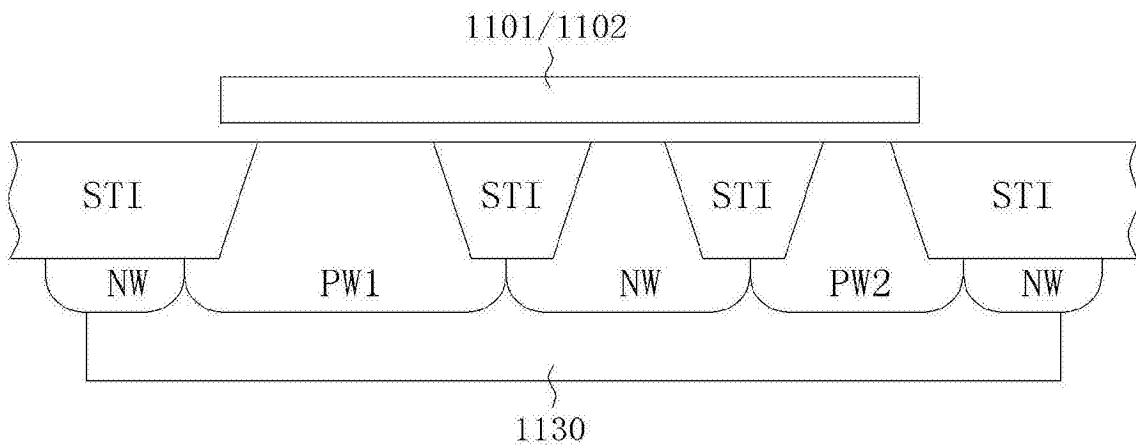


图12D

	CL/PW1	WL	SG	SL	BL	PW2	EL/NW	DNW
写入	5-20	0-5	1-5	0	0	0	5-20	5-20
抹除	0	0-5	0-5	0	0	0	5-20	5-20
读取	0-5	1-5	1-5	0	1-5	0	0-5	0-5
禁止写入	5-20	0-5	1-5	0-5	1-5	0	5-20	5-20

图13

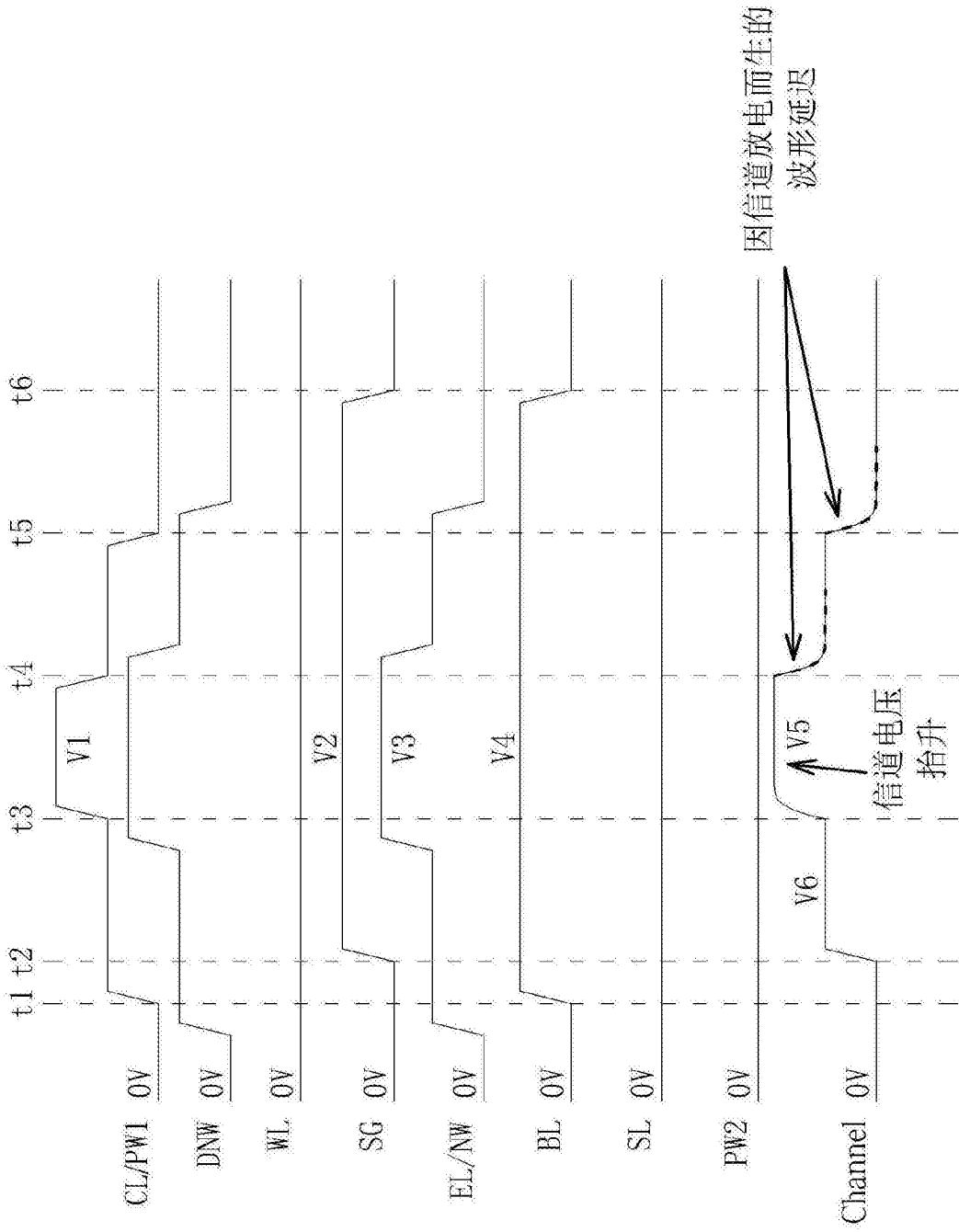


图14