



(19) 대한민국특허청(KR)  
(12) 등록특허공보(B1)

(45) 공고일자 2023년03월08일  
(11) 등록번호 10-2508118  
(24) 등록일자 2023년03월06일

(51) 국제특허분류(Int. Cl.)  
G11C 16/10 (2006.01) G06F 3/06 (2006.01)  
G11C 16/22 (2006.01)  
(52) CPC특허분류  
G11C 16/10 (2013.01)  
G06F 3/0659 (2013.01)  
(21) 출원번호 10-2021-0156466  
(22) 출원일자 2021년11월15일  
심사청구일자 2021년11월15일  
(56) 선행기술조사문헌  
KR1020070035277 A\*  
(뒷면에 계속)

(73) 특허권자  
삼성전자주식회사  
경기도 수원시 영통구 삼성로 129 (매탄동)  
(72) 발명자  
송원중  
경기도 수원시 영통구 삼성로 129(매탄동, 삼성전자)  
김두현  
경기도 수원시 영통구 삼성로 129(매탄동, 삼성전자)  
(뒷면에 계속)  
(74) 대리인  
특허법인가산

전체 청구항 수 : 총 8 항

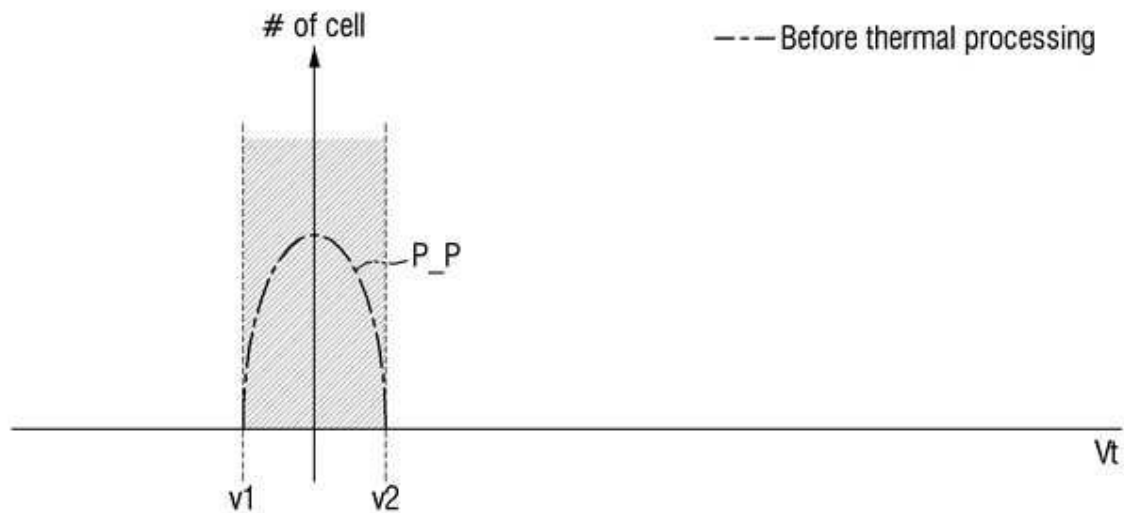
심사관 : 한선경

(54) 발명의 명칭 스토리지 장치 및 그 동작 방법

(57) 요약

스토리지 장치 및 그 동작 방법이 제공된다. 몇몇 실시예들에 따른 스토리지 장치는, 보호 명령을 수신받아, 셀 보호 동작을 수행하는 스토리지 장치로서, 스토리지 장치는 스토리지 장치에 열 공정이 진행되기 전에, 보호 명령을 수신 받고, 스토리지 장치에 열 공정이 진행된 후, 스토리지 장치 내 메모리 셀들의 문턱 전압 분포가 수렴하는 수렴 영역에, 보호 전압을 프로그램하여 보호 패턴을 생성한다.

대표도 - 도6



(52) CPC특허분류

*G06F 3/0679* (2013.01)

*G11C 16/22* (2013.01)

(72) 발명자

**김순영**

경기도 수원시 영통구 삼성로 129(매탄동, 삼성전자)

**박일한**

경기도 수원시 영통구 삼성로 129(매탄동, 삼성전자)

(56) 선행기술조사문헌

KR1020140145835 A\*

KR1020060116909 A

KR1020200025820 A

KR1020190137000 A

KR102317788 B1

KR1020090086815 A

\*는 심사관에 의하여 인용된 문헌

## 명세서

### 청구범위

#### 청구항 1

외부로부터 보호 명령 정보를 포함하는 명령을 수신받아, 셀 보호 동작을 수행하는 스토리지 장치로서,  
 상기 스토리지 장치는 상기 스토리지 장치에 열 공정이 진행되기 전에, 상기 보호 명령 정보를 포함하는 명령을 수신 받고, 상기 스토리지 장치 내 메모리 셀들의 문턱 전압 분포를 보호 전압을 이용하여 수렴 영역에 형성하여 보호 패턴을 생성하되,

상기 수렴 영역은 상기 스토리지 장치에 열 공정이 진행되는 경우, 상기 스토리지 장치 내 메모리 셀들의 문턱 전압 분포가 제1 전압과 제2 전압 사이로 수렴하는 영역으로 정의되는 스토리지 장치.

#### 청구항 2

제 1항에 있어서,  
 상기 보호 전압은 워 샷 프로그램을 통해, 프로그램되는 스토리지 장치.

#### 청구항 3

제 1항에 있어서,  
 데이터를 저장하는 비휘발성 메모리를 포함하는 메모리 장치를 더 포함하되,  
 상기 스토리지 장치는,  
 상기 보호 명령을 수신받으면, 상기 보호 전압을, 상기 비휘발성 메모리에 프로그램하는 스토리지 장치.

#### 청구항 4

제 1항에 있어서,  
 상기 보호 명령은 admin 명령 셋을 통해 전달되는 스토리지 장치.

#### 청구항 5

제 1항에 있어서,  
 상기 수렴 영역은 제1 셀 분포 전압보다 높은 전압 영역인 스토리지 장치.

#### 청구항 6

제 5항에 있어서,  
 상기 수렴 영역은 상기 제1 셀 분포 전압과는 다른 제2 셀 분포 전압보다 낮은 전압 영역인 스토리지 장치.

#### 청구항 7

외부로부터 보호 명령 정보를 포함하는 명령을 수신받아, 셀 보호 동작을 수행하는 스토리지 장치의 동작 방법으로서,

상기 스토리지 장치에 열 공정이 진행되기 전에, 상기 보호 명령 정보를 포함하는 명령을 스토리지 컨트롤러를 통해 수신 받고,

상기 스토리지 컨트롤러를 통해, 상기 스토리지 장치 내 메모리 셀들의 문턱 전압 분포를 보호 전압을 이용하여 수렴 영역에 형성하여, 보호 패턴을 생성하되, 상기 수렴 영역은 상기 스토리지 장치에 열 공정이 진행되는 경우, 상기 스토리지 장치 내 메모리 셀들의 문턱 전압 분포가 제1 전압과 제2 전압 사이로 수렴하는 영역으로 정의되며,

상기 메모리 셀들을 포함하는 비휘발성 메모리에 상기 보호 패턴이 프로그램되었음을 알리는 응답이, 상기 비휘발성 메모리로부터 상기 스토리지 컨트롤러로 전송되는 스토리지 장치의 동작 방법.

**청구항 8**

제 7항에 있어서,

상기 보호 명령은 admin 명령 셋을 통해 전달되는 스토리지 장치의 동작 방법.

**청구항 9**

삭제

**청구항 10**

삭제

**발명의 설명**

**기술 분야**

[0001] 본 발명은 스토리지 장치 및 그 동작 방법에 관한 것이다.

**배경 기술**

[0002] 비휘발성 메모리 장치 내 데이터를 저장하는 메모리 셀의 저장 가능한 비트 수가 증가하고 있다. 이에 따라, 비휘발성 메모리 장치를 제조하기 위한 공정의 집적도도 향상되고 있다.

[0003] 이때, 비휘발성 메모리 장치를 포함하는 스토리지 장치가 외부(예를 들어, 스토리지 장치를 구입한 고객사의 보드)에 조립되는 과정에서, 열 공정이 진행될 수 있다.

[0004] 이때, 스토리지 장치에 가해지는 열로 인해, 스토리지 장치 내의 메모리 셀들에 결함이 발생될 수 있다. 따라서, 스토리지 장치에 대한 열 공정이 진행되는 경우, 스토리지 장치에 대한 열 공정이 수행되기 전에 미리, 스토리지 장치 내의 메모리 셀들을 보호할 수 있는 방안의 필요성이 대두된다.

**발명의 내용**

**해결하려는 과제**

[0005] 본 발명이 해결하고자 하는 기술적 과제는 스토리지 장치에 가해지는 열 공정으로 인한, 메모리 셀의 열화 방지 효율성이 향상된 스토리지 장치를 제공하는 것이다.

[0006] 본 발명이 해결하고자 하는 다른 기술적 과제는 스토리지 장치에 가해지는 열 공정으로 인한, 메모리 셀의 열화 방지 효율성이 향상된 스토리지 장치의 동작 방법을 제공하는 것이다.

[0007] 본 발명이 해결하고자 하는 기술적 과제는 스토리지 장치에 가해지는 열 공정으로 인한, 메모리 셀의 열화 방지 효율성이 향상된 스토리지 장치 내 셀 보호 방법을 제공하는 것이다.

[0008] 본 발명의 기술적 과제들은 이상에서 언급한 기술적 과제로 제한되지 않으며, 언급되지 않은 또 다른 기술적 과제들은 아래의 기재로부터 당업자에게 명확하게 이해될 수 있을 것이다.

**과제의 해결 수단**

[0009] 상기 기술적 과제를 달성하기 위한 본 발명의 몇몇 실시예에 따른 스토리지 장치는, 보호 명령을 수신받아, 셀 보호 동작을 수행하는 스토리지 장치로서, 스토리지 장치는 스토리지 장치에 열 공정이 진행되기 전에, 보호 명령을 수신 받고, 스토리지 장치에 열 공정이 진행된 후, 스토리지 장치 내 메모리 셀들의 문턱 전압 분포가 수렴하는 수렴 영역에, 보호 전압을 프로그램하여 보호 패턴을 생성한다.

[0010] 상기 기술적 과제를 달성하기 위한 본 발명의 몇몇 실시예에 따른 스토리지 장치의 동작 방법은, 스토리지 장치의 동작 방법으로서, 스토리지 장치에 열 공정이 진행될 때, 스토리지 장치 내 메모리 셀들의 문턱 전압 분포가 수렴하는 수렴 영역에, 보호 전압을 프로그램하여 보호 패턴을 생성하는 보호 명령을 스토리지 컨트롤러를 통해

수신받고, 보호 전압을, 스토리지 컨트롤러로부터 데이터를 저장하는 비휘발성 메모리로 인가하여, 보호 패턴을 수렴 영역에 프로그램하고, 비휘발성 메모리에 보호 패턴이 프로그램되었음을 알리는 응답이, 비휘발성 메모리로부터 스토리지 컨트롤러로 전송된다.

[0011] 상기 기술적 과제를 달성하기 위한 본 발명의 몇몇 실시예에 따른 셀 보호 동작 방법은, 스토리지 장치에 열이 가해질 경우, 상기 스토리지 장치 내 메모리 셀들의 문턱 전압 분포가 수렴되는 수렴 영역을 판단하고, 상기 스토리지 장치에 열이 가해지기 전, 상기 수렴 영역에 보호 전압을 프로그램하고, 상기 스토리지 장치에 열 공정을 수행하는 것을 포함한다.

[0012] 기타 실시예들의 구체적인 사항들은 상세한 설명 및 도면들에 포함되어 있다.

**도면의 간단한 설명**

[0013] 도 1은 몇몇 실시예들에 따른 스토리지 시스템을 도시한 블록도이다.

도 2는 도 1의 메모리 장치를 도시한 블록도이다.

도 3은 도 2의 비휘발성 메모리 장치를 도시한 블록도이다.

도 4는 몇몇 실시예에 따른 비휘발성 메모리 장치에 적용될 수 있는 3D V-NAND 구조에 대해 설명하기 위한 도면이다.

도 5는 열 공정으로 인한 메모리 셀의 열화를 설명하기 위한 그래프이다.

도 6은 몇몇 실시예들에 따른 스토리지 장치의 보호 전압을 프로그램한 그래프이다.

도 7은 몇몇 실시예들에 따른 스토리지 장치의 동작 방법을 설명하기 위한 래더 다이어그램이다.

도 8은 몇몇 실시예들에 따른 스토리지 장치의 셀 보호 동작 방법을 설명하기 위한 흐름도이다.

도 9는 몇몇 실시예들에 따른 스토리지 장치에 열 공정이 진행되는 경우를 예시적으로 설명하기 위한 흐름도이다.

도 10는 몇몇 실시예들에 따른 다른 스토리지 시스템을 포함한 시스템을 도시한 블록도이다.

**발명을 실시하기 위한 구체적인 내용**

[0014] 도 1은 몇몇 실시예들에 따른 스토리지 시스템을 도시한 블록도이다.

[0015] 도 1을 참조하면, 스토리지 시스템(10)은 호스트(100) 및 스토리지 장치(200)를 포함할 수 있다. 또한, 스토리지 장치(200)는 스토리지 컨트롤러(210) 및 메모리 장치(220)를 포함할 수 있다. 또한, 본 발명의 예시적인 실시예에 따라, 호스트(100)는 호스트 컨트롤러(110) 및 호스트 메모리(120)를 포함할 수 있다. 호스트 메모리(120)는 스토리지 장치(200)로 전송될 데이터, 혹은 스토리지 장치(200)로부터 전송된 데이터를 임시로 저장하기 위한 버퍼 메모리로서 기능할 수 있다.

[0016] 스토리지 장치(200)는 호스트(100)로부터의 요청에 따라 데이터를 저장하기 위한 저장 매체들을 포함할 수 있다. 일 예로서, 스토리지 장치(200)는 SSD(Solid State Drive), 임베디드(embedded) 메모리 및 착탈 가능한 외장(external) 메모리 중 적어도 하나를 포함할 수 있다. 스토리지 장치(200)가 SSD인 경우, 스토리지 장치(200)는 NVMe(non-volatile memory express) 표준을 따르는 장치일 수 있다. 스토리지 장치(200)가 임베디드 메모리 혹은 외장(external) 메모리인 경우, 스토리지 장치(200)는 UFS(universal flash storage) 혹은 eMMC(embedded multi-media card) 표준을 따르는 장치일 수 있다. 호스트(100)와 스토리지 장치(200)는 각각 채용된 표준 프로토콜에 따른 패킷을 생성하고 이를 전송할 수 있다.

[0017] 스토리지 장치(200)의 메모리 장치(220)가 플래시 메모리를 포함할 때, 상기 플래시 메모리는 2D NAND 메모리 어레이나 3D(또는 수직형, Vertical) NAND(VNAND) 메모리 어레이를 포함할 수 있다.

[0018] 일 실시예에 따라, 호스트 컨트롤러(110)와 호스트 메모리(120)는 별도의 반도체 칩으로 구현될 수 있다. 또는, 일부 실시예들에서, 호스트 컨트롤러(110)와 호스트 메모리(120)는 동일한 반도체 칩에 집적될 수 있다. 일 예로서, 호스트 컨트롤러(110)는 애플리케이션 프로세서(Application Processor)에 구비되는 다수의 모듈들 중 어느 하나일 수 있으며, 상기 애플리케이션 프로세서는 시스템 온 칩(System on Chip, SoC)으로 구현될 수 있다. 또한, 호스트 메모리(120)는 상기 애플리케이션 프로세서 내에 구비되는 임베디드 메모리이거나, 또는 상기 애플

플리케이션 프로세서의 외부에 배치되는 비휘발성 메모리 또는 메모리 모듈일 수 있다.

- [0019] 호스트 컨트롤러(110)는 호스트 메모리(120)의 버퍼 영역의 데이터(예컨대, 기록 데이터)를 메모리 장치(220)에 저장하거나, 메모리 장치(220)의 데이터(예컨대, 독출 데이터)를 버퍼 영역에 저장하는 동작을 관리할 수 있다.
- [0020] 스토리지 컨트롤러(210)는 호스트 인터페이스(211), 메모리 인터페이스(212) 및 CPU(central processing unit)(213)를 포함할 수 있다. 또한, 스토리지 컨트롤러(210)는 플래시 변환 레이어(Flash Translation Layer; FTL)(214), 패킷 매니저(215), 버퍼 메모리(216), ECC(error correction code)(217) 엔진 및 암호화 엔진(218)을 더 포함할 수 있다. 스토리지 컨트롤러(210)는 플래시 변환 레이어(FTL)(214)가 로딩되는 워킹 메모리(미도시)를 더 포함할 수 있으며, CPU(213)가 플래시 변환 레이어를 실행하는 것에 의해 메모리 장치(220)에 대한 데이터 기록 및 독출 동작이 제어될 수 있다.
- [0021] 호스트 인터페이스(211)는 호스트(100)와 패킷(packet)을 송수신할 수 있다. 호스트(100)로부터 호스트 인터페이스(211)로 전송되는 패킷은 커맨드(command) 혹은 메모리 장치(220)에 기록될 데이터 등을 포함할 수 있으며, 호스트 인터페이스(211)로부터 호스트(100)로 전송되는 패킷은 커맨드에 대한 응답(response) 혹은 메모리 장치(220)로부터 독출된 데이터 등을 포함할 수 있다. 메모리 인터페이스(212)는 메모리 장치(220)에 기록될 데이터를 메모리 장치(220)로 송신하거나, 메모리 장치(220)로부터 독출된 데이터를 수신할 수 있다. 이러한 메모리 인터페이스(212)는 토글(Toggle) 혹은 온파이(Open NAND Flash Interface; ONFI)와 같은 표준 규약을 준수하도록 구현될 수 있다.
- [0022] 플래시 변환 계층(214)은 어드레스 매핑(address mapping), 웨어-레벨링(wear-leveling), 가비지 콜렉션(garbage collection)과 같은 여러 기능을 수행할 수 있다. 어드레스 매핑 동작은 호스트(100)로부터 수신한 논리 어드레스(logical address)를, 메모리 장치(220) 내에 데이터를 실제로 저장하는 데 사용되는 물리 어드레스(physical address)로 바꾸는 동작이다. 웨어-레벨링은 메모리 장치(220) 내의 블록(block)들이 균일하게 사용되도록 하여 특정 블록의 과도한 열화를 방지하기 위한 기술로, 예시적으로 물리 블록(physical block)들의 소거 카운트들을 밸런싱하는 펌웨어 기술을 통해 구현될 수 있다. 가비지 콜렉션은, 블록의 유효 데이터를 새 블록에 복사한 후 기존 블록을 소거(erase)하는 방식을 통해 메모리 장치(220) 내에서 사용 가능한 용량을 확보하기 위한 기술이다.
- [0023] 패킷 매니저(215)는 호스트(100)와 협의된 인터페이스의 프로토콜에 따른 패킷(Packet)을 생성하거나, 호스트(100)로부터 수신된 패킷(Packet)으로부터 각종 정보를 파싱할 수 있다. 또한, 버퍼 메모리(216)는 메모리 장치(220)에 기록될 데이터 혹은 메모리 장치(220)로부터 독출될 데이터를 임시로 저장할 수 있다. 버퍼 메모리(216)는 스토리지 컨트롤러(210) 내에 구비되는 구성일 수 있으나, 스토리지 컨트롤러(210)의 외부에 배치되어도 무방하다.
- [0024] ECC 엔진(217)은 메모리 장치(220)로부터 독출되는 독출 데이터에 대한 오류 검출 및 정정 기능을 수행할 수 있다. 보다 구체적으로, ECC 엔진(217)은 메모리 장치(220)에 기입될 기입 데이터에 대하여 패리티 비트(parity bit)들을 생성할 수 있으며, 이와 같이 생성된 패리티 비트들은 기입 데이터와 함께 메모리 장치(220) 내에 저장될 수 있다. 메모리 장치(220)로부터의 데이터 독출 시, ECC 엔진(217)은 독출 데이터와 함께 메모리 장치(220)로부터 독출되는 패리티 비트들을 이용하여 독출 데이터의 에러를 정정하고, 에러가 정정된 독출 데이터를 출력할 수 있다.
- [0025] 암호화 엔진(218)은, 스토리지 컨트롤러(210)로 입력되는 데이터에 대한 암호화(encryption) 동작과 복호화(decryption) 동작 중 적어도 하나의 동작을 수행할 수 있다.
- [0026] 예를 들어, 암호화 엔진(218)은, 대칭 키 알고리즘(symmetrical-key algorithm)를 이용하여 암호화 동작 및/또는 복호화 동작을 수행할 수 있다. 이때, 암호화 엔진(218)은 예를 들어, AES(Advanced Encryption Standard) 알고리즘 또는 DES(Data Encryption Standard) 알고리즘을 이용하여, 암호화 및/또는 복호화 동작을 수행할 수 있다.
- [0027] 또한, 예를 들어, 암호화 엔진(218)은 공개키 암호화 알고리즘을 이용하여 암호화 동작 및/또는 복호화 동작을 수행할 수 있다. 이때, 암호화 엔진(218)은 예를 들어, 암호화 동작 시 공개키를 이용하여 암호화를 수행하고, 복호화 동작 시 비밀키를 이용하여 복호화를 수행할 수 있다. 예를 들어, 암호화 엔진(218)은 RSA(Rivest Shamir Adleman), ECC(Elliptic Curve Cryptography), 또는 DH(Diffie-Hellman) 암호화 알고리즘을 이용할 수 있다.
- [0028] 이에 제한되지 않고, 암호화 엔진(218)은 HE(Homomorphic Encryption), PQC(Post-Quantum Cryptography), 또



는 FE(Functional Encryption) 등과 같은 양자 암호 기술을 이용하여, 암호화 동작 및/또는 복호화 동작을 수행할 수 있다.

- [0029] 도 2는 도 1의 메모리 장치를 도시한 블록도이다.
- [0030] 도 2를 참조하면, 스토리지 장치(200)은 메모리 장치(220) 및 스토리지 컨트롤러(210)를 포함할 수 있다. 스토리지 장치(200)은 복수의 채널들(CH1~CHm)을 지원할 수 있고, 메모리 장치(220)와 스토리지 컨트롤러(210)는 복수의 채널들(CH1~CHm)을 통해 연결될 수 있다. 예를 들어, 스토리지 장치(200)은 SSD(Solid State Drive)와 같은 스토리지 장치로 구현될 수 있다.
- [0031] 메모리 장치(220)는 복수의 비휘발성 메모리 장치들(NVM11~NVMmn)을 포함할 수 있다. 비휘발성 메모리 장치들(NVM11~NVMmn) 각각은 대응하는 웨이(way)를 통해 복수의 채널들(CH1~CHm) 중 하나에 연결될 수 있다. 예를 들어, 비휘발성 메모리 장치들(NVM11~NVM1n)은 웨이들(W11~W1n)을 통해 제1 채널(CH1)에 연결되고, 비휘발성 메모리 장치들(NVM21~NVM2n)은 웨이들(W21~W2n)을 통해 제2 채널(CH2)에 연결될 수 있다.
- [0032] 예시적인 실시 예에서, 비휘발성 메모리 장치들(NVM11~NVMmn) 각각은 스토리지 컨트롤러(210)로부터의 개별적인 명령에 따라 동작할 수 있는 임의의 메모리 단위로 구현될 수 있다. 예를 들어, 비휘발성 메모리 장치들(NVM11~NVMmn) 각각은 칩(chip) 또는 다이(die)로 구현될 수 있으나, 본 발명이 이에 한정되는 것은 아니다.
- [0033] 스토리지 컨트롤러(210)는 복수의 채널들(CH1~CHm)을 통해 메모리 장치(220)와 신호들을 송수신할 수 있다. 예를 들어, 스토리지 컨트롤러(210)는 채널들(CH1~CHm)을 통해 메모리 장치(220)로 커맨드들(CMDa~CMDm), 어드레스들(ADDRa~ADDRm), 및 데이터(DATAa~DATAm)를 메모리 장치(220)로 전송하거나, 메모리 장치(220)로부터 데이터(DATAa~DATAm)를 수신할 수 있다.
- [0034] 스토리지 컨트롤러(210)는 각각의 채널을 통해 해당 채널에 연결된 비휘발성 메모리 장치들(NVM11~NVMmn) 중 하나를 선택하고, 선택된 비휘발성 메모리 장치와 신호들을 송수신할 수 있다. 예를 들어, 스토리지 컨트롤러(210)는 제1 채널(CH1)에 연결된 비휘발성 메모리 장치들(NVM11~NVM1n) 중 비휘발성 메모리 장치(NVM11)를 선택할 수 있다. 스토리지 컨트롤러(210)는 선택된 비휘발성 메모리 장치(NVM11)로 제1 채널(CH1)을 통해 커맨드(CMDa), 어드레스(ADDRa), 및 데이터(DATAa)를 전송하거나, 선택된 비휘발성 메모리 장치(NVM11)로부터 데이터(DATAa)를 수신할 수 있다.
- [0035] 스토리지 컨트롤러(210)는 서로 다른 채널들을 통해 메모리 장치(220)와 신호들을 병렬적으로 송수신할 수 있다. 예를 들어, 스토리지 컨트롤러(210)는 제1 채널(CH1)을 통해 메모리 장치(220)로 커맨드(CMDa)를 전송하는 동안 제2 채널(CH2)을 통해 메모리 장치(220)로 커맨드(CMDb)를 전송할 수 있다. 예를 들어, 스토리지 컨트롤러(210)는 제1 채널(CH1)을 통해 메모리 장치(220)로부터 데이터(DATAa)를 수신하는 동안 제2 채널(CH2)을 통해 메모리 장치(220)로부터 데이터(DATAB)를 수신할 수 있다.
- [0036] 스토리지 컨트롤러(210)는 메모리 장치(220)의 전반적인 동작을 제어할 수 있다. 스토리지 컨트롤러(210)는 채널들(CH1~CHm)로 신호를 전송하여 채널들(CH1~CHm)에 연결된 비휘발성 메모리 장치들(NVM11~NVMmn) 각각을 제어할 수 있다. 예를 들어, 스토리지 컨트롤러(210)는 제1 채널(CH1)로 커맨드(CMDa) 및 어드레스(ADDRa)를 전송하여 비휘발성 메모리 장치들(NVM11~NVM1n) 중 선택된 하나를 제어할 수 있다.
- [0037] 비휘발성 메모리 장치들(NVM11~NVMmn) 각각은 스토리지 컨트롤러(210)의 제어에 따라 동작할 수 있다. 예를 들어, 비휘발성 메모리 장치(NVM11)는 제1 채널(CH1)로 제공되는 커맨드(CMDa), 어드레스(ADDRa)에 따라, 데이터(DATAa)를 프로그램할 수 있다. 예를 들어, 비휘발성 메모리 장치(NVM21)는 제2 채널(CH2)로 제공되는 커맨드(CMDb) 및 어드레스(ADDRb)에 따라 데이터(DATAB)를 독출하고, 독출된 데이터(DATAB)를 스토리지 컨트롤러(210)로 전송할 수 있다.
- [0038] 도 2에는 메모리 장치(220)가 m개의 채널을 통해 스토리지 컨트롤러(210)와 통신하고, 메모리 장치(220)가 각각의 채널에 대응하여 n개의 비휘발성 메모리 장치를 포함하는 것으로 도시되나, 채널들의 개수와 하나의 채널에 연결된 비휘발성 메모리 장치의 개수는 다양하게 변경될 수 있다.
- [0039] 도 3은 도 2의 비휘발성 메모리 장치를 도시한 블록도이다.
- [0040] 도 3을 참조하면, 비휘발성 메모리 장치(300)는 제어 로직 회로(320), 메모리 셀 어레이(330), 페이지 버퍼(340), 전압 생성기(350), 및 로우 디코더(360)를 포함할 수 있다. 도 3에는 도시되지 않았으나, 비휘발성 메모리 장치(300)는 도 3에 도시된 메모리 인터페이스 회로(212b)를 더 포함할 수 있고, 또한 컬럼 로직, 프리-디코

더, 온도 센서, 커맨드 디코더, 어드레스 디코더 등을 더 포함할 수 있다.

- [0041] 제어 로직 회로(320)는 비휘발성 메모리 장치(300) 내의 각종 동작을 전반적으로 제어할 수 있다. 제어 로직 회로(320)는 메모리 인터페이스 회로(310)로부터의 커맨드(CMD) 및/또는 어드레스(ADDR)에 응답하여 각종 제어 신호들을 출력할 수 있다. 예를 들어, 제어 로직 회로(320)는 전압 제어 신호(CTRL\_vo1), 로우 어드레스(X-ADDR), 및 컬럼 어드레스(Y-ADDR)를 출력할 수 있다.
- [0042] 이때, 커맨드(CMD) 및/또는 어드레스(ADDR)는 도 2에서 설명된 복수의 사용자들(VM 1 내지 VM n) 각각에 대한 것일 수 있다.
- [0043] 메모리 셀 어레이(330)는 복수의 메모리 블록들(BLK1 내지 BLKz)을 포함할 수 있고(z는 양의 정수), 복수의 메모리 블록들(BLK1 내지 BLKz) 각각은 복수의 메모리 셀들을 포함할 수 있다. 메모리 셀 어레이(330)는 비트 라인들(BL)을 통해 페이지 버퍼부(340)에 연결될 수 있고, 워드 라인들(WL), 스트링 선택 라인들(SSL), 및 그라운드 선택 라인들(GSL)을 통해 로우 디코더(360)에 연결될 수 있다.
- [0044] 예시적인 실시 예에서, 메모리 셀 어레이(330)는 3차원 메모리 셀 어레이를 포함할 수 있고, 3차원 메모리 셀 어레이는 복수의 낸드 스트링들을 포함할 수 있다. 각 낸드 스트링은 기판 위에 수직으로 적층된 워드 라인들에 각각 연결된 메모리 셀들을 포함할 수 있다. 미국 특허공개공보 제7,679,133호, 미국 특허공개공보 제8,553,466호, 미국 특허공개공보 제8,654,587호, 미국 특허공개공보 제8,559,235호, 및 미국 특허출원공개공보 제2011/0233648호는 본 명세서에 인용 형식으로 결합된다. 예시적인 실시 예에서, 메모리 셀 어레이(330)는 2차원 메모리 셀 어레이를 포함할 수 있고, 2차원 메모리 셀 어레이는 행 및 열 방향을 따라 배치된 복수의 낸드 스트링들을 포함할 수 있다.
- [0045] 페이지 버퍼(340)는 복수의 페이지 버퍼들(PB1 내지 PBn)을 포함할 수 있고(n은 3 이상의 정수), 복수의 페이지 버퍼들(PB1 내지 PBn)은 복수의 비트 라인들(BL)을 통해 메모리 셀들과 각각 연결될 수 있다. 페이지 버퍼(340)는 컬럼 어드레스(Y-ADDR)에 응답하여 비트 라인들(BL) 중 적어도 하나의 비트 라인을 선택할 수 있다. 페이지 버퍼(340)는 동작 모드에 따라 기입 드라이버 또는 감지 증폭기로서 동작할 수 있다. 예를 들어, 프로그램 동작 시, 페이지 버퍼(340)는 선택된 비트 라인으로 프로그램될 데이터에 대응하는 비트 라인 전압을 인가할 수 있다. 독출 동작 시, 페이지 버퍼(340)는 선택된 비트 라인의 전류 또는 전압을 감지하여 메모리 셀에 저장된 데이터를 감지할 수 있다.
- [0046] 전압 생성기(350)는 전압 제어 신호(CTRL\_vo1)를 기반으로 프로그램, 독출, 및 소거 동작들을 수행하기 위한 다양한 종류의 전압들을 생성할 수 있다. 예를 들어, 전압 생성기(350)는 워드 라인 전압(VWL)으로서 프로그램 전압, 독출 전압, 프로그램 검증 전압, 소거 전압 등을 생성할 수 있다.
- [0047] 로우 디코더(360)는 로우 어드레스(X-ADDR)에 응답하여 복수의 워드 라인들(WL) 중 하나를 선택할 수 있고, 복수의 스트링 선택 라인들(SSL) 중 하나를 선택할 수 있다. 예를 들어, 프로그램 동작 시, 로우 디코더(360)는 선택된 워드 라인으로 프로그램 전압 및 프로그램 검증 전압을 인가하고, 독출 동작 시, 선택된 워드 라인으로 독출 전압을 인가할 수 있다.
- [0048] 도 4는 몇몇 실시예에 따른 비휘발성 메모리 장치에 적용될 수 있는 3D V-NAND 구조에 대해 설명하기 위한 도면이다.
- [0049] 예를 들어, 몇몇 실시예들에 따른 도 1의 스토리지 장치가 UFS 장치의 스토리지 모듈로 적용되는 경우라면, UFS 장치의 스토리지 모듈이 3D V-NAND 타입의 플래시 메모리로 구현될 경우, 스토리지 모듈을 구성하는 복수의 메모리 블록 각각은 도 4에 도시된 바와 같은 등가 회로로 표현될 수 있다.
- [0050] 도 4를 참조하면, 비휘발성 메모리 장치의 메모리 블록(BLK<sub>i</sub>)은 기판 상에 삼차원 구조로 형성되는 삼차원 메모리 블록을 나타낸다. 예를 들어, 메모리 블록(BLK<sub>i</sub>)에 포함되는 복수의 메모리 낸드 스트링들은 상기 기판과 수직인 방향으로 형성될 수 있다.
- [0051] 메모리 블록(BLK<sub>i</sub>)은 비트 라인들(BL1, BL2, BL3)과 공통 소스 라인(CSL) 사이에 연결되는 복수의 메모리 낸드 스트링들(NS11~NS33)을 포함할 수 있다. 복수의 메모리 낸드 스트링들(NS11~NS33) 각각은 스트링 선택 트랜지스터(SST), 복수의 메모리 셀들(MC1, MC2, ..., MC8) 및 접지 선택 트랜지스터(GST)를 포함할 수 있다. 도 4에는 복수의 메모리 낸드 스트링들(NS11~NS33) 각각이 8개의 메모리 셀들(MC1, MC2, ..., MC8)을 포함하는 것으로 도시되어 있으나, 반드시 이에 한정되는 것은 아니다.
- [0052] 스트링 선택 트랜지스터(SST)는 상응하는 스트링 선택 라인(SSL1, SSL2, SSL3)에 연결될 수 있다. 복수의 메모리



리 셀들(MC1, MC2, ..., MC8)은 각각 상응하는 게이트 라인(GTL1, GTL2, ..., GTL8)에 연결될 수 있다. 게이트 라인(GTL1, GTL2, ..., GTL8)은 워드 라인들에 해당할 수 있으며, 게이트 라인(GTL1, GTL2, ..., GTL8)의 일부는 더미 워드 라인에 해당할 수 있다. 접지 선택 트랜지스터(GST)는 상응하는 접지 선택 라인(GSL1, GSL2, GSL3)에 연결될 수 있다. 스트링 선택 트랜지스터(SST)는 상응하는 비트 라인들(BL1, BL2, BL3)에 연결되고, 접지 선택 트랜지스터(GST)는 공통 소스 라인(CSL)에 연결될 수 있다.

- [0053] 동일 높이의 워드 라인(예를 들면, WL1)은 공통으로 연결되고, 접지 선택 라인(GSL1, GSL2, GSL3) 및 스트링 선택 라인(SSL1, SSL2, SSL3)은 각각 분리될 수 있다. 도 4에는 메모리 블록(BLK)이 여덟 개의 게이트 라인(GTL1, GTL2, ..., GTL8) 및 세 개의 비트 라인들(BL1, BL2, BL3)에 연결되는 것으로 도시되어 있으나, 반드시 이에 한정되는 것은 아니다.
- [0054] 도 5는 열 공정으로 인한 메모리 셀의 열화를 설명하기 위한 그래프이다.
- [0055] 이하에서는, 메모리 셀을, 2-비트 데이터가 저장되는 MLC(Multi Level Cell)로 설명하나, 이에 대한 설명이, 1-비트 데이터를 저장하는 SLC(Single Level Cell), 및/또는 3-비트 데이터를 저장하는 TLC(Triple Level Cell)에도 적용될 수 있음은 물론이다.
- [0056] 도 1 내지 도 5를 참조하면, 메모리 셀 어레이(330)를 구성하는 플로팅 게이트 트랜지스터들(MC1 내지 MC8)은 4개의 논리 상태 중 하나의 상태로 프로그램될 수 있다. 예를 들어, 메모리 셀 어레이(330)를 구성하는 플로팅 게이트 트랜지스터들(MC1 내지 MC8)은 제1 논리 상태로 프로그램되는 제1 셀 분포 전압을 형성할 수 있다. 또한, 메모리 셀 어레이(330)를 구성하는 플로팅 게이트 트랜지스터들(MC1 내지 MC8)은 제2 논리 상태로 프로그램되는 제2 셀 분포 전압을 형성할 수 있다. 또한, 메모리 셀 어레이(330)를 구성하는 플로팅 게이트 트랜지스터들(MC1 내지 MC8)은 제3 논리 상태로 프로그램되는 제3 셀 분포 전압을 형성할 수 있다. 또한, 메모리 셀 어레이(330)를 구성하는 플로팅 게이트 트랜지스터들(MC1 내지 MC8)은 제4 논리 상태로 프로그램되는 제4 셀 분포 전압을 형성할 수 있다.
- [0057] 즉, 메모리 셀 어레이(330)를 구성하는 메모리 셀들(MC1 내지 MC8)은 2-비트 데이터를 저장하는 MLC(Multi Level Cell)로 구성될 수 있다.
- [0058] 예를 들어, 제1 논리 상태는 소거 상태(E)일 수 있다. 소거 상태(E)는 복수 개의 플로팅 게이트 트랜지스터들(MC1 내지 MC8)이 소거된 상태를 나타내고, 제2 내지 제4 논리 상태들(P1, P2, 및 P3)은 복수 개의 플로팅 게이트 트랜지스터들(MC1 내지 MC8)이 프로그램된 상태를 나타낼 수 있다. 복수 개의 플로팅 게이트 트랜지스터들(MC1 내지 MC8)은 4개의 논리 상태에 대응하는 4개의 문턱 전압 분포를 가질 수 있다. 복수 개의 플로팅 게이트 트랜지스터들(MC1 내지 MC8)의 논리 상태는 다수의 검증 전압에 의해 판별될 수 있다.
- [0059] 이때, 스토리지 장치(200)을 외부(예를 들어, 스토리지 시스템을 구입한 고객사측의 보드)에 조립하는 과정에서, 고온의 열 공정이 수행될 수 있다. 이러한 경우, 복수 개의 플로팅 게이트 트랜지스터들(MC1 내지 MC8)의 문턱 전압 분포가 변화될 수 있다. 즉, 고온의 열 공정으로 인해, 메모리 셀 어레이(330)의 메모리 셀들(MC1 내지 MC8)이 열화될 수 있다.
- [0060] 예를 들어, 소거 상태(E)를 나타내는 문턱 전압 분포가, 고온의 열 공정으로 인해, 열화된 소거 상태(E')로 변할 수 있다. 또한, 프로그램 상태(P1)를 나타내는 문턱 전압 분포가, 고온의 열 공정으로 인해, 열화된 프로그램 상태(P1')로 변할 수 있다. 또한, 프로그램 상태(P2)를 나타내는 문턱 전압 분포가, 고온의 열 공정으로 인해, 열화된 프로그램 상태(P2')로 변할 수 있다. 또한, 프로그램 상태(P3)를 나타내는 문턱 전압 분포가, 고온의 열 공정으로 인해, 열화된 프로그램 상태(P3')로 변할 수 있다.
- [0061] 즉, 소거 상태(E)를 나타내는 문턱 전압 분포와 프로그램 상태들(P1, P2, 및 P3)을 나타내는 문턱 전압 분포가 열 공정으로 인해, 수렴 영역(C\_R)으로 수렴하는 분포들(E', P1', P2', 및 P3')로 변할 수 있다.
- [0062] 본 도면에서 수렴 영역은 이레이즈 상태(E)보다 크고 제1 프로그램 상태(P1)보다 작은 제1 전압(v1)과 제2 전압(v2) 사이에 형성되는 것으로 도시되었으나, 수렴 영역(C\_R)은 열 공정의 조건, 스토리지 장치(200)의 구성의 차이 등의 요인들로 인해, 본 도면에 제한되지 않고, 다른 영역에 생성될 수도 있다.
- [0063] 스토리지 장치(200)에 가해지는 열 공정으로 인해, 메모리 셀들에 열화가 발생하여, 복수의 프로그램 상태들 사이의 간격이 좁아질 수 있고, 복수의 프로그램 상태들 사이의 정보가 왜곡될 수 있다.
- [0064] 이때, 몇몇 실시예들에 따른 스토리지 장치(200)는 외부(예를 들어, 호스트(100))로부터, 보호 전압을 프로그램하는 보호 명령을 수신받은 스토리지 컨트롤러(210)의 보호 동작을 통해서, 상술된 고온의 열 공정에 대비하여,

메모리 셀들(MC1 내지 MC8)의 열화를 방지할 수 있다.

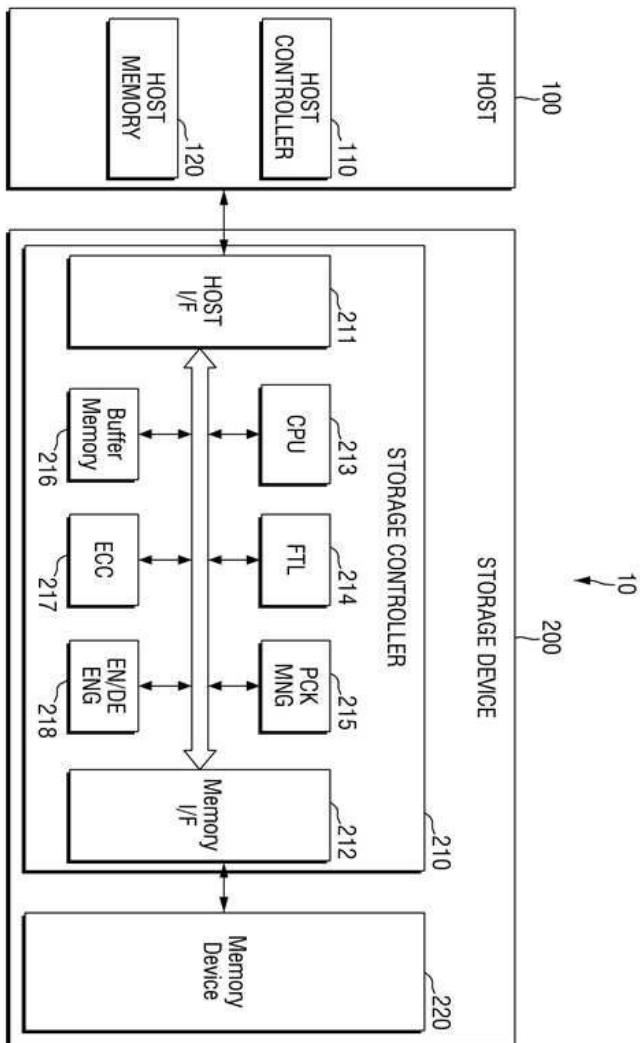
- [0065] 이하에서는 스토리지 장치(200)가 보호 명령을 호스트(100)로부터 수신 받는 것으로 예를 들어 설명하나, 본 발명은 이에 제한되는 것은 아니고, 스토리지 장치(200)는 호스트(100)와의 다른 외부로부터 보호 명령을 수신 받을 수도 있다.
- [0066] 이에 대해, 이하의 도 6 내지 도 9을 통해 자세히 설명한다.
- [0067] 도 6은 몇몇 실시예들에 따른 스토리지 장치의 보호 전압을 프로그램한 그래프이다.
- [0068] 도 1 내지 도 6을 참조하면, 스토리지 장치(200)에 고온의 열 공정이 진행되기 전에, 수렴 영역(C\_R)에 보호 패턴(P\_P)을 미리 프로그램시킬 수 있다. 예를 들어, 호스트(100)로부터 보호 명령 정보를 포함하는 명령(CMD)을 수신받은 제어 로직(320)은 수렴 영역(C\_R)에 보호 패턴(P\_P)이 생성되도록, 제어 전압(CTRL\_vol)을 전압 생성기(350)로 전달할 수 있다. 더 자세히는, 제어 로직(320)은 보호 전압(Vol\_P) 정보가 포함된 제어 전압(CTRL\_vol)을 전압 생성기(350)로 전달할 수 있다.  
이를 통해, 스토리지 장치(200) 더 자세히는 메모리 셀 어레이(330) 내의 메모리 셀들(MC1, MC2, ..., MC8)의 문턱 전압 분포가 제1 전압(v1) 이상 제2 전압(v2) 이하의 수렴 영역(C\_R)에 형성될 수 있다.
- [0069] 즉, 메모리 셀 어레이(330)의 메모리 셀들의 고온 열 공정으로 인한 열화 방지를 위한 보호 패턴(P\_P)이 생성되도록, 로우 디코더(360)를 통해, 원하는 위치의 메모리 셀에 보호 패턴(P\_P)이 생성될 수 있다.
- [0070] 고온의 열 공정이 진행되기 전 호스트(100)로부터 전달받은 보호 명령 정보가 포함된 명령(CMD)을 바탕으로, 메모리 셀에 보호 패턴(P\_P)이 미리 형성되어, 메모리 셀들의 열화를 미리 방지할 수 있다.
- [0071] 이때, 보호 패턴(P\_P)은 보호 전압(Vol\_P)을 원 샷(one shot)으로 주입하는 원 샷 프로그램을 통해, 프로그램되어 수렴 영역(C\_R)에 형성될 수도 있다.
- [0072] 또한, 보호 전압을 통해 프로그램되는 보호 패턴(P\_P)에는 데이터가 따로 저장되지 않을 수도 있다.
- [0073] 또한, 보호 명령 정보를 포함하는 명령(CMD)은 admin 명령 셋(set)을 통해 전달될 수 있다. 예를 들어, 보호 명령 정보를 포함하는 명령(CMD)은 admin 명령 셋(set)의 펌웨어 실행(firmware commit) 명령을 통해 호스트(100)로부터 스토리지 장치(200)로 전달될 수 있다.
- [0074] 도 7은 몇몇 실시예들에 따른 스토리지 장치의 동작 방법을 설명하기 위한 레더 다이어그램이다.
- [0075] 도 1 내지 도 7을 참조하면, 스토리지 장치(200)가 외부(예를 들어, 고객사 측의 보드)에 조립되고, 고온의 열 공정이 진행되기 전, 수렴 영역(C\_R)에 보호 패턴(P\_P)을 생성시키는 보호 명령 정보가 포함된 명령(CMD)이 스토리지 컨트롤러(210)로 전송된다(S10).
- [0076] 이후, 스토리지 컨트롤러(210)는 비휘발성 메모리 장치(300)에, 보호 전압(Vol\_P)을 인가하여, 수렴 영역(C\_R)에 보호 패턴(P\_P)을 생성시킨다(S20).
- [0077] 이후, 보호 패턴(P\_P)의 생성이 완료되면 비휘발성 메모리 장치(300)는 스토리지 컨트롤러(210)로 보호 패턴(P\_P) 프로그램 성공 응답을 전송한다(S30).
- [0078] 이후, 스토리지 컨트롤러(210)는 보호 명령 정보가 포함된 명령에 대한 응답 명령을 호스트(100)로 전송한다(S40).
- [0079] 도 8은 몇몇 실시예들에 따른 스토리지 장치의 셀 보호 동작 방법을 설명하기 위한 흐름도이다.
- [0080] 도 1 내지 도 8을 참조하면, 스토리지 장치(200)는 스토리지 장치(200)에 열이 가해질 경우, 스토리지 장치(200) 내 메모리 셀들의 문턱 전압 분포가 수렴되는 수렴 영역(C\_R)을 미리 판단할 수 있다(S200). 예를 들어, 수렴 영역(C\_R)은 스토리지 장치(200)를 구입하는 구매자 측에서 제공되는 정보를 통해 판단될 수도 있다.
- [0081] 스토리지 장치(200)는 스토리지 장치(200)에 열이 가해지기 전, 수렴 영역(C\_R)에 보호 전압을 인가하여, 보호 패턴(P\_P)을 생성할 수 있다(S210).
- [0082] 이후, 스토리지 장치(200)에 열 공정이 수행될 수 있다(S220).
- [0083] 이때, 스토리지 장치(200) 내에는 보호 패턴(P\_P)이 미리 생성되어 있으므로, 열 공정의 수행으로, 스토리지 장치(200) 내의 메모리 셀들에 발생하는 열화를 최소화할 수 있다.

- [0084] 도 9은 몇몇 실시예들에 따른 스토리지 장치에 열 공정이 진행되는 경우를 예시적으로 설명하기 위한 흐름도이다.
- [0085] 본 도면에서는, 스토리지 장치에 열 공정이 진행되는 경우를 예시적으로, 설명하기 위한 것으로, 스토리지 장치에 열 공정이 진행되는 경우는 본 도면에 제한되지 않는다.
- [0086] 도 1 내지 도 9을 참조하면, 스토리지 장치(200)를 외부(예를 들어, 고객사측의 보드)에 조립하는 과정에서 열 불량이 발생한 경우를 가정한다(S100). 스토리지 장치(200)를 외부(예를 들어, 고객사측의 보드)에 조립하는 과정에서 발생하는 불량은 예를 들어, 외부(예를 들어, 고객사측의 보드)에 스토리지 장치가 조립되는 주변 부품의 불량이 발생하는 경우일 수 있다.
- [0087] 이때, 스토리지 장치(200)를 외부(예를 들어, 고객사측의 보드)로부터 분리 후, 불량을 수리한 후, 다시 조립해야 한다. 이때 고온의 열 공정이 스토리지 장치(200)에 발생할 수 있다.
- [0088] 고온 열 공정으로 인해, 스토리지 장치(200)의 메모리 셀 어레이(330) 내의 메모리 셀이 열화될 수 있다. 따라서, 고온 열 공정이 발생되기 전에, 스토리지 장치(200)는 수렴 영역(C\_R)에 보호 전압(Vol\_P)을 프로그램하여 보호 패턴(P\_P)을 생성하는 보호 명령 정보가 포함된 명령(CMD)을 전달받을 수 있다(S110).
- [0089] 이를 통해, 메모리 셀 어레이(330) 내의 메모리 셀에 보호 패턴(P\_P)이 생성될 수 있다.
- [0090] 이후, 스토리지 장치(200)를 외부에 조립하는 과정에서 열 공정을 수행한다(S120).
- [0091] 이후, 불량이 발생된 스토리지 시스템(10) 혹은 스토리지 장치(200)의 백업된 데이터를 다시 다운로드한다(S130).
- [0092] 도 10는 몇몇 실시예들에 따른 다른 스토리지 시스템을 포함한 시스템을 도시한 블록도이다.
- [0093] 도 10의 시스템(1000)은 기본적으로 휴대용 통신 단말기(mobile phone), 스마트폰(smart phone), 태블릿 PC(tablet personal computer), 웨어러블 기기, 헬스케어 기기 또는 IOT(internet of things) 기기와 같은 모바일(mobile) 시스템일 수 있다. 하지만 도 10의 시스템(1000)은 반드시 모바일 시스템에 한정되는 것은 아니고, 개인용 컴퓨터(personal computer), 랩탑(laptop) 컴퓨터, 서버(server), 미디어 재생기(media player) 또는 내비게이션(navigation)과 같은 차량용 장비(automotive device) 등이 될 수도 있다.
- [0094] 도 10를 참조하면, 시스템(1000)은 메인 프로세서(main processor)(1100), 메모리(1200a, 1200b) 및 스토리지 장치(1300a, 1300b)를 포함할 수 있으며, 추가로 촬영 장치(image capturing device)(1410), 사용자 입력 장치(user input device)(1420), 센서(1430), 통신 장치(1440), 디스플레이(1450), 스피커(1460), 전력 공급 장치(power supplying device)(1470) 및 연결 인터페이스(connecting interface)(1480) 중 하나 이상을 포함할 수 있다.
- [0095] 메인 프로세서(1100)는 시스템(1000)의 전반적인 동작, 보다 구체적으로는 시스템(1000)을 이루는 다른 구성 요소들의 동작을 제어할 수 있다. 이와 같은 메인 프로세서(1100)는 범용 프로세서, 전용 프로세서 또는 애플리케이션 프로세서(application processor) 등으로 구현될 수 있다.
- [0096] 메인 프로세서(1100)는 하나 이상의 CPU 코어(1110)를 포함할 수 있으며, 메모리(1200a, 1200b) 및/또는 스토리지 장치(1300a, 1300b)를 제어하기 위한 컨트롤러(1120)를 더 포함할 수 있다. 실시예에 따라서는, 메인 프로세서(1100)는 AI(artificial intelligence) 데이터 연산 등 고속 데이터 연산을 위한 전용 회로인 가속기(accelerator)(1130)를 더 포함할 수 있다. 이와 같은 가속기(1130)는 GPU(Graphics Processing Unit), NPU(Neural Processing Unit) 및/또는 DPU(Data Processing Unit) 등을 포함할 수 있으며, 메인 프로세서(1100)의 다른 구성 요소와는 물리적으로 독립된 별개의 칩(chip)으로 구현될 수도 있다.
- [0097] 메모리(1200a, 1200b)는 시스템(1000)의 주기억 장치로 사용될 수 있으며, SRAM 및/또는 DRAM 등의 휘발성 메모리를 포함할 수 있으나, 플래시 메모리, PRAM 및/또는 RRAM 등의 비휘발성 메모리를 포함할 수도 있다. 메모리(1200a, 1200b)는 메인 프로세서(1100)와 동일한 패키지 내에 구현되는 것도 가능하다.
- [0098] 스토리지 장치(1300a, 1300b)는 전원 공급 여부와 관계 없이 데이터를 저장하는 비휘발성 저장 장치로서 기능할 수 있으며, 메모리(1200a, 1200b)에 비해 상대적으로 큰 저장 용량을 가질 수 있다. 스토리지 장치(1300a, 1300b)는 스토리지 컨트롤러(1310a, 1310b)와, 스토리지 컨트롤러(1310a, 1310b)의 제어 하에 데이터를 저장하는 비휘발성 메모리(non-volatile memory, NVM)(1320a, 1320b)를 포함할 수 있다. 비휘발성 메모리(1320a, 1320b)는 2D(2-dimensional) 구조 혹은 3D(3-dimensional) V-NAND(Vertical NAND) 구조의 플래시 메모리를 포

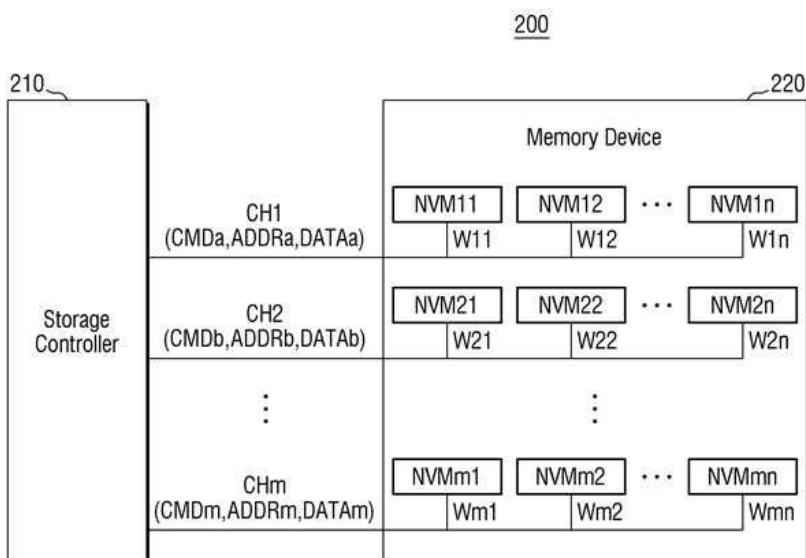


도면

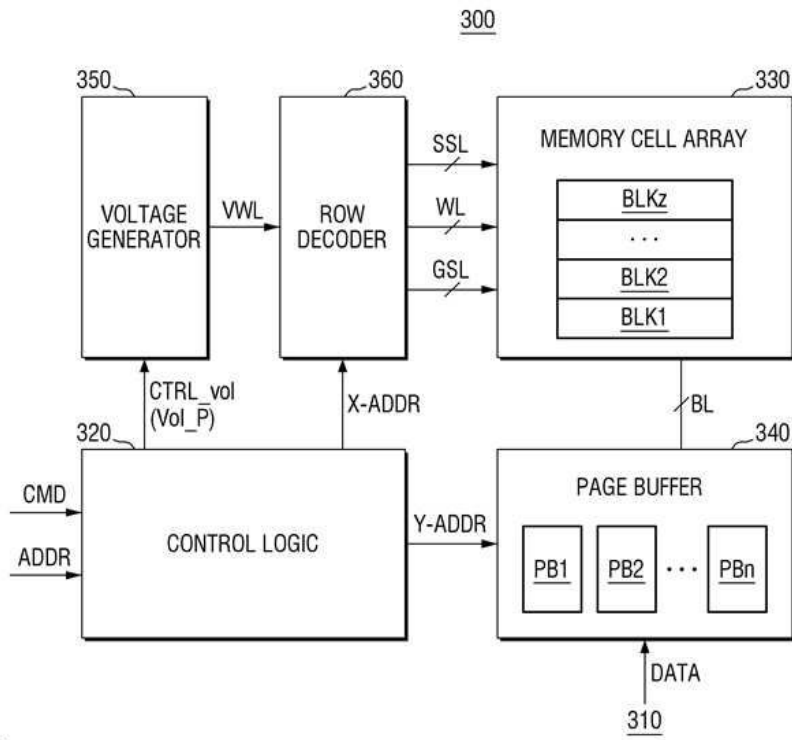
도면1



도면2

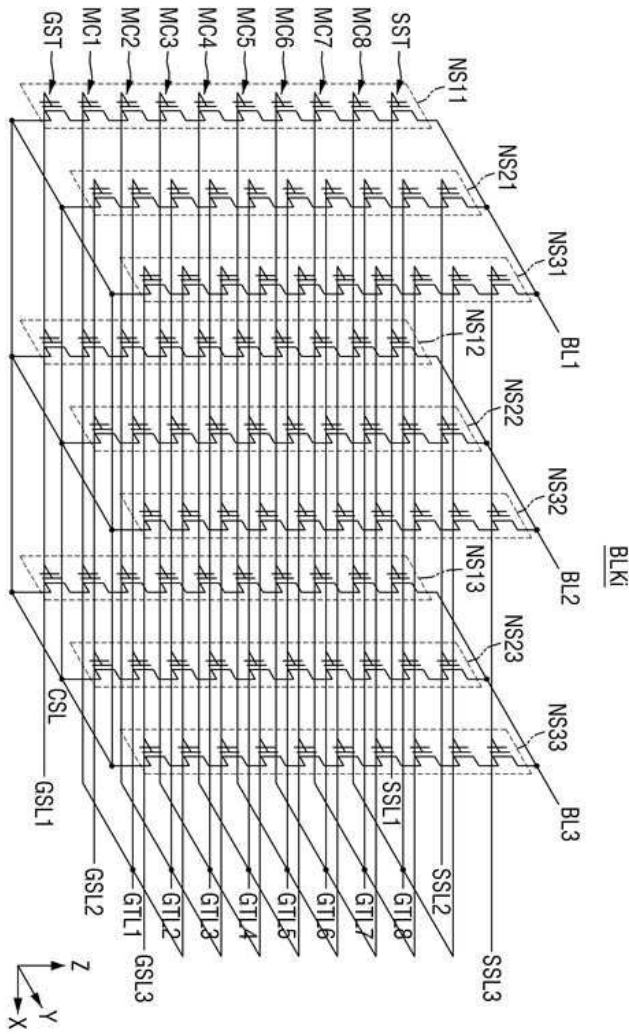


도면3

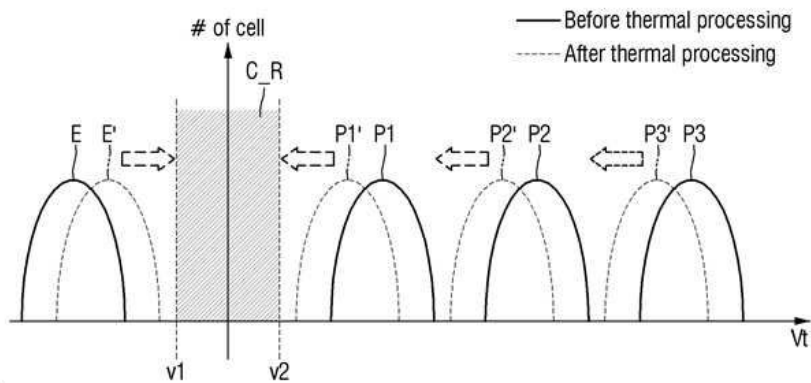




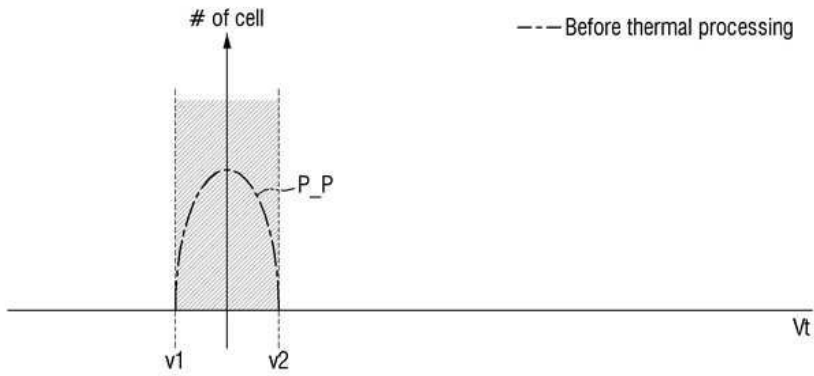
도면4



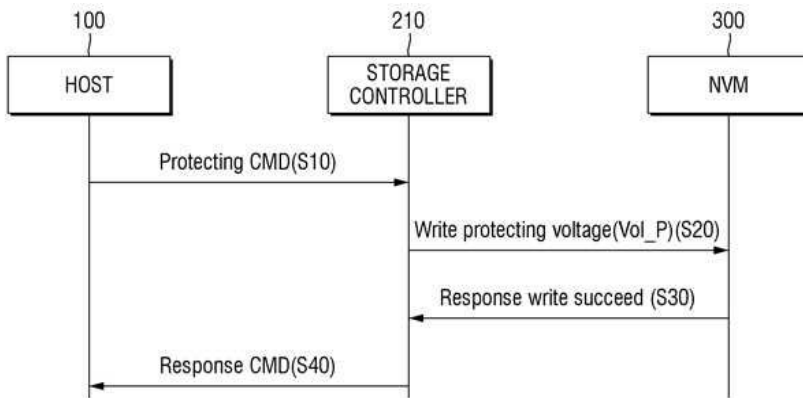
도면5



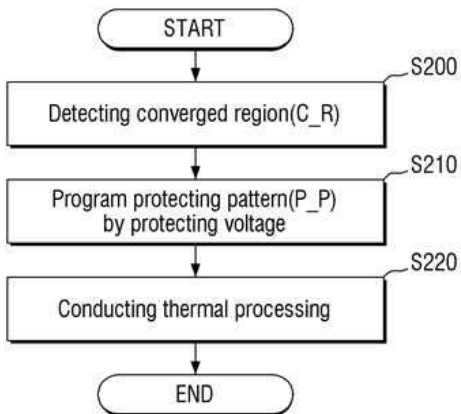
도면6



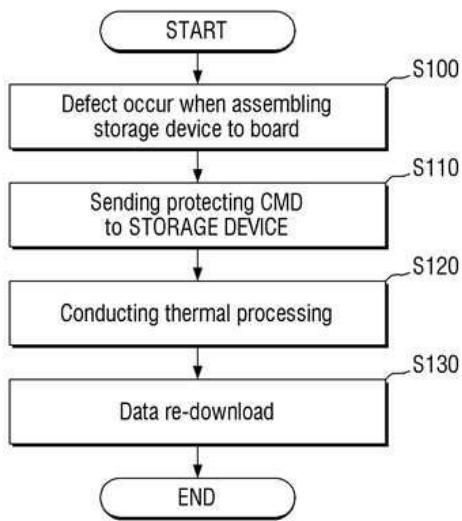
도면7



도면8



도면9



도면10

