

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第4746609号
(P4746609)

(45) 発行日 平成23年8月10日 (2011.8.10)

(24) 登録日 平成23年5月20日 (2011.5.20)

(51) Int.Cl. F I
H O 1 L 21/66 (2006.01) H O 1 L 21/66 Y

請求項の数 10 (全 13 頁)

<p>(21) 出願番号 特願2007-507993 (P2007-507993) (86) (22) 出願日 平成17年3月16日 (2005.3.16) (86) 国際出願番号 PCT/JP2005/004692 (87) 国際公開番号 W02006/098023 (87) 国際公開日 平成18年9月21日 (2006.9.21) 審査請求日 平成19年10月5日 (2007.10.5)</p>	<p>(73) 特許権者 308014341 富士通セミコンダクター株式会社 神奈川県横浜市港北区新横浜二丁目10番 23 (74) 代理人 100090273 弁理士 園分 孝悦 (72) 発明者 永井 孝一 神奈川県川崎市中原区上小田中4丁目1番 1号 富士通株式会社内 審査官 今井 拓也</p>
--	--

最終頁に続く

(54) 【発明の名称】 半導体装置及びその製造方法

(57) 【特許請求の範囲】

【請求項1】

半導体集積回路が形成された回路領域と、
2以上のモニタ領域と、
 を有し、
前記2以上のモニタ領域の各々は、前記半導体集積回路を構成する2以上の層と同時に
形成された2以上の層毎に、互いに離間して配置された2以上の同一溝形状のモニタパ
ターンを有し、
前記モニタパターンは、前記2以上のモニタ領域が設けられた半導体基板の表面に平行
な特定の一方方向に延びていることを特徴とする半導体装置。

10

【請求項2】

前記モニタ領域の各々は、前記2以上の層毎に、少なくとも5以上の同一溝形状のモニ
タパターンを有することを特徴とする請求項1に記載の半導体装置。

【請求項3】

前記モニタ領域の各々において、前記2以上の層の間で、前記モニタパターンが平面視
で互いに重なり合うことを特徴とする請求項1又は2に記載の半導体装置。

【請求項4】

前記半導体集積回路内に形成されたコンタクトホールと同時に形成された前記モニタパ
ターンが溝形状であることを特徴とする請求項1乃至3のいずれか1項に記載の半導体装
置。

20

【請求項 5】

前記 5 以上のモニタパターンは、互いに一定間隔で配置されていることを特徴とする請求項 2 に記載の半導体装置。

【請求項 6】

前記モニタ領域の各々の位置を示す 2 以上の識別標識を有することを特徴とする請求項 1 乃至 5 のいずれか 1 項に記載の半導体装置。

【請求項 7】

前記 2 以上の層は、前記半導体集積回路を構成する全ての層に対応して形成されていることを特徴とする請求項 1 乃至 6 のいずれか 1 項に記載の半導体装置。

【請求項 8】

半導体基板を、回路領域とモニタ領域とに区画した上で、前記回路領域内に半導体集積回路を構成する第 1 の層を形成すると共に、前記モニタ領域内に第 1 のモニタ層を形成する工程と、

前記第 1 の層の上又は上方に前記半導体集積回路を構成する第 2 の層を形成すると共に、前記第 1 のモニタ層の上又は上方に第 2 のモニタ層を形成する工程と、

を有し、

前記第 1 及び第 2 のモニタ層の各々に、互いに離間して配置された 2 以上の同一溝形状のモニタパターンを形成し、

前記モニタパターンは、前記半導体基板の表面に平行な特定の一方向に延びていることを特徴とする半導体装置の製造方法。

【請求項 9】

前記モニタ層の各々に、少なくとも 5 以上の同一溝形状のモニタパターンを形成することを特徴とする請求項 8 に記載の半導体装置の製造方法。

【請求項 10】

前記モニタ領域内に形成する全てのモニタパターンを、互いに同一の方向に延びるものとすることを特徴とする請求項 9 に記載の半導体装置の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、不良が発生した場合の原因の特定が容易な半導体装置及びその製造方法に関する。

【背景技術】

【0002】

半導体装置を製造した後は、プロセス欠陥及び特性変動の検出並びにプロセス管理等を目的として、種々の素子の特性の検査を行っている。そして、この検査に当たっては、TEG (Test Element Group) とよばれる検査用の回路及びパターン等が用いられる。TEG は、実際に動作する半導体集積回路内のトランジスタ、抵抗、コンデンサ及び配線等の素子の特性を反映しており、TEG の特性を測定することにより、半導体集積回路内の素子の特性を見積もることができる。

【0003】

TEG は、通常、半導体集積回路内の素子と並行して半導体ウェハのチップ形成領域内又はスクライプライン内に形成される。即ち、素子用のパターン及び TEG 用のパターンが形成されたレチクル (露光用マスク) を用いたフォトリソグラフィ技術等により形成される。図 10A 及び図 10B は、従来の TEG の配置を示す図である。

【0004】

図 10A には、1 ショットで 1 チップの転写を行う場合の例を示している。この例では、各チップ 101 の周辺部にパッド 102 が形成されると共に、4 隅に TEG 103 が形成される。また、図 10B には、1 ショットで複数チップの転写を行う場合の例を示している。この例では、チップ 111 間のスクライプライン内に TEG 113 が形成される。

【0005】

10

20

30

40

50

従来、このようなTEGを用いたモニタ検査を行うことにより、製造後の半導体装置が正常に動作するか否かの判定を行っているのである。そして、何らかの不具合があった場合には、判定結果に基づいて製造工程の見直しが行われている。また、特許文献1～4には、種々のTEG等の例が挙げられている。

【0006】

しかしながら、従来のTEGを用いたモニタ検査及びPT試験(プローブテスト)の結果が良好であっても、時間の経過と共に動作不良を起こすことがある。このような場合に原因を究明するためには、半導体装置の断面を調査する必要がある。ところが、このような調査を行っても、原因を究明することができないことがある。このため、原因を特定することができず、対処方法が確立されず、長期にわたって問題を解決できない状態が続いてしまう。

10

【0007】

【特許文献1】特開昭60-83344号公報

【特許文献2】特開昭60-109240号公報

【特許文献3】特開平1-225138号公報

【特許文献4】特開2000-332077号公報

【発明の開示】

【0008】

本発明の目的は、高集積化を阻害することなく、不具合が生じた場合に容易にその原因を究明することができる半導体装置及びその製造方法を提供することにある。

20

【0009】

本願発明者は、前記課題を解決すべく鋭意検討を重ねた結果、従来のTEGが形成された半導体装置には、次のような問題点があることを見出した。不良が発生した後に断面の観察を行っても、その断面に現れる部分はTEGの一部であるため、十分な情報を得ることができない。また、層間に生じる位置ずれの量を見積もることもできない。更に、コンタクトホール等の平面形状が湾曲している部分を有する部分については、断面によって現れる部分の寸法が変動するため、幅や半径等を正確に見積もることができない。

【0010】

更に、1ショットで複数チップの転写を行った場合には、TEGの近傍に位置するチップの情報はTEGに反映されやすいが、TEGから離間したチップでは、TEGで異常が見つからないときでも、不具合が生じていることがある。例えば、転写の際に歪みが生じている場合、中央部では正確な転写が行われているにも拘わらず、周辺部では正確な転写が行われないことがある。全てのチップ近傍にTEGを設ければ、この問題自体は解決可能であるが、チップ面積が増大してしまう。また、検査に要する時間が膨大になるという問題も生じてしまう。

30

【0011】

本願発明者は、このような問題点に着目して、以下に示す発明の諸態様に想到した。

【0012】

本発明に係る半導体装置には、半導体集積回路が形成された回路領域と、2以上のモニタ領域とが設けられている。そして、前記2以上のモニタ領域の各々は、前記半導体集積回路を構成する2以上の層と同時に形成された2以上の層毎に、互いに離間して配置された2以上の同一溝形状のモニタパターンを有し、前記モニタパターンは、前記2以上のモニタ領域が設けられた半導体基板の表面に平行な特定の一方方向に延びている。

40

【0013】

本発明に係る半導体装置の製造方法では、半導体基板を、回路領域とモニタ領域とに区画した上で、前記回路領域内に半導体集積回路を構成する第1の層を形成すると共に、前記モニタ領域内に第1のモニタ層を形成した後、前記第1の層の上又は上方に前記半導体集積回路を構成する第2の層を形成すると共に、前記第1のモニタ層の上又は上方に第2のモニタ層を形成する。但し、前記第1及び第2のモニタ層の各々には、互いに離間して配置された2以上の同一溝形状のモニタパターンを形成する。前記モニタパターンは、前

50

記半導体基板の表面に平行な特定の一方方向に延びている。

【図面の簡単な説明】

【0014】

【図1】図1は、本発明の実施形態に係る半導体装置のレイアウトを示す図である。

【図2A】図2Aは、本発明の実施形態に係る半導体装置を製造する方法を示す断面図である。

【図2B】図2Bは、本発明の実施形態に係る半導体装置を製造する方法を示す平面図である。

【図3A】図3Aは、図2Aに引き続き、半導体装置を製造する方法を示す断面図である。

【図3B】図3Bは、図2Bに引き続き、半導体装置を製造する方法を示す平面図である。

【図4A】図4Aは、図3Aに引き続き、半導体装置を製造する方法を示す断面図である。

【図4B】図4Bは、図3Bに引き続き、半導体装置を製造する方法を示す平面図である。

【図5A】図5Aは、図4Aに引き続き、半導体装置を製造する方法を示す断面図である。

【図5B】図5Bは、図4Bに引き続き、半導体装置を製造する方法を示す平面図である。

【図6】図6は、図5Aに引き続き、半導体装置を製造する方法を示す断面図である。

【図7】図7は、モニタ領域1の断面の解析方法を示す模式図である。

【図8A】図8Aは、識別標識の例を示す図である。

【図8B】図8Bは、識別標識の他の例を示す図である。

【図9】図9は、コンタクトプラグの例を示す図である。

【図10A】図10Aは、1ショットで1チップの転写を行う場合のTEGの配置を示す図である。

【図10B】図10Bは、1ショットで複数チップの転写を行う場合のTEGの配置を示す図である。

【図11A】図11Aは、識別標識の更に他の例を示す図である。

【図11B】図11Bは、識別標識の更に他の例を示す図である。

【発明を実施するための最良の形態】

【0015】

以下、本発明の実施形態について、添付の図面を参照して具体的に説明する。図1は、本発明の実施形態に係る半導体装置のレイアウトを示す図である。

【0016】

本実施形態には、実際に動作する半導体集積回路が形成された回路領域2が設けられ、更に、回路領域2の周囲に複数個のパッド3が設けられている。パッド3は、半導体集積回路を構成する素子に接続されている。また、回路領域2とパッド3との間の4箇所に、モニタ領域1が設けられている。モニタ領域1は、例えば、矩形にダイシングされた半導体基板11の各頂点と、平面形状が矩形の回路領域2の各頂点との間に設けられている。

【0017】

次に、本発明の実施形態に係る半導体装置を製造する方法について説明する。ここでは、モニタ領域1の断面構造についても併せて説明する。図2A乃至図5A及び図6は、本発明の実施形態に係る半導体装置を製造する方法を工程順に示す断面図である。また、図2B乃至図5Bは、本発明の実施形態に係る半導体装置を製造する方法を工程順に示す平面図である。

【0018】

先ず、図2A及び図2Bに示すように、回路領域2内において、半導体基板11の表面に素子分離絶縁膜12を形成すると共に、モニタ領域1内において、半導体基板11の表

10

20

30

40

50

面に、例えば特定の一方方向に延びる5本の素子分離絶縁膜12mを一定の間隔で形成する。なお、素子分離絶縁膜12mの間隔は、半導体装置を製造する際の最小設計ルールよりも大きくすることが好ましい。例えば、 $0.18\mu\text{m}$ の設計ルールで半導体装置を製造する場合には、素子分離絶縁膜12mの間隔を $0.25\mu\text{m}$ とすることが好ましい。

【0019】

次に、図3A及び図3Bに示すように、回路領域2内において、半導体基板11上にゲート絶縁膜13及びゲート電極14を形成すると共に、モニタ領域1内において、半導体基板11上に、素子分離絶縁膜12mと同じ方向に延びる5本のゲート絶縁膜13m及びゲート電極14mを、素子分離絶縁膜12mと同じ間隔で形成する。ゲート絶縁膜13mは、特に形成する必要はないが、ゲート電極14mをゲート電極14と並行して形成すると、形成されるものであり、敢えて除去する必要もない。また、ゲート電極14m及びゲート絶縁膜13mを素子分離絶縁膜12mと重なるように形成してもよい。これは、後述のように、モニタ領域2内に形成するパターンには、電気信号を導通させる必要がないからである。

10

【0020】

次いで、図4Aに示すように、回路領域2内において、半導体基板11の表面に不純物拡散層15を形成する。更に、回路領域2及びモニタ領域1内において、ゲート電極14及び14mの側方にサイドウォール16を形成する。なお、ゲート電極14mの側方にサイドウォール16を形成しなくてもよい。また、不純物拡散層15をサイドウォール16の形成の前後にわたって形成してもよい。

20

【0021】

その後、図4A及び図4Bに示すように、全面に層間絶縁膜17を形成する。続いて、回路領域2内において、層間絶縁膜17にコンタクトホールを形成すると共に、モニタ領域1内において、層間絶縁膜17に、素子分離絶縁膜12mと同じ方向に延びる5本のコンタクト溝を、素子分離絶縁膜12mと同じ間隔で形成する。そして、コンタクトホール及びコンタクト溝内に導電膜を埋め込むことにより、回路領域2内においてコンタクトプラグ18を形成すると共に、モニタ領域1内においてコンタクトプラグ18mを形成する。なお、コンタクト溝及びコンタクトプラグ18mをゲート電極14mと重ならないようにして形成してもよい。

【0022】

次に、図5Aに示すように、回路領域2内において、下部電極、強誘電体膜及び上部電極を備えた強誘電体キャパシタ19を層間絶縁膜17上に形成すると共に、モニタ領域1内において、素子分離絶縁膜12mと同じ方向に延びる5本の強誘電体キャパシタ19mを、素子分離絶縁膜12mと同じ間隔で形成する。なお、強誘電体キャパシタ19mをコンタクトプラグ18mと重ならないように形成してもよい。また、図5Aに示す回路領域2の断面図は、図2A乃至図4Aに示す断面図とは異なる領域を示している。

30

【0023】

次いで、図5A及び図5Bに示すように、全面に層間絶縁膜20を形成する。その後、回路領域2内において、層間絶縁膜20にビアホールを形成すると共に、モニタ領域1内において、層間絶縁膜20に、素子分離絶縁膜12mと同じ方向に延びる5本のビア溝を、素子分離絶縁膜12mと同じ間隔で形成する。そして、ビアホール及びビア溝内に導電膜を埋め込むことにより、回路領域2内においてビアプラグ21を形成すると共に、モニタ領域1内においてビアプラグ21mを形成する。なお、ビア溝及びビアプラグ21mを強誘電体キャパシタ19mと重ならないようにして形成してもよい。

40

【0024】

その後、回路領域2内において、層間絶縁膜20上に、配線(図示せず)を形成すると共に、図6に示すように、モニタ領域1内において、素子分離絶縁膜12mと同じ方向に延びる5本の配線22mを、素子分離絶縁膜12mと同じ間隔で形成する。続いて、層間絶縁膜23を全面に形成する。次に、層間絶縁膜23に、回路領域2内においてビアホールを形成し、モニタ領域1内において、素子分離絶縁膜12mと同じ方向に延びる5本の

50

ビア溝を、素子分離絶縁膜 1 2 m と同じ間隔で形成する。そして、これらのビアホール及びビア溝に導電膜を埋め込むことにより、回路領域 2 内においてビアプラグ（図示せず）を形成すると共に、図 6 に示すように、モニタ領域 1 内においてビアプラグ 2 4 m を形成する。

【 0 0 2 5 】

更に、回路領域 2 内において、層間絶縁膜 2 3 上に、配線（図示せず）を形成すると共に、図 6 に示すように、モニタ領域 1 内において、素子分離絶縁膜 1 2 m と同じ方向に延びる 5 本の配線 2 5 m を、素子分離絶縁膜 1 2 m と同じ間隔で形成する。続いて、シリコン酸化膜 2 6、シリコン窒化膜 2 7 及びポリイミド膜 2 8 を全面に順次形成する。

【 0 0 2 6 】

なお、配線 2 2 m、ビアプラグ 2 4 m 及び配線 2 5 m を、それらの下層にある導電膜と重ならないように形成してもよい。

【 0 0 2 7 】

このように、本実施形態では、回路領域 2 内に形成する膜と並行して、モニタ領域 1 内にも同様の膜からなる 5 本の線状パターンを、同一の方向に延びるように、且つ同一の間隔で形成する。従って、製造後に不具合が生じた場合に、これらの線状パターンが延びる方向に直交する断面を観察すれば、回路領域 2 内に膜を形成した時に正確な露光が行われていたか否かを容易に把握することができる。また、重なり合う膜及び層間での意図しない位置ずれが生じていたか否かについても把握することができる。

【 0 0 2 8 】

更に、モニタ領域 1 は、断面観察のために形成されたものであり、TEG のように電気信号を流す必要はない。このため、TEG に必要とされるような引き回し配線及び専用のパッドを形成する必要もない。このため、半導体基板 1 1 の 4 箇所には設けたとしても、チップ面積に与える影響は極めて小さい。

【 0 0 2 9 】

次に、モニタ領域 1 の断面の解析方法について説明する。図 7 は、モニタ領域 1 の断面の解析方法を示す模式図である。ここでは、配線 2 2 m、層間絶縁膜 2 3 及びコンタクトプラグ 2 4 m に関する解析について説明するが、他の部位についても同様の解析を行うことが可能である。

【 0 0 3 0 】

まず、断面 SEM 又は TEM を用いて断面画像を取得した後、これらの電子顕微鏡のモニタ（又は画像データ）において、隣り合う配線 2 2 m の重心間の距離 L_1 を求める。なお、距離 L_1 の単位は、例えばモニタ上でのピクセル数又は距離（nm）とする。このとき、5 本の配線 2 2 m のうち両端に位置するものについては、考慮しない。これは、露光の際の露光量及びフォーカスずれ並びにパターニングの際のマイクロローディング等の影響により、両端に位置するものの寸法はそれらの間に位置する 3 本の配線 2 2 m の寸法とは異なるものになりやすいからである。なお、距離 L_1 の単位としてモニタ上でのピクセル数を採用する場合には、重心の座標を求め、これらの差を求めればよい。

【 0 0 3 1 】

そして、配線 2 2 m の幅 x_1 （nm）を求める場合には、先ず、例えば真中に位置する配線 2 2 m のモニタ上での幅 L_2 を求める。幅 L_2 の単位は距離 L_1 の単位と一致させる。設計上の配線 2 2 m の間隔は 2 5 0 nm であるため、配線 2 2 m の幅 x_1 は、次の式から求められる。

$$L_1 : 250 \text{ (nm)} = L_2 : x_1 \text{ (nm)}$$

【 0 0 3 2 】

コンタクトプラグ 2 4 m の幅 x_2 （nm）を求める場合には、先ず、例えば真中に位置するコンタクトプラグ 2 4 m のモニタ上での幅 L_3 を求める。幅 L_3 の単位は距離 L_1 の単位と一致させる。そして、コンタクトプラグ 2 4 m の幅 x_2 は、次の式から求められる。

$$L_1 : 250 \text{ (nm)} = L_3 : x_2 \text{ (nm)}$$

10

20

30

40

50

【 0 0 3 3 】

配線 2 2 m とコンタクトプラグ 2 4 m とのずれ量 x_3 (nm) を求める場合には、先ず、例えば真中に位置する配線 2 2 m 及びコンタクトプラグ 2 4 m のモニタ上での重心間の距離 L_4 を求める。距離 L_4 の単位は距離 L_1 の単位と一致させる。そして、ずれ量 x_3 は、次の式から求められる。

$$L_1 : 250 \text{ (nm)} = L_4 : x_3 \text{ (nm)}$$

【 0 0 3 4 】

層間絶縁膜 2 3 の厚さ x_4 (nm) を求める場合には、先ず、層間絶縁膜 2 3 m のモニタ上での厚さ L_5 を求める。厚さ x_4 の単位は距離 L_1 の単位と一致させる。そして、層間絶縁膜 2 3 m の厚さ x_4 は、次の式から求められる。

$$L_1 : 250 \text{ (nm)} = L_5 : x_4 \text{ (nm)}$$

【 0 0 3 5 】

このようにして、配線 2 2 m、層間絶縁膜 2 3 m 及びコンタクトプラグ 2 4 m に関する情報を取得することができる。そして、設計上の値とこれらの値とを比較することにより、どの工程でどの程度の誤差が生じたのかを容易に把握することができる。他の部位についても、同一の断面写真を用いて同様の解析を行うことができる。

【 0 0 3 6 】

このように、本実施形態によれば、モニタ領域 1 内に、回路領域 2 の各層を形成する際の履歴が反映されるため、モニタ領域 1 の解析を行うことにより、配線欠陥、コンタクト不良、位置ずれ、層間絶縁膜の厚さ、配線の厚さ等を容易に検出することができる。また、モニタ領域 1 の占有面積は極めて小さいため、特に微細化が必要とされている半導体装置にもモニタ領域 1 を形成することができる。

【 0 0 3 7 】

なお、回路領域 2 に形成する半導体集積回路の配線等は、互いに直交する 2 方向のいずれかに延びることが多いため、モニタ領域 1 を 2 個以上設けた場合には、各モニタ領域 1 内では、配線等が延びる方向を一致させつつ、少なくとも 2 個のモニタ領域 1 間では、配線等が延びる方向を互いに異なるものにする、例えば直交させることが好ましい。このような構造を採用することにより、互いに直交する 2 断面の解析が可能となる。

【 0 0 3 8 】

また、モニタ領域 1 の位置を表示する識別標識を、最表層であるポリイミド膜 2 8 に形成しておくことが好ましい。この例を図 8 A 及び図 8 B に示す。図 8 A 及び図 8 B に示す識別標識は、同一の半導体装置に付されるものである。また、図 8 A に示す識別標識「P R P X」が付されたモニタ領域 1 内で配線等が延びる方向と図 8 B に示す識別標識「P R P Y」が付されたモニタ領域 1 内で配線等が延びる方向とは互いに直交している。このように配線等が延びる方向に応じて識別標識の種類を異ならせることにより、配線等が延びる方向を容易に把握することができる。なお、「P R P」は「Production Record Pattern」を示すものであるが、識別標識の種類及び形状等は、図 8 A 及び図 8 B に示すものに限定されない。

【 0 0 3 9 】

また、モニタ領域 1 の個数及び位置は、4 個、4 隅に限定されない。例えば、1 個のモニタ領域 1 が回路領域 2 の中心部に設けられていてもよい。また、好ましい形態とはいえないが、1 チップの 4 隅のうち 1 つのみに設置してもよい。また、モニタ領域 1 には、回路領域 2 の全ての層に対応する層が形成されていることが好ましいが、一部の層が欠落していても構わない。

【 0 0 4 0 】

また、上述の実施形態では、コンタクトプラグを素子分離絶縁膜 1 2 m と同一の方向に延びるものとしているが、回路領域 2 に形成するコンタクトプラグと同様に、平面形状を円状としてもよい。但し、この場合には、図 9 に示すように、5 個のコンタクトプラグ 3 0 の位置を、素子分離絶縁膜 1 2 m (図 9 に図示せず) 及びゲート電極 1 3 m が延びる方向に関してずらすことが好ましい。ずれが全くない場合には、全てのコンタクトプラグ 3

10

20

30

40

50

0の中心を通る断面のみにおいてコンタクトプラグ30の直径を求めることが可能となり、コンタクトプラグ30の中心を通らない断面ではコンタクトプラグ30の直径を求めることができなくなる。一方、図9に示すように、ずれがある場合には、コンタクトプラグ30の直径を求めることができる断面が5つになり、解析のマージンが広がる。

【0041】

更に、1個のモニタ領域内に、互いに直交する線状パターンを設けてもよい。例えば、識別標識として、図11A及び図11Bに示すようなものを用い、その下に、当該識別標識と同様の線状パターンのモニタ層を設けてもよい。このような構造とすることにより、モニタ領域の数が1個でも、互いに直交する方向における情報を取得することができる。

【0042】

なお、特許文献1には、TEG用のパッドを微細なものとした上で、各チップの4隅にTEGを設けることが記載されているが、TEGである以上、引き回し配線等が必要である。このため、4隅に設けることは高集積化を阻害することになる。また、層間での位置ずれ量及び層内でのデフォーカス等を検出することもできない。

【0043】

また、特許文献2には、スルーホールと配線とのずれを検出するためのダミー素子を設けることが記載されているが、このダミー素子の解析を行ったとしても、層間での位置ずれ量及び層内でのデフォーカス等を検出することはできない。

【0044】

また、特許文献3には、TEGの引き回し配線を複数のチップ間で共有させて、検査時間を短縮することが記載されているが、層間での位置ずれ量及び層内でのデフォーカス等を検出することはできない。

【0045】

また、特許文献4には、配線間の短絡を高感度で検出することを目的として、パッドの外周にも配線を形成することが記載されているが、TEGを用いているため、高集積化が阻害される。また、層間での位置ずれ量及び層内でのデフォーカス等を検出することはできない。

【産業上の利用可能性】

【0046】

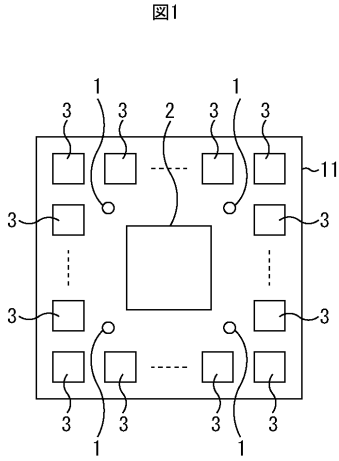
以上詳述したように、本発明によれば、不具合が発生した場合でも、モニタパターンに回路領域内の層の形成履歴が反映されているため、この断面の解析を行うことにより、容易に原因を究明することができる。また、モニタ領域に電気信号を印加する必要はないため、パッド及び引き回し配線等が不要である。従って、モニタ領域によるチップ面積の増加は微々たるものである。

10

20

30

【図1】



【図2A】

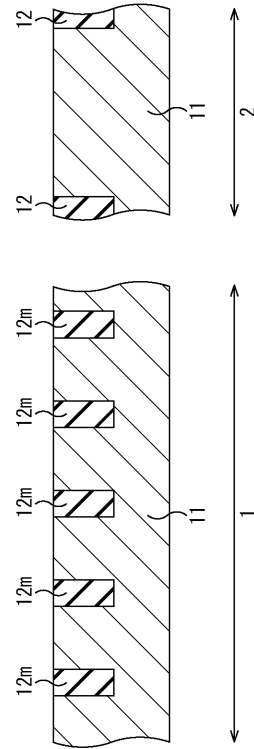


図2A

【図2B】

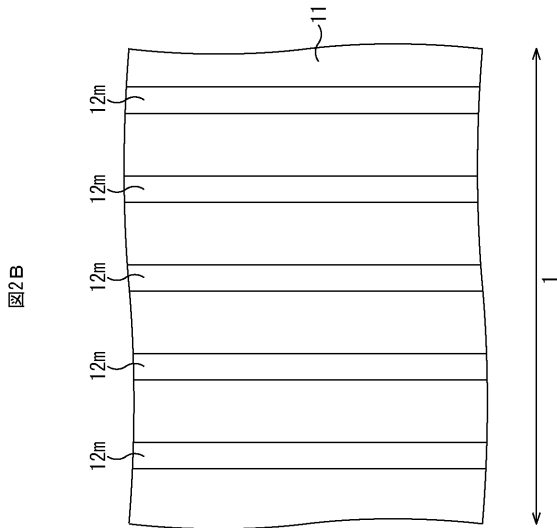


図2B

【図3A】

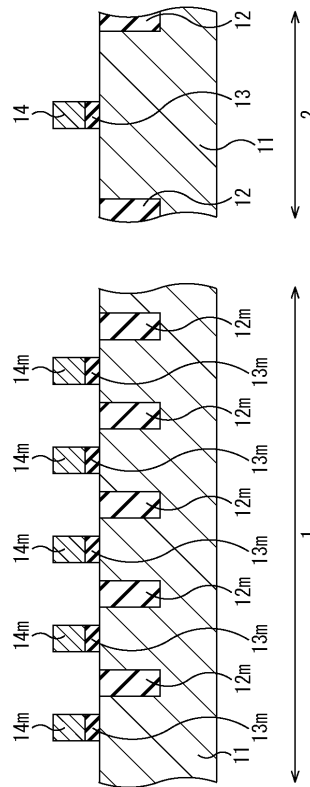
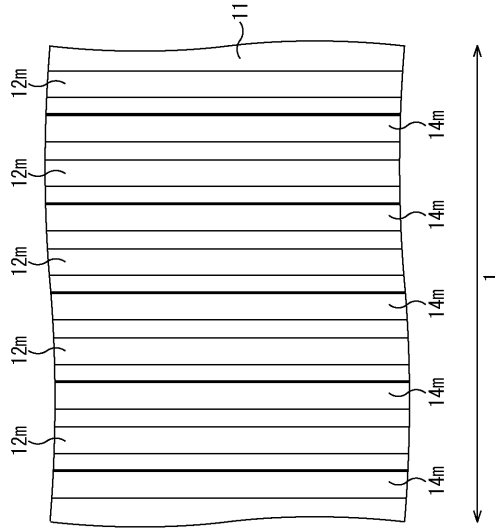


図3A

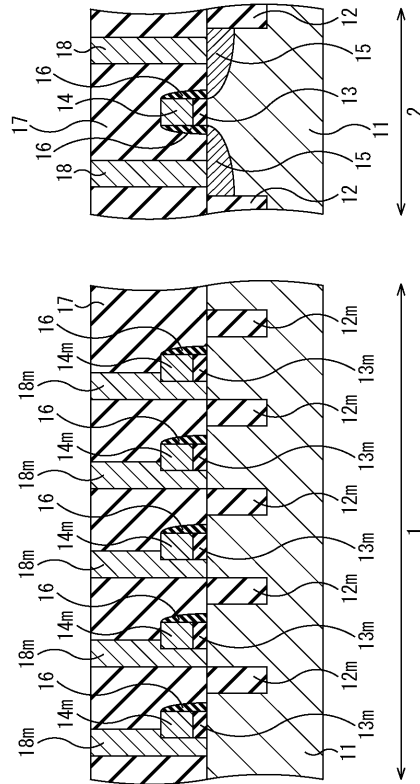
【 図 3 B 】

図3B



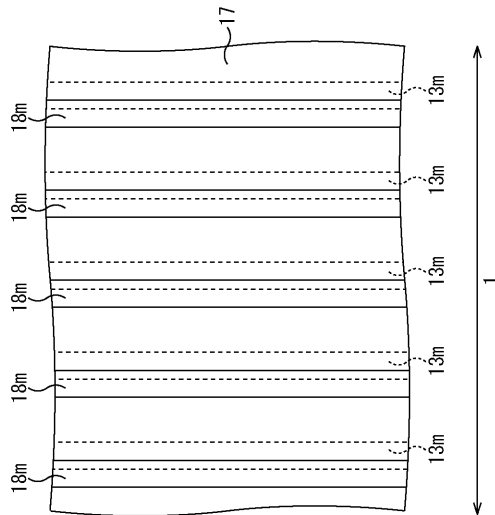
【 図 4 A 】

図4A



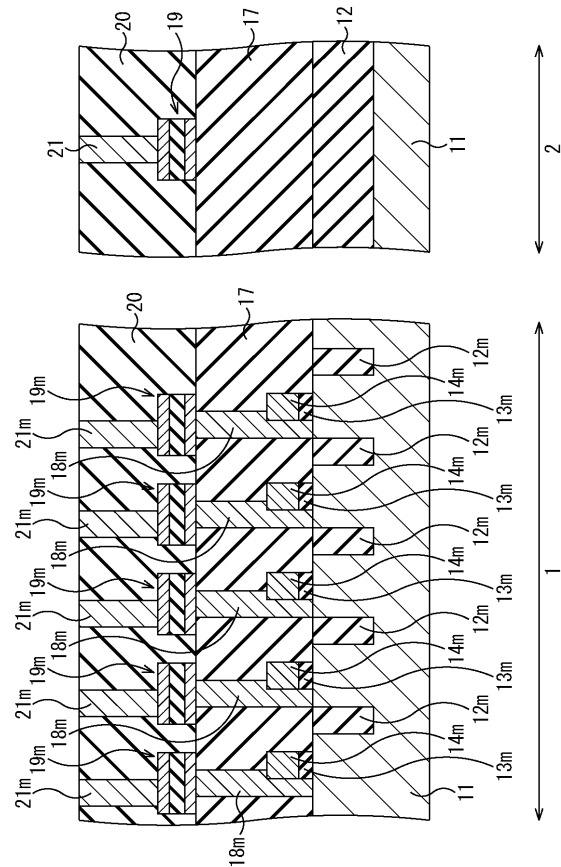
【 図 4 B 】

図4B



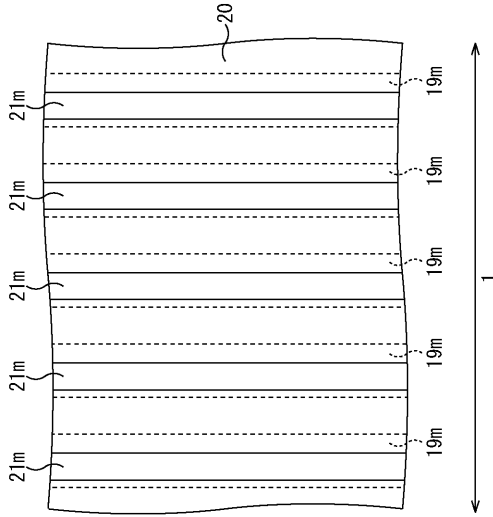
【 図 5 A 】

図5A



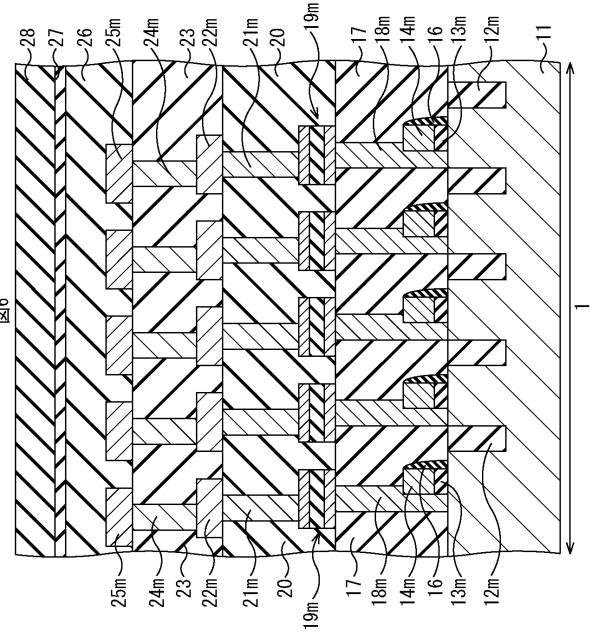
【 図 5 B 】

図5B



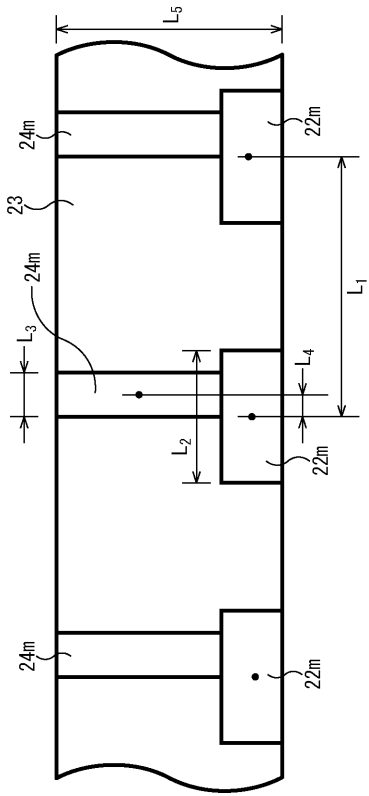
【 図 6 】

図6



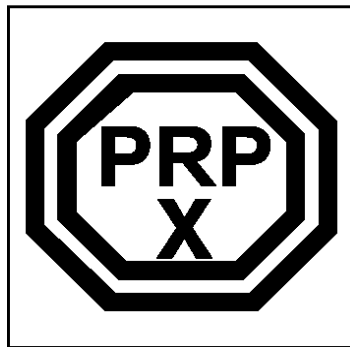
【 図 7 】

図7



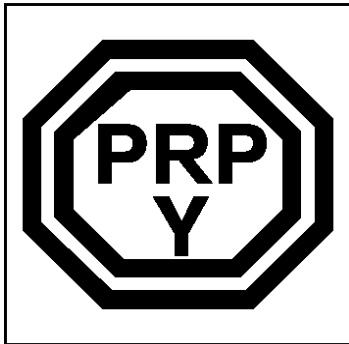
【 図 8 A 】

図8A



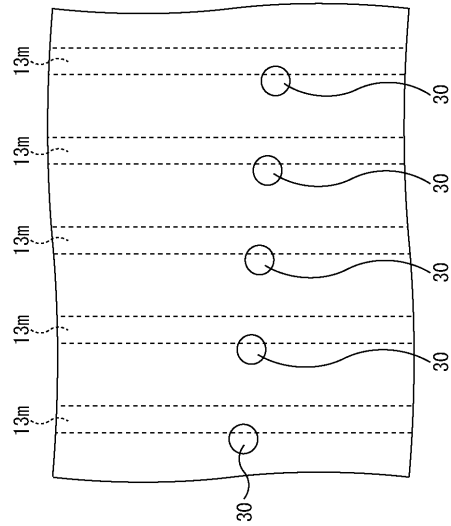
【 8 B 】

8B



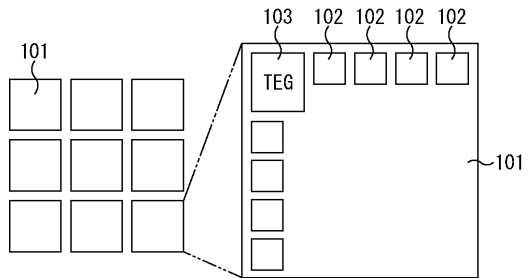
【 9 】

9



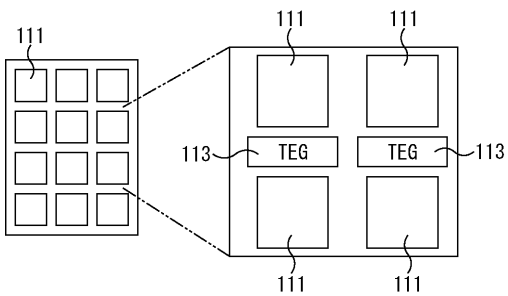
【 1 0 A 】

10A



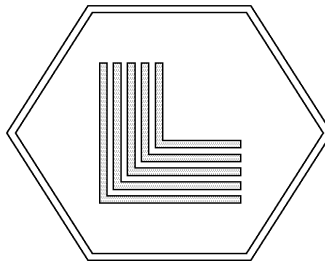
【 1 0 B 】

10B



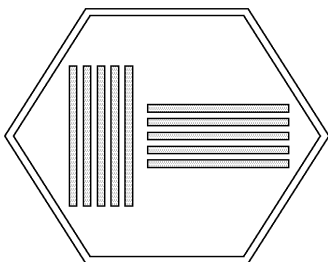
【 1 1 B 】

11B



【 1 1 A 】

11A



フロントページの続き

(56)参考文献 特開2002-100662(JP,A)
特開2003-258051(JP,A)

(58)調査した分野(Int.Cl., DB名)
H01L 21/66