

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5610836号  
(P5610836)

(45) 発行日 平成26年10月22日(2014.10.22)

(24) 登録日 平成26年9月12日(2014.9.12)

(51) Int.Cl. F 1  
B 4 1 J 2/14 (2006.01) B 4 1 J 2/14 6 1 1

請求項の数 4 (全 17 頁)

(21) 出願番号	特願2010-108406 (P2010-108406)	(73) 特許権者	000001007 キヤノン株式会社 東京都大田区下丸子3丁目30番2号
(22) 出願日	平成22年5月10日(2010.5.10)	(74) 代理人	100123788 弁理士 官崎 昭夫
(65) 公開番号	特開2011-235521 (P2011-235521A)	(74) 代理人	100127454 弁理士 緒方 雅昭
(43) 公開日	平成23年11月24日(2011.11.24)	(72) 発明者	山本 輝 東京都大田区下丸子3丁目30番2号 キヤノン株式会社内
審査請求日	平成25年4月24日(2013.4.24)	(72) 発明者	岩永 周三 東京都大田区下丸子3丁目30番2号 キヤノン株式会社内
		審査官	鈴木 友子

最終頁に続く

(54) 【発明の名称】 インクジェット記録ヘッド

(57) 【特許請求の範囲】

【請求項1】

吐出口からインクを吐出するための吐出エネルギーを発生する記録素子と、記録装置から伝送されてくるロジック信号により作動するロジック回路と、が形成された記録素子基板と、

前記記録装置と電氣的に接続される第1の端子群と、前記記録素子基板と電氣的に接続される第2の端子群と、前記第1の端子群に含まれる端子と前記第2の端子群に含まれる端子とを接続する複数の信号線と、前記第2の端子群に含まれる端子と接続される、前記ロジック回路に電源電圧を供給するロジックグランド配線と、が形成される電気配線部材と、

を有するインクジェット記録ヘッドであって、

前記ロジックグランド配線は、前記第2の端子群に含まれる端子とは接続されない、複数の分岐する分岐配線部を含み、

前記複数の信号線は、クロックを伝送するクロック配線と、記録データを伝送する記録データ配線と、を含み、

前記第1の端子群と前記第2の端子群との間の領域において、前記クロック配線と前記記録データ配線とは直接隣接せず、前記クロック配線と前記記録データ配線との間には前記分岐配線部が形成されていることを特徴とするインクジェット記録ヘッド。

【請求項2】

前記電気配線部材は、前記複数の信号線と前記ロジックグランド配線とが形成される第

1の層と、前記ロジックグランド配線が形成される第2の層と、の複数層で構成されており、前記第2の層に形成される前記ロジックグランド配線の総面積は、前記第1の層に形成される前記ロジックグランド配線の総面積よりも大きいことを特徴する請求項1に記載のインクジェット記録ヘッド。

【請求項3】

前記複数の信号線は、記録データを一時的に記憶するためのラッチ信号を伝送するラッチ信号配線を含み、前記クロック配線と前記記録データ配線との間には前記ラッチ信号配線が形成されていることを特徴とする請求項1または2に記載のインクジェット記録ヘッド。

【請求項4】

前記複数の信号線は、前記記録素子の駆動時間を決定するためのヒートイネーブル信号を伝送するヒートイネーブル信号配線を含み、前記クロック配線と前記記録データ配線との間には前記ヒートイネーブル信号配線が形成されていることを特徴とする請求項1～3のいずれか1項に記載のインクジェット記録ヘッド。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、インク等の記録液を被記録媒体に吐出させることで記録動作を行うインクジェット記録装置に適用されるインクジェット記録ヘッドに関するものである。

【背景技術】

【0002】

インクジェット記録装置は、いわゆるノンインパクト記録方式の記録装置であり、高速な記録とさまざまな記録メディアに対する記録が可能であるといった特徴や、記録時における騒音がほとんど生じないといった特徴を有する。このような特徴を有することから、インクジェット記録装置は、プリンタ、ワードプロセッサ、ファクシミリ、および複写機などの記録機構を担う装置として広く採用されている。

【0003】

インクジェット記録装置における代表的なインク吐出方式に、記録素子としてヒータを用いた方式がある。この方式に適用されるインクジェット記録ヘッド（以下、「記録ヘッド」ともいう）は、ヒータを記録液室内に設け、このヒータに記録信号となる電気パルスを与える。それによってヒータが吐出エネルギー（熱エネルギー）を発生し、その吐出エネルギーを記録液に与え、その時の記録液の相変化により生じる記録液の発泡時（沸騰時）の気泡圧力を記録液滴の吐出に利用している。

【0004】

このような記録ヘッドの一例が、特許文献1に開示されている。図16はその記録ヘッドの斜視図である。

【0005】

図16に示した記録ヘッド1においては、記録素子基板2, 3には多数の記録素子が配列され、多数の記録素子にそれぞれ対応してインクが吐出される多数の吐出口が形成されている。そして、ロジック信号および電源電圧が、インクジェット記録装置本体（以下、「記録装置本体」ともいう）から電気コンタクト基板5および電気配線部材4を介して記録素子基板2, 3に入力、供給される。これにより、記録素子基板2, 3内部に形成される駆動回路（ロジック回路および電圧変換回路）が作動し、所定の記録素子が所定時間駆動されることで、これら記録素子に対応する吐出口からインクが吐出される。

【0006】

ロジック信号には、ロジック回路の動作基準となる「クロック」と、駆動する記録素子を決定する「記録データ」と、ロジック回路の一構成要素であるラッチ回路で一時的に記録データを記憶するための「ラッチ信号」と、記録素子の駆動時間を決定する「ヒートイネーブル信号」と、が含まれる。

【0007】

10

20

30

40

50

近年では、更なる高速印字を実現するために、多数の記録素子基板を千鳥状に配置して、あらかじめ被記録媒体以上の印字幅を持たせたフルライン型の記録ヘッドの例も開示されている。図16に示した記録ヘッドの場合は、記録ヘッドを被記録媒体に対してスキャンさせながら印字を行う。これに対し、フルライン型の記録ヘッドの場合は、記録ヘッドをスキャンする必要がなく、1パスで印字を行うために高速印字が可能であり、ビジネス用途や産業用途の記録装置に用いられるようになってきている。

【先行技術文献】

【特許文献】

【0008】

【特許文献1】特開2002-19146号公報

10

【発明の概要】

【発明が解決しようとする課題】

【0009】

フルライン型の記録ヘッドにおいては、多数の記録素子基板が搭載されるだけでなく、1パスで印字を行うため、不吐による画像劣化を防ぐために多数の吐出口を設けておく必要がある。そのためにロジック信号を入出力する多数のロジック信号端子が形成される。これに伴い、電気配線部材内部には、ロジック信号を伝送する多数のロジック信号配線が引き回されることとなるが、そうするとロジック信号配線にノイズがのる可能性がある。

【0010】

例えば、ロジック信号配線同士を平行に引き回す場合、容量結合によって互いの配線に対してノイズ影響を及ぼす可能性がある。一般に、配線が長くなるほど、配線が近接するほど、容量結合力は強くなるため、フルライン型のような大型の記録ヘッドにおいては、ノイズの影響を受ける可能性が高くなる。

20

【0011】

また、ロジック信号配線が、大きな電流が流れる電源系配線に近接している場合、誘導ノイズの影響を受ける可能性もある。フルライン型の記録ヘッドにおいては、多数の吐出口が形成されるために、同時に駆動する記録素子の数も多くなり、記録素子を駆動する電源系配線に流れる電流は大きくなる傾向にあり、誘導ノイズの影響を受けやすくなる。

【0012】

ロジック信号にノイズがのると、ロジック信号によって作動するロジック回路が誤動作を起す可能性があり、所定の位置、タイミング以外で記録素子が駆動してインクが吐出されてしまうことにより印字品位が劣化する恐れがある。高周波のロジック信号を扱う回路は応答性が速く、ノイズに反応する可能性が高くなるため、特に、高周波のロジック信号がノイズの影響を受けないようにする必要がある。

30

【0013】

ノイズの影響を低減するためには、高周波のロジック信号配線が、その他の高周波のロジック信号配線や大きな電流が流れる電源系配線に隣接しないように、配線をレイアウトする必要がある。しかし、上述したように、フルライン型の記録ヘッドにおいては、ロジック信号配線が多数形成されるため、高周波のロジック信号配線のすべてをそのようにレイアウトすることは困難である。したがって、ノイズの影響を低減するためには、高周波のロジック信号配線に隣接する配線との距離をなるべく大きくする必要はあるが、その場合、電気配線部材が大型化され、結果として記録ヘッドのサイズも大きくなってしまふ。

40

【0014】

本発明は、上述のような問題に鑑みてなされたものであって、フルライン型の記録ヘッドのように多数のロジック信号配線が形成される大型の記録ヘッドにおいても、ノイズの影響によってロジック回路が誤動作することのない、信頼性の高いインクジェット記録ヘッドを提供することを目的とする。

【課題を解決するための手段】

【0015】

上記課題を解決するために、本発明のインクジェット記録ヘッドは、

50

吐出口からインクを吐出するための吐出エネルギーを発生する記録素子と、記録装置から伝送されてくるロジック信号により作動するロジック回路と、が形成された記録素子基板と、

前記記録装置と電氣的に接続される第1の端子群と、前記記録素子基板と電氣的に接続される第2の端子群と、前記第1の端子群に含まれる端子と前記第2の端子群に含まれる端子とを接続する複数の信号線と、前記第2の端子群に含まれる端子と接続される、前記ロジック回路に電源電圧を供給するロジックグランド配線と、が形成される電気配線部材と、

を有するインクジェット記録ヘッドであって、

前記ロジックグランド配線は、前記第2の端子群に含まれる端子とは接続されない、複数に分岐する分岐配線部を含み、

前記複数の信号線は、クロックを伝送するクロック配線と、記録データを伝送する記録データ配線と、を含み、

前記第1の端子群と前記第2の端子群との間の領域において、前記クロック配線と前記記録データ配線とは直接隣接せず、前記クロック配線と前記記録データ配線との間には前記分岐配線部が形成されていることを特徴とする。

【発明の効果】

【0016】

本発明によれば、インクジェット記録ヘッドにおいて、多数のロジック信号配線が形成され、かつ、ヘッドサイズが大型化される場合であっても、ノイズの影響によるロジック回路の誤動作を抑制し、信頼性の高い記録ヘッドを実現することが可能である。

【図面の簡単な説明】

【0017】

【図1】本発明が適用されるインクジェット記録ヘッドの概略斜視図である。

【図2】図1に示したインクジェット記録ヘッドの概略分解斜視図である。

【図3】図1および図2に示した記録素子基板の構成を説明する概略図である。

【図4】図1および図2に示した記録素子基板に形成された回路構成を説明する概略図である。

【図5】本発明の実施例1の電気配線部材の一態様の上層の配線レイアウトを表面からの透過図で示す概略図である。

【図6】本発明の実施例1の電気配線部材の一態様の下層の配線レイアウトを表面からの透過図で示す概略図である。

【図7】図5のB部の一部を拡大した概略図である。

【図8】図5のC部の一部を拡大した概略図である。

【図9】図5のD-D断面の一部を示す概略図である。

【図10】本発明の実施例1の電気配線部材の他の態様の上層の配線レイアウトの一部を拡大して表面からの透過図で示す概略図である。

【図11】本発明の実施例1の電気配線部材のさらに他の態様の上層の配線レイアウトを表面からの透過図で示す概略図である。

【図12】本発明の実施例1の電気配線部材のさらに他の態様の下層の配線レイアウトを表面からの透過図で示す概略図である。

【図13】図11のF部における電気配線部材の上層の配線および下層の配線を表面からの透過図で示す図である。

【図14】本発明の実施例2の電気配線部材の一態様の配線レイアウトを示す概略断面図である。

【図15】本発明の実施例2の電気配線部材の他の態様の配線レイアウトを示す概略断面図である。

【図16】従来のインクジェット記録ヘッドにおける課題を説明する図である。

【発明を実施するための形態】

【0018】

10

20

30

40

50

以下に、本発明を実施するための形態について図面を参照して説明する。

【0019】

最初に、本発明が好適に適用されるインクジェット記録ヘッドについて図面を参照して説明する。

【0020】

図1は、記録ヘッドの斜視図、図2は、図1に示した記録ヘッドの分解斜視図、図3は、図1および図2に示した記録素子基板10の構成を説明する概略図、図4は、図1および図2に示した記録素子基板10に形成された回路構成を説明する概略図である。

【0021】

図1および図2を参照すると、記録ヘッド200は、記録素子基板10、支持部材20、電気配線部材30、およびインク供給部材40で構成されている。

10

【0022】

記録ヘッド200は、記録素子基板10が8個千鳥状に配置され、全体で6インチ程度の印字幅を持っている。また、8つの記録素子基板10はそれぞれ重複領域Nが設けられるようにして配置されており、記録素子基板10の搭載位置ズレ等による画像劣化を補正できるようになっている。なお、搭載する記録素子基板10の数を増やすことで記録ヘッド200の印字幅をさらに大きくすることが可能である。

【0023】

記録素子基板10はインクを吐出するためのデバイスであり、図3に示すように、厚さ0.05~0.625mmのSi基板11に長溝状のインク供給口12がウェットエッチングやドライエッチング等によって高精度に形成されている。

20

【0024】

Si基板11の表面には、インク供給口12を挟んで記録素子である複数のヒータ13と、所定位置のヒータ13を所定時間駆動するための駆動回路と、が成膜技術によって形成されている。また、記録素子基板10の長手方向両端部には、電気配線部材30と電氣的に接続するための端子14が形成されている。また、Si基板11の上には、樹脂材料でできた吐出口形成部材15が形成されている。さらに、Si基板11の上には、対応するヒータ13が発生した吐出エネルギーによりインクを吐出する複数の吐出口16と、それらの吐出口16に連通するインク貯蔵室17と、がフォトリソ技術によって形成されている。

30

【0025】

図4には、記録素子基板10に形成された回路構成の詳細が示されている。図4において、503は各ヒータ13を駆動するスイッチング素子、506は記録データを一時的に格納するためのMビットのシフトレジスタ(S/R)、505はシフトレジスタ(S/R)506に格納された記録データを一括して保持するラッチ回路、504はヒータ13およびスイッチング素子503が形成するN個のブロックから所望のブロックを選択するデコーダ(ブロック選択回路)、515は任意のヒータ13を一義的に選択するためのヒータ選択回路である。以下でロジック回路と記載する場合には、これらを総称したものとする。また、507はヒータ選択回路515の出力信号の電圧を、スイッチング素子503を駆動する電圧にまで変換するための電圧変換回路である。ここで、ヒータ13、スイッチング素子503、ヒータ選択回路515は、N個ずつで1つのグループを形成し、このN個ずつの素子で形成されるグループ1~MのM個のグループに分割される。記録装置本体から供給されるクロック(CLK)が端子509に入力され、これに同期してシリアル転送されるMビットの記録データ(DATA)が端子510から入力され、シフトレジスタ506に順次格納される。このMビットの記録データが、ラッチ端子508から入力されるラッチ信号(LT)に従って、ラッチ回路505に保持される。このとき、デコーダ504に入力される信号は、記録データに続いて、ラッチ回路505からシリアル転送され、デコーダ504によりN本のブロック選択信号518に変換されてグループ1~Mへ入力される。以上のような構成により、ヒータ回路516からのM本の記録データ信号517と、デコーダ504からのN本のブロック選択信号518と、がヒータ選択回路51

40

50

5によりマトリクス状に論理和をとられて $M \times N$ 個のヒータ13が任意に一義的に選択される。選択されたヒータ13には、ヒート回路516により、ヒートイネーブル(HE)端子511からのヒートイネーブル信号(HE)とラッチ回路505からの信号とのANDをとった記録データ信号517に従って所定時間電流が流れ、ヒータ13が駆動される。以下でロジック信号と記載する場合には、クロック(CLK)、記録データ(DATA)、ラッチ信号(LT)、ヒートイネーブル信号(HE)を総称したものとする。

【0026】

さらに、図4において、530は記録素子であるヒータ13に加える電圧(24~30V程度)を供給する記録素子駆動電源(VH)端子、540はVH端子530をヒータ13へ接続するVH電源配線、531および541はヒータ13に流れた電流を回収するための記録素子GND(GNDH)端子およびGNDH配線である。さらに、513は電圧変換回路507の電源となる駆動電圧発生回路(VHTバッファ)であり、532は駆動電圧発生回路(VHTバッファ)513の電圧(12~14V程度)を供給するドライバ駆動電源(VHT)端子である。また、533はロジック回路を作動させる電圧(3~5V程度)を供給するロジック回路駆動電源(VDD)端子であり、534はロジック回路駆動電源(VDD)端子533に対応したロジックGND(VSS)端子である。

10

【0027】

端子14は1つの記録素子基板10につき30~60個(片側15~30個)程度形成されており、そのうち、ロジック信号の端子は6~20個形成されている。

【0028】

20

再度図1および図2を参照すると、支持部材20は、記録素子基板10を支持固定するための部材であり、例えば、厚さ0.5~10mmのアルミナ( $Al_2O_3$ )で形成されている。なお、支持部材20の材料はアルミナに限られることはなく、記録素子基板10と同等の線膨張率を有し、剛性の高い材料で形成されていても良い。これらの材料としては、例えば、シリコン(Si)、窒化アルミニウム(AlN)、ジルコニア、窒化珪素( $Si_3N_4$ )、炭化珪素(SiC)、モリブデン(Mo)、タングステン(W)などが挙げられる。

【0029】

支持部材20には、記録素子基板10のインク供給口12に対応する位置にインク供給口21が形成されており、記録素子基板10が第1の接着剤によって支持部材20に位置精度良く接着固定される。

30

【0030】

電気配線部材30は、記録素子基板10に対して、インクを吐出するための電気信号および電源電圧を入力、供給するための部材であり、内部に1つまたは複数の配線層が形成される。例えば、電気配線部材30としては、基材の両面に配線層が形成され、上層の配線層が保護フィルムで覆われた二層構造のフレキシブル配線基板が使用される。

【0031】

電気配線部材30は、図2に示すように、記録素子基板10を組み込むための開口部31が形成されている。また、電気配線部材30は、記録素子基板10の対応する端子14と電氣的に接続される端子(第2の端子)32と、記録装置本体と電氣的に接続される外部接続端子(第1の端子)33と、を有している。

40

【0032】

端子32は、計160~480個形成されており、そのうち、ロジック信号を入出力するロジック信号端子は全部で40~160個形成されている。また、共通の配線は電気配線部材30内部でまとめられ、外部接続端子33が計100~200個形成されている。

【0033】

電気配線部材30は、支持部材20の記録素子基板10が接着される面と同一面に、第2の接着剤によって接着固定される。また、開口部31と記録素子基板10の隙間は第1の封止剤で封止されている。また、電気配線部材30の端子32と記録素子基板10の端子14とが、金ワイヤーを用いたワイヤーボンディング技術等によって電氣的に接続され

50

、この電気接続部は封止剤70で封止される。また、電気配線部材30は記録装置本体との電気接続を容易に行えるよう、支持部材20の両側面で折り曲げられ、固定される。

【0034】

インク供給部材40は、インクタンクから記録素子基板10にインクを供給するための部品であり、例えば、樹脂材料を用いた射出成形によって形成される。インク供給部材40には、複数の記録素子基板10にインクを供給するインク貯蔵室41が形成されている。インク貯蔵室41には、インクタンクからインク供給チューブを介し、開口部42からインクが導入される。インク供給部材40は支持部材20と接合される。

【0035】

以下に、本発明の特徴である、電気配線部材30の配線レイアウトを、実施例を用いて説明する。

10

【実施例1】

【0036】

本実施例の電気配線部材30の配線レイアウトについて、図5～図9を参照して説明する。なお、図5～図8は、配線レイアウトを説明するために、電気配線部材30の表面側からの透視図として示されている。

【0037】

本実施例の電気配線部材30は、基材の両面に配線層が形成されており、このうちの上層の配線レイアウトの概略図を図5に、下層の配線レイアウトの概略図を図6に、それぞれ示す。両図において、34はロジック信号配線群であり、それぞれの配線は端子32と外部接続端子33につながっている。35a, 35bはロジック電源のロジックグランド配線(VSS配線)であり、互いにビアを介してつながっている。さらに35bは端子32とつながっており、35aは外部接続端子33とつながっている。36b, 36cはロジック信号とは異なる非ロジック信号を伝送する配線群であり、例えば、記録素子駆動電源や記録素子電源グランド、ドライバ駆動電源、ロジック回路駆動電源などの配線がレイアウトされている。これら非ロジック信号を伝送する各配線は端子32と外部接続端子33につながっている。

20

【0038】

図7は、図5に示したB部の拡大図であり、端子32の近傍の配線レイアウトを詳細に示した図であり、図8は、図5に示したC部の拡大図であり、外部接続端子33の近傍の配線レイアウトを詳細に示した図である。両図において、37は電気配線部材30の基材、38は配線保護層、38aは配線保護層38の端部である。端子32と外部接続端子33は、図7および図8に示した信号の端子に割り当てられており、共に外部に露出している。

30

【0039】

CLKを伝送するCLK配線(クロック配線)34Eと、DATAを伝送するDATA配線(記録データ配線)34Fは、数MHzと比較的高周波の配線である。そこで、本実施例では、図7および図8に示すように、CLK配線34EとDATA配線34Fは、端子32および外部接続端子33の近傍までの配線領域において、それぞれの配線に沿ってVSS配線35が隣接して配線されている。CLK配線34EとDATA配線34Fの配線幅およびVSS配線の最小配線幅は25～100μmで互いの配線ギャップは25～50μmである。

40

【0040】

このように、電気配線部材30内の高周波のCLK配線と高周波の第1のロジック信号配線であるDATA配線は、外部接続端子33から端子32に至るまでの間は互いに隣接せずにVSS配線が隣接され配線されている。そのため、ロジック信号配線同士の容量結合を防ぐことができ、ノイズの発生を防止することができる。

【0041】

そして、VSS配線35bのうち、端子32や外部接続端子33と接続しているのは、本来必要とされる、少なくとも1つのVSS配線だけであり、他のVSS配線はすべて、

50

端子 3 2 や外部接続端子 3 3 とは接続されず、その直前までとされている。これにより、端子 3 2 や、それに対応して記録素子基板 1 0 に形成されている端子 1 4 に V S S 端子を増加させることがなく、すなわち記録ヘッドを大型化することなくノイズ抑制効果が実現されている。

【 0 0 4 2 】

なお、本実施例では、上記の構成に加えて、図 9 に示すように、ロジック信号配線層の下層に V S S 配線のベタ領域 ( V S S 配線を全面に配した領域 ) 3 5 c を設けている。これにより、比較的大きな電流が流れる記録素子駆動電源配線等によるノイズの影響を防ぐことができ、より効果的である。

【 0 0 4 3 】

また、本実施例では、 C L K 配線 3 4 E および D A T A 配線 3 4 F には、 V S S 配線 3 5 のみが隣接された構成であった。しかし、本発明はこれに限定されず、図 1 0 に示すように、ロジック回路に一定の電源電圧 V D D を供給しかつ比較的低電流密度のロジック電源配線 ( V D D 配線 ) 3 6 C が隣接する構成でも良い。その場合も同様に、 C L K 配線 3 4 E および D A T A 配線 3 4 F にノイズの影響を及ぼす可能性は低い。

【 0 0 4 4 】

また、 C L K 配線 3 4 E および D A T A 配線 3 4 F に、 D A T A よりも低周波の周波数成分をもつ第 2 のロジック信号である L T ( 一時的に記録データを記憶するためのラッチ信号 ) や H E ( 記録素子の駆動時間を決定するヒートイネーブル信号 ) を伝送する第 2 のロジック信号配線である L T 配線 ( ラッチ信号配線 ) や H E 配線 ( ヒートイネーブル信号配線 ) が隣接する構成でも良い。その場合も同様に、 C L K 配線 3 4 E および D A T A 配線 3 4 F にノイズの影響を及ぼす可能性は低い。

【 0 0 4 5 】

また、本実施例では、ロジック信号配線のうち D A T A 配線 3 4 F にのみ V S S 配線が隣接する構成であった。しかし、本発明はこれに限定されず、クロックと同一または 1 / 2 の周波数成分をもつロジック信号を伝送するロジック信号配線に、 V S S 配線が隣接する構成でも良い。さらには、すべてのロジック信号配線に V S S 配線が隣接する構成でも良い。特に、後者の場合、よりノイズの影響を受けにくくなり、より信頼性の高い記録ヘッドを提供することができる。

【 0 0 4 6 】

また、ロジック信号配線の他にも、ノイズの影響を避けたい配線、例えば、記録素子基板の温度をセンシングする配線等などがある場合には、そのような配線に上述のように V S S 配線を隣接させる構成としても良い。その場合も、ノイズの影響を受けることなく高精度に温度を検知することが可能となる。

【 0 0 4 7 】

図 1 1 および図 1 2 に、本実施例の電気配線部材 3 0 のさらに別の配線レイアウトを示す。本配線レイアウトでは、記録ヘッドの接続方式の関係から、外部接続端子 3 3 が下層に形成されており、また、記録装置本体での配線引き回しを容易にするために、ロジック信号配線と電源系配線がそれぞれ下層の外部接続端子 3 3 でまとめられている。 3 4 は先の配線レイアウトと同様にロジック信号配線であり、 3 6 b , 3 6 c は電源系の配線群である。それぞれの配線群の間には、外部接続端子 3 3 と接続される V S S 配線 3 5 a が配置されている。

【 0 0 4 8 】

上層のロジック信号配線 3 4 b と下層のロジック信号配線 3 4 c は E 部でビアを介して接続されており、図 7 ~ 図 9 と同様に、 C L K 配線および D A T A 配線には V S S 配線が隣接されている。また、下層の V S S 配線 3 5 c がビアを介して上層の V S S 配線 3 5 d に接続され、この V S S 配線 3 5 d が外部接続端子 3 3 と接続する下層の V S S 配線 3 5 a とビアを介して接続されることにより、すべての V S S 配線 3 5 が接続されている。

【 0 0 4 9 】

本配線レイアウトでは、ロジック信号配線が形成されている位置に対し、積層方向にお

10

20

30

40

50



いて隣接する他の配線層における対応する位置には概ねVSS配線35が形成されているが、一部(図11または図12に示すF部)は、電源系の配線が形成されている。しかし、このような領域が最小限になるようにレイアウトされており、かつ、このような領域においては図13に示すように、ロジック信号配線34bと電源系の配線36Aおよび36Bが直交するようになっているために磁界の向きが異なる。そのため、誘導ノイズの影響は受けにくい。したがって、本配線レイアウトにおいても、ロジック回路がノイズにより誤動作することを抑制することができ、信頼性の高い記録ヘッドを提供することができる。

【0050】

本配線レイアウトでも、低周波のロジック信号配線や、その他のノイズを避けたい配線に、VSS配線が隣接されていて良い。

10

【実施例2】

【0051】

本実施例の電気配線部材30の配線レイアウトを図14に示す。本実施例は、更なる記録素子基板数の増大や、記録ヘッドの小型化などの理由から、上層および下層の両層にロジック信号配線を形成する場合の例である。

【0052】

図14に示した配線レイアウトにおいては、CLK配線34EおよびDATA配線34Fは、同一配線層において、VSS配線と隣接しており、かつ、積層方向においても、その積層方向において隣接する他の配線層に形成されたVSS配線と隣接している。これにより、複数層にわたってCLK配線34EおよびDATA配線34Fを引き回す場合においても、ノイズの影響を受けにくくすることができる。

20

【0053】

また、図15に示した配線レイアウトにおいては、VSS配線の配線幅をCLK配線34EおよびDATA配線34Fの配線幅よりも大きくしている。このような配線構成とすることで、ロジック信号配線同士の配線層間での容量結合を弱めることができ、更にノイズの影響を受けにくくすることができる。

【0054】

なお、本実施例においても、CLK配線34EおよびDATA配線34FにVDD配線や低周波のロジック信号配線が隣接していても良く、また、他のロジック信号配線にVSS配線が隣接していても良い。

30

【0055】

さらにまた、本実施例は、2層の配線構成に限ることはなく、多層の配線基板にも適応することが可能であり、同様にノイズの影響を受けにくい、信頼性の高い記録ヘッドを提供することができる。

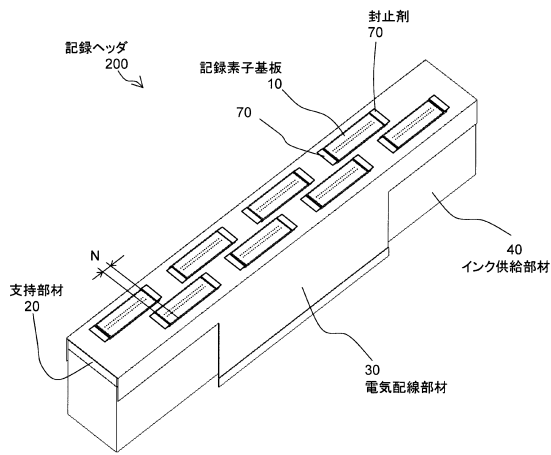
【符号の説明】

【0056】

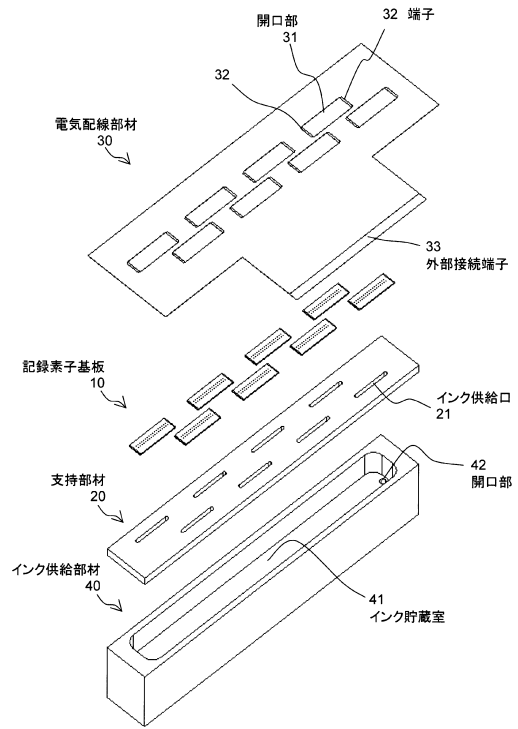
- 10 記録素子基板
- 20 支持部材
- 30 電気配線部材
- 32 端子
- 33 外部接続端子
- 34 ロジック信号配線
- 35 VSS配線
- 40 インク供給部材

40

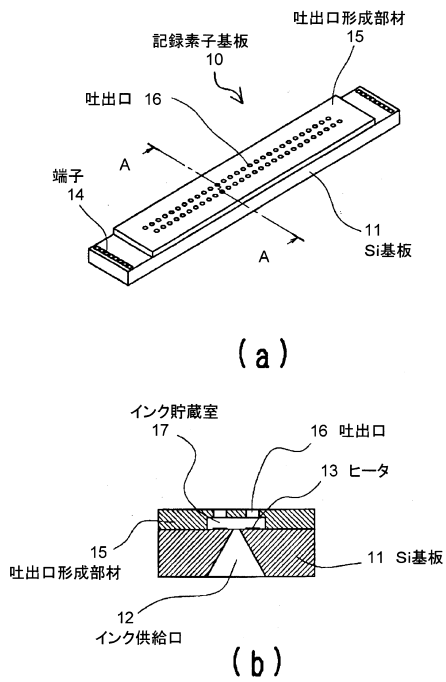
【図1】



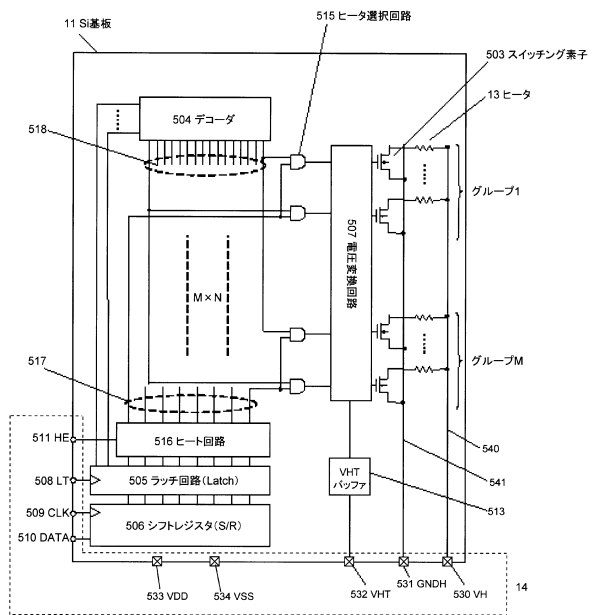
【図2】



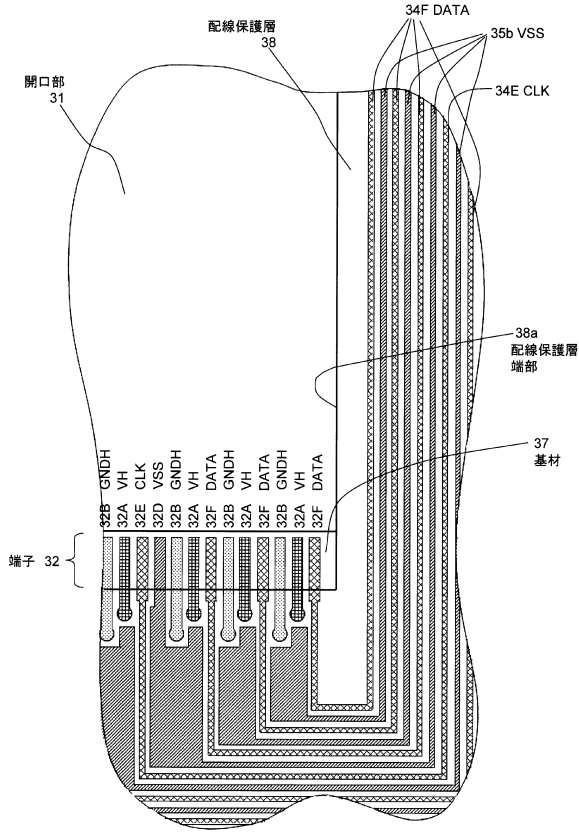
【図3】



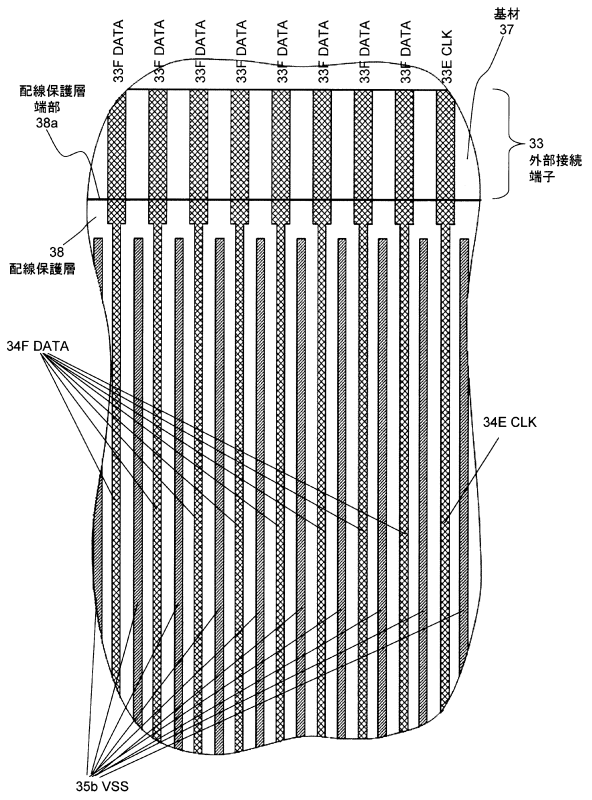
【図4】



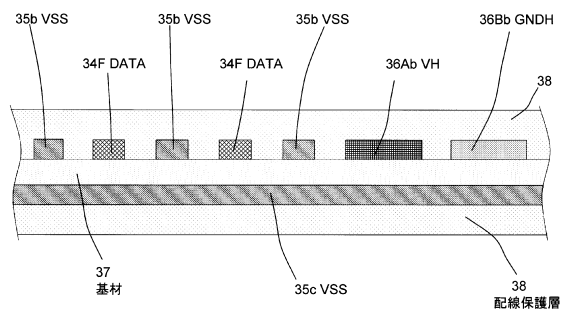
【図7】



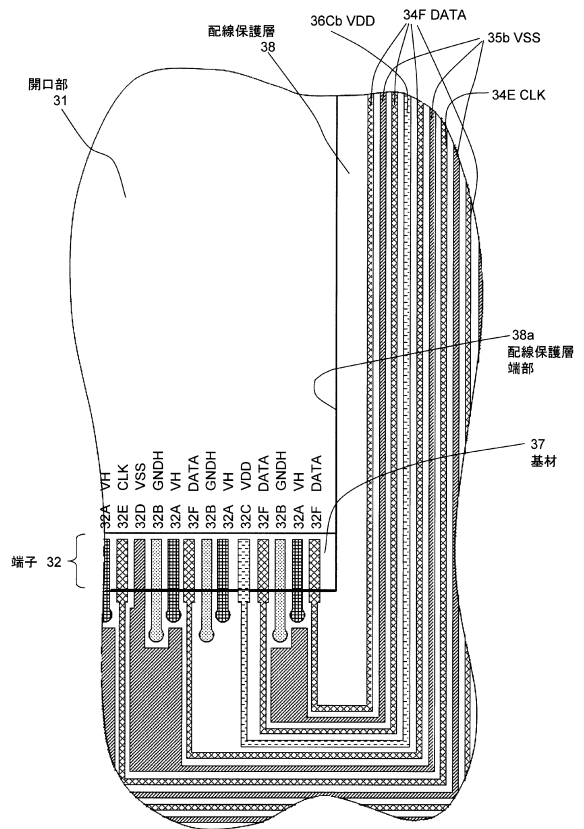
【図8】



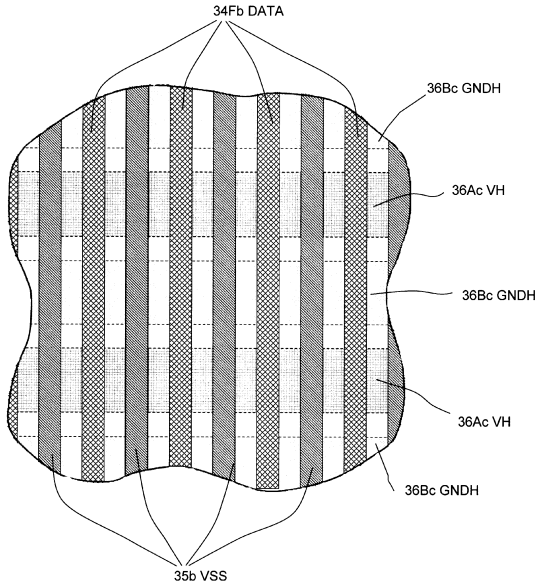
【図9】



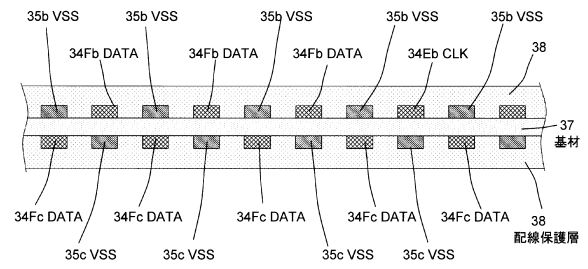
【図10】



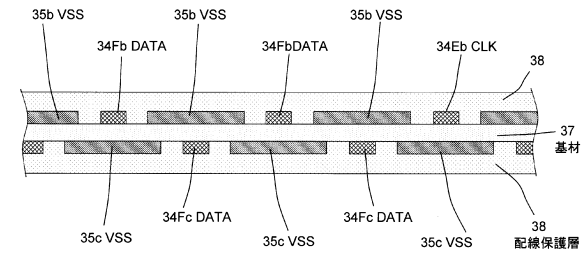
【図13】



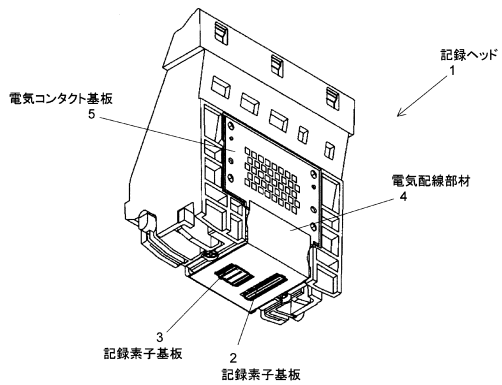
【図14】



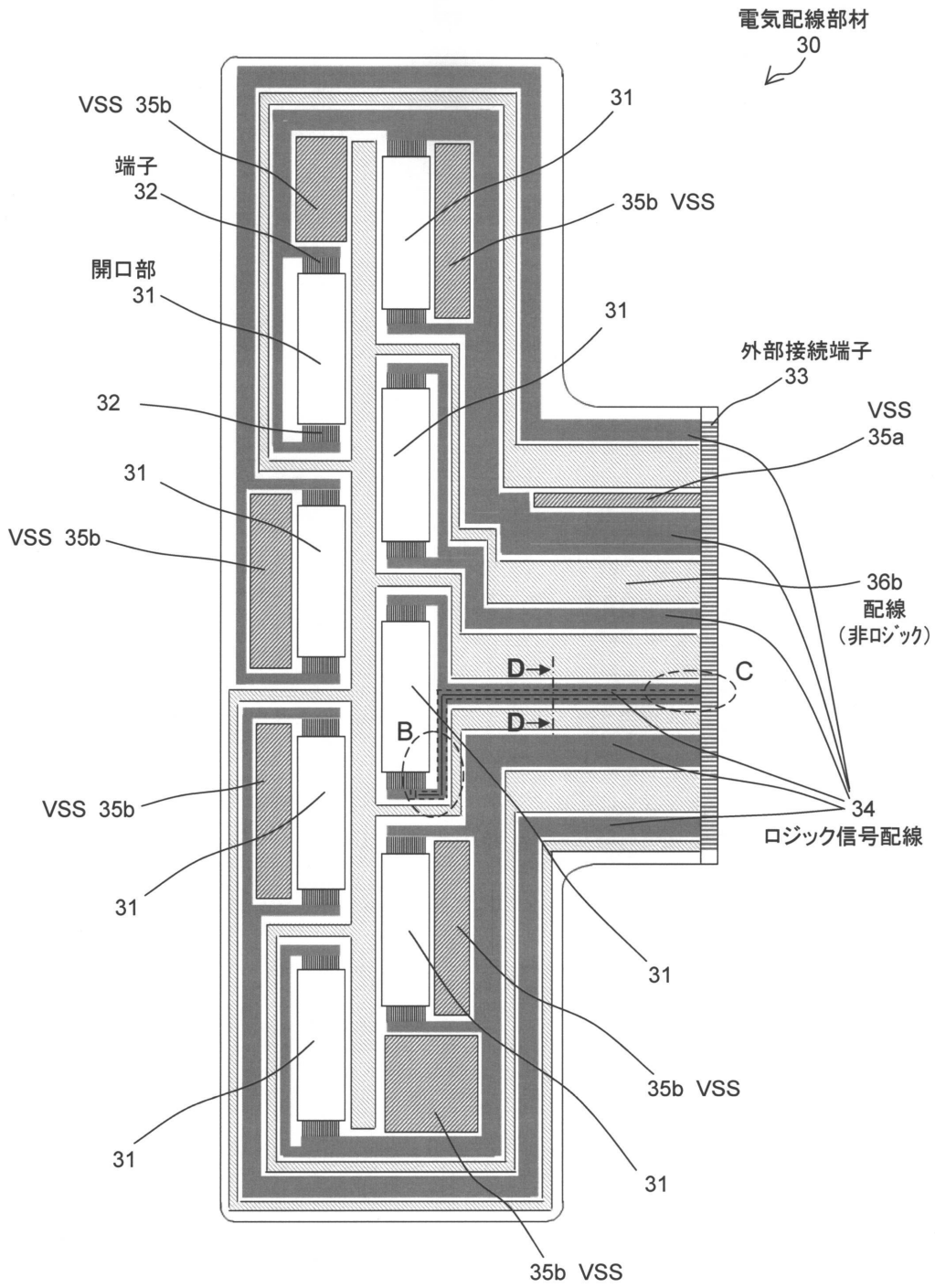
【図15】



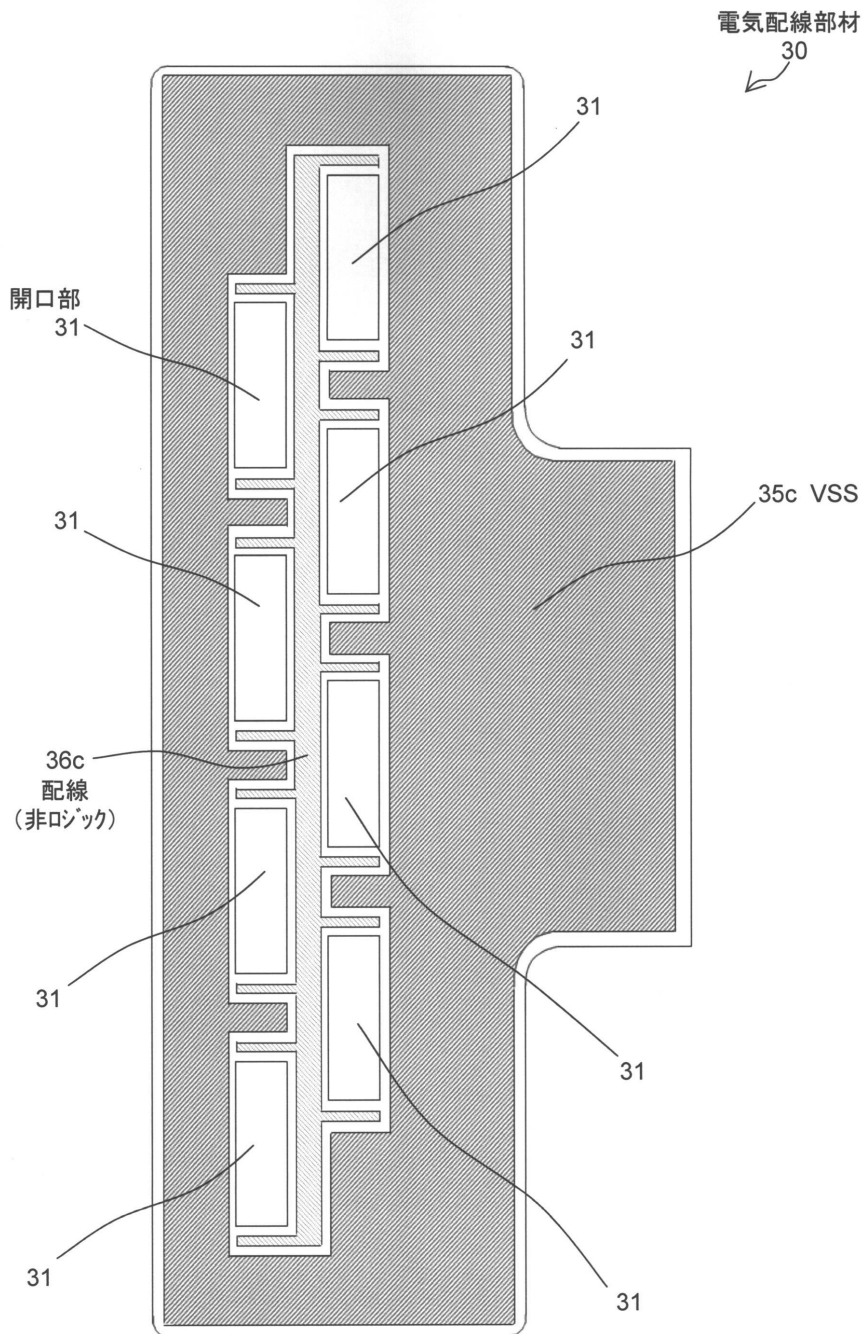
【図16】



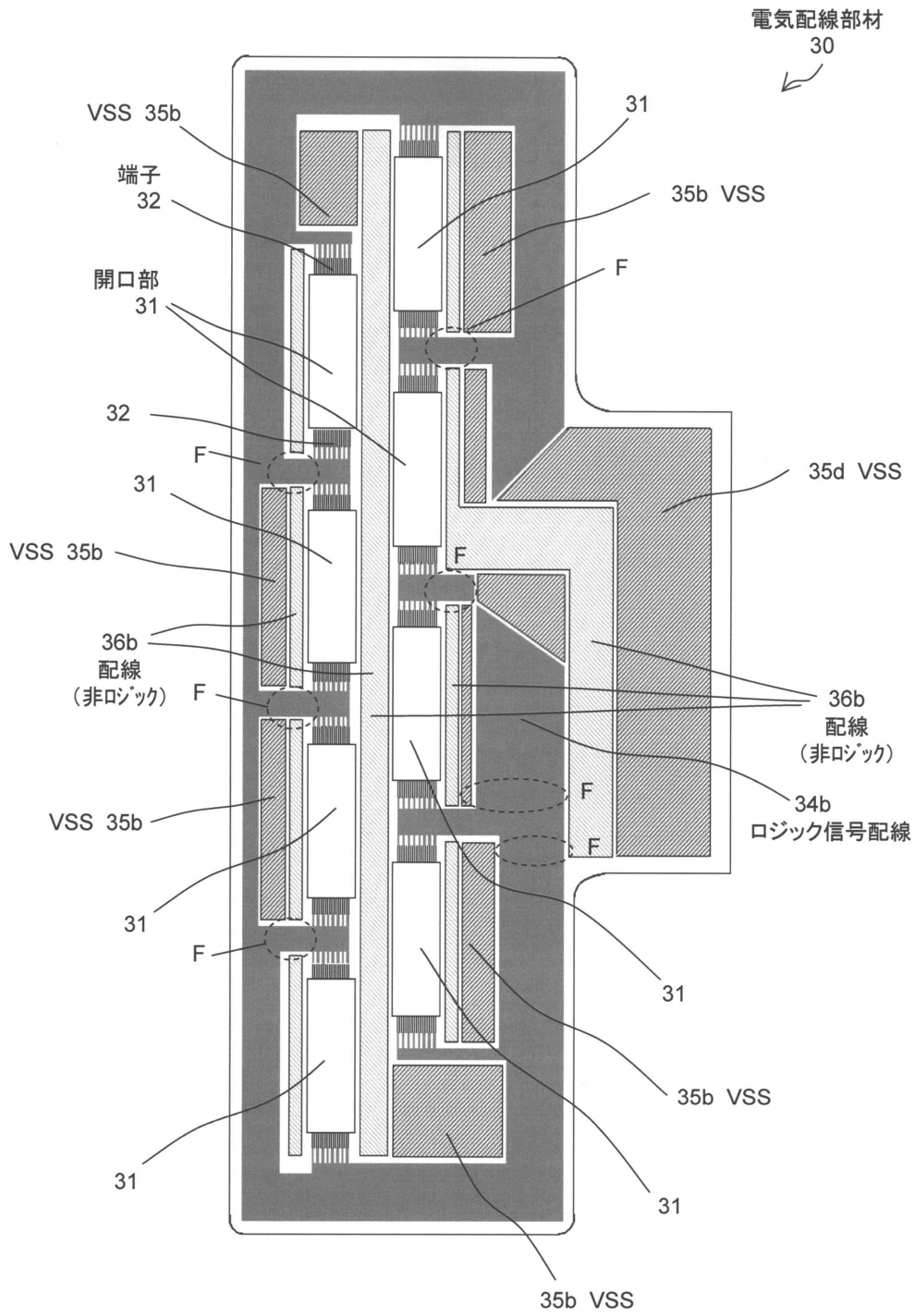
【図5】



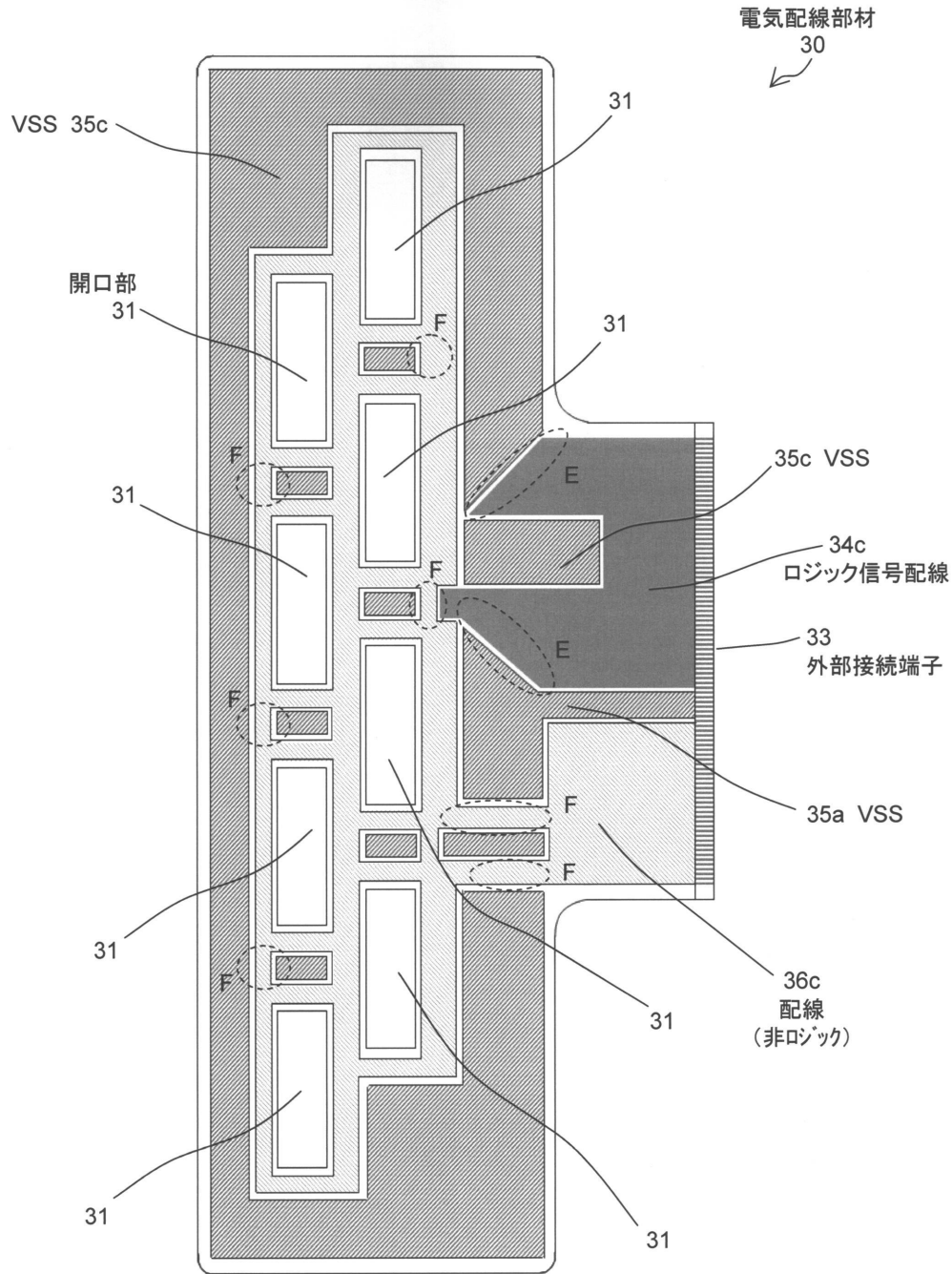
【図6】



【図11】



【図12】





---

フロントページの続き

- (56)参考文献 特開平2 - 206579 (JP, A)  
特開2008 - 290387 (JP, A)  
特開2006 - 181985 (JP, A)  
特開平10 - 6534 (JP, A)  
特開2008 - 279616 (JP, A)  
米国特許第6290333 (US, B1)

(58)調査した分野(Int.Cl., DB名)

B41J 2/01  
B41J 2/14