

(19) 日本国特許庁(JP)

(12) 公表特許公報(A)

(11) 特許出願公表番号

特表2006-519505
(P2006-519505A)

(43) 公表日 平成18年8月24日(2006.8.24)

(51) Int. Cl.	F I	テーマコード (参考)
HO 1 L 21/8247 (2006.01)	HO 1 L 29/78 3 7 1	5 F 0 8 3
HO 1 L 29/792 (2006.01)	HO 1 L 27/10 4 3 4	5 F 1 0 1
HO 1 L 29/788 (2006.01)		
HO 1 L 27/115 (2006.01)		

審査請求 未請求 予備審査請求 有 (全 17 頁)

(21) 出願番号 特願2006-508591 (P2006-508591)
 (86) (22) 出願日 平成16年1月8日(2004.1.8)
 (85) 翻訳文提出日 平成17年10月19日(2005.10.19)
 (86) 国際出願番号 PCT/US2004/000502
 (87) 国際公開番号 W02004/079824
 (87) 国際公開日 平成16年9月16日(2004.9.16)
 (31) 優先権主張番号 10/382,726
 (32) 優先日 平成15年3月5日(2003.3.5)
 (33) 優先権主張国 米国 (US)

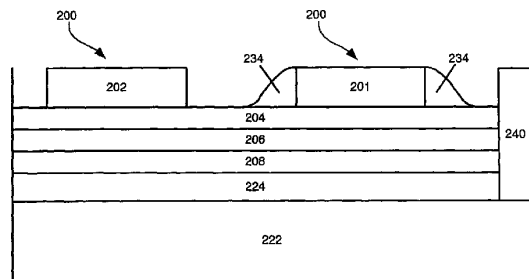
(71) 出願人 504378124
 スパンション エルエルシー
 アメリカ合衆国 カリフォルニア州 94
 088-3453 サニーベイル ワン
 エイムディ プレイス ピー・オー・ボ
 ックス 3453
 (74) 代理人 100087480
 弁理士 片山 修平
 (72) 発明者 カマル タズリーン
 95134 アメリカ合衆国 カリフォル
 ニア州 サンノゼ ナンバー304 エラ
 ン ビレッジ レイン 390

最終頁に続く

(54) 【発明の名称】 耐コンタクトホール形成ダメージを有する電荷捕獲メモリアレイ

(57) 【要約】

本発明は、基板(222)と、コンタクト(240)を有する複数のビットライン(224)と、ビットライン(224)と交差する複数のワードライン(201、202)とを有するメモリアレイ(100)に関する。ビットラインコンタクト(240)の形成の間に生じるダメージを防ぐため、ビットラインコンタクト(240)に隣接するワードライン(201)からビットラインコンタクト(240)を分離するために保護スペーサ(234)が用いられる。また、本発明はこのメモリアレイを製造方法に関する。



【特許請求の範囲】

【請求項 1】

基板(222)と、
コンタクト(240)を有する複数のビットライン(224)と、
各メモリセルが2つのビットライン(224)間に設けられ、前記基板(222)上に
形成された電荷捕獲誘電体(209)材料を備える複数のメモリセル(200)と、
前記電荷捕獲誘電体材料(209)上に形成された複数のワードライン(201、20
2)と、
前記ビットラインコンタクト(224)と前記ビットラインコンタクト(240)に隣
接する前記ワードライン(201)との間の少なくとも1つのスペーサ(234)と、を
具備するメモリアレイ(100)。

10

【請求項 2】

前記電荷捕獲誘電体材料(209)は、
前記基板(222)上に形成されたボトム誘電体層(208)と、
前記ボトム誘電体層(208)上に形成された電荷捕獲層(206)と、
前記電荷捕獲層(206)上に形成されたトップ誘電体層(204)と、を具備する請
求項1記載のメモリアレイ(100)。

【請求項 3】

少なくとも1つのスペーサ(234)はトップ誘電体層(204)上に形成されている
請求項1または2記載のメモリアレイ(100)。

20

【請求項 4】

スペーサ(234)は、1以上のビットライン(224)の前記コンタクト(240)
から前記端部ワードラインを分離する請求項1から3のいずれか一項記載のメモリアレイ
(100)。

【請求項 5】

前記スペーサ(234)は約250オングストロムから約1300オングストロム
の範囲である請求項1から4のいずれか一項記載のメモリセル(100)。

【請求項 6】

前記スペーサ(234)はトップ誘電体層(204)上に形成されている請求項1から
5のいずれか一項記載のメモリアレイ(100)。

30

【請求項 7】

前記スペーサ(234)は窒化シリコン、シリコンリッチの窒化シリコンおよびSiO
Nの1以上を有する請求項1から6のいずれか一項記載のメモリアレイ(100)。

【請求項 8】

前記電荷捕獲メモリセル(200)はデュアルビット・メモリセルである請求項1から
7のいずれか一項記載のメモリアレイ(100)。

【請求項 9】

前記アレイは $2(n+1)K$ 、ここで n は0より大きい整数である、の大きさを有する
メモリブロックである請求項1から8のいずれか一項記載のメモリアレイ(100)。

【請求項 10】

基板(222)を設ける工程と、
前記基板(222)上に電荷捕獲誘電体材料(209)を形成する工程と、
コンタクト位置を有する複数のビットライン(224)を形成する工程と、
前記電荷捕獲誘電体材料(209)の上にワードライン(201、202)を形成する
工程と、
前記ビットラインコンタクト位置とビットラインコンタクト位置に隣接するワードライ
ン(201)との間にスペーサ(234)を形成する工程と、
前記ビットラインコンタクト位置にビットラインコンタクト(240)を形成する工程
と、を有するメモリアレイの製造方法。

40

【発明の詳細な説明】

50

【技術分野】

【0001】

本発明は半導体装置およびその製造方法に関し、特にビットラインコンタクトの形成に起因する劣化を抑制した装置に関する。

【背景技術】

【0002】

フラッシュメモリは電力供給なしにその内容を再書き込みおよび保持することが可能な電子記憶媒体の1つである。一般に、フラッシュメモリ装置は100Kから300kの書き込み回数の耐用期間を有する。単バイトで消去できるダイナミック・ランダム・アクセス・メモリ(DRAM)およびスタティック・ランダム・アクセス・メモリ(SRAM)チップと異なり、典型的なフラッシュメモリは固定された多ビットブロックまたはセクタ内で消去および書き込みが行われる。電子消去可能リード・オンリ・メモリ(EEPROM)チップ技術を適用し、フラッシュメモリはより安価にかつ高密度になってきている。このEEPROMの新しい範疇は、EPROMの高密度化の利点とEEPROMの電子的消去可能性とを兼ね備えた重要な不揮発性メモリとして登場してきた。

10

【0003】

通常のフラッシュメモリは、各々のセルに単ビットの情報が記憶されるセル構造で構成されている。このような単ビットメモリ構造においては、典型的には、各セルは、チャンネルに重なるスタックゲート構造だけでなく、ソース、ドレイン、基板またはPウェル内のチャンネルを有するメタル・オキサイド・セミコンダクタ(MOS)トランジスタ構造を含んでいる。スタックゲートはPウェルの表面上に形成された薄いゲート誘電膜(以下、トンネル酸化膜と言うこのもある)を含むこともできる。また、スタックゲートは、トンネル酸化膜に重なるポリシリコン・フローティング・ゲートおよびフローティング・ゲートに重なるポリ間誘電層を含む。該ポリ間誘電層は、しばしば窒化膜を挟む2層の酸化膜を有する酸化膜-窒化膜-酸化膜(ONO)層のような多層絶縁膜である。ポリシリコン・コントロール・ゲートはポリ間誘電体層に重なっている。

20

30

【0004】

コントロール・ゲートは、典型的なNOR型構成内のセルのセクタを形成するためのセルの口に対応するワードラインに接続する。加えて、セルのドレイン領域は導電性ビットラインにより互いに接続される。セルのチャンネルはスタックゲート構造によりチャンネル中に生じた電界に対応しソースとドレインとの間に電流を導通させる。NOR型構成においては、1つのコラム中のトランジスタの各ドレイン端子は同じビットラインに接続される。加えて、各フラッシュセルは、異なるワードラインに接続されたスタックゲート端子を有する。一方、アレイ内の全てのフラッシュセルは共通のソース端子に接続されたソース端子を有する。動作時においては、周辺のデコーダおよびプログラミング(書き込み)、読み出しまたは消去動作のための制御回路を用い、個々のフラッシュセルは、それぞれのビットラインおよびワードラインを介しアドレスされる。

【0005】

コントロール・ゲートに電圧が印加され、ソースがグランドに接続され、ドレインがソースに対し所定の電位が印加されることにより、シングルスタックゲート型フラッシュメモリセルはプログラミングされる。その結果高電界がトンネル酸化膜に加わり、「Fowler-Nordheim」トンネリングと呼ばれる現象が生じる。この現象の間、コアセルチャンネル領域の電子は、ゲート酸化膜を通過しフローティング・ゲート内にトンネルする。そして、フローティング・ゲートは、ポリ間誘電体層およびトンネル酸化膜に囲まれているため、この電子は、フローティング・ゲート内に捕獲される。捕獲された電子により、セルの閾値電圧は増加する。捕獲された電子により生じるこのようなセルの閾値電圧(およびチャンネルのコンダクタンス)の変化がプログラムされるべきセルに生じる。

40

【0006】

典型的なシングルビット・スタックゲート型フラッシュメモリセルを消去とするため、ソースに電圧が印加され、コントロール・ゲートは負電位に保たれ、ドレインはフローテ

50

イングにされる。このような条件下で、電界はフローティング・ゲートとソースとの間のトンネル酸化膜に交差し生じる。フローティング・ゲートに捕獲されている電子は、ソース領域と重なるフローティング・ゲートの部分に流れて集まる。そして、その電子は、トンネル酸化膜を通過する Fowler-Nordheim トンネリングにより、フローティング・ゲートからソース領域に引き抜かれる。電子はフローティング・ゲートから消滅するため、セルは消去となる。

【0007】

通常のシングルビット・フラッシュメモリ装置においては、消去のベリファイは、セルのブロックまたはセット内の各セルが適切に消去されたか判断するために実行される。最新のシングルビット消去ベリファイ法は、ビットまたはセルの消去のベリファイと、最初のベリファイでフェイルした個々のセルへの補足的な消去パルスの印加とを有している。その後、セルの消去状態が再びベリファイされ、この処理は、ビットまたはセルの消去が成功するかセルの使用不可能がマークされるまで続けられる。

10

【0008】

近年、デュアルビット・フラッシュメモリセルが普及してきた。デュアルビット・メモリセルは、1つのメモリセルに2ビットの情報を記憶する能力がある。近年、ワードライン接合のため電荷捕獲誘電体膜上にポリシリコンを用いる電荷捕獲フラッシュメモリ装置のようなデュアルビット・フラッシュメモリ構造が登場している。通常の技術は、これらの種類の装置に関する特性について取り組まれていない。

【発明の開示】

20

【発明が解決しようとする課題】

【0009】

電荷捕獲メモリセルがメモリセルアレイに用いられる場合、電荷捕獲誘電体膜は基板上に形成され、複数のビットラインは基板内に形成される。ビットライン間の電荷捕獲誘電体膜上には通常ポリシリコンの複数のワードラインが形成される。セルが適切に動作しているとき、電荷は電荷蓄積誘電体膜に捕獲される。しかしながら、コンタクト形成手段により、コンタクトホールがビットライン内に形成されるとき、プラズマチャージングがコンタクトホール近傍の電荷蓄積誘電体膜にダメージを与えることがある。そのようなダメージには、意図しない電荷捕獲エリアの生成が含まれる。このため、コンタクトホール近傍の電荷蓄積誘電体膜は、コンタクトホールから遠い誘電体膜と同じように電荷が捕獲されない可能性がある。

30

【0010】

このように、電荷蓄積メモリセルを用い、かつコンタクトホール形成による劣化を抑制する新しく改良されたメモリセルアレイはこの分野で対処されていないニーズである。

【課題を解決するための手段】

【0011】

本発明によれば、メモリセルアレイ基板とコンタクトを有する複数のビットラインを有するメモリセルアレイが提供される。ビットラインの間は、基板の上に形成された電荷捕獲誘電体膜を有する電荷捕獲メモリセルである。複数のワードラインは電荷捕獲誘電体膜上に形成される。窒化膜スペーサがビットラインコンタクトとビットラインコンタクトに隣接したワードラインとの間に形成される。

40

【0012】

本発明によれば、メモリアレイの製造方法が提供される。この製造方法によれば、基板が設けられ、基板の上に電荷捕獲誘電体材料が形成される。コンタクト位置を有する複数のビットラインが形成され、電荷捕獲誘電体材料上に複数のワードラインが形成される。その後、保護スペーサがビットラインコンタクト位置とビットラインコンタクト位置に隣接するワードラインとの間に形成される。その後、ビットラインコンタクトがビットラインコンタクト位置に形成される。

【0013】

他の実施例において、半導体基板を設ける工程と、酸化膜と半導体基板とが基板 - 酸化

50

膜界面を形成し、界面は少なくともシリコン - 水素のボンドまたはダングリングボンドを備えるように半導体基板上に酸化膜層を形成する工程と、シリコン原子間のボンドを形成する能力のある原子の1つを少なくとも有するガスの少なくとも1つを備える雰囲気で、約500 から約1100 の範囲の温度で、シリコン - 水素ボンドまたはシリコンダングリングボンドの少なくとも1つの少なくとも一部をシリコン原子間のボンドに変更するのに十分な条件で、前記界面にシリコン - 水素ボンドを切断するのに十分なエネルギーの紫外線を照射する工程と、前記酸化膜上に誘電体電荷記憶膜を形成する工程と、を有し、反応性ガスの少なくとも1つは、重水素、酸素、一酸化窒素、亜酸化窒素、オゾンまたは一重項酸素を1つ以上有し、不活性ガスは希ガスまたは窒素を1つ以上有し、雰囲気は体積比約5%から体積比約95%の少なくとも1つの反応性ガスと重量比約95%から重量比約5%の少なくとも1つの不活性ガスを有する。 10

【0014】

これにより、本発明は、シリコンダングリングボンドに置き換わることができるシリコン - 水素結合とシリコンダングリングボンドとのいずれかまたは両方に起因する、基板と重なる酸化膜との界面でのストレスにより導入されるホットキャリア注入の問題の解を提供する。

【発明を実施するための最良の形態】

【0015】

当然のことながら、以下に説明するプロセス工程および構造は、集積回路の製造のための完全なプロセスフローではない。本発明は、従来この分野で用いられている集積回路製造技術と共に用いることにより実施することができる。そして、本発明の理解のため必要なものは、普通に実施される工程の限られた工程である。さらに、当然のことながら、本発明は、デュアルビット電荷捕獲メモリセルとして記述されているが、そのようなデバイスに限られず、当然、ビットラインおよびワードライン構成を有するメモリセルにおいて用いられる全ての電荷捕獲メモリセルに適用することができる。また、本発明は埋め込みビットラインについて記述されているが、当然に、他のビットライン構成にも適用可能である。 20

【0016】

図1は電荷蓄積メモリセルで用いられるビットラインおよびワードラインの構成を有するメモリアレイを示している。アレイ100は上面あるいは平面図で示されている。示されるように、アレイ100は、例えば8ビット入力/出力(I/O)の64Kアレイ100である。当業者には当然のことながら、I/Oは16ビット、32ビット、64ビットおよびそれ以上とすることができる。加えて、当然のことながら、アレイは $2^{(n+1)}$ Kの大きさのメモリブロックとすることができる。ここで、nは0より大きく、例えば128K、256K等である。アレイ100はセクタまたはその一部であるメモリブロックとすることもできる。例えば、セクタは共通金属ビットライン224と接続するコンタクト240を有する1以上のブロックにより形成することもできる。 30

【0017】

電荷捕獲誘電体積層209はメモリアレイ100の長さ方向に延在することができる。アレイ100は16個のI/Oまたはコラム224のグループを有している。各「ワード」またはI/Oのグループは8つのトランジスタまたは8つのノーマルビットおよび8つのコンプリメンタリビットを備えている。各I/Oは、ポリシリコンでありセルの口ウをアドレスするワードライン201または202を含んでいる。複数のビットライン224は、メモリセル200の個々のビットの読み出し、書き込みおよび消去を可能にするため電荷蓄積誘電体多層膜の下に延在する。各ビットライン224は16本の口ウのグループの一端で、第1のコンタクト240と金属ビットライン(図示せず)とに接続し、口ウのグループの他端で第2コンタクト240に接続する。図1に示されるように、5本のビットラインは以下のように示されている。すなわち、1つのビットラインが1つのコラム内の1つ置き of トランジスタの端に結合し、2つの選択トランジスタが読み出し、書き込みおよび消去のための2つのトランジスタの4つのビットラインを選択するために用いられ 40 50

うる。各端部ワードライン201とコンタクト240の間にはスペーサ234がある。一実施例において、スペーサ234は全ての端部ワードライン201沿って延在する。一実施例において、スペーサ234は概ビットライン234の上のみ設けられる。一実施例において、スペーサ234は約250オングストロムから約1300オングストロムの範囲の距離で端部ワードライン201を超えて延在する。スペーサ234は、端部ワードライン201とコンタクト240との全ての距離に実質的に及ぶように延在することもできる。

【0018】

図2(a)および図2(b)に移り、本発明の1以上の様々な態様が実施できるメモリセルの断面図を図示している。メモリセル10は、トップ誘電体層204とボトム誘電体層208との間に挟まれた電荷捕獲層206で構成される電荷捕獲誘電体積層209を備えている。ポリシリコン層201または202は、電荷捕獲誘電体積層209上にあり、メモリセル200に接続するワードラインを構成する。第1のビットライン224aは、電荷蓄積誘電体積層209の下で第1の領域203の下に延在し、第2のビットライン224bは、電荷蓄積誘電体積層209の下で第2の領域207の下に延在している。ビットライン224aおよび224bは、導電部230と選択酸化膜部228により形成される。

10

【0019】

一実施例において、ボロンコア注入232が各ビットライン224aおよび224bの両側端に設けられている。ここで、ビットラインはボトム誘電体層208と接しており、あるいは全てのトランジスタに沿っている。ボロンコア注入はP型基板より高ドープされており、メモリセル200のVTの制御を補助している。一実施例において、セル200はN⁺砒素注入で形成されたビットライン224aおよび224bの導電部230を有するP型基板上にある。これにより、チャンネル220はビットライン224aおよび224bの間でP型基板を横切って形成される。メモリセル220は、ポリシリコン・ワードライン201または202の一部であるゲートを有するP型基板領域222上にあるN⁺砒素注入部230から形成される互換可能なソースおよびドレイン部を備えている。第1および第2のビットライン224aおよび224bは導電部230および選択酸化膜部228として示されているが、当然のことながら、ビットラインは導電部のみから形成することもできる。

20

30

【0020】

一実施例において、電荷捕獲層206は窒化シリコン膜である。セルのプログラミングはドレインおよびゲートに電圧を印加しソースを接地することにより行われる。電圧は、チャンネルに沿って、電子が加速し基板層222から電荷捕獲層内にジャンプする電界を発生させる。このジャンプはホットエレクトロン注入として知られている。電子はドレインで最もエネルギーを得るため、これらの電子はドレイン近傍の電荷捕獲層206内に捕獲され蓄積される。セル200は一般的には均一であり、ドレインとソースは互換可能である。電荷捕獲層は非導電性のため、第1の電荷234aは中央領域205の第1の端部近くの電荷蓄積層206の中に注入されうる。第2の電荷234bは中央領域205の第2の端部近くの電荷蓄積層206の中に注入されうる。この方法により、1つより多い電荷を電荷捕獲層206内に記憶できる。これによりデュアルビット・メモリセル200が形成される。また、当然のことながら、同じ方法により、2つより多い電荷を電荷捕獲層206内に記憶できる。これにより2ビットより多いメモリセル200が形成される。

40

【0021】

前述のように、第1の電荷234aは中央領域205の第1の端部の電荷捕獲層206内に記憶される。第2の電荷234bは中央領域205の第2の端部に記憶される。このように、1つのメモリセル200につき2ビットが存在する。デュアルビット・メモリセル200は一般的に対称であり、これにより、ドレインとソースとは互換可能である。これより、左のビットをプログラムする場合、第1のビットライン224aはドレイン端子として、第2のビットライン224bはソース端子として機能することができる。一方、

50

右のビットをプログラムするため、第2のビットライン224bはドレイン端子として、第1のビットライン224aはソース端子として機能することができる。

【0022】

当業者にとっては当然のことながら、前述のタイプのメモリセルアレイに適した動作としては、電荷234aおよび234bは、最初に導入された電荷捕獲層206の分離された領域のままであることが好ましい。さらに、電荷捕獲誘電体積層206およびゲート電極201の少なくとも一方へのダメージはコンタクトホール240を形成プロセスの間に生じるということは、当業者であれば一般的に考えうることである。前記ダメージは、コンタクト形成手段からのプラズマチャージングによって生じるということも考えうることである。前記ダメージは、電荷をボトム誘電体膜208内に捕獲させる原因となりうる。そのため、電荷は電荷捕獲層206内に注入できなくなり、コンタクトホール240に隣接するメモリセル200を誤動作させる原因となる。

10

【0023】

図3から図8を参照に、本発明の製造フローを説明する。図3から図6は本発明に係る電荷蓄積誘電体積層209構造およびその上の端部ワードライン201構造の製造工程の断面図を示している。図7および図8は本発明に係るスペーサおよびエッチストップ層の製造工程の断面図を示している。図9は本発明に係る製造工程の一般的なフローチャートを示している。

【0024】

本発明の最初の工程において、ステップ902として図9に図示されており、図3に示したように半導体基板222が設けられる。半導体基板222はこの分野でよく知られた適切に選択されたいずれかの基板を用いることができる。適切な基板としては、例えば、シリコン半導体基板、シリコン・オン・インシュレータ(SOI)半導体基板、ゲルマニウム・オン・インシュレータ(GOI)半導体基板、シリコン・オン・サファイア(SOS)半導体基板および公知の他の材料で形成された半導体基板を含む。

20

【0025】

図3を参照に、ボトム誘電体層208の形成が示されている。この工程は図9にステップ904として図示されている。本発明によれば、ボトム誘電体層208は半導体基板222上に形成される。一実施例において、ボトム誘電体層208は二酸化シリコン膜である。しかしながら、当業者によれば当然のことながら、ボトム誘電体層208は二酸化シリコン膜に限られない。一実施例において、ボトム誘電体層208は、高K誘電体材料、複合誘電体材料、またはいずれの高K誘電体材料も実質的に付加されていない材料を備える。ここで用いられる「高K誘電体材料」の単語は約10以上のKを有する誘電体材料を言う。前記高K誘電体材料は、例えば HfO_2 、 ZrO_2 およびその他以下でより詳細に説明するいくつかの材料を含む。一般に、「高K誘電体材料」は二酸化物、三酸化物、より高い酸化物および約10以上のKを有する強誘電体材料を含む。加えて、高K誘電体材料は、例えば、約14のKを有する珪酸ハフニウム、酸素と窒素の組成比に依存するが約16のKを有する酸化窒化ハフニウムシリコン、約18のKを有する窒化ハフニウムシリコンのような複合誘電体材料を含む。

30

【0026】

適切な高K誘電体材料は、 ZrO_2 、 HfO_2 、 Al_2O_3 、 Y_2O_3 、 La_2O_3 、または ZrO_2 、 HfO_2 、 Al_2O_3 、 Y_2O_3 、 La_2O_3 の1以上の珪酸、または、 ZrO_2 、 HfO_2 、 Y_2O_3 、 La_2O_3 の1以上のアルミン酸塩を含む。また、適切な高K誘電体材料は、酸化タンタル(Ta_2O_5)、チタン酸バリウム(BaTiO_3)、二酸化チタン(TiO_2)、酸化セリウム(CeO_2)、酸化ランタン(La_2O_3)、酸化ランタンアルミニウム(LaAlO_3)、チタン酸鉛(PbTiO_3)、チタン酸ストロンチウム(SrTiO_3)、ジルコン酸鉛(PbZrO_3)、酸化タングステン(WO_3)、酸化イットリウム(Y_2O_3)、酸化ビスマスシリコン($\text{Bi}_4\text{Si}_2\text{O}_{12}$)、チタン酸バリウムストロンチウム(BST)($\text{Ba}_{1-x}\text{Sr}_x\text{TiO}_3$)、PMN($\text{PbMg}_x\text{Nb}_{1-x}\text{O}_3$)、PZT($\text{PbZr}_x\text{Ti}_{1-x}\text{O}_3$)、PZN(Pb

40

50

$Zn_x Nb_{1-x} O_3$)、および $PST (PbSc_x Ta_{1-x} O_3)$)。を含む。上記高K誘電体材料に加え、他の高K誘電体材料、例えば、チタン酸鉛ランタン、チタン酸ストロンチウムビスマス、チタン酸ビスマスおよびチタン酸ビスマスジルコニウムのような強誘電体高K誘電体材料を本発明に用いることもできる。また、例えば約10以上のKを有する二酸化物、三酸化物のような知られた他の高K誘電体材料、を本発明に用いることもできる。

【0027】

ここで用いる「複合誘電体材料」という単語は、少なくとも2つの異なる誘電体材料の成分を備える誘電体材料を言う。複合誘電体材料は、高K誘電体材料のために前で定義したように、一般的に約10以上のKを有する。複合誘電体材料は、例えば酸化混合金属、珪酸金属、アルミン酸金属または珪酸/アルミン酸が混合した金属とすることができる。このため、例えば好適な金属としてハフニウムを用いて、複合誘電体材料は、酸化ハフニウムジルコニウム ($Hf_x Zr_{1-x} O_2$ 、ここでxは0から1の範囲)、珪酸ハフニウム ($HfSiO_4$)、アルミン酸ハフニウム ($HfAl_2O_5$) またはアリミン酸/珪酸が混合したハフニウム、 $Hf_2Si_2Al_2O_{11}$ のような化学式を有することのできる $HfO_2 / SiO_2 / Al_2O_3$ 、とすることができる。複合誘電体材料は、その構成成分の同時堆積、または連続的な堆積とその後の複合誘電体材料を形成するための成分を混合する処理工程(つまり熱処理)とにより形成することができる。酸化混合金属、珪酸金属、アルミン酸金属または珪酸/アルミン酸が混合した金属に適した金属としては、例えば、ハフニウム、ジルコニウム、イットリウム、セリウム、タンタル、チタン、ランタン、タンゲステン、ビスマス、バリウム、ストロンチウム、スカンジウム、ニオブまたは鉛、またはその混合物を含む。他の酸化金属、二酸化珪素または酸化アルミニウムまたはその混合物を混合したとき二酸化珪素のKより大きなKが有する材料が得られるその他の酸化金属が好ましい。例えば、酸化混合金属、珪酸金属、アルミン酸金属または珪酸/アルミン酸が混合した金属は、約600 ~ 800 の温度でシリコン(または、ポリシリコンまたはポリシリコン-ゲルマニウム)と実質的に反応しない材料として好ましい。

10

20

【0028】

ここで用いられる「ポリシリコン-ゲルマニウム」という単語は、ポリシリコンとゲルマニウムとの混合物を言う。ここで、ゲルマニウムの組成は混合物に対し重量比が0より少し大きい値から約60%である。これより、ゲルマニウムの総量は、ドーピング量程度から混合物に対する重量比60%の範囲とすることができる。ポリシリコン-ゲルマニウムは、公知の方法、すなわち例えばポリシリコンへのゲルマニウムのドーピング、同時堆積により形成することができる。

30

【0029】

一実施例において、ボトム誘電体層208は半導体基板222の表面の酸化により形成される。この酸化は、例えば公知のタイプのいずれかのラピッド・サーマル・プロセス(RTP)装置のような公知の酸化工程により適切に実施される。例えばRTP装置は双葉式の装置の一つとすることができる。また、ボトム誘電体層208は、ラピッド・サーマル気相成長(RTCVD)プロセスのような堆積プロセスにより形成することもできる。一実施例において、RTP装置は双葉式の装置である。また、ボトム誘電体層208は、低圧力気相成長(LPCVD)プロセスによりバッチ熱処理炉中での誘電体材料の堆積により形成することができる。一実施例において、ボトム誘電体層208は、PECVD、ALD(ALCVD)、PLD、MLDまたはMOCVDのような他の適切な方法により堆積させることができる。これらのCVD法は公知のCVD法である。

40

【0030】

ボトム誘電体層208は約20から約150オングストロームの膜厚を有することができる。一実施例において、ボトム誘電体層208は約100オングストロームの膜厚を有する。当業者に当然のことであるが、他の公知の方法をボトム誘電体層208の堆積のために用いることができる。前述のステップ204の結果、公知の方法によりボトム誘電体層208が形成される。

50

【0031】

本発明の次のステップにおいて、図9にステップ906として図示したように、ボトム誘電体層208上に電荷捕獲層206が形成される。図4に示したように、ボトム誘電体層208の形成の後、ボトム誘電体層208の上に電荷捕獲層206が堆積される。一実施例において、電荷捕獲層206は窒化シリコン膜を備える。他の実施例において、電荷捕獲層206は適切な高K誘電体材料を備える。他の実施例において、電荷捕獲層206は高K誘電体材料および窒化シリコンのような通常のK誘電体材料の両方を備える。一実施例において、層206は、2以上の誘電体材料の混合物または反応性生物を有する混合誘電体材料を備える。2以上の誘電体材料としては、1つは高K誘電体材料、その他は窒化シリコンのような通常K誘電体材料とすることができる。これより、一実施例において、高K誘電体材料は電荷捕獲層206内の窒化シリコンに完全に置き換えることができる。他の実施例において、高K誘電体材料は、本質的に電荷捕獲層206を形成するための窒化シリコンに加えられたまたは混合されたものである。他の実施例において、電荷捕獲層206は窒化シリコンに代わる混合誘電体材料を含んでいる。電荷捕獲層206内に用いられるために適切な高K誘電体材料は、2001年12月31日出願の同時継続出願の米国出願番号10/036,757に開示されている。その出願中の電荷捕獲誘電体積層209の電荷捕獲層206内に用いるための高K誘電体材料に関する開示も参照により開示に含まれる。

10

【0032】

高K誘電体層の堆積のための適切な方法は、RTCVD、その他の気相成長(CVD)法またはその他のいずれかの公知方法が含まれる。CVD法は、高K材料の堆積のための公知のいずれかのCVD法とすることができる。例えば、CVD法は、前述のRTCVDに加え、ALD(ALCVD)、PECVD、MOCVDまたはMLDとすることができる。

20

【0033】

電荷蓄積層206の堆積に続き、メモリセル100の製造工程の次のステップとして、ステップ908として図9に図示したように、トップ誘電体層204が電荷捕獲層206上に適切な技術を用い形成される。トップ誘電体層204は、ボトム誘電体層208のために先に開示した材料のいずれかを備えることができる。例えば、トップ誘電体層204は、ここで定義した二酸化シリコン、高K誘電体材料または複合誘電体材料を備えること

30

【0034】

図5に示したように、電荷捕獲層206の堆積の後、トップ誘電体層204が電荷捕獲層206の上に形成される。トップ誘電体層204は公知のいずれかの方法により形成することができる。一実施例として、トップ誘電体層204は、電荷捕獲層206の表面をイン-サイト・スチーム・ジェネレーション(ISSG)酸化することにより形成される。一実施例においては、トップ誘電体層204は、前述のRTCVD、LPCVD法のようなHTO成長により形成される。一実施例において、トップ誘電体層204は、PECVD、ALD(ALCVD)、PLD、MLDまたはMOCVDのような他の適切な方法により形成される。CVD法は公知のいずれかのCVD法とすることができる。

40

【0035】

これにより、電荷捕獲層209が形成される。当然のことながら、「電荷捕獲誘電体材料」、「電荷捕獲誘電体積層」および「電荷誘電体構造」のいうは互換可能に使用されることを意図されている。

【0036】

図9にステップ209として示したように、本発明に係る電荷捕獲誘電体材料209の形成に続き、トップ誘電体層204上にワードライン201または202が形成される。同じ製造工程は、ワードライン202および端部ワードライン201の両方に適用することができる。ワードライン201または202を形成する層は、公知に用いられるいずれかの材料を備える。例えば、ワードライン201または202はポリシリコン、ポリシリ

50

コン - ゲルマニウム、珪化金属、金属または公知の適切な他の材料のいずれかを備えることができる。その後、電荷捕獲材料 209 およびワードライン 201 または 202 を画定するために露光パターニングおよびエッチングプロセスを行うことができる。当業者には当然のことながら、ワードライン 201 または 202 の形成のために、さまざまなゲート形成材料が使用できる。例えば、ワードライン 201 または 202 は多結晶シリコン、アモルファスシリコン、高融点金属シリサイド、金属その他で形成することができる。

【0037】

端部ワードライン 201 の形成に続き、図 9 のステップ 209 に示すように保護スペーサ 234 が電荷捕獲材料 209 の上で端部ワードライン 201 とコンタクト 240 の形成されるべき位置との間に形成される。コンタクトホール 240 の形成を形成する間、形成手段からのプラズマは、電荷捕獲層 209 と端部ワードライン 201 とにダメージを与えることができる。これより、コンタクトホール 240 の形成の前に、プラズマ等からのダメージを防止するため保護スペーサ 234 が形成される。一実施例において、スペーサ 234 は窒化膜スペーサである。窒化膜スペーサは Si_3N_4 の化学量論的な組成を有することができる。加えて、窒化シリコン、シリコンリッチの窒化シリコン、 $SiON$ 等のような他の材料をスペーサ 234 として使用することができる。スペーサ 234 はコンタクトエッチングからの紫外線放射から端部のトランジスタを保護する。これは端部ワードラインでのコンタクトエッチングのダメージを防止する。

10

【0038】

一実施例において、スペーサ 234 は $RTCV D$ または $LP C V D$ 等により形成される。一実施例において、スペーサ 234 は $PEC V D$ 、 ALD ($ALC V D$)、 PLD 、 MLD または $MOC V D$ のような他の適切な方法により堆積される。 $CV D$ 法は公知のいずれかの $CV D$ 法とすることができる。一実施例において、その後、露光パターニングおよびエッチングプロセスがスペーサ 234 を画定するために実施される。一実施例において、スペーサ 234 は約 250 オングストロムから約 1300 オングストロムの範囲であり、一実施例においては、約 750 オングストロムから約 1200 オングストロムの範囲である。一実施例において、スペーサ 234 は端部ワードライン 201 を形成するために電荷捕獲層上に堆積された材料とほぼ同じ高さである。

20

【0039】

一実施例において、スペーサ 234 はワードライン 201 に接するように形成される。一実施例において、スペーサ 234 はワードライン 201 から分離して形成される。一実施例において、単一のスペーサ 234 は、端部ワードライン 201 と交差する 1 つのビットライン 224 よりもコンタクト 240 から端部ワードライン 201 が分離するように延在している。一実施例において、図 8 に示すように、コンタクト材料が形成される前に、エッチングストップ層 802 がワードライン 201 およびスペーサ 234 の上に形成される。コンタクト材料は、珪化コバルト、 $CoSi_2$ または珪化チタン、 $TiSi_2$ のように当業者が理解しうるコンタクト材料のいずれかとすることができる。加えて、エッチングストップ層はいずれかの適切な材料とすることができる。加えて、コンタクトホールの形成の間に被るダメージからさらに絶縁するために、電荷捕獲誘電体材料 209 は、酸化膜層のような誘電体材料によってコンタクトホール 240 から分離して形成することもできる。

30

40

【0040】

本発明に係るコンタクト形成および同じ形成工程の間に被るダメージに耐する電荷捕獲メモリアレイについて開示してきた。これにより、本発明は端部ワードラインとビットコンタクトとの間に形成される保護スペーサを有するメモリアレイを提供する。本発明はビットラインのリークの小さいメモリアレイを提供する。

(産業上の利用分野)

【0041】

ビットラインおよびワードラインを有するメモリアレイはコンタクトホール形成からのダメージを受けやすい。本発明によれば、コンタクトホール形成の間メモリセルへのダメ

50

ージを低減するためのシステムおよび方法が提供される。これにより、メモリセルアレイの性能が改善される。

【0042】

本発明は、その説明に役立つ実施例を参照に記載および図示されているが、これらの役立つ実施例に限定されるものではない。当業者には当然のことながら、本発明の趣旨から離れなくとも変形例や変形態様を得ることができる。例えば、電荷記憶構造で構成された個々の層の膜厚は本明細書に記載された膜厚から変更することができる。これより、本発明には、請求の範囲およびその均等物の範囲における前記変形例や変形態様の全てが含まれる。

【図面の簡単な説明】

10

【0043】

【図1】図1は本発明に係るビットラインとワードラインを有する電荷捕獲メモリのアレイの平面図を示している。

【図2】図2(a)および図2(b)は本発明の実施可能な様々な態様のうち好適な電荷捕獲メモリセルの製造された構造の断面図を示している。

【図3】図3は本発明に係る電荷捕獲誘電体材料構造およびその上にワードラインを形成するための工程の断面図を示している。

【図4】図4は本発明に係る電荷捕獲誘電体膜およびその上にワードラインを形成するための工程の断面図を示している。

【図5】図5は本発明に係る電荷捕獲誘電体膜およびその上にワードラインを形成するための工程の断面図を示している。

20

【図6】図6は本発明に係る電荷捕獲誘電体膜およびその上にワードラインを形成するための工程の断面図を示している。

【図7】図7は本発明に係るスペーサを形成するための工程の断面図を示している。

【図8】図8は本発明に係るエッチストップ層を形成するための工程の断面図を示している。

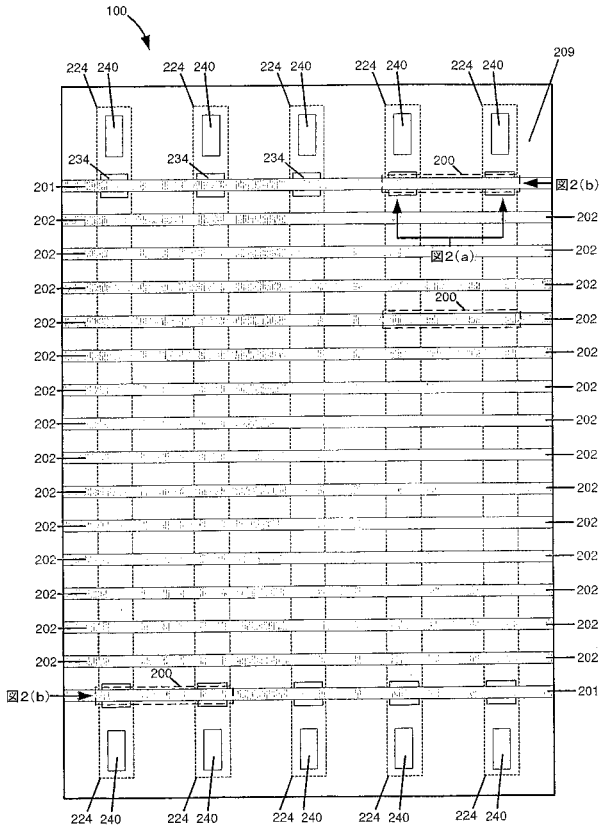
【図9】図9はスペーサの形成を含む本発明の工程を一般的に示したフローチャートである。

【0044】

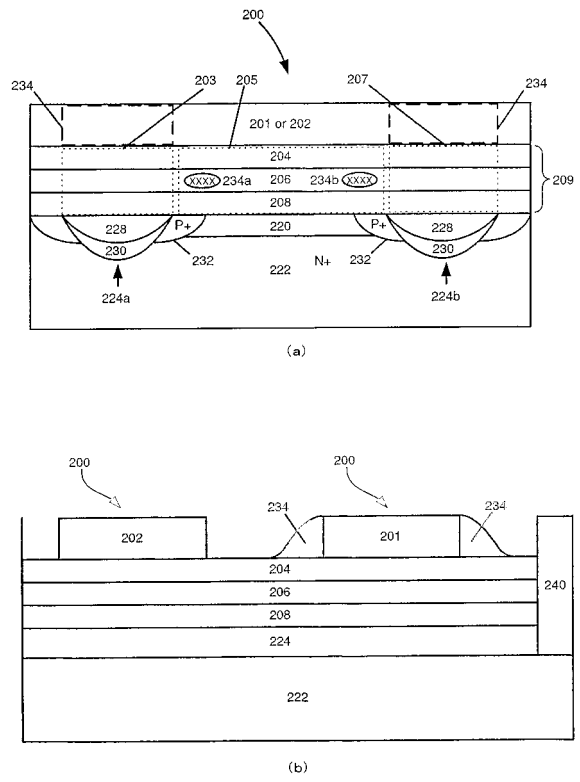
当然のことながら、図を簡単かつ明確に示すために、図に示された部材は必ずしも寸法通りに描かれていない。例えば、部材のいくつかの寸法は、互いの関係を明確にするために誇張されている。さらに、適切に考慮されるように、参照番号は対応する部材に対して繰り返し用いられている。

30

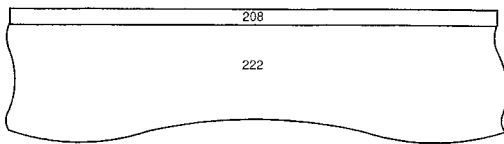
【 図 1 】



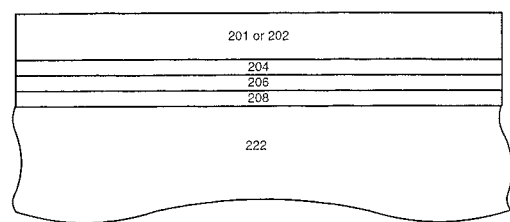
【 図 2 】



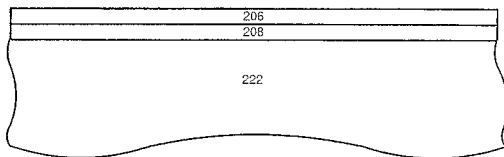
【 図 3 】



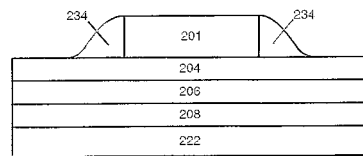
【 図 6 】



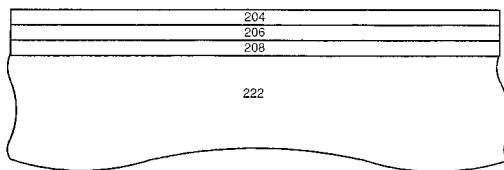
【 図 4 】



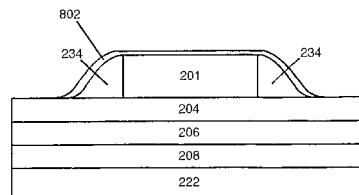
【 図 7 】



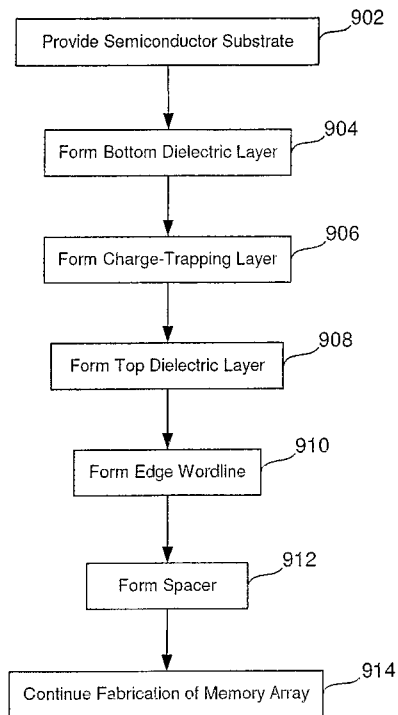
【 図 5 】



【 図 8 】



【 図 9 】



【 手続補正書 】

【 提出日 】 平成16年12月17日 (2004.12.17)

【 手続補正 1 】

【 補正対象書類名 】 特許請求の範囲

【 補正対象項目名 】 全文

【 補正方法 】 変更

【 補正の内容 】

【 特許請求の範囲 】

【 請求項 1 】

基板 (2 2 2) と、
 コンタクト (2 4 0) を有する複数のビットライン (2 2 4) と、
 各メモリセルが2つのビットライン (2 2 4) 間に設けられ、前記基板 (2 2 2) 上に
 形成された電荷捕獲誘電体 (2 0 9) 材料を備える複数のメモリセル (2 0 0) と、
 前記電荷捕獲誘電体材料 (2 0 9) 上に形成された複数のワードライン (2 0 1、2 0
 2) と、
 前記ビットラインコンタクト (2 2 4) と前記ビットラインコンタクト (2 4 0) に隣
 接する前記ワードライン (2 0 1) との間の少なくとも1つの窒化膜スペーサ (2 3 4)
 と、を具備するメモリアレイ (1 0 0) 。

【 請求項 2 】

前記電荷捕獲誘電体材料 (2 0 9) は、
 前記基板 (2 2 2) 上に形成されたボトム誘電体層 (2 0 8) と、
 前記ボトム誘電体層 (2 0 8) 上に形成された電荷捕獲層 (2 0 6) と、
 前記電荷捕獲層 (2 0 6) 上に形成されたトップ誘電体層 (2 0 4) と、を具備する請
 求項 1 記載のメモリアレイ (1 0 0)

【 請求項 3 】

少なくとも1つのスペーサ(234)はトップ誘電体層(204)上に形成されている請求項1または2記載のメモリアレイ(100)。

【請求項4】

スペーサ(234)は、1以上のビットライン(224)の前記コンタクト(240)から前記端部ワードラインを分離する請求項1から3のいずれか一項記載のメモリアレイ(100)。

【請求項5】

前記スペーサ(234)は約250オングストロムから約1300オングストロムの範囲である請求項1から4のいずれか一項記載のメモリアレイ(100)。

【請求項6】

前記スペーサ(234)はトップ誘電体層(204)上に形成されている請求項1から5のいずれか一項記載のメモリアレイ(100)。

【請求項7】

前記スペーサ(234)は窒化シリコン、シリコンリッチの窒化シリコンおよびSiONの1以上を有する請求項1から6のいずれか一項記載のメモリアレイ(100)。

【請求項8】

前記電荷捕獲メモリアレイ(200)はデュアルビット・メモリアレイである請求項1から7のいずれか一項記載のメモリアレイ(100)。

【請求項9】

前記アレイは $2(n+1)K$ 、ここで n は0より大きい整数である、の大きさを有するメモリアレイである請求項1から8のいずれか一項記載のメモリアレイ(100)。

【請求項10】

基板(222)を設ける工程と、
前記基板(222)上に電荷捕獲誘電体材料(209)を形成する工程と、
コンタクト位置を有する複数のビットライン(224)を形成する工程と、
前記電荷捕獲誘電体材料(209)の上にワードライン(201、202)を形成する工程と、
前記ビットラインコンタクト位置と前記ビットラインコンタクト位置に隣接するワードライン(201)との間に窒化膜スペーサ(234)を形成する工程と、
前記ビットラインコンタクト位置にビットラインコンタクト(240)を形成する工程と、を有するメモリアレイの製造方法。

【 国際調査報告 】

INTERNATIONAL SEARCH REPORT

International Application No
.../US2004/000502

A. CLASSIFICATION OF SUBJECT MATTER IPC 7 H01L27/115 H01L21/8246		
According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED		
Minimum documentation searched (classification system followed by classification symbols) IPC 7 H01L		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched		
Electronic data base consulted during the International search (name of data base and, where practical, search terms used) EPO-Internal		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	US 2002/000592 A1 (FUJIWARA ICHIRO) 3 January 2002 (2002-01-03) the whole document	1-10
X	WO 03/001600 A (PALM HERBERT ; WILLER JOSEF (DE); INFINEON TECHNOLOGIES AG (DE)) 3 January 2003 (2003-01-03) page 7, line 16 - page 12, line 32; figures 0-4c	1-10
A	US 6 436 768 B1 (LINGUNIS EMMANUIL MANOS ET AL) 20 August 2002 (2002-08-20) Spacers are formed, but not shown. column 5, line 30 - column 7, line 50; figures 1-4	1-10
<input type="checkbox"/> Further documents are listed in the continuation of box C. <input checked="" type="checkbox"/> Patent family members are listed in annex.		
* Special categories of cited documents : *A* document defining the general state of the art which is not considered to be of particular relevance *E* earlier document but published on or after the international filing date *L* document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) *O* document referring to an oral disclosure, use, exhibition or other means *P* document published prior to the international filing date but later than the priority date claimed *T* later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention *X* document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone *Y* document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art. *&* document member of the same patent family		
Date of the actual completion of the international search 2 September 2004		Date of mailing of the international search report 16/09/2004
Name and mailing address of the ISA European Patent Office, P.B. 5618 Patentlaan 2 NL - 2280 HV Rijswijk Tel. (+31-70) 340-2040, Tx. 31 651 epo nl, Fax: (+31-70) 340-3016		Authorized officer Albrecht, C

INTERNATIONAL SEARCH REPORT

Information on patent family members

International Application No
/US2004/000502

Patent document cited in search report	Publication date	Patent family member(s)	Publication date
US 2002000592 A1	03-01-2002	JP 2002026149 A	25-01-2002
WO 03001600 A	03-01-2003	DE 10129958 A1	09-01-2003
		WO 03001600 A2	03-01-2003
		EP 1399972 A2	24-03-2004
		TW 567612 B	21-12-2003
		US 2003151091 A1	14-08-2003
		US 2003006428 A1	09-01-2003
US 6436768 B1	20-08-2002	EP 1399965 A1	24-03-2004
		JP 2004522312 T	22-07-2004
		TW 550786 B	01-09-2003
		WO 03003451 A1	09-01-2003

フロントページの続き

(81) 指定国 AP(BW, GH, GM, KE, LS, MW, MZ, SD, SL, SZ, TZ, UG, ZM, ZW), EA(AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), EP(AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IT, LU, MC, NL, PT, RO, SE, SI, SK, TR), OA(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG), AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW

(72) 発明者 ラムスベイ マーク ティー
9 4 0 8 7 アメリカ合衆国 カリフォルニア州 サニーベイル キュムラス アベニュー 4 0
2

(72) 発明者 シライワ ヒデヒコ
9 5 1 2 0 アメリカ合衆国 カリフォルニア州 サンノゼ バレー クウェイル サークル 1
2 0 8

(72) 発明者 チュング フレッド ケーティー
9 5 1 3 6 アメリカ合衆国 カリフォルニア州 サンノゼ キング ジョージ アベニュー 5
3 6

F ターム(参考) 5F083 EP18 EP22 EP77 ER02 HA02 JA02 JA06 JA14 JA15 JA19
JA35 KA07 KA13 PR13 PR21 ZA21
5F101 BA45 BB02 BC11 BD10 BD33 BF05 BH02 BH03