

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第6480184号  
(P6480184)

(45) 発行日 平成31年3月6日(2019.3.6)

(24) 登録日 平成31年2月15日(2019.2.15)

(51) Int.Cl.		F I			
<b>H03F</b>	<b>3/217</b>	<b>(2006.01)</b>	H03F	3/217	
<b>H03F</b>	<b>3/193</b>	<b>(2006.01)</b>	H03F	3/193	
<b>H03K</b>	<b>17/06</b>	<b>(2006.01)</b>	H03K	17/06	O 6 3
<b>H03K</b>	<b>17/687</b>	<b>(2006.01)</b>	H03K	17/687	F

請求項の数 15 (全 17 頁)

(21) 出願番号	特願2014-515168 (P2014-515168)	(73) 特許権者	506236358 インフィネオン テクノロジーズ オーストリア アクチエンゲゼルシャフト オーストリア 9500 フィラハ シー メンシュトラッセ 2
(86) (22) 出願日	平成24年6月13日(2012.6.13)	(74) 代理人	110002077 園田・小林特許業務法人
(65) 公表番号	特表2014-522612 (P2014-522612A)	(72) 発明者	ミケル ヘーイェルビュ デンマーク国, デーコー-2450 コペンハーゲン エスパー, ハメルストルプバイ 26, 1. テベ
(43) 公表日	平成26年9月4日(2014.9.4)	(72) 発明者	イェールゲン クラー ヤコブセン デンマーク国, デーコー-2830 ビールム, ビールム オベルドレブスバイ 15
(86) 国際出願番号	PCT/EP2012/061161		
(87) 国際公開番号	W02012/171938		
(87) 国際公開日	平成24年12月20日(2012.12.20)		
審査請求日	平成27年6月12日(2015.6.12)		
審判番号	不服2017-15857 (P2017-15857/J1)		
審判請求日	平成29年10月26日(2017.10.26)		
(31) 優先権主張番号	61/496,663		
(32) 優先日	平成23年6月14日(2011.6.14)		
(33) 優先権主張国	米国 (US)		

最終頁に続く

(54) 【発明の名称】 パワートランジスタのゲートドライバ

(57) 【特許請求の範囲】

【請求項1】

出力端子を介してラウドスピーカ負荷に接続可能な負荷駆動組み立て部品を有するD級オーディオアンプであって、

前記負荷駆動組み立て部品は、

第1DC供給電圧と出力端子の間に形成された上部支脈及び前記出力端子と第2DC供給電圧の間に形成された下部支脈により、カスケード接続された状態で結合されている複数のパワートランジスタと、

前記上部支脈及び前記下部支脈の間において電氣的に結合されている出力端子と、

ゲートドライバの第1充電経路の第1ノードに対して及び第2充電経路の第1ノードのそれぞれに対して電氣的に接続されたゲート端子を有する複数のパワートランジスタのそれぞれと、

前記パワートランジスタ用の第1供給電圧を供給するために前記第1充電経路の第2ノードに対して電氣的に結合されているドレイン端子を有する複数のパワートランジスタのそれぞれと、

変調した入力信号を供給するために、複数のゲートドライバのそれぞれに結合された複数の組み立て部品入力端子と、

を有し、

それぞれのゲートドライバは、

第1電圧源と前記パワートランジスタのゲート端子の間において電氣的に接続された、

10

20

前記ゲート端子を第 1 ゲート電圧に充電するための第 1 充電経路と、

第 2 電圧源と前記パワートランジスタの前記ゲート端子の間において電氣的に接続された、前記ゲート端子を前記第 1 ゲート電圧から前記第 1 ゲート電圧を上回る第 2 ゲート電圧に充電するための第 2 充電経路と、

前記パワートランジスタをオフ状態又は非導通状態に切り替えるように適合された制御可能な放電経路であって、前記制御可能な放電経路は、前記パワートランジスタの前記ゲート端子と前記パワートランジスタのソース端子の間において接続可能である放電経路と

と、

を有し、

前記第 2 電圧源の電圧は、前記第 1 電圧源の電圧を上回る、D 級オーディオアンプ。

10

【請求項 2】

前記それぞれのゲートドライバの前記第 1 電圧源 ( $V_S$ ) は、前記パワートランジスタのドレイン電圧である、請求項 1 に記載の D 級オーディオアンプ。

【請求項 3】

前記それぞれのゲートドライバは、前記第 1 充電経路を通じた前記パワートランジスタの前記ゲート端子に対する充電電流の供給を制御すると共に、前記第 2 充電経路及び任意に制御可能な放電経路のオフ状態及びオン状態を通じた前記パワートランジスタの前記ゲート端子に対する充電電流の供給を制御するように適合されたコントローラ又はシーケンス制御装置を有する、請求項 1 又は 2 に記載の D 級オーディオアンプ。

【請求項 4】

20

前記コントローラ又は前記シーケンス制御装置は、前記パワートランジスタの前記のゲート電圧を所定の閾値電圧と比較することにより、前記第 1 充電経路及び前記第 2 充電経路を通じた前記パワートランジスタの前記ゲート端子に対する前記充電電流の供給を制御するように適合されている、請求項 3 に記載の D 級オーディオアンプ。

【請求項 5】

前記コントローラ又は前記シーケンス制御装置は、前記第 1 充電経路に電氣的に結合された前記パワートランジスタのドレイン電圧から前記所定の閾値電圧を導出するように適合されている、請求項 4 に記載の D 級オーディオアンプ。

【請求項 6】

前記コントローラ又は前記シーケンス制御装置は、

30

前記第 1 ゲート電圧に到達するように、所定の充電期間にわたって前記第 1 充電経路を通じて前記パワートランジスタの前記ゲート端子に対する充電電流を供給し、

その後、所定の期間にわたって前記第 2 充電経路を通じた前記パワートランジスタの前記ゲート端子に対する充電電流を供給する、

ように適合されている、請求項 3 に記載の D 級オーディオアンプ。

【請求項 7】

前記それぞれのゲートドライバの前記第 1 充電経路及び前記第 2 充電経路のそれぞれは、前記コントローラ又は前記シーケンス制御装置によって制御される制御可能な直列接続 FET トランジスタを含む、請求項 3 ~ 6 のいずれか一項に記載の D 級オーディオアンプ。

40

【請求項 8】

前記コントローラ又は前記シーケンス制御装置は、前記ゲート電圧が前記所定の閾値電圧に到達する時点まで、前記第 2 電圧源からの前記充電電流の供給を中断するように適合されている、請求項 4 に記載の D 級オーディオアンプ。

【請求項 9】

前記それぞれのゲートドライバの前記第 2 電圧源の電圧は、前記パワートランジスタの導通状態又はオン状態の間に、前記パワートランジスタの少なくとも 1 つのゲート - ソース電圧降下分だけ、前記第 1 電圧源の電圧を上回っている、請求項 1 ~ 8 のいずれか一項に記載の D 級オーディオアンプ。

【請求項 10】

50

前記それぞれのゲートドライバの前記第1充電経路は、100ナノ秒未満で、前記ゲート端子を前記第1ゲート電圧に充電するように適合されている、請求項1～9のいずれか一項に記載のD級オーディオアンプ。

【請求項11】

前記第2電圧源の電圧レベルは、前記ゲートドライバの動作の間に、常に、少なくとも2.5ボルトだけ、前記第1電圧源( $V_S$ )の電圧レベルを上回っている、請求項1～10のいずれか一項に記載のD級オーディオアンプ。

【請求項12】

前記負荷駆動組み立て部品は、前記上部支脈のカスケード接続されたパワートランジスタのペア(SW1, SW2)の間に位置した第1ノードと前記下部支脈のカスケード接続されたパワートランジスタのペアの間に位置した第2ノードの間において所定のDC電圧差を設定するように構成されたDC電圧源を有する、請求項1～11のいずれか一項に記載のD級オーディオアンプ。

10

【請求項13】

前記複数のパワートランジスタは、シリコン、窒化ガリウム、又は炭化珪素等の半導体基板上に正確に置かれたNMOS又はIGBT等の少なくとも1つのNチャネル電界効果トランジスタを含む、請求項1～12のいずれか一項に記載のD級オーディオアンプ。

【請求項14】

前記複数のゲートドライバの前記第2電圧源は、前記第2電圧源の共通のチャージポンプコンデンサに対して電氣的に接続している、請求項1～13のいずれか一項に記載のD

20

【請求項15】

前記負荷駆動組み立て部品は、半導体基板に統合された、請求項1～14のいずれか一項に記載の負荷駆動組み立て部品を有する、D級オーディオアンプ。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、ゲート端子を第1ゲート電圧に充電するために第1電圧源とパワートランジスタ(power transistor)のゲート端子の間に動作可能に接続された第1充電経路(first charging path)を有するパワートランジスタ用のゲートドライバに関する。ゲート端子を第1ゲート電圧から第1ゲート電圧よりも大きい又は高い第2ゲート電圧に充電するためにパワートランジスタのゲート端子と第2供給電圧の間に第2充電経路(second charging path)を接続可能である。第2電圧源の電圧は、第1電圧源の電圧を上回る。本発明の別の態様は、複数のパワートランジスタのうちの個々のトランジスタに電氣的に結合された複数のゲートドライバを有する負荷駆動組み立て部品(load driving assembly)に関する。この負荷駆動組み立て部品は、D級オーディオアンプ等の様々なパワー増幅の用途に利用してもよい。

30

【背景技術】

【0002】

D級オーディオアンプのパワー段(power stage)又は出力段(output stage)のパワートランジスタ用のゲートドライバは、当技術分野においてよく知られている。パワートランジスタは、多くの場合に、NMOSやIGBT等のNチャネル電界効果トランジスタを有しており、これらの電界効果トランジスタは、半導体基板上における所与の設置面積(footprint)又は面積消費量におけるその小さいオン抵抗値に起因し、この目的のために一般的な半導体コンポーネントである。半導体基板の製造費用は、その面積に密接にリンクしているため、面積の低減は、費用を低減するための効果的な方法である。

40

【0003】

しかしながら、このようなNチャネル電界効果トランジスタ用の適切なゲートドライバ

50

の設計は、パワー段の動作の間にNチャンネル電界効果トランジスタのドレイン電圧を大幅に上回るように瞬間ゲート電圧を上昇させる必要性等の様々な理由から、困難である。大きい瞬間ゲート電圧は、Nチャンネル電界効果トランジスタを完全にターンオンさせるために必要である。その完全なオン状態又は導通状態 (conducting state) に遷移することにより、Nチャンネル電界効果トランジスタは、小さいオン抵抗値を有することが可能であり、かつ、伝導電力損失 (conductive power loss) を最小限にできる。D級オーディオアンプのパワー段 (power stage) の最も外側のパワートランジスタのドレイン端子は、多くの場合に正のDC電源電圧又はレールの形態を有する直接的に利用可能な最大DC供給電圧に接続しているため、この最大DC供給電圧をはるかに上回るように瞬間ゲート電圧を対象のパワートランジスタのオン状態又は導通状態の持続時間にわたって上昇させなければならない。それぞれのゲートドライバ内においてこのような高いゲート電圧を生成するために、当技術分野においては、ブートストラップ手法及び回路が知られている。しかしながら、これらは、ゲート駆動電圧をパワー段のNチャンネル電界効果トランジスタに供給するために、予め充電したコンデンサに依存している。予め充電したブートストラップコンデンサがNチャンネル電界効果トランジスタのゲート端子に接続された際に、その電圧は、ブートストラップコンデンサのブートストラップ静電容量が固有のゲート静電容量を、10倍又は20倍等はるかに上回っていない限り、電荷共有 (charge sharing) に起因し、Nチャンネル電界効果トランジスタの固有のゲート静電容量により、大幅に低減される。しかしながら、多くのタイプのパワー段用の適切なNチャンネル電界効果トランジスタの固有のゲート静電容量は、数百pF等のように非常に大きいものであり、これは、上述の経験に基づく方法 (rule of thumb) によれば、受け入れ可能な寸法の統合されたブートストラップコンデンサにおける非現実的に大きい静電容量値を、すなわち、数nFから20超nFの範囲の静電容量値をもたらす。別の方法として、ブートストラップコンデンサは、1つ又は複数のゲートドライバを保持している半導体ダイ (semiconductor die) の外部に設けることもできる。しかしながら、この解決策 (solution) は、好ましくない。その理由は、マルチレベルのHブリッジパワー段 (multi-level H-bridge power stage) 等のパワー段トポロジー (power stage topologies) は、通常、外部のブートストラップコンデンサをそれぞれが必要とする関連するゲートドライバを有する複数のカスケード接続又は積層 (stack) されたパワートランジスタを有するからである。このような複数の外部のブートストラップコンデンサは、完全なD級アンプの解決策の費用を増大させ、高価なプリント回路基板空間の配置 (allocation) を必要とし、かつ、潜在的な信頼性の危険をももたらす。

【発明の概要】

【発明が解決しようとする課題】

【0004】

したがって、外部コンデンサに対する最小限の必要性のみを伴って正のDC電源電圧又はレールを上回るようにゲート電圧を上昇できるパワートランジスタ用の、特に、Nチャンネル電界効果トランジスタ用の、ゲートドライバが非常に望ましい。さらには、このゲートドライバの高パワー効率、携帯電話機やMP3プレーヤー等の携帯型及び/又は電池動作型の通信及びエンターテインメント装置用のD級オーディオアンプ等の多数の用途において非常に有利であろう。

【課題を解決するための手段】

【0005】

本発明の第1の態様は、パワートランジスタ用のゲートドライバに関する。このゲートドライバは、ゲート端子を第1ゲート電圧に充電するために第1電圧源とパワートランジスタのゲート端子の間において電氣的に接続可能な第1充電経路を有する。ゲート端子を第1ゲート電圧から第1ゲート電圧を上回る第2ゲート電圧に充電するために第2電圧源とパワートランジスタのゲート端子の間に第2充電経路を電氣的に接続可能である。第2

10

20

30

40

50

電圧源の電圧は、第1電圧源の電圧を上回っている。

【0006】

このパワートランジスタのゲート端子を充電するための2つの別個の充電経路の適用は、ゲート電圧を第2ゲート電圧に上昇させるために必要とされる合計電荷の50%超、又は75%超、若しくは、さらに好ましくは90%超等の主要な部分を第1電圧源を有するパワー効率に優れたDC電源によって供給できるという利点を有する。この結果、第2電圧源を有する相対的にパワー効率において劣る高電圧源によって供給する必要があるのは、合計電荷の残りの部分のみである。高電圧は、通常、別の方法によって入手可能である正の最大DC供給電圧を上回る電圧に高電圧源を上昇できる電圧ポンプ(voltage pump)又は電圧増倍器によって供給される。上述のように、高電圧源によって供給される高電圧レベルは、Nチャネル電界効果トランジスタ(FET)をその導通状態に切り替えるために、NチャネルFETのゲート入力又は端子において必要とされる。第1充電経路及び第2充電経路は、いずれも、ゲート電圧が第1ゲート電圧未満である間に、パワートランジスタのゲート端子に充電電流を供給するように動作可能であってもよい。しかしながら、第1充電経路を通じて供給される充電電流は、この状況において、第2充電経路を通じて供給される充電電流をはるかに上回っていることが好ましい。好ましい一実施形態においては、第2充電経路によってパワートランジスタのゲート端子に供給される充電電流は、ゲート電圧が第1ゲート電圧未満である間には、10 $\mu$ A又は1 $\mu$ A未満等のように、実質的にゼロであるか又は小さいものである。これは、例えば、第2充電経路内に制御可能な直列のMOSトランジスタスイッチを配置することによって実現してもよく、この場合には、MOSトランジスタスイッチの非常に大きいオフ抵抗値を使用し、第2充電経路を通じた充電電流の流れを基本的に中断できる。パワートランジスタのゲート電圧が第1ゲート電圧を上回っている間には、第1ゲート電圧のレベルに近接した電圧レベルを有することになる第1電圧源に対する第1充電経路の接続に起因し、第1充電経路を通じた充電電流の供給は、基本的にゼロであることが好ましい。第1ゲート電圧のレベルは、パワートランジスタのゲート電圧が第1電圧源の電圧レベルに到達する前に第1充電によって供給される充電電流の量を最小限にするために、好ましくは、第1電圧源の電圧レベルとほぼ同一のレベルに設定される。この状態においては、第1充電経路は、充電電流の流れの反転に起因し、ゲート端子にさらなる充電電流を供給できない。したがって、第1ゲート電圧から第2ゲート電圧にパワートランジスタのゲート電圧を上昇させるためのゲート端子に対する充電電流のさらなる供給は、第2充電経路を通じて実現される。第2充電経路の末端ノード(distal node)は、第1供給電圧及び第1ゲート電圧の両方を上回る第2供給電圧に接続しているため、充電電流は、少なくとも、ゲート電圧が第2供給電圧に近接する時点まで、第2供給電圧からパワートランジスタのゲート端子に流れることができる。

【0007】

本ゲートドライバは、スイッチング型のパワー段又は負荷ドライバのNチャネルFETのゲートを駆動するために非常に有用である。本ゲートドライバは、D級オーディオアンプのシングルエンド型又はHブリッジ負荷駆動回路に使用してもよい。D級オーディオアンプは、様々なパワー段トポロジーにおいて2レベルのAD級又はBD級のPDM又はマルチレベルのPWMを有してもよい。

【0008】

好適な一実施形態によれば、第1電圧源は、第1充電経路を通じてパワートランジスタのドレイン端子からそのゲート端子への電氣的結合を実現するように、パワートランジスタのドレイン電圧を有する。いくつかの実施形態においては、パワートランジスタのドレイン端子は、パワートランジスタを有する出力段の正のDC供給電圧に対して直接的に結合してもよい。その他の実施形態においては、パワートランジスタのドレイン端子は、マルチレベルPWMの出力段トポロジーにおけるフライングコンデンサ(flying capacitor)に対して結合されたドレイン端子等の中間供給電圧に結合してもよく、この場合には、ドレイン端子の電圧レベルは、フライングコンデンサの電圧によって設

10

20

30

40

50

定される。ゲートドライバは、特定の用途の要件に応じて、DC供給電圧の広い範囲に跨って、すなわち、第2供給電圧とゲートドライバの最小供給電圧の間の電圧差に跨って、動作するように適合させてもよい。一連の有用な用途においては、DC供給電圧は、5～120ボルトの値に設定してもよい。DC供給電圧は、例えば、接地基準であるGNDとの関係において、+40ボルト又は+/-20ボルト等の単極又は双極のDC電圧として供給してもよい。

**【0009】**

ゲートドライバは、ゲートドライバのDC供給電圧に基づいて第2電圧源を生成するように適合された電圧増倍器又はチャージポンプ(charge pump)を有することが好ましい。DC供給電圧は、例えば、3.0～5.0ボルトのDC電圧を有する通常のCMOS電源レール(CMOS power supply rail)を含んでもよい。電圧増倍器又はチャージポンプは、フライングコンデンサをこのDC電圧に充電してもよく、かつ、第1供給電圧に加えて充電したコンデンサを積層することにより、第1供給電圧よりも3～5ボルトだけ高い第2供給電圧を生成してもよい。

10

**【0010】**

ゲートドライバは、パワートランジスタをオフ状態又は非導通状態に切り替えるように適合された制御可能な放電経路を有することが好ましい。この場合に、制御可能な放電経路は、パワートランジスタのゲート端子とパワートランジスタのソース端子(source terminal)の間に接続可能である。この放電経路は、そのゲート電圧の操作によってその導通及び非導通状態の間において切り替えられるMOSスイッチを有してもよい。放電経路は、上述のようにパワートランジスタをオン状態に切り替えるために第1充電経路及び第2充電経路を通じて供給されたゲート端子の電荷を除去することにより、パワートランジスタをその非導通状態に迅速に遷移できることを保証する。

20

**【0011】**

さらに別の好適な実施形態によれば、ゲートドライバは、第1充電経路を通じたゲート端子に対する充電電流の供給を制御すると共に第2充電経路を通じたゲート端子に対する充電電流の供給を制御するように適合されたコントローラ又はシーケンス制御装置(sequence r)を有する。このコントローラは、制御可能な放電経路のオフ状態及びオン状態を任意に制御してもよい。コントローラは、ゲートドライバが利用可能な任意のクロック信号と同期していない状態で動作する組合せロジックに基づいた相対的に簡単な回路であってもよい。この実施形態においては、コントローラは、自己タイミング型のメカニズムに従って動作してもよく、かつ、第1電圧の電圧レベルを定義(define)するために少数の適切に構成されたトランジスタ及び回路を有してもよい。しかしながら、その他の実施形態においては、コントローラは、ゲートドライバが利用可能なマスタ又はその他のシステムクロック信号と同期した状態で動作するクロッキング型シーケンシャルロジック(clocked sequential logic)を有してもよい。後者の実施形態においては、コントローラは、例えば、プログラム可能なロジック回路又はソフトウェアプログラム可能な又は配線によって接続されたデジタル信号プロセッサ(Digital Signal Processor: DSP)又は汎用マイクロプロセッサを有してもよい。

30

40

**【0012】**

一実施形態においては、所定の閾値電圧をコントローラに供給することによって第1電圧を設定しており、かつ、コントローラは、パワートランジスタのゲート電圧を所定の閾値電圧と比較することにより、第1充電経路及び第2充電経路を通じたゲート端子に対する充電電流の供給を制御するように適合されている。所定の閾値電圧は、例えば、第1充電経路に電氣的に結合されたパワートランジスタのドレイン電圧から導出してもよい。所定の閾値電圧は、ほぼ1つのMOS閾値電圧分だけパワートランジスタのドレイン電圧を下回る電圧レベルに設定してもよい。この結果、実際には、所定の閾値電圧は、通常、パワートランジスタのドレイン電圧を0.5～1.0Vだけ下回ったところに位置することになる。この実施形態によれば、所与のゲートドライバの第1電圧をその関連するパワ

50

ートランジスタの実際の電圧レベルに対して便宜上適合できる。

【0013】

別の実施形態においては、第1電圧は、特定の予め設定された閾値電圧ではなく、タイミング方式によって定義してもよい。タイミングに基づいた方式によれば、コントローラは、第1ゲート電圧に到達するように、第1充電経路を通じて5~100ナノ秒の充電期間等の所定の充電期間にわたって、充電電流をパワートランジスタのゲート端子に供給するように適合される。この後に、コントローラは、所定の期間にわたって、充電電流を第2充電経路を通じてゲート端子に供給する。近似充電期間は、第1充電経路の近似インピーダンス (approximate impedance) と、パワートランジスタのゲート端子における静電容量の近似値 (approximate value) と、に関する知識に基づいて演算してもよい。この静電容量は、通常、ゲート端子及びゲート-ドレイン静電容量に対する静電容量の寄与分を有することになる。

10

【0014】

第1充電経路及び第2充電経路のそれぞれを通じた充電電流の流れは、便宜上、例えば、コントローラ又はシーケンス制御装置によって制御されたFETトランジスタ等の制御可能な半導体スイッチとして実施された直列結合されたスイッチ要素によって制御してもよい。制御可能なFETトランジスタは、1つ又は複数のNMOS又はPMOSTランジスタを有してもよく、これらのトランジスタは、半導体基板上において便宜上統合してもよく、かつ、小さいオン抵抗値及び大きいオフ抵抗値を有してもよい。

【0015】

一実施形態においては、コントローラは、ゲート電圧が第1ゲート電圧に到達する時点まで、第2電圧源からの充電電流の供給を中断させるように適合されている。この方式は、有利である。その理由は、通常、この結果、必要とされるゲート端子に対する電荷の主要な部分が正のDC電源等のパワー効率に優れた第1電圧源によって供給されることが保証されるからである。したがって、第2電圧源を提供する相対的にパワー効率において劣った高電圧源によって供給されるのは、ゲート電荷全体のうちの相対的に小さい割合のみとなる。

20

【0016】

第2電圧源の電圧又は電圧レベルは、パワートランジスタの導通状態又はオン状態の間に、少なくともパワートランジスタのゲート-ソース電圧降下1つ分だけ、第1電圧源の電圧を上回っていることが好ましい。パワートランジスタのその導通状態への適切な遷移を保証するために第2電圧源の電圧レベルが十分に大きいことを保証するために、第2電圧源の電圧は、パワートランジスタの導通状態又はオン状態の間に、少なくとも2ボルト、好ましくは3ボルト、若しくは、さらに好ましくは5ボルトだけ、第1電圧源の電圧を上回ってもよい。

30

【0017】

第1充電経路は、好ましくは、100ナノ秒未満で、好ましくは、50ナノ秒未満で、若しくは、さらに好ましくは20ナノ秒未満で、パワートランジスタのゲート端子を第1ゲート電圧に充電するように適合されている。この充電時間の範囲は、100kHz~10MHzの範囲のPWM又はPDMスイッチング周波数によって動作するパワー段のスイッチング型パワートランジスタを制御するのに非常に適している。

40

【0018】

第1電圧源の電圧レベルは、ゲートドライバの動作の間に大幅に変動する場合があるため、第2電圧源は、ゲートドライバの動作の間に、少なくとも2.5ボルトだけ、常に第1電圧源の電圧を上回るように、適合されていることが好ましい。この結果、ゲートドライバの意図された動作の間にパワートランジスタをその導通状態に切り替えると共にパワートランジスタを導通状態に維持するために、十分な電圧が常に利用可能であることが保証される。

【0019】

特に有利な実施形態においては、本発明は、その上述の実施形態のうちのいずれかによ

50

る複数のゲートドライバを有する負荷駆動組み立て部品に関する。この負荷駆動組み立て部品は、ゲートドライバの第1充電経路の第1ノード及び第2充電経路の第1ノードに電氣的に接続されたゲート端子をそれぞれが有する複数のパワートランジスタをさらに有する。それぞれのパワートランジスタのドレイン端子は、パワートランジスタ用の第1供給電圧を供給するために、第1充電経路の第2ノードに電氣的に結合されている。変調した入力信号を供給するために、複数の組み立て部品入力端子が複数のゲートドライバの個々の入力に結合されている。複数のパワートランジスタは、第1DC供給電圧と出力端子の間に形成された上部支脈 (upper leg) 及び出力端子と第2DC供給電圧の間に形成された下部支脈 (lower legs) により、カスケード接続された状態で結合されており、その結果、出力端子が上部支脈及び下部支脈の間において電氣的に結合されている。

10

## 【0020】

負荷駆動組み立て部品は、出力端子に結合されたラウドスピーカ負荷 (loud speaker load) に対して直接的に接続してもよい。例えば、負荷駆動組み立て部品は、別個のゲートドライバに結合されたそのドレイン及びゲート端子をそれぞれが有する2~8個のカスケード接続されたパワートランジスタを有してもよい。負荷駆動組み立て部品の好適な一実施形態によれば、複数のゲートドライバの第2電圧源は、第2電圧源の共通のチャージポンプコンデンサに対して電氣的に接続している。この実施形態によれば、複数の第2充電経路は、単一のコンデンサのみを必要としている単一の共有された高電圧源から、それぞれの個々の充電電流を受け取ることができる。したがって、通常の負荷駆動組み立て部品は、6個の、8個の、若しくは、さらに多くの数等の4つを上回る数のカスケード接続されたパワートランジスタを有することになるため、単一のコンデンサに基づいた高電圧源からの第2電圧を共有できるため、ブートストラップコンデンサ (bootstrap capacitor) がパワートランジスタのゲート端子を駆動する必要性が低減される。したがって、共通のチャージポンプコンデンサ (common charge pump capacitor) は、10nF~100nF等の相当な静電容量値を有することになり、その結果、このコンデンサが負荷駆動組み立て部品の外部のコンポーネントになることを要することになる。しかしながら、必要とされるのは、単一のコンデンサコンポーネントのみとなる。

20

## 【0021】

本負荷駆動組み立て部品は、その複数の積層又はカスケード接続されたパワートランジスタの利用に起因し、マルチレベルのPWM又はPDMの出力又はパワー段における用途に特に有用である。この負荷駆動組み立て部品は、第1DC供給電圧及び第2DC供給電圧の間における5~120ボルトのDC電圧差において動作するように適合させてもよい。マルチレベルPWMのパワー段として使用されるように適合された負荷駆動組み立て部品の一実施形態によれば、DC電圧源は、上部支脈のカスケード接続されたパワートランジスタのペアの間に位置した第1ノードと下部支脈のカスケード接続されたパワートランジスタのペアの間に位置した第2ノードの間において所定のDC電圧差を設定するように構成されている。DC電圧源は、{充電したコンデンサ、非接地DC供給レール (floating DC supply rail)、電池}の一群から選択された少なくとも1つの装置又はコンポーネントを便宜上有してもよい。所定のDC電圧差は、好ましくは、出力端子における3レベル出力信号の生成を可能とするように、第1DC供給電圧及び第2DC供給電圧の間におけるDC電圧差の半分に実質的に等しい。一実施形態においては、DC電圧源は、100nF~10µFの静電容量を有する充電したコンデンサを有する。複数のパワートランジスタは、好ましくは、シリコン、窒化ガリウム、又は炭化珪素等の半導体基板において正確に置かれたNMOS又はIGBT等の少なくとも1つのNチャネル電界効果トランジスタを含む。負荷駆動組み立て部品のすべてのパワートランジスタは、Nチャネル電界効果トランジスタとして実施されることが好ましい。

30

40

## 【0022】

本発明のさらに別の有利な実施形態によれば、負荷駆動組み立て部品は、高電圧装置を

50



サポートしている半導体プロセス ( semiconductor process ) において、CMOS集積回路等の半導体基板上において形成又は統合されていることが好ましい。この半導体基板は、費用が重要なパラメータであるテレビ受像機、携帯電話機、及びMP3プレーヤー等の大量消費者向けのオーディオ用途に特に適する負荷駆動組み立て部品を製造するための安定し、かつ、安価な単一チップによる解決策を提供する。半導体基板は、第2電圧源用のエネルギーリザーバ ( energy reservoir ) として機能する外部のチャージポンプコンデンサに対する電氣的接続を提供する電圧源端子を有することが好ましい。

【0023】

本発明の別の態様は、負荷駆動組み立て部品の上述の実施形態のうちの1つを有するD級オーディオアンプに関する。上述のように、D級オーディオアンプは、2レベル又はマルチレベルのPWM又はPDM用の変調器を有してもよい。

10

【0024】

以下、添付図面との関連において、本発明の好適な実施形態について詳述する。

【図面の簡単な説明】

【0025】

【図1】本発明の好適な実施形態による複数のゲートドライバを有すると共に複数のパワートランジスタの個々のゲート端子に対して電氣的に結合された負荷駆動組み立て部品の概略図である。

【図2】好適な実施形態による関連するパワートランジスタのゲート端子に結合された単一のゲートドライバの概略図である。

20

【図3】図1及び図2に概略的に示されている単一のゲートドライバの混合ブロック及びトランジスタレベル図である。

【図4】複数のパワートランジスタの個々のゲート端子に電氣的に結合された好適な第2実施形態による複数のゲートドライバを有する負荷駆動組み立て部品の概略図である。

【発明を実施するための形態】

【0026】

図1は、ラウドスピーカ負荷133に接続された負荷駆動組み立て部品100を概略的に示している。負荷駆動組み立て部品100は、ゲート駆動回路101を有し、ゲート駆動回路101は、本発明の好適な実施形態による4つの個別のゲートドライバ111、113、115、117を有する。ゲートドライバのそれぞれは、NMOSトランジスタSW1、SW2、SW3、SW4のうちの1つのNMOSトランジスタのゲート端子に電氣的に接続された出力端子を有する。NMOSトランジスタSW1、SW2、SW3、SW4は、第1又は正のDC供給電圧 $V_S$ と接地GNDの形態を有する第2DC供給電圧の間においてカスケード接続された状態で結合されている。カスケード接続されたNMOSトランジスタSW1、SW2、SW3、SW4は、負荷インダクタ137及び負荷コンデンサ135を通じて負荷ドライバの出力端子 $V_{PWM}$ に結合されたラウドスピーカ負荷133用の負荷ドライバを形成している。それぞれ、負荷コンデンサ135及び負荷インダクタ137の組合せによる動作は、ラウドスピーカ負荷133に跨るオーディオ信号内の搬送波又はスイッチング周波数成分を抑制するように、出力端子 $V_{PWM}$ において提供されるマルチレベルのパルス幅変調した出力信号波形の低域通過フィルタリングを提供するためのものである。

30

40

【0027】

本発明の本実施形態においては、ゲート駆動回路101と、カスケード接続されたNMOSパワートランジスタSW1、SW2、SW3、SW4を有する負荷ドライバとは、ゲートドライバ111、113、115、117のそれぞれとその関連するNMOSパワートランジスタの間に示されている電氣的接続が半導体基板上に設けられるように、共通の半導体基板又はダイ ( die ) 上において統合されている。しかしながら、当業者であれば、負荷ドライバは、例えば、別個の半導体基板又は集積回路等のゲート駆動回路101とは完全に別個の回路として形成してもよいことを理解するであろう。後者の実施形態に

50

おいては、ゲートドライバ111、113、115、117のそれぞれとその関連するNMOSトランジスタの間における図示の電氣的接続は、プリント回路基板(PCB)、セラミック基板、又は同様なキャリア(carrier)において、電気トレースによって設けてもよい。当業者であれば、カスケード接続されたNMOSトランジスタSW1、SW2、SW3、SW4のそれぞれは、図1に概略的に示されているように、単一のNMOSトランジスタから構成してもよく、若しくは、本発明のその他の実施形態においては、複数のさらに小さい並列結合された個別のNMOSトランジスタを有してもよいことを理解するであろう。

#### 【0028】

当業者であれば、図示されているシングルエンド型のマルチレベル負荷駆動組み立て部品100を拡張することにより、ラウドスピーカ負荷133の両端子に接続された基本的に同一の負荷駆動回路組み立て部品のペア100に基づいたHブリッジ負荷駆動組み立て部品を提供できることを理解するであろう。同様に、当業者であれば、4つのゲートドライバ111、113、115、117を使用することにより、PDM又は2レベルのAD級又はBD級のPWM変調等のその他のトポロジーのスイッチング型パワー段のゲート端子を駆動することもできることを理解するであろう。

#### 【0029】

本実施形態においては、負荷ドライバは、カスケード接続されたNMOSトランジスタのペアSW1、SW2を有する上部支脈Aを有し、下部支脈Bは、カスケード接続されたNMOSトランジスタのペアSW3、SW4を有する。カスケード接続されたNMOSトランジスタSW1、SW2は、SW1のドレイン端子において、 $V_S$ に結合され、かつ、SW2のソース端子において、出力端子又はノード $V_{P_{PWM}}$ に結合されている。NMOSトランジスタSW3のドレイン端子は、出力端子又はノード $V_{P_{PWM}}$ に結合されており、かつ、SW4のソース端子は、GNDに結合されている。負荷ドライバは、本出願人の同時係属中の米国特許出願第61/407,262号明細書にさらに詳細に説明されているマルチレベルPWM信号を供給するための出力ノード $V_{P_{PWM}}$ における $V_S$ とGNDの間の第3出力レベルの生成できる充電した、いわゆるフライイングコンデンサ $C_{fly}$ 125をさらに有する。負荷駆動組み立て部品100の動作の間には、信号生成器又は変調器は、カスケード接続されたNMOSトランジスタSW1、SW2、SW3、SW4の個別の状態を制御するように、適切な振幅及び位相の第1、第2、第3、及び第4のパルス幅変調した制御信号を、それぞれ、ゲートドライバ111、113、115、117の第1、第2、第3、及び第4入力PWM\_\_1、PWM\_\_2、PWM\_\_3、PWM\_\_4に印加するように構成されている。これにより、NMOSトランジスタSW1~SW4のそれぞれは、対象のパルス幅変調した制御信号の遷移に従ってオン状態とオフ状態の間においてトグルスイッチを切り替える(toggle)又はスイッチングする(switch)。そのオン状態又は導通状態におけるそれぞれのNMOSトランジスタSW1、SW2、SW3、SW4のオン抵抗値は、特定の用途の要件に従って、特に、ラウドスピーカ負荷133のインピーダンス又は別のタイプの誘導性及び/又は容量性負荷のインピーダンスに従って、大幅に変化する場合がある。本実施形態においては、NMOSトランジスタのそれぞれは、好ましくは、そのオン抵抗値が0.05~0.5等のように、0.01~5となるように、設計されている。

#### 【0030】

負荷駆動組み立て部品100は、正のDC供給電圧 $V_S$ に基づいて高電圧源を生成するように適合された電圧増倍器又はチャージポンプ120である $HV_{boot}$ を有する。正のDC供給電圧 $V_S$ は、特定の用途の要件に従って、例えば、5~100ボルト等のように、広範囲に変化してもよいが、本発明の本実施形態においては、ほぼ40ボルトにおいて固定されている。チャージポンプ120によって生成される高電圧は、好ましくは、ほぼ5ボルトだけ正のDC供給電圧 $V_S$ を上回る電圧に設定され、かつ、ゲートドライバ111、113、115、117のそれぞれに分配される。それぞれのゲートドライバにおいては、さらに詳しく後述するように、NMOSトランジスタSW1、SW2、SW3、SW

10

20

30

40

50

4のそれぞれを、第1、第2、第3、及び第4のパルス幅変調した制御信号に従って、低抵抗値の導通状態に駆動するように、高電圧を利用することにより、ゲート駆動信号又は正のDC供給電圧 $V_S$ を上回るゲート電圧を生成している。電源又はポンプコンデンサ123である $C_{boot}$ は、高電圧源 $HV_{boot}$ 用のエネルギーリザーバ(energy reservoir)を提供するために、一端においては(at one end)、高電圧源に結合され、かつ、反対側端においては(at the opposite end)、正のDC供給電圧に結合されている。チャージポンプ120は、フライングコンデンサ(不図示)を含み、このフライングコンデンサは、負荷駆動組み立て部品100の適切なDC供給電圧から、ほぼ3又は5ボルトだけ接地を上回る電圧に間欠的に充電される。このフライングコンデンサは、間欠的に、DC供給電圧から切断され、かつ、 $C_{boot}$ に電氣的に接続されることにより、取得したその上部の電荷を放出する。これにより、 $HV_{boot}$ における高電圧を、正のDC供給電圧 $V_S$ をほぼ3又は5ボルトだけ上回るものに上昇させる。電源コンデンサ123は、特定の用途によって決定されるサイズ及びコスト要件に応じて、負荷駆動組み立て部品100の外部コンポーネントであってもよく、若しくは、ゲートドライバ回路101を保持している半導体基板上において統合してもよい。外部電源コンデンサ123の静電容量は、好ましくは、10nF~100nFの値に設定される。

#### 【0031】

図示のように、ゲートドライバ111、113、115、117のそれぞれは、NMOSトランジスタSW1、SW2、SE3、SW4のうちの個々のNMOSトランジスタのドレイン、ゲート、及びソースノードに対する3つの別個の電氣的接続を有する。最も上部のゲートドライバ111であるGD1の場合には、導電体119、121、及び122がNMOSトランジスタSW1のドレイン、ゲート、及びソースノードに接続している。SW1のゲート端子は、図2及び図3を参照してさらに詳しく後述するように、ゲートドライバGD1内に設けられている2つの独立した充電経路を通じて、すなわち、第1充電経路及び第2充電経路を通じて、充電される。

#### 【0032】

図2は、パワートランジスタのゲート端子に結合された単一のゲートドライバ111(GD1)の概略図である。ゲートドライバ111は、上述のパルス幅変調したオーディオ信号PWM\_\_1用の入力に接続されている。パルス幅変調したオーディオ信号は、レベルシフタ203(level shifter)に印加されており、レベルシフタ203は、パルス幅変調したオーディオ信号のDC電圧レベルをシフトさせると共に、又はその振幅を増大させることにより、残りのゲートドライバ回路を通じてNMOSパワートランジスタSW1を駆動するのに適した出力信号を供給できる。出力信号は、コントローラ又はシーケンス制御装置205に印加されており、このコントローラ又はシーケンス制御装置205は、第1充電経路211を通じたゲート端子121に対する充電電流の供給を制御すると共に第2充電経路209を通じたゲート端子121に対する充電電流の供給を制御するように適合されている。さらには、コントローラ又はシーケンス制御装置205は、NMOSパワートランジスタSW1のゲート端子121とソース端子122の間において電氣的に接続された制御可能な放電経路207のオフ状態及びオン状態を制御するようにも適合されている。充電電流は、コントローラ205からの制御信号に従って第1充電経路211を通じてドレイン端子119からゲート端子121に供給される。SW1のドレイン端子は、正のDC供給電圧 $V_S$ に電氣的に結合されているため、充電電流は、十分なパワーを伴って低インピーダンス電圧源から供給される。本実施形態においては、コントローラ205は、ゲート端子121のゲート電圧を所定の閾値電圧と比較することにより、第1充電経路及び第2充電経路を通じたゲート端子に対する充電電流の供給を制御するように適合されている。ゲート電圧が所定の閾値電圧未満である間には、コントローラ205は、第1充電経路211を有効にし、かつ、第2充電経路209を通じた高電圧源 $HV_{boot}$ からの充電電流の供給を中断する。ゲート電圧が所定の閾値電圧に到達したら、コントローラ205により、第1充電経路211が中断又は切断され、かつ、さらなる充電電流が第2充電経路209を介して高電圧源からゲート端子に供給されるように、第2充電経路2

10

20

30

40

50

09が有効になる。この結果、第2充電経路209は、正のDC供給電圧を大幅に上回るようにNMOSパワートランジスタSW1のゲート電圧を押し上げるか又は上昇できる。閾値電圧は、実際には、いくつかの異なるメカニズムのうちの任意のものにより、非常に自由に選択してもよく、かつ、定義してもよい。しかしながら、本実施形態においては、それぞれのゲートドライバの所定の閾値電圧は、関連するNMOSパワートランジスタのドレイン電圧から導出されている。所定の閾値電圧は、ほぼ1つのMOSトランジスタ閾値電圧だけ対象のNMOSパワートランジスタのドレイン電圧を下回るところにおいて固定されている。この1つの閾値電圧は、通常のCMOS集積回路技術の場合には、0.5~1.5ボルトの電圧に対応するであろう。一般的には、関連するパワートランジスタのドレイン電圧に近接するように所定の閾値電圧を設定することが有利である。この設定により、ドレイン電圧がゲート電圧にほぼ等しい間に、パワートランジスタがその導通状態又はオン状態に近接した状態で動作することが保証される。この方式によれば、通常、必要とされるゲート端子に対する充電電流の主要部分が、出力段のパワー効率に優れたDC電源により、すなわち、本実施形態においては、正のDC供給電圧 $V_s$ により、供給され、ゲート充電電流全体のうちの相対的に小さい割合のみが、パワー効率において劣る高電圧源によって供給されることが保証される。NMOSパワートランジスタSW1のゲート端子をほぼ高電圧源の電圧 $HV_{boot}$ まで充電するための期間は、1~20nsであろう。第1充電経路及び第2充電経路の組み合わせられた動作により、その導通状態に切り替えられたら、NMOSパワートランジスタSW1は、パルス幅変調したオーディオ信号PWM\_1のパルス幅によって定義される期間にわたって、その状態に留まる。コントローラ205により、パルス幅変調したオーディオ信号内において立ち下がりエッジ(down going edge)又は遷移が検出された際に、低抵抗値経路によってゲート端子121をソース端子122に対して効率的に短絡(short)させるように、放電経路207が有効になる。この結果、放電経路207の有効化により、ゲート電圧が放電され、かつ、NMOSパワートランジスタSW1が非導通状態に切り替わる。

### 【0033】

図3は、図1及び図2に概略的に示されている単一のゲートドライバ111であるGD1の混合ブロック及びトランジスタレベル図である。図2の第1充電経路211及び第2充電経路209が、ここでは、トランジスタレベルにおいて描かれており、レベルシフタ203及び線形電圧調整器(linear voltage regulator)330は、わかりやすくするために、回路ブロックとして描かれている。当業者であれば、図2のコントローラ205がMOSトランジスタP1、N3、N4、及びN5によって形成されていることを理解するであろう。ゲートドライバ111は、接地との関係において非接地回路ブロック(floating circuit block)として実装されており、かつ、高電圧絶縁凹部(high voltage isolation well)内等のCMOS半導体基板の高電圧部分内における統合のために非常に適している。線形電圧調整器(linear voltage regulator)330又はLDOが、高電圧源 $HV_{boot}$ に結合されており、かつ、好ましくは、出力端子 $V_{REG1}$ 及び $V_{REG2}$ の間において3~5ボルトに調整したDC源(regulated DC supply)を生成するように適合されている。例えば、0.1~1mAの始動電流を入力 $I_s$ を通じて供給して線形電圧調整器330を起動(start-up)又はブートする(boot)。第1充電経路211の動作は、そのゲート端子の操作又は誘導(steering)によって制御可能なNMOSトランジスタN1のスイッチングによって制御される。N4がその導通及び非導通状態の間においてN1を切り替えることができるように、N1のゲート端子は、NMOSトランジスタN4のドレインに結合されている。N4は、レベルシフタ203の出力信号によって制御されており、この出力信号は、上述のように、 $V_{REG1}$ と $V_{REG2}$ という調整した電圧レベルの間において切り替わるパルス幅変調したオーディオ信号である。出力信号が、論理Low(logic low)である、すなわち、電圧 $V_{REG2}$ である間には、N4が非導通又はオフ状態であるために、N1は、その導通状態に遷移し、P1は、導通状態にある。これにより、N1のゲート端子を $V_{REG1}$ に向か

10

20

30

40

50

って引くこと (pulling toward) によって、正のゲート - ソース電圧を  $N1$  に供給する。 $N1$  が導通状態にあるために、 $NMOS$  パワートランジスタ  $SW1$  のゲート端子は、 $N1$  及びフォワードバイアスされた (forward biased) 直列接続のダイオード  $D1$  を通じて正の  $DC$  供給電圧  $V_S$  から供給される充電電流により、充電される。本発明の本実施形態における  $N1$  のゲート端子の  $50 \sim 500 pF$  又は  $100 pF$  等の大きい静電容量に起因し、充電電流は、 $150 mA$  以上のピーク値に到達することになる。充電電流は、本ゲートドライバ  $111$  内の  $SW1$  のドレイン電圧にも等しい正の  $DC$  供給電圧をほぼ  $1$  ダイオード電圧降下分だけ下回る電圧に到達する時点まで、 $NMOS$  トランジスタ  $SW1$  のゲート端子のゲート電圧を上昇させる。その後、 $N1$  は、非導通状態に切り替わる。その理由は、ゲート - ソース電圧がゼロに接近するためである。したがって、この電圧が閾値電圧である。 $SW1$  のゲート端子が第  $1$  充電経路を通じて充電される期間においては、 $NMOS$  トランジスタ  $N2$  を有する第  $2$  充電経路も、充電電流を  $SW1$  のゲート端子に対して供給するために有効である。その理由は、 $N2$  のゲート端子を調整した供給電圧  $V_{REG1}$  に向かって引っ張る  $PMOS$  トランジスタ  $P1$  により、 $N2$  が導通状態に遷移するからである。しかしながら、恐らくは  $N1$  及び  $N2$  の相対的なサイズと組み合わせられているフォワードバイアスされたダイオード  $D2$  により、 $SW1$  のゲート電圧が上述の閾値電圧未満である間に  $SW1$  のゲート端子に対する充電電流の大部分が  $N1$  又は第  $1$  充電経路を通じて供給されることを保証するように、 $N2$  に跨るゲート - ソース電圧降下が、 $N1$  に跨るゲート - ソース電圧降下よりもはるかに小さいことが保証される。フル充電するために、 $1 \sim 10 nC$  の合計電荷を  $SW1$  のゲート端子に供給してもよい。この合計電荷は、 $SW1$  のゲート - ソース静電容量及びゲート - ドレイン静電容量の両方を充電するために消費される。

#### 【0034】

$SW1$  のゲート電圧が閾値電圧に到達したら、 $NMOS$  トランジスタ  $N2$  がその導通状態に維持された状態で、 $N1$  がその非導通状態に切り替わる。この結果、第  $2$  充電経路内に配置された  $N2$  のドレイン及びソース端子を通じて、さらなる充電電流が高電圧源  $HV_{boot}$  から  $SW1$  のゲート端子  $121$  に供給される。高電圧源  $HV_{boot}$  は、例えば、 $3 \sim 5$  ボルトだけ、好ましくは、本実施形態においては、ほぼ  $4.5$  ボルトだけ、正の  $DC$  供給電圧よりも実質的に高い電圧を有する。 $N2$  を通じた  $SW1$  のゲート端子  $121$  の充電の間には、ダイオード  $D1$  が、 $SW1$  のドレインに接続された正の  $DC$  供給電圧に対する  $N1$  を通じた電流の意図しない逆流を遮断する。したがって、 $SW1$  のゲート端子は、フォワードバイアスされたダイオード  $D2$  に起因し、ほぼ  $1$  ダイオード電圧降下分だけ、すなわち、ほぼ  $0.5 \sim 0.8$  ボルトだけ、調整した電圧  $V_{REG1}$  を下回る電圧に到達する時点まで、 $N2$  を通じて充電される。この結果、 $SW1$  のゲート端子は、 $1$  ダイオード電圧降下分だけ調整した電圧  $V_{REG1}$  を下回るものにほぼ等しい電圧に上昇し、かつ、この電圧が高電圧源  $HV_{boot}$  の電圧レベルにほぼ等しいために、 $SW1$  のゲート電圧は、正の供給電圧をほぼ  $4$  ボルトだけ上回るレベルに駆動される。この結果、 $SW1$  が十分な導通状態となることが許容される。これにより、非常に小さいオン抵抗値がもたらされる。

#### 【0035】

レベルシフタ  $203$  の出力信号のパルス幅によって設定された特定の期間にわたって、第  $1$  充電経路及び第  $2$  充電経路の上述の動作により、 $SW1$  がターンオンされるか又は導通状態となった間に、出力信号は、論理  $High$  (logic high) に、又は  $V_{REG1}$  によって設定された電圧レベルに、突然に変化する。これに回答し、 $SW1$  をその非導通状態に切り替えることを要し、かつ、 $N1$  及び  $N2$  の両方を通じた充電電流の供給を中断させることを要する。この機能は、 $P1$  がレベルシフタ  $203$  の出力における論理  $High$  (logic high) 信号に回答してその非導通状態に切り替わると共に  $N4$  がその導通状態に切り替わるために、実現される。その理由は、この  $NMOS$  装置に跨るゲート - ソース電圧が、上述のように、調整した電圧源端子の間の差であるほぼ  $4.5$  ボルトに強制 (forced) されるからである。この結果、 $N4$  は、 $N1$  のゲートを  $V_{REG2}$  に引き下げ、その結果、そのゲート - ソース電圧がゼロに接近するために、 $N1$  が非導通

10

20

30

40

50

状態に切り替わる。N1が非導通状態となることにより、第1充電経路が中断されてSW1のゲート端子に対する充電電流の供給が打ち切られる。同時に、N3がN2のゲートを電圧 $V_{REG2}$ に引き下げ、その結果、このMOSトランジスタに跨るそのゲート-ソース電圧がゼロに接近するために、N2がその非導通状態に切り替わる。したがって、第2充電経路が中断される。したがって、この経路を通じたSW1のゲート端子に対する充電電流の供給も、中断される。最後に、SW1のゲート及びソースは、そのゲート端子において印加された論理Highレベルによってその導通状態に切り替わるN5により、短絡される。これにより、SW1は、その非導通又はオフ状態に切り替わり、ゲート端子の電荷が除去される。

【0036】

当業者であれば、本発明の本実施形態におけるコントローラ205は、負荷駆動組み立て部品の任意のクロック信号に対して同期しない状態で動作する組合せロジックに基づいた相対的に単純ではあるが効率的な回路であることを理解するであろう。しかしながら、当業者であれば、コントローラは、例えば、負荷駆動組み立て部品が利用可能なマスタ又はその他のシステムクロック信号と同期した状態で動作するクロック型のシーケンス論理(clocked sequential logic)を使用する等のように、その他の方法によって実装することもできることを理解するであろう。後者の実施形態においては、コントローラ205は、例えば、ソフトウェアプログラム可能な又は配線で接続されたデジタル信号プロセッサ(DSP)又は汎用マイクロプロセッサを有してもよい。

【0037】

図4は、本発明の第2の好適な実施形態による複数のゲートドライバ411、413、415、及び417であるGD1、GD2、GD3、GD4をそれぞれ有する負荷駆動組み立て部品400の概略図である。負荷ドライバ403は、本発明の第1実施形態との関連において説明したものと同様に、カスケード接続された4つのNMOSパワートランジスタSW1、SW2、SW3、SW4を有する。さらには、負荷駆動組み立て部品の本実施形態における複数のゲートドライバGD1、GD2、GD3、GD4は、本発明の好適な第1実施形態との関連において先程詳述したゲートドライバGD1、GD2、GD3、GD4と同一の全体トポロジーを有する。しかしながら、本実施形態においては、それぞれのゲートドライバのLDO330(図3)が、カスケード接続されたトランジスタスイッチsw433、sw435、sw437、sw439及びブートストラップコンデンサ $C_{b1}$ 、 $C_{b2}$ 、 $C_{b3}$ 、及び $C_{b4}$ を有するブートストラップラダー回路(bootstrapper ladder circuit)によって置換されている。このブートストラップラダーは、LDOよりもパワー効率において優れている。その理由は、スイッチに跨るなんらかの大きい電圧降下が存在している間にトランジスタスイッチのそれぞれにおける電流の伝導が回避されるためである。すなわち、トランジスタスイッチ内における電流の伝導は、好ましくは、対象のスイッチに跨る電圧降下が0.5V超又は1.0ボルト超である際に、回避される。トランジスタスイッチsw433、sw435、sw437、sw439のそれぞれは、関連するゲートドライバがパワーNMOSトランジスタを駆動するために有効である間に、適切な制御信号により、その導通状態に遷移する。カスケード接続されたトランジスタスイッチsw433、sw435、sw437、sw439は、低電圧DC源 $V_{DD}$ と、電力線導体431(power line conductor)を通じて、上述の高電圧源と同様に供給される高電圧源 $HV_{boot}$ の間において電氣的に結合されている。高電圧源 $HV_{boot}$ は、供給コンデンサ $C_{boot}$ 423を含む。低電圧DC源 $V_{DD}$ は、実際には、例えば、1.8、3.3、又は5ボルトのDC電源等の本負荷駆動組み立て部品を有するD級アンプのCMOS論理回路用の入手可能な一般的なDC電源から導出してもよい。最も下部のゲートドライバGD4には、図示のように、このDC電源から直接的に電力が供給されており、かつ、DC電源の出力電圧は、このゲートドライバの第2充電経路のために高電圧源を利用している。これが可能である理由は、SW4を導通状態に切り替えるために、パワートランジスタSW4のゲート入力を正のDC供給電圧 $V_S$ を上回る電圧にまで上昇させる又は駆動する必要がないからである。SW4のドレインは、利

10

20

30

40

50

用されている  $C_{fly}$  425 の周りのマルチレベルの出力段トポロジーの結果として、 $V_s$  のほぼ半分にまでのみ充電される。最も上部のゲートドライバ GD1 に対しては、トランジスタスイッチ SW433 を通じて高電圧源  $HV_{boot}$  により、又はトランジスタスイッチ  $sw$  435 を通じて  $C_{b2}$  により、供給されている。SW433 を包含することにより、ブートストラップコンデンサ  $C_{b1}$ 、 $C_{b2}$ 、 $C_{b3}$ 、及び  $C_{b4}$  に必要とされる合計静電容量を低減するように、ブートストラップラダーに対する余分な電圧供給入力提供される。

【図1】

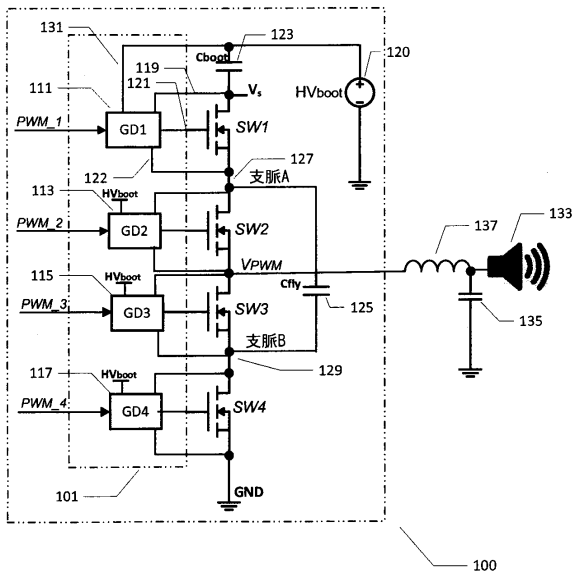


Fig. 1

【図2】

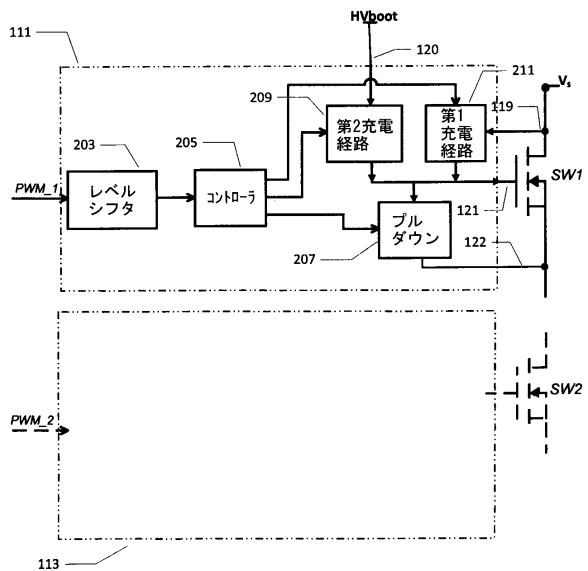


Fig. 2

【 図 3 】

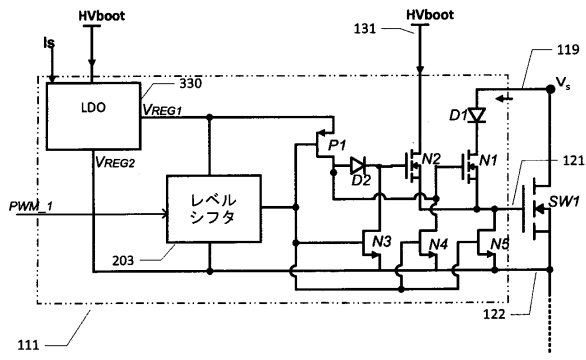


Fig. 3

【 図 4 】

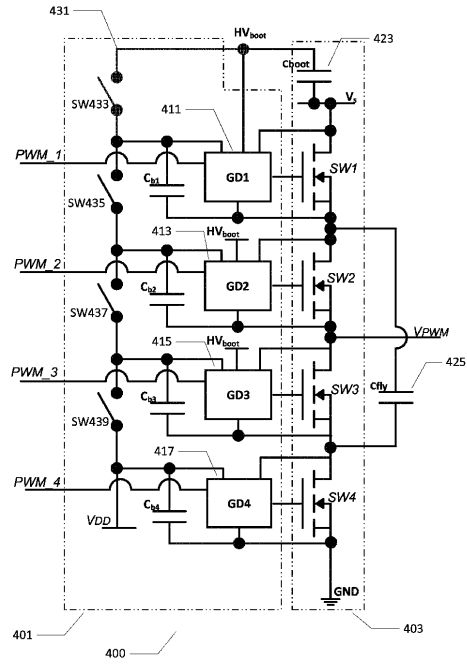


Fig. 4



---

フロントページの続き

合議体

審判長 吉田 隆之

審判官 宮下 誠

審判官 古河 雅輝

- (56)参考文献 特開2010-226334(JP,A)  
特開2008-193717(JP,A)  
特開2010-4093(JP,A)  
特開2009-177951(JP,A)

(58)調査した分野(Int.Cl., DB名)

H03F1/00-3/45,3/50-3/52,3/62-3/64,3/68-3/72