



(19) 대한민국특허청(KR)  
(12) 등록특허공보(B1)

(45) 공고일자 2020년07월01일  
(11) 등록번호 10-2127796  
(24) 등록일자 2020년06월23일

(51) 국제특허분류(Int. Cl.)  
H01L 25/065 (2006.01)  
(52) CPC특허분류  
H01L 25/0657 (2013.01)  
H01L 23/481 (2013.01)  
(21) 출원번호 10-2018-0075595  
(22) 출원일자 2018년06월29일  
심사청구일자 2018년06월29일  
(65) 공개번호 10-2019-0003403  
(43) 공개일자 2019년01월09일  
(30) 우선권주장  
62/527,799 2017년06월30일 미국(US)  
15/940,029 2018년03월29일 미국(US)  
(56) 선행기술조사문헌  
KR1020160010357 A\*  
US20160071779 A1\*  
US20170032977 A1\*  
\*는 심사관에 의하여 인용된 문헌

(73) 특허권자  
타이완 세미콘덕터 매뉴팩처링 컴퍼니 리미티드  
중화민국, 타이완, 신추, 신추 사이언스 파크,  
리-신 로드 6, 넘버 8  
(72) 발명자  
왕 포-한  
중화민국, 타이완, 신추, 신추 사이언스 파크,  
리-신 로드 6, 넘버 8  
후 유-시양  
중화민국, 타이완, 신추, 신추 사이언스 파크,  
리-신 로드 6, 넘버 8  
쿠오 홍-주이  
중화민국, 타이완, 신추, 신추 사이언스 파크,  
리-신 로드 6, 넘버 8  
(74) 대리인  
김태홍, 김진희

전체 청구항 수 : 총 10 항

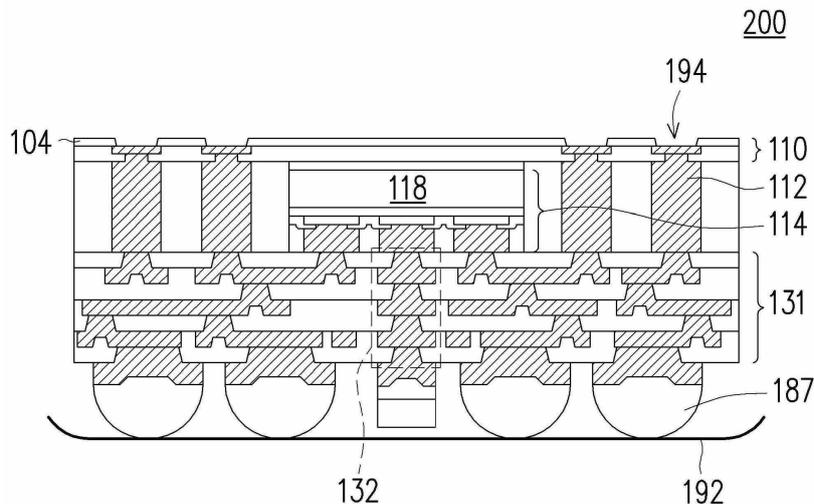
심사관 : 안경민

(54) 발명의 명칭 반도체 패키지 및 방법

(57) 요약

실시예에서, 디바이스는, 몰딩 화합물; 몰딩 화합물 내에 캡슐화된 집적 회로 다이; 집적 회로 다이에 인접한 관통 비아; 및 집적 회로 다이, 몰딩 화합물, 및 관통 비아 위의 재배선 구조물을 포함하고, 재배선 구조물은 집적 회로 다이와 관통 비아에 전기적으로 접속되며, 재배선 구조물은, 몰딩 화합물 위에 배치된 제1 유전체층; 제1 유전체층을 관통해 연장되는 제1 전도성 비아; 제1 유전체층 및 제1 전도성 비아 위에 배치된 제2 유전체층; 및 제2 유전체층을 관통하고 제1 전도성 비아의 일부분 내로 연장되는 제2 전도성 비아를 포함하고, 제1 전도성 비아와 제2 전도성 비아 사이의 계면은 비평면이다.

대표도 - 도23



(52) CPC특허분류

*H01L 23/485* (2013.01)

*H01L 23/5384* (2013.01)

*H01L 23/5386* (2013.01)

*H01L 24/03* (2013.01)

*H01L 24/06* (2013.01)

---

**명세서**

**청구범위**

**청구항 1**

디바이스에 있어서,

몰딩 화합물;

상기 몰딩 화합물 내에 캡슐화된 집적 회로 다이;

상기 집적 회로 다이에 인접한 관통 비아; 및

상기 집적 회로 다이, 상기 몰딩 화합물, 및 상기 관통 비아 위의 재배선 구조물

을 포함하고,

상기 재배선 구조물은 상기 집적 회로 다이 및 상기 관통 비아에 전기적으로 접속되며,

상기 재배선 구조물은,

상기 몰딩 화합물 위에 배치된 제1 유전체층;

상기 제1 유전체층을 관통해 연장되는 제1 전도성 비아 - 상기 제1 전도성 비아는 제1 리세스를 갖음 - ;

상기 제1 유전체층 및 상기 제1 전도성 비아 위에 배치된 제2 유전체층;

상기 제2 유전체층을 관통하고 상기 제1 전도성 비아의 일부분 내로 연장되는 제2 전도성 비아 - 상기 제2 전도성 비아는 제2 리세스를 갖고, 상기 제1 전도성 비아와 상기 제2 전도성 비아 사이의 계면은 비평면 (non-planar)임 - ;

상기 제2 유전체층 및 상기 제2 전도성 비아 위의 제3 유전체층; 및

상기 제3 유전체층을 관통해 그리고 상기 제2 전도성 비아의 일부분 내로 연장되는 제3 전도성 비아 를 포함하고,

상기 제3 전도성 비아는 제3 리세스를 갖고, 상기 제1 리세스 및 상기 제2 리세스 각각은 상기 제3 리세스보다 깊은 것인, 디바이스.

**청구항 2**

제1항에 있어서,

상기 제1 전도성 비아와 상기 제2 전도성 비아 사이의 계면은 제1 평면에 놓인 제1 부분과 제2 평면에 놓인 제2 부분을 가지며, 상기 제1 평면은 상기 집적 회로 다이에 근접하고, 상기 제2 평면은 상기 집적 회로 다이로부터 멀리(distal) 있고, 상기 제1 유전체층과 상기 제2 유전체층 사이의 계면은 상기 제1 평면과 상기 제2 평면 사이의 제3 평면 내에 놓인 것인, 디바이스.

**청구항 3**

제1항에 있어서,

상기 제2 전도성 비아와 상기 제3 전도성 비아 사이의 계면은 비평면인 것인, 디바이스.

**청구항 4**

제3항에 있어서,

상기 제3 전도성 비아에 부착된 집적 수동 디바이스(integrated passive device; IPD)를 더 포함하는, 디바이스.

**청구항 5**

방법에 있어서,

다이 커넥터를 가지는 집적 회로 다이를 몰딩 화합물 내에 캡슐화하는 단계;

제1 유전체층을 상기 몰딩 화합물 위에 퇴적하는 단계;

상기 집적 회로 다이의 다이 커넥터를 노출시키는 제1 개구를 상기 제1 유전체층을 관통해 패터닝하는 단계;

상기 제1 유전체층 위에 그리고 상기 제1 개구 내에 제1 시드층을 퇴적하는 단계;

상기 제1 시드층 상에 상기 제1 유전체층을 관통해 연장되는 제1 전도성 비아 - 상기 제1 전도성 비아는 상기 제1 유전체층을 관통해 연장되는 상기 제1 전도성 비아의 부분 내에 제1 리세스를 가짐 - 를 도금하는 단계;

상기 제1 유전체층 및 상기 제1 전도성 비아 위에 제2 유전체층을 퇴적하는 단계;

상기 제1 전도성 비아의 제1 리세스를 노출시키는 제2 개구를 상기 제2 유전체층 내에 패터닝하는 단계;

상기 제2 유전체층 위에, 상기 제2 개구 내에, 그리고 상기 제1 리세스 내에 제2 시드층을 퇴적하는 단계;

상기 제2 시드층 상에 제2 전도성 비아 - 상기 제2 전도성 비아는 상기 제1 전도성 비아의 제1 리세스 내로 그리고 상기 제2 유전체층을 관통해 연장되고, 상기 제2 전도성 비아는 상기 제2 유전체층을 관통해 연장되는 상기 제2 전도성 비아의 부분 내에 제2 리세스를 가짐 - 를 도금하는 단계;

상기 제2 유전체층 및 상기 제2 전도성 비아 위에 제3 유전체층을 퇴적하는 단계;

상기 제2 전도성 비아의 제2 리세스를 노출시키는 제3 개구를 상기 제3 유전체층 내에 패터닝하는 단계;

상기 제3 유전체층 위에, 상기 제3 개구 내에, 그리고 상기 제2 리세스 내에 제3 시드층을 퇴적하는 단계; 및

간극 충전 도금 프로세스로 상기 제3 시드층 상에 제3 전도성 비아를 도금하는 단계

를 포함하는, 방법.

**청구항 6**

제5항에 있어서,

상기 제2 시드층은, 상기 제2 유전체층의 상단 표면, 상기 제2 개구의 측부, 상기 제1 전도성 비아의 최상단 표면, 상기 제1 리세스의 측부를 규정하는 상기 제1 전도성 비아의 부분, 및 상기 제1 리세스의 하단부를 규정하는 상기 제1 전도성 비아의 부분을 따라 연장되는 것인, 방법.

**청구항 7**

제5항에 있어서,

상기 제2 유전체층과 상기 제2 시드층 사이의 계면은 비평면인 것인, 방법.

**청구항 8**

제5항에 있어서,

상기 제3 전도성 비아는 상기 제2 전도성 비아의 제2 리세스 내로 그리고 상기 제3 유전체층을 관통해 연장되는 것인, 방법.

**청구항 9**

제8항에 있어서,

상기 제2 전도성 비아는 상기 제2 유전체층을 관통해 연장되고, 상기 제1 유전체층 및 상기 제3 유전체 내로 적어도 부분적으로 연장되는 것인, 방법.

**청구항 10**

방법에 있어서,

다이 커넥터를 가지는 집적 회로 다이를 몰딩 화합물 내에 캡슐화하는 단계;

제1 유전체층을 상기 몰딩 화합물 위에 퇴적하는 단계;

상기 제1 유전체층을 관통해 제1 개구를 패터닝하는 단계;

상기 집적 회로 다이의 다이 커넥터 상에 상기 제1 개구 내에 제1 전도성 필라를 형성하는 단계;

제2 유전체층을 상기 제1 유전체층 위에 퇴적하는 단계;

상기 제1 개구를 노출시키는 제2 개구를 상기 제2 유전체층 내에 패터닝하는 단계; 및

상기 제1 개구 및 상기 제2 개구 내에서 상기 제1 전도성 필라 주위에 제1 전도성 비아를 형성하는 단계를 포함하는, 방법.

### 발명의 설명

#### 기술 분야

[0001] 우선권 주장 및 상호 참조

[0002] 본 출원은 2017년 6월 30일에 출원된 미국 가출원 일련번호 62/527,799의 이익을 주장하며, 그 출원은 참조로서 본 명세서에 병합된다.

[0003] 본 개시는 반도체 패키지 및 방법에 대한 것이다.

#### 배경 기술

[0004] 반도체 산업은 다양한 전자 컴포넌트들(예컨대, 트랜지스터들, 다이오드들, 저항기들, 커패시터들 등)의 집적 밀도에서 지속적인 향상에 기인한 급속한 성장을 경험하였다. 보통, 집적 밀도의 개선은 최소 피처(feature) 크기의 반복적인 감소로부터 비롯되었으며, 이는 주어진 영역 내에 더 많은 컴포넌트들이 집적되게 한다. 수축되는 전자 장치들에 대한 수요가 증가함에 따라, 반도체 다이의 더 작고 더 창의적인 패키징 기술을 위한 필요가 발생했다. 이러한 패키징 시스템의 예시는 패키지-온-패키지(Package-on-Package; PoP) 기술이다. PoP 디바이스에서, 상단의 반도체 패키지는, 고 레벨의 집적과 컴포넌트 밀도를 제공하도록 하단의 반도체 패키지 위에 적층된다. PoP 기술은 일반적으로 인쇄 회로 기판(printed circuit board; PCB)상에 작은 풋프린트와 향상된 기능을 가진 반도체 장치의 생산을 가능케 한다.

#### 발명의 내용

[0005] 실시예에서, 디바이스는, 몰딩 화합물; 몰딩 화합물 내에 캡슐화된 집적 회로 다이; 집적 회로 다이에 인접한 관통 비아; 및 집적 회로 다이, 몰딩 화합물, 및 관통 비아 위의 재배선 구조물을 포함하고, 재배선 구조물은 집적 회로 다이와 관통 비아에 전기적으로 접속되며, 재배선 구조물은, 몰딩 화합물 위에 배치된 제1 유전체층; 제1 유전체층을 관통해 연장되는 제1 전도성 비아; 제1 유전체층 및 제1 전도성 비아 위에 배치된 제2 유전체층; 및 제2 유전체층을 관통하고 제1 전도성 비아의 일부분 내로 연장되는 제2 전도성 비아를 포함하고, 제1 전도성 비아와 제2 전도성 비아 사이의 계면은 비평면이다.

#### 도면의 간단한 설명

[0006] 본 개시의 양상은 첨부한 도면과 함께 읽을 때 하기의 상세한 설명으로부터 가장 잘 이해된다. 업계의 표준적 관행에 따라, 다양한 피처(feature)들은 실제 크기대로 도시되지 않는 것을 주목해야 한다. 사실상, 다양한 피처들의 치수는 논의의 명확성을 위해 임의로 증가되거나 감소될 수 있다.

도 1 내지 23은 일부 실시예들에 따라 패키지를 형성하기 위한 프로세스 동안의 중간 단계들의 단면도를 예증한다.

도 24 내지 26은 일부 실시예들에 따라 패키지 구조물을 형성하기 위한 프로세스 동안의 중간 단계들의 단면도를 예증한다.

도 27 내지 42는 일부 다른 실시예에 따라 적층된 비아 구조물의 형성을 예증한다.

**발명을 실시하기 위한 구체적인 내용**

- [0007] 하기의 개시는 본 발명의 상이한 피처들을 구현하기 위한 많은 상이한 실시예들 또는 예시들을 제공한다. 컴포넌트 및 배열의 특정 예시는 본 발명을 단순화하도록 이하에서 설명된다. 물론, 이것들은 단지 예시이고, 제한하는 것으로 의도되지 않는다. 예를 들면, 이하의 설명에서 제2 피처 위에 또는 제2 피처 상에 제1 피처의 형성은, 제1 및 제2 피처들이 직접 접촉해서 형성되는 실시예를 포함하고, 추가적인 피처가 제1 및 제2 피처 사이에 형성될 수 있어서 제1 및 제2 피처가 직접 접촉될 수 없는 실시예를 또한 포함할 수 있다. 또한, 본 개시는 다양한 예시들에서 참조 번호들 및/또는 문자들을 반복할 수 있다. 이 반복은 간략함과 명료함을 위한 것이고, 논의되는 다양한 실시예들 및/또는 구성들간의 관계를 본질적으로 지시하지는 않는다.
- [0008] 또한, "밑에", "아래에", "더 낮은", "위에", "상부에" 등과 같은 공간적으로 상대적인 용어들은 도면들에서 예증되는 바와 같이 하나의 요소 또는 피처와 다른 요소(들) 또는 피처(들)간의 관계를 설명하도록 설명의 용이함을 위해 본 명세서에서 이용될 수 있다. 공간적으로 상대적인 용어들은 도면들에서 묘사된 방위에 추가적으로 사용 또는 동작 중인 디바이스의 상이한 방위들을 포괄하도록 의도된다. 장치는 이와는 다르게 지향될(90도 또는 다른 방위로 회전됨) 수 있고, 본 명세서에서 이용되는 공간적으로 상대적인 설명자는 이에 따라 마찬가지로 해석될 수 있다.
- [0009] 본 개시에서 논의되는 실시예는 특정 상황, 즉, 재배선 구조물 내에 적층된 비아 구조물을 구비한 패키지 구조물(예를 들면, 패키지 온 패키지(package on package (PoP)) 구조물)과, 이를 형성하는 방법에서 논의될 수 있다. 적층된 비아 구조물은 본 개시에서 상이한 금속화 패턴들을 상호접속하는 복수의 ("적층" 의) 전도성 비아들을 기술하기 위해 사용되고, 복수의 전도성 비아들 각각은 수직으로 정렬된다(예를 들면, 재배선 구조물의 주 표면에 수직인 라인은 복수의 전도성 비아들 각각을 관통해 연장된다). 다양한 실시예들은 예를 들면, 열 사이클 테스트 동안 비아 대 비아 계면에서의 감소된 응력, 인접하게 적층된 비아들 사이의 금속 산화물(예를 들면, 구리 산화물) 중간층 및/또는 비아 내부의 감소된 공동(void) 형성 등과 같은, 감소된 결함을 갖는 적층된 전도성 비아를 형성하는 방법을 제공한다. 예를 들면, 다양한 실시예는 인접하게 적층된 비아들 사이에 확산 차단층(예를 들면, 구리 확산)으로서 시드층을 제공할 수 있다. 일부 실시예에서, 시드층은 예를 들면, 티타늄 층과 구리층을 포함하는 다층 구조물일 수 있다. 더 나아가, 적층된 비아들 사이의 계면은 적층된 비아 구조물의 전체 길이를 향상시키도록 비평면(예를 들면, 스테퍼드형)일 수 있다. 다양한 실시예는 제조 비용을 상당히 증가시키지 않고 이들 실시예를 제공할 수 있다.
- [0010] 이 개시의 교시는 적층된 전도성 비아를 포함하는 임의의 패키지 구조물에 적용가능하다. 다른 실시예는, 예컨대, 이 개시를 읽을 때 당업자에게 쉽게 명백할 상이한 패키지 유형들 또는 상이한 구성들과 같은, 다른 응용을 고려한다. 본 개시에서 논의된 실시예가 구조물 내에 존재할 수 있는 모든 컴포넌트 또는 피처를 필연적으로 예증하지는 않을 수 있다는 것을 주목해야 한다. 예를 들면, 예컨대, 한 컴포넌트 중 하나의 논의가 실시예의 양상을 전달하기 위해 충분할 수 있을 때, 컴포넌트의 복수 개가 도면으로부터 생략될 수 있다. 더 나아가, 본 개시에서 논의된 방법 실시예는 특정 순서로 수행되는 것으로 논의될 수 있으나, 다른 방법 실시예는 임의의 논리적 순서로 수행될 수 있다.
- [0011] 일부 실시예들에 따라, 도 1 내지 23은 제1 패키지(200)를 형성하기 위한 프로세스 동안의 중간 단계들의 단면도를 예증한다. 제1 패키지(200)는 집적된 팬아웃(integrated fan-out; InFO) 패키지라고 또한 지칭될 수 있다. 도 1 내지 23은 제1 패키지(200)의 형성을 위한 제1 패키지 영역(600)을 예증하는 단면도이다. 복수의 패키지들은 복수의 패키지 영역들에서 동시에 형성될 수 있다는 것이 인식되어야 한다.
- [0012] 도 1에서, 캐리어 기판(100)이 제공되고, 릴리스층(102)은 캐리어 기판(100) 상에 형성된다. 캐리어 기판(100)은 유리 캐리어 기판, 세라믹 캐리어 기판 등일 수 있다. 캐리어 기판(100)은 웨이퍼일 수 있어서 다수의 패키지들이 동시에 캐리어 기판(100)상에 형성될 수 있다. 릴리스층(102)은, 후속 단계에서 형성될 상부 구조물로부터 캐리어 기판(100)과 함께 제거될 수 있는 중합체 기반 물질로 형성될 수 있다. 일부 실시예에서, 릴리스층(102)은, 예컨대, 광 대 열 변환(light-to-heat-conversion; LTHC) 릴리스 코팅과 같이, 가열될 때 그 자신의 접착 특성을 잃어버리는 에폭시-기반 열-릴리스 물질이다. 다른 실시예에서, 릴리스층(102)은 자외선(ultra-violet; UV) 광에 노출될 때 그 자신의 접착 특성을 잃어버리는 UV 접착제일 수 있다. 릴리스층(102)은 액체 및 경화된 채로 제공될 수 있거나, 캐리어 기판(100)상으로 라미네이트된 라미네이트막일 수 있거나 기타 등등일 수 있다. 릴리스층(102)의 상단 표면은 평평하게 되고, 고도의 동일 평면성(a high degree of coplanarity)을

가질 수 있다.

[0013] 도 2에서, 유전체층(104)과 금속화 패턴(106)(때때로, 재배선층 또는 재배선 라인이라고 지칭됨)이 형성된다. 유전체층(104)이 텀리스층(102) 상에 형성된다. 유전체층(104)의 하단 표면은 텀리스층(102)의 상단 표면과 접촉할 수 있다. 일부 실시예에서, 유전체층(104)은 PBO(polybenzoxazole), 폴리이미드, BCB(benzocyclobutene) 등과 같은 중합체로 형성된다. 다른 실시예에서, 유전체층(104)은, 질화물(예컨대 실리콘 질화물), 산화물(예컨대 실리콘 산화물), PSG(phosphosilicate glass), BSG(borosilicate glass), BPSG(boron-doped phosphosilicate glass) 등으로 형성된다. 유전체층(104)은, 스핀 코팅, 화학적 증기 퇴적(chemical vapor deposition: CVD), 라미네이팅 등, 또는 이것들의 조합과 같은 임의의 허용가능한 퇴적 프로세스에 의해 형성될 수 있다.

[0014] 금속화 패턴(106)은 유전체층(104) 상에 형성된다. 금속화 패턴(106)을 형성하는 예시로서, 시드층(미도시됨)은 유전체층(104) 위에 형성된다. 일부 실시예에서, 시드층은 금속층이고, 이 금속층은 단일층이거나 상이한 물질들로 형성된 복수의 서브층들을 포함하는 합성층일 수 있다. 일부 실시예에서, 시드층은 티타늄층과 이 티타늄층 위의 구리층을 포함한다. 시드층은 예를 들면, PVD 등을 사용해 형성될 수 있다. 그런 다음, 포토 레지스트가 시드층 상에 형성되고 패터닝된다. 포토 레지스트는 스핀 코팅 등에 의해 형성될 수 있고, 패터닝을 위해 광에 노출될 수 있다. 포토 레지스트의 패턴은 금속화 패턴(106)에 대응한다. 패터닝은 시드층을 노출시키도록 포토 레지스트를 관통해 개구를 형성한다. 전도성 물질이 포토 레지스트의 개구 내에 그리고 시드층의 노출된 부분 상에 형성된다. 전도성 물질은 예컨대, 전기 도금 또는 무전해 도금 등과 같은 도금에 의해 형성될 수 있다. 전도성 물질은 구리, 티타늄, 텅스텐, 알루미늄 등과 같은 금속을 포함할 수 있다. 그런 다음, 포토 레지스트와 그 위에 전도성 물질이 형성되지 않는 시드층의 부분이 제거된다. 포토 레지스트는 허용가능한 에칭 또는, 예컨대, 산소 플라즈마 등을 사용하는 박리 프로세스에 의해 제거될 수 있다. 일단 포토 레지스트가 제거되면, 시드층의 노출된 부분은, 예컨대, 습식 또는 건식 에칭과 같은 허용가능한 에칭 프로세스를 사용해서 제거된다. 시드층의 잔여 부분과 전도성 물질은 금속화 패턴(106)을 형성한다.

[0015] 도 3에서, 유전체층(108)은 금속화 패턴(106)과 유전체층(104) 상에 형성된다. 일부 실시예에서, 유전체층(108)은 중합체로 형성되고, 이 중합체는 리소그래피 마스크를 사용해 패터닝될 수 있는, 예컨대, PBO, 폴리이미드, BCB 등과 같은 감광재일 수 있다. 다른 실시예에서, 유전체층(108)은, 질화물(예컨대 실리콘 질화물), 산화물(예컨대 실리콘 산화물, PSG, BSG, BPSG) 등으로 형성된다. 유전체층(108)은 스핀 코팅, 라미네이션, CVD 등, 또는 이들의 조합에 의해 형성될 수 있다. 그런 다음, 유전체층(108)은 금속화 패턴(106)의 부분을 노출시키도록 개구를 형성하기 위해 패터닝된다. 패터닝은, 예컨대, 유전체층이 감광재일 때 유전체층(108)을 광에 노출시킴으로써, 또는 예를 들면, 이방성 에칭을 사용하는 것과 같은 허용가능한 프로세스에 의한 것일 수 있다.

[0016] 유전체층(104 및 108)과 금속화 패턴(106)은 후면 재배선 구조물(110)이라고 지칭될 수 있다. 도시된 실시예에서, 후면 재배선 구조물(110)은 두 개의 유전체층들(104 및 108)과 하나의 금속화 패턴(106)을 포함한다. 다른 실시예에서, 후면 재배선 구조물(110)은 임의의 개수의 유전체층들, 금속화 패턴들, 및 비아들을 포함할 수 있다. 하나 이상의 추가적인 금속화 패턴 및 유전체층은 금속화 패턴들(106)과 유전체층(108)을 형성하기 위한 프로세스를 반복함으로써 후면 재배선 구조물(110) 내에 형성될 수 있다. 비아(도시되지 않음)는, 금속화 패턴의 전도성 물질과 시드층을 하부 유전체층의 개구 내에 형성함으로써 금속화 패턴의 형성 동안 형성될 수 있다. 그러므로, 비아는 다양한 금속화 패턴들을 상호접속시키고 전기적으로 결합시킬 수 있다.

[0017] 그런 다음, 관통 비아(112)가 형성된다. 관통 비아(112)를 형성하기 위한 예시로서, 시드층이 후면 재배선 구조물(110), 예를 들면 예증된 바와 같은 금속화 패턴(106)의 노출된 부분과 유전체층(108) 위에 형성된다. 일부 실시예에서, 시드층은 금속층이고, 이 금속층은 단일층이거나 상이한 물질들로 형성된 복수의 서브층들을 포함하는 합성층일 수 있다. 일부 실시예에서, 시드층은 티타늄층과 이 티타늄층 위에 구리층을 포함한다. 시드층은 예를 들면, PVD 등을 사용해 형성될 수 있다. 포토 레지스트가 시드층 상에 형성되고 패터닝된다. 포토 레지스트는 스핀 코팅 등에 의해 형성될 수 있고, 패터닝을 위해 광에 노출될 수 있다. 포토 레지스트의 패턴은 관통 비아에 대응한다. 패터닝은 시드층을 노출시키도록 포토 레지스트를 관통해 개구를 형성한다. 전도성 물질이 포토 레지스트의 개구 내에 그리고 시드층의 노출된 부분 상에 형성된다. 전도성 물질은 예컨대, 전기 도금 또는 무전해 도금 등과 같은 도금에 의해 형성될 수 있다. 전도성 물질은 구리, 티타늄, 텅스텐, 알루미늄 등과 같은 금속을 포함할 수 있다. 포토 레지스트와 그 위에 전도성 물질이 형성되지 않는 시드층의 부분이 제거된다. 포토 레지스트는 허용가능한 에칭 또는, 예컨대, 산소 플라즈마 등을 사용하는 박리 프로세스에 의해 제거될 수 있다. 일단 포토 레지스트가 제거되면, 시드층의 노출된 부분은, 예컨대, 습식 또는 건식 에칭과 같은 허용가능

한 에칭 프로세스를 사용해서 제거된다. 시드층의 잔여 부분과 전도성 물질은 관통 비아(112)를 형성한다.

- [0018] 도 4에서, 집적 회로 다이(114)는 접착제(116)에 의해 유전체층(108)에 부착된다. 도시된 실시예에서, 하나의 집적 회로 다이(114)는 제1 패키지 영역(600) 내에 접착되고, 다른 실시예에서, 더 많거나 더 적은 집적 회로 다이들(114)이 각 영역 내에 접착될 수 있다. 예를 들면, 일 실시예에서, 복수의 집적 회로 다이들(114)이 제1 패키지 영역(600) 내에 접착될 수 있다. 집적 회로 다이(114)는 논리 다이(예컨대, 중앙 프로세싱 유닛, 마이크로제어기 등), 메모리 다이(예컨대, 동적 랜덤 액세스 메모리(dynamic random access memory; DRAM) 다이, 정적 랜덤 액세스 메모리(static random access memory; SRAM) 다이 등), 전력 관리 다이(예컨대, 전력 관리 집적 회로(power management integrated circuit; PMIC) 다이), 무선 주파수(radio frequency; RF) 다이, 센서 다이, 마이크로-전기 기계적 시스템(micro-electro mechanical system; MEMS) 다이, 신호 프로세싱 다이(예컨대, 디지털 신호 프로세싱(digital signal processing; DSP) 다이), 프론트 엔드 다이(예컨대, 아날로그 프론트 엔드(analog front-end; AFE) 다이) 등, 또는 이것들의 조합일 수 있다. 또한, 일부 실시예에서, 집적 회로 다이(114)는 상이한 크기들(예컨대, 상이한 높이 및/또는 표면적)일 수 있고, 다른 실시예에서, 집적 회로 다이(114)는 동일 크기(예컨대, 동일 높이 및/또는 표면적)일 수 있다.
- [0019] 유전체층(108)에 접착되기 전에, 집적 회로 다이(114)는, 집적 회로 다이(114) 내에 집적 회로를 형성하도록 적용가능한 제조 프로세스에 따라 프로세싱될 수 있다. 예를 들면, 집적 회로 다이들(114) 각각은 도핑되거나 도핑되지 않은 실리콘과 같은 반도체 기판(118), 또는 반도체-온-인슐레이터(silicon-on-insulator; SOI) 기판의 활성층일 수 있다. 반도체 기판은 게르마늄과 같은 다른 반도체 물질; 실리콘 탄화물, 갈륨 비소, 갈륨 인화물, 인듐 인화물, 인듐 비화물, 및/또는 인듐 안티몬화물을 포함한 화합물 반도체; SiGe, GaAsP, AlInAs, AlGaAs, GaInAs, GaInP, 및/또는 GaInAsP를 포함한 합금 반도체; 또는 이들의 조합을 포함할 수 있다. 다중층 또는 경사 (gradient) 기판과 같은 다른 기판이 또한 이용될 수 있다. 예컨대, 트랜지스터, 다이오드, 커패시터, 저항기 등과 같은 디바이스는 예를 들면, 반도체 기판(118) 내에 그리고/또는 상에 형성될 수 있고, 집적 회로를 형성하도록 반도체 기판(118) 상의 하나 이상의 유전체층 내의 금속화 패턴에 의해 형성된 상호접속 구조물(120)에 의해 상호접속될 수 있다.
- [0020] 집적 회로 다이(114)는 예컨대, 알루미늄 패드와 같은 패드(122)를 더 포함하고, 이 알루미늄 패드에 외부 접속이 이루어진다. 패드(122)는 집적 회로 다이(114)의 제각각의 활성 측면이라고 지칭될 수 있는 것 상에 있다. 패시베이션막(124)은 집적 회로 다이(114) 상에와 패드(122)의 부분 상에 있다. 개구는 패시베이션막(124)을 관통해 패드(122)까지 형성된다. 전도성 필라(예를 들면, 구리와 같은 금속을 포함함)와 같은 다이 커넥터(126)가 패시베이션막(124)을 관통해 개구 내에 있고, 제각각의 패드(122)에 기계적으로 그리고 전기적으로 결합된다. 다이 커넥터(126)는 예를 들면, 도금 등에 의해 형성될 수 있다. 다이 커넥터(126)는 집적 회로 다이(114)의 제각각의 집적 회로들을 전기적으로 결합시킨다. 솔더 캡(도시되지 않음)은 다이 테스트 동안 다이 커넥터(126) 상에 형성될 수 있다.
- [0021] 유전체 물질(128)은 예컨대, 패시베이션막(124)과 다이 커넥터(126) 상에서와 같이, 집적 회로 다이(114)의 활성 측면 상에 있다. 유전체 물질(128)은 다이 커넥터(126)를 측방향으로 캡슐화하고, 유전체 물질(128)은 제각각의 집적 회로 다이(114)와 측방향으로 접해 있다. 유전체 물질(128)은 예컨대, PBO, 폴리이미드, BCB 등과 같은 중합체; 실리콘 질화물 등과 같은 질화물; 실리콘 산화물, PSG, BSG, BPSG 등과 같은 산화물; 등, 또는 이들 물질들의 조합일 수 있고, 예를 들면, 스핀 코팅, 라미네이션, CVD 등에 의해 형성될 수 있다.
- [0022] 접착제(116)는 집적 회로 다이(114)의 후면 상에 있고, 집적 회로 다이(114)를 예컨대, 예증에서의 유전체층(108)과 같은 후면 재배선 구조물(110)에 접착시킨다. 접착제(116)는 임의의 적절한 접착제, 에폭시, 다이 부착막(die attach film; DAF) 등일 수 있다. 접착제(116)는, 예컨대, 제각각의 반도체 웨이퍼의 후면과 같은, 집적 회로 다이(114)의 후면에 도포될 수 있거나, 캐리어 기판(100)의 표면 위에 도포될 수 있다. 집적 회로 다이(114)는 예컨대, 쏘잉 또는 다이싱에 의해 싱글레이팅되거나, 예를 들면, 픽 앤 플레이스 툴(pick-and-place tool)을 사용해 접착제(116)에 의해 유전체층(108)에 접착될 수 있다.
- [0023] 도 5에서, 봉합재(130)가 다양한 컴포넌트들 상에 형성된다. 봉합재(130)는 몰딩 컴파운드, 에폭시 등일 수 있고, 압축 몰딩, 트랜스퍼 몰딩 등에 의해 도포될 수 있다. 경화 후에, 봉합재(130)는 관통 비아(112)와 다이 커넥터(126)를 노출시키도록 연마 프로세스를 거칠 수 있다. 관통 비아(112), 다이 커넥터(126), 및 봉합재(130)의 상단 표면은 연마 프로세스 후에 공면이다. 일부 실시예에서, 연마는 예를 들면, 관통 비아(112)와 다이 커넥터(126)가 이미 노출되면 생략될 수 있다.
- [0024] 도 6a 내지 21b에서, 전면 재배선 구조물(131)이 형성된다. 예증되는 바와 같이, 전면 재배선 구조물(131)은 유

전체층들(133, 146, 160, 및 174)과 금속화 패턴들(142, 156, 및 170)(때때로, 재배선층들 또는 재배선 라인들 이라고 지칭됨)을 포함한다. 도 6a 내지 21b에서, “a” 표시로 끝나는 도면은 제1 패키지 영역(600)을 예증하는 단면도이고, “b” 지정으로 끝나는 도면은 집적 회로 다이(114) 위의 전면 재배선 구조물(131)의 영역(650)의 더 많은 세부 사항을 예증하는 단면도이다. 전면 재배선 구조물(131)의 영역(650)에서, 적층된 비아 구조물(132)이 형성된다. 적층된 비아 구조물(132)은 수직으로 정렬된(예를 들면, 봉합재(130)의 주면에 수직인 라인은 복수의 전도성 비아들 각각을 관통해 연장됨) 전도성 비아를 가진다. 도 6a 내지 21b에서, 일부 피처(예를 들면, 이하에서 논의된 시드층)는 “a” 또는 “b” 도면 중 하나에서만 도시될 수 있고, 각각의 “b” 또는 “a” 도면에서는 간략함으로 위해 생략될 수 있다.

[0025] 도 6a 및 6b에서, 유전체층(133)은 봉합재(130), 관통 비아(112), 및 다이 커넥터(126) 상에 퇴적된다. 일부 실시예에서, 유전체층(133)은 중합체로 형성되고, 이 중합체는 리소그래피 마스크를 사용해 패터닝될 수 있는, 예컨대, PBO, 폴리이미드, BCB 등과 같은 감광제일 수 있다. 다른 실시예에서, 유전체층(133)은, 질화물(예컨대 실리콘 질화물), 산화물(예컨대 실리콘 산화물, PSG, BSG, BPSG) 등으로 형성된다. 유전체층(133)은 스핀 코팅, 라미네이션, CVD 등, 또는 이들의 조합에 의해 형성될 수 있다.

[0026] 그런 다음, 유전체층(133)이 패터닝된다. 패터닝은 관통 비아(112)와 다이 커넥터(126)의 부분을 노출시키도록 개구(134)를 형성한다. 패터닝은, 예컨대, 유전체층(133)이 감광제일 때 유전체층(133)을 광에 노출시킴으로써, 또는 예를 들면, 이방성 에칭을 사용해 에칭함으로써와 같이, 허용가능한 프로세스에 의한 것일 수 있다. 유전체층(133)이 감광제이면, 유전체층(133)은 노출 후에 현상될 수 있다.

[0027] 그런 다음, 시드층(136)이 유전체층(133) 위에 그리고 유전체층(133)을 관통해 연장되는 개구(134) 내에 형성된다. 일부 실시예에서, 시드층(136)은 금속층이고, 이 금속층은 단일층이거나 상이한 물질들로 형성된 복수의 서브층들을 포함하는 합성층일 수 있다. 일부 실시예에서, 시드층(136)은 티타늄층과 이 티타늄층 위에 구리층을 포함한다. 시드층(136)은 예를 들면, PVD 등을 사용해 형성될 수 있다.

[0028] 도 7a 및 7b에서, 포토 레지스트(138)는 시드층(136) 상에 형성되고 패터닝된다. 포토 레지스트(138)는 스핀 코팅 등에 의해 형성될 수 있고, 패터닝을 위해 광에 노출될 수 있다. 포토 레지스트(138)의 패턴은 금속화 패턴(142)에 대응한다. 패터닝은 시드층(136)을 노출시키도록 포토 레지스트(138)를 관통해 개구(140)를 형성한다.

[0029] 도 8a 및 8b에서, 전도성 물질은 포토 레지스트(138)의 개구(140) 내에 그리고 시드층(136)의 노출된 부분 상에 형성된다. 전도성 물질은 예컨대, 전기 도금 또는 무전해 도금 등과 같은 도금에 의해 형성될 수 있다. 전도성 물질은 구리, 티타늄, 텅스텐, 알루미늄 등과 같은 금속을 포함할 수 있다. 실시예에 있어서, 전도성 물질은 컨포멀 도금 프로세스에 의해 형성된다. 컨포멀 도금 프로세스는 예를 들면, 약 0.3 A/dm<sup>2</sup> 내지 약 0.9 A/dm<sup>2</sup>의 전류 밀도와 같은, 약 2.2 A/dm<sup>2</sup> 미만의 전류 밀도로 수행되는 구리 전기 도금 프로세스일 수 있다. 도금액은 예를 들면, 황산구리를 포함할 수 있고, 예를 들면, 촉진제, 억제제, 평탄화제 등과 같은 첨가제를 가질 수 있다. 이러한 도금액과 전류 밀도는 도금 프로세스가 컨포멀 도금 프로세스가 되는 것을 허용한다. 금속화 패턴(142)이 컨포멀 도금 프로세스를 사용해 형성되기 때문에, 유전체층(133)의 상단 표면을 따라 연장되는 금속화 패턴(142)의 부분은 개구(134)의 측부와 하단부를 따라 연장되는 금속화 패턴(142)의 부분과 거의 동일한 두께를 가질 수 있다.

[0030] 시드층(136)의 하부 부분과 전도성 물질의 조합은 금속화 패턴(142)을 형성한다. 금속화 패턴(142)의 일부는 적층된 비아 구조물(132)의 제1 층을 형성한다. 금속화 패턴(142)은 전도성 비아(143)를 포함한다. 전도성 비아(143)는 유전체층(133)을 관통해 예를 들면, 관통 비아(112) 및/또는 다이 커넥터(126)까지 개구 내에 형성된다. 또한, 컨포멀 도금 프로세스의 결과로서, 리세스(144)가 전도성 비아(143) 내에 형성된다.

[0031] 도 9a 및 9b에서, 포토 레지스트(138)와 그 위에 전도성 물질이 형성되지 않는 시드층(136)의 부분이 제거된다. 포토 레지스트(138)는 허용가능한 애싱 또는, 예컨대, 산소 플라즈마 등을 사용하는 박리 프로세스에 의해 제거될 수 있다. 일단 포토 레지스트(138)가 제거되면, 시드층(136)의 노출된 부분은, 예컨대, 습식 또는 건식 에칭과 같은 허용가능한 에칭 프로세스를 사용해서 제거된다.

[0032] 도 10a 및 10b에서, 유전체층(146)은 유전체층(133)과 금속화 패턴(142) 상에 퇴적된다. 일부 실시예에서, 유전체층(146)은 중합체로 형성되고, 이 중합체는 리소그래피 마스크를 사용해 패터닝될 수 있는, 예컨대, PBO, 폴리이미드, BCB 등과 같은 감광제일 수 있다. 다른 실시예에서, 유전체층(146)은, 질화물(예컨대 실리콘 질화물), 산화물(예컨대 실리콘 산화물, PSG, BSG, BPSG) 등으로 형성된다. 유전체층(146)은 스핀 코팅,

라미네이션, CVD 등, 또는 이들의 조합에 의해 형성될 수 있다.

- [0033] 그런 다음, 유전체층(146)이 패터닝된다. 패터닝은 금속화 패턴(142)의 부분을 노출시키도록 개구(148)를 형성한다. 특히, 개구(148)는 리세스(144)를 노출시킨다. 패터닝은, 예컨대, 유전체층이 감광재일 때 유전체층(146)을 광에 노출시킴으로써, 또는 예를 들면, 이방성 에칭을 사용해 에칭하는 것과 같은 허용가능한 프로세스에 의한 것일 수 있다. 유전체층(146)이 감광재이면, 유전체층(146)은 노출 후에 현상될 수 있다.
- [0034] 그런 다음, 시드층(150)이 유전체층(146) 위에 그리고 개구(148) 내에 형성된다. 일부 실시예에서, 시드층(150)은 금속층이고, 이 금속층은 단일층이거나 상이한 물질들로 형성된 복수의 서브층들을 포함하는 합성층일 수 있다. 일부 실시예에서, 시드층(150)은 티타늄층과 이 티타늄층 위에 구리층을 포함한다. 시드층(150)은 예를 들면, PVD 등을 사용해 형성될 수 있다. 시드층(150)은 유전체층(146)의 상단 표면을 따라, 개구(148)의 측부를 따라, 개구(148)에 의해 노출되는 금속화 패턴(142)의 최상단 표면을 따라, 리세스(144)의 측부를 규정하는 전도성 비아(143)의 부분을 따라, 그리고 리세스(144)의 하단부를 규정하는 전도성 비아(143)의 부분을 따라 연장된다.
- [0035] 도 11a 및 11b에서, 포토 레지스트(152)는 시드층(150) 상에 형성되고 패터닝된다. 포토 레지스트(152)는 스핀 코팅 등에 의해 형성될 수 있고, 패터닝을 위해 광에 노출될 수 있다. 포토 레지스트(152)의 패턴은 금속화 패턴(156)에 대응한다. 패터닝은 시드층(150)을 노출시키도록 포토 레지스트를 관통해 개구(154)를 형성한다. 개구(154)는 유전체층(146)의 개구(148)를 노출시킨다.
- [0036] 도 12a 및 12b에서, 전도성 물질은 포토 레지스트(152)의 개구(154) 내에 시드층(150)의 노출된 부분 상에 형성된다. 전도성 물질은 예컨대, 전기 도금 또는 무전해 도금 등과 같은 도금에 의해 형성될 수 있다. 전도성 물질은 구리, 티타늄, 텅스텐, 알루미늄 등과 같은 금속을 포함할 수 있다. 실시예에 있어서, 전도성 물질은 컨포멀 도금 프로세스에 의해 형성된다(금속화 패턴(142)과 유사함).
- [0037] 시드층(150)의 하부 부분과 전도성 물질의 조합은 금속화 패턴(156)을 형성한다. 금속화 패턴(156)의 일부는 적층된 비아 구조물(132)의 제2 층을 형성한다. 금속화 패턴(156)은 전도성 비아(157)를 포함한다. 전도성 비아(157)는 유전체층(146)을 관통해 금속화 패턴(142)까지 개구(148) 내에 형성된다. 특히, 전도성 비아(157)는 전도성 비아(143)의 리세스(144) 내로 연장된다. 또한, 컨포멀 도금 프로세스의 결과로서, 리세스(158)가 전도성 비아(157) 내에 형성된다.
- [0038] 도 13a 및 13b에서, 포토 레지스트(152)와 그 위에 전도성 물질이 형성되지 않는 시드층(150)의 부분이 제거된다. 포토 레지스트(152)는 허용가능한 애싱 또는, 예컨대, 산소 플라즈마 등을 사용하는 박리 프로세스에 의해 제거될 수 있다. 일단 포토 레지스트(152)가 제거되면, 시드층(150)의 노출된 부분은, 예컨대, 습식 또는 건식 에칭과 같은 허용가능한 에칭 프로세스를 사용해서 제거된다.
- [0039] 리세스(144)를 갖는 전도성 비아(143)를 형성함으로써, 금속화 패턴(142 및 156)의 계면은 비평면일 수 있다(예를 들면, 스태거드(staggered)형). 또한, 금속화 패턴(142 및 156)의 계면은 유전체층(133 및 146)의 계면으로부터 오프셋되는(예를 들면, 이 계면과는 상이한 평면에서) 다수의 평면들을 점유할 수 있다. 패키지 응력은 유전체층(133 및 146)의 계면에 집중될 수 있다. 금속화 패턴(142 및 156)의 다수의 계면 평면으로부터 유전체층(133 및 146)의 계면을 오프셋함으로써, 추가적인 패키지 응력 집중이 회피될 수 있고, 그럼으로써, 금속화 패턴(142 및 156)의 계면에서 균열(crack)이 형성되는 가능성을 감소시킬 수 있다.
- [0040] 도 14a 및 14b에서, 유전체층(160)은 유전체층(146)과 금속화 패턴(156) 상에 퇴적된다. 일부 실시예에서, 유전체층(160)은 중합체로 형성되고, 이 중합체는 리소그래피 마스크를 사용해 패터닝될 수 있는, 예컨대, PBO, 폴리이미드, BCB 등과 같은 감광재일 수 있다. 다른 실시예에서, 유전체층(160)은, 질화물(예컨대 실리콘 질화물), 산화물(예컨대 실리콘 산화물, PSG, BSG, BPSG) 등으로 형성된다. 유전체층(160)은 스핀 코팅, 라미네이션, CVD 등, 또는 이들의 조합에 의해 형성될 수 있다.
- [0041] 그런 다음, 유전체층(160)이 패터닝된다. 패터닝은 금속화 패턴(156)의 부분을 노출시키도록 개구(162)를 형성한다. 특히, 개구(162)는 리세스(158)를 노출시킨다. 패터닝은, 예컨대, 유전체층이 감광재일 때 유전체층(160)을 광에 노출시킴으로써, 또는 예를 들면, 이방성 에칭을 사용해 에칭하는 것과 같은 허용가능한 프로세스에 의한 것일 수 있다. 유전체층(160)이 감광재이면, 유전체층(160)은 노출 후에 현상될 수 있다.
- [0042] 그런 다음, 시드층(164)이 유전체층(160) 위에 그리고 개구(162) 내에 형성된다. 일부 실시예에서, 시드층(164)은 금속층이고, 이 금속층은 단일층이거나 상이한 물질들로 형성된 복수의 서브층들을 포함하는 합성층일 수 있다. 일부 실시예에서, 시드층(164)은 티타늄층과 이 티타늄층 위에 구리층을 포함한다. 시드층(164)은 예를

들면, PVD 등을 사용해 형성될 수 있다. 시드층(164)은 유전체층(160)의 상단 표면을 따라, 개구(162)의 측부를 따라, 개구(162)에 의해 노출되는 금속화 패턴(156)의 최상단 표면을 따라, 리세스(158)의 측부를 규정하는 전도성 비아(157)의 부분을 따라, 그리고 리세스(158)의 하단부를 규정하는 전도성 비아(157)의 부분을 따라 연장된다.

[0043] 도 15a 및 15b에서, 포토 레지스트(166)는 시드층(164) 상에 형성되고 패터닝된다. 포토 레지스트(166)는 스핀 코팅 등에 의해 형성될 수 있고, 패터닝을 위해 광에 노출될 수 있다. 포토 레지스트(166)의 패턴은 금속화 패턴(170)에 대응한다. 패터닝은 시드층(164)을 노출시키도록 포토 레지스트를 관통해 개구(168)를 형성한다. 개구(168)는 유전체층(160)의 개구(162)를 노출시킨다.

[0044] 도 16a 및 16b에서, 전도성 물질은 포토 레지스트(166)의 개구(168) 내에 시드층(164)의 노출된 부분 상에 형성된다. 전도성 물질은 예컨대, 전기 도금 또는 무전해 도금 등과 같은 도금에 의해 형성될 수 있다. 전도성 물질은 구리, 티타늄, 텅스텐, 알루미늄 등과 같은 금속을 포함할 수 있다. 실시예에 있어서, 전도성 물질은 컨포멀 도금 프로세스에 의해 형성된다(금속화 패턴(156)과 유사함).

[0045] 시드층(164)의 하부 부분과 전도성 물질의 조합은 금속화 패턴(170)을 형성한다. 금속화 패턴(170)의 부분은 적층된 비아 구조물(132)의 제3 층을 형성한다. 금속화 패턴(170)은 전도성 비아(171)를 포함한다. 전도성 비아(171)는 유전체층(160)을 관통해 금속화 패턴(156)까지 개구(162) 내에 형성된다. 특히, 전도성 비아(171)는 전도성 비아(157)의 리세스(158) 내로 연장된다. 또한, 컨포멀 도금 프로세스의 결과로서, 리세스(172)가 전도성 비아(171) 내에 형성된다.

[0046] 도 17a 및 17b에서, 포토 레지스트(166)와 그 위에 전도성 물질이 형성되지 않는 시드층의 부분이 제거된다. 포토 레지스트(166)는 허용가능한 애싱 또는, 예컨대, 산소 플라즈마 등을 사용하는 박리 프로세스에 의해 제거될 수 있다. 일단 포토 레지스트(166)가 제거되면, 시드층(164)의 노출된 부분은, 예컨대, 습식 또는 건식 에칭과 같은 허용가능한 에칭 프로세스를 사용해서 제거된다.

[0047] 도 18a 및 18b에서, 유전체층(174)은 유전체층(160)과 금속화 패턴(170) 상에 퇴적된다. 일부 실시예에서, 유전체층(174)은 중합체로 형성되고, 이 중합체는 리소그래피 마스크를 사용해 패터닝될 수 있는, 예컨대, PBO, 폴리이미드, BCB 등과 같은 감광재일 수 있다. 다른 실시예에서, 유전체층(174)은, 질화물(예컨대 실리콘 질화물), 산화물(예컨대 실리콘 산화물, PSG, BSG, BPSG) 등으로 형성된다. 유전체층(174)은 스핀 코팅, 라미네이션, CVD 등, 또는 이들의 조합에 의해 형성될 수 있다.

[0048] 그런 다음, 유전체층(174)이 패터닝된다. 패터닝은 금속화 패턴(170)의 부분을 노출시키도록 개구(176)를 형성한다. 특히, 개구(176)는 리세스(172)를 노출시킨다. 패터닝은, 예컨대, 유전체층이 감광재일 때 유전체층(174)을 광에 노출시킴으로써, 또는 예를 들면, 이방성 에칭을 사용해 에칭하는 것과 같은 허용가능한 프로세스에 의한 것일 수 있다. 유전체층(174)이 감광재이면, 유전체층(174)은 노출 후에 현상될 수 있다.

[0049] 그런 다음, 시드층(178)이 유전체층(174) 위에 그리고 개구(176) 내에 형성된다. 일부 실시예에서, 시드층(178)은 금속층이고, 이 금속층은 단일층이거나 상이한 물질들로 형성된 복수의 서브층들을 포함하는 합성층일 수 있다. 일부 실시예에서, 시드층(178)은 티타늄층과 이 티타늄층 위에 구리층을 포함한다. 시드층(178)은 예를 들면, PVD 등을 사용해 형성될 수 있다. 시드층(178)은 유전체층(174)의 상단 표면을 따라, 개구(176)의 측부를 따라, 개구(176)에 의해 노출되는 금속화 패턴(170)의 최상단 표면을 따라, 리세스(172)의 측부를 규정하는 전도성 비아(171)의 부분을 따라, 그리고 리세스(172)의 하단부를 규정하는 전도성 비아(171)의 부분을 따라 연장된다.

[0050] 도 19a 및 19b에서, 포토 레지스트(180)는 시드층(178) 상에 형성되고 패터닝된다. 포토 레지스트(180)는 스핀 코팅 등에 의해 형성될 수 있고, 패터닝을 위해 광에 노출될 수 있다. 포토 레지스트(180)의 패턴은 패드(184)에 대응한다. 패터닝은 시드층(178)을 노출시키도록 포토 레지스트를 관통해 개구(182)를 형성한다. 개구(182)는 유전체층(174)의 개구(176)를 노출시킨다. 포토 레지스트(180) 내의 개구(182)의 패턴은, 전면 재배선 구조물(131)의 외부 측부 상에 후속적으로 형성될, 패드에 대응한다.

[0051] 도 20a 및 20b에서, 전도성 물질은 포토 레지스트(180)의 개구(182) 내에 시드층(178)의 노출된 부분 상에 형성된다. 전도성 물질은 예컨대, 전기 도금 또는 무전해 도금 등과 같은 도금에 의해 형성될 수 있다. 전도성 물질은 구리, 티타늄, 텅스텐, 알루미늄 등과 같은 금속을 포함할 수 있다. 실시예에서, 전도성 물질은 컨포멀 도금 프로세스와는 상이한 도금 프로세스 파라미터를 갖는, 간극 충전 도금 프로세스에 의해 형성된다. 간극 충전 도금 프로세스는 예를 들면, 약  $2.2 \text{ A/dm}^2$ 를 초과하는 것과 같은, 약  $2.0 \text{ A/dm}^2$  내지 약  $6.0 \text{ A/dm}^2$ 의 전류 밀도로

수행되는 구리 전기 도금 프로세스일 수 있다. 도금액은 예를 들면, 황산구리를 포함할 수 있고, 예를 들면, 촉진제, 억제제, 평탄화제 및/또는 등과 같은 첨가제를 가질 수 있다. 이러한 도금액과 전류 밀도는 도금 프로세스가 간극 충전 도금 프로세스가 되는 것을 허용한다. 간극 충전 도금 프로세스를 위한 도금액은 컨포멀 도금 프로세스를 위한 도금액과 유사하거나 상이할 수 있다.

[0052] 시드층(178)의 하부 부분과 전도성 물질의 조합은 패드(184)를 형성한다. 패드(184)의 일부는 적층된 비아 구조물(132)의 제4 층을 형성한다. 패드(184)는 전도성 비아(185)를 포함한다. 전도성 비아(185)는 유전체층(174)을 관통해 금속화 패턴(170)까지 개구(176) 내에 형성된다. 특히, 전도성 비아(185)는 전도성 비아(171)의 리세스(172) 내로 연장된다. 또한, 간극 충전 도금 프로세스의 결과로서, 패드(184)는 적층된 비아 구조물(132) 내의 다른 비아만큼 깊은 리세스(186)를 가지지 않고, 개구(176)의 하부 형상에 기인한 리세스(186)만을 가질 수 있다. 패드(184)는 후속적으로 형성된 전도성 커넥터에 결합되도록 사용되고, UBM(under bump metallurgy)이라고 지칭될 수 있다.

[0053] 도 21a 및 21b에서, 포토 레지스트(180)와 그 위에 전도성 물질이 형성되지 않는 시드층(178)의 부분이 제거된다. 포토 레지스트(180)는 허용가능한 애싱 또는, 예컨대, 산소 플라즈마 등을 사용하는 박리 프로세스에 의해 제거될 수 있다. 일단 포토 레지스트(180)가 제거되면, 시드층(178)의 노출된 부분은, 예컨대, 습식 또는 건식 에칭과 같은 허용가능한 에칭 프로세스를 사용해서 제거된다.

[0054] 전면 재배선 구조물(132) 및 적층된 비아 구조물(132)이 예시로서 도시된다. 더 많거나 더 적은 유전체층과 금속화 패턴이 전면 재배선 구조물(131) 내에 형성될 수 있다. 더 적은 유전체층과 금속화 패턴이 형성되면, 위에서 논의된 단계 및 프로세스가 생략될 수 있다. 더 많은 유전체층과 금속화 패턴이 형성되면, 위에서 논의된 단계 및 프로세스가 반복될 수 있다. 당업자는 어느 단계 및 프로세스가 생략되거나 반복될지를 쉽게 이해할 것이다.

[0055] 도 22에서, 전도성 커넥터(187)가 UBM(184) 상에 형성된다. 전도성 커넥터(187)는 BGA 커넥터, 솔더 볼, 금속 필러(pillar), 제어형 붕괴 칩 접속(controlled collapse chip connection; C4) 범프, 마이크로 범프, ENEPIG(electroless nickel-electroless palladium-immersion gold) 기술에 의해 형성된 범프 등일 수 있다. 전도성 커넥터(187)는 솔더, 구리, 알루미늄, 금, 니켈, 은, 팔라듐, 주석 등 또는 이들의 조합과 같은 전도성 물질을 포함할 수 있다. 일부 실시예에서, 전도성 커넥터(187)는 증발, 전기 도금, 인쇄, 솔더 전사(transfer), 볼 배치(ball placement) 등과 같은 일반적으로 사용되는 방법을 통해 솔더층을 초기에 형성함으로써 형성된다. 솔더층이 이 구조물 상에 형성되었으면, 물질을 원하는 범프 형상으로 성형하기 위하여 리플로우(reflow)가 수행될 수 있다. 다른 실시예에서, 전도성 커넥터(187)는 스퍼터링, 인쇄, 전기 도금, 무전해 도금, CVD 등에 의해 형성되는 금속 필러(예컨대, 구리 필러)이다. 금속 필러는 솔더를 포함하지 않을 수 있고, 실질적으로 수직인 측벽을 가질 수 있다. 이러한 실시예에서, 금속 캡층(미도시됨)은 전도성 커넥터(187)의 상단 상에 형성될 수 있다. 금속 캡층은 니켈, 주석, 주석-납, 금, 은, 팔라듐, 인듐, 니켈-팔라듐-금, 니켈-금 등, 또는 이 물질들의 조합을 포함할 수 있고, 도금 프로세스에 의해 형성될 수 있다.

[0056] 또한, 집적 수동 디바이스(integrated passive device; IPD)(188)는 전면 재배선 구조물(131)에 부착된다. IPD(188)는 적층된 비아 구조물(132)에 전기적으로 결합되고, 적층된 비아 구조물(132)은 집적 회로 다이(114)에 전기적으로 접속된다. 실시예에서, 적층된 비아 구조물(132)의 최하단 비아(예를 들면, 금속화 패턴(142))은 집적 회로 다이(114)의 다이 커넥터들(126) 중 하나에 전기적으로 그리고 물리적으로 접속되고, 적층된 비아 구조물(132)의 최상단 비아(예를 들면, 패드(184))은 IPD(188)에 전기적으로 그리고 물리적으로 접속된다.

[0057] 전면 재배선 구조물(131)에 본딩되기 전에, IPD(188)는 적용가능한 제조 프로세스에 따라 프로세싱될 수 있다. 예를 들면, IPD(188)는 IPD(188)의 주 구조물(main structure) 내에 하나 이상의 수동 디바이스를 포함할 수 있다. 주 구조물은 기판 및/또는 봉합재를 포함할 수 있다. 기판을 포함하는 실시예에서, 기판은 도핑되거나 도핑되지 않은 실리콘과 같은 반도체 기판, 또는 SOI 기판의 활성층일 수 있다. 반도체 기판은 게르마늄과 같은 다른 반도체 물질; 실리콘 탄화물, 갈륨 비소, 갈륨 인화물, 인듐 인화물, 인듐 비화물, 및/또는 인듐 안티몬화물을 포함한 화합물 반도체; SiGe, GaAsP, AlInAs, AlGaAs, GaInAs, GaInP, 및/또는 GaInAsP를 포함한 합금 반도체; 또는 이들의 조합을 포함할 수 있다. 다층 또는 경사(gradient) 기판과 같은 다른 기판이 또한 이용될 수 있다. 수동 디바이스는 커패시터, 저항기, 인덕터 등, 또는 이들의 조합을 포함할 수 있다. 수동 디바이스는 반도체 기판 내에 및/또는 그 상에 그리고/또는 봉합재 내에 형성될 수 있고, IPD(188)를 형성하도록 예를 들면, 주 구조물 상의 하나 이상의 유전체층 내의 금속화 패턴에 의해 형성된 상호접속 구조물에 의해 상호접속될 수 있다. IPD(188)는 표면 실장 디바이스(surface mount device; SMD), 2-단자 IPD, 다-단자(multi-terminal)

IPD, 또는 다른 유형의 수동 디바이스일 수 있다. IPD(188)는 전도성 커넥터(189)를 사용해 적층된 비아 구조물(132)의 패드(184)에 전기적으로 그리고 물리적으로 접속되고, 그럼으로써, 전면 재배선 구조물(131)을 IPD(188)에 결합시킨다. 전도성 커넥터(189)는 전도성 커넥터(187)와 유사할 수 있거나 상이할 수 있다.

[0058] 도 23에서, 캐리어 기판 디본딩이, 후면 재배선 구조물(110), 예를 들면, 유전체층(104)으로부터 캐리어 기판(100)을 분리(디본딩)시키도록 수행된다. 동일 실시예들에 따라, 디본딩은 레이저 광 또는 UV 광과 같은 광을 릴리스층(102) 상에 투사하는 것을 포함하여, 릴리스층(102)이 이 광의 열(heat) 하에서 분해되고 캐리어 기판(100)이 제거될 수 있게 된다. 그런 다음, 이 구조물은 테이프(192) 위에서 뒤집혀서(flipped over), 이 테이프(170) 상에 배치된다.

[0059] 또한, 금속화 패턴(106)의 부분들을 노출시키도록 개구들(194)이 유전층(104)을 관통해 형성된다. 개구들은 예를 들면, 레이저 드릴링, 에칭 등을 사용해서 형성될 수 있다.

[0060] 도 24 내지 26은 일부 실시예들에 따라 패키지 구조물(500)을 형성하기 위한 프로세스 동안의 중간 단계들의 단면도를 예증한다. 패키지 구조물(500)은 패키지 온 패키지(package-on-package; PoP) 구조물이라고 지칭될 수 있다.

[0061] 도 24에서, 제2 패키지(300)는 제1 패키지(200)에 부착된다. 제2 패키지(300)는 기판(302)과, 기판(302)에 결합된 하나 이상의 적층된 다이(308)(308A 및 308B)를 포함한다. 비록 다이들(308)(308A 및 308B)의 단수의 적층이 예증되지만, 다른 실시예에서, 복수의 적층된 다이들(308)(각각은 하나 이상의 적층된 다이들을 가짐)이 기판(302)의 동일 표면에 나란히 결합되어 배치될 수 있다. 기판(302)은 실리콘, 게르마늄, 다이아몬드 등과 같은 반도체 물질로 제조될 수 있다. 일부 실시예에서, 실리콘 게르마늄, 실리콘 탄화물, 갈륨 비화물, 인듐 비화물, 인듐 인화물, 실리콘 게르마늄 탄화물, 갈륨 비소 인화물, 갈륨 인듐 인화물, 이 물질들의 조합 등과 같은 화합물들이 또한 사용된다. 또한, 기판(302)은 실리콘-온-인슐레이터(semiconductor-on-insulator; SOI) 기판일 수 있다. 일반적으로, SOI 기판은 예컨대, 에피택셜 실리콘, 게르마늄, 실리콘 게르마늄, SOI, 실리콘 게르마늄 온 인슐레이터(silicon germanium on insulator; SGOI) 또는 이들의 조합과 같은 반도체 물질층을 포함한다. 하나의 대안적인 실시예에서, 기판(302)은 유리 섬유 강화 수지 코어와 같은 절연 코어에 기초한다. 하나의 예시적인 코어 물질은 FR4와 같은 유리 섬유 수지이다. 코어 물질을 위한 대체재는 BT(bismaleimide-triazine) 수지, 또는 대안적으로 다른 인쇄 회로 기판(printed circuit board; PCB) 물질 또는 막을 포함한다. ABF(Ajinomoto build-up film) 또는 다른 라미네이트와 같은 빌드업(build up) 막이 기판(302)을 위해 사용될 수 있다.

[0062] 기판(302)은 능동 및 수동 장치들을 포함할 수 있다(미도시됨). 당업자는, 트랜지스터, 커패시터, 저항기, 이들의 조합들 등과 같은 매우 다양한 디바이스들이 제2 반도체 패키지(300)를 위한 설계의 구조적 및 기능적 요건들을 생성하기 위해 사용될 수 있다는 것을 인식할 것이다. 디바이스는 임의의 적절한 방법을 사용해서 형성될 수 있다.

[0063] 기판(302)은 금속화층(미도시됨) 및 관통 비아(306)를 또한 포함할 수 있다. 금속화층은 능동 및 수동 디바이스 위에 형성될 수 있고, 기능적 회로를 형성하기 위해 다양한 디바이스들을 접속시키기 위해 설계된다. 금속화층은 전도성 물질의 층들을 상호접속하는 비아를 사용해 유전체(예컨대, 로우-k 유전 물질)와 전도성 물질(예컨대, 구리)의 교번층들로 형성될 수 있고, 임의의 적절한 프로세스(예컨대, 퇴적, 다마신, 이중 다마신 등)를 통해 형성될 수 있다. 일부 실시예에서, 기판(302)은 능동 및 수동 장치들을 실질적으로 포함하지 않는다.

[0064] 기판(302)은 적층된 다이(308)에 결합시키도록 기판(202)의 제1 측부 상의 본드 패드(303)와, 기능 커넥터(314)에 결합시키도록 기판(302)의 제2 측부 - 제2 측부는 기판(302)의 제1 측부에 대향함 - 상에 본드 패드(304)를 구비할 수 있다. 일부 실시예에서, 본드 패드(303 및 304)는 리세스(미도시됨)를 기판(302)의 제1 측부 및 제2 측부 상의 유전체층(미도시됨) 내로 형성함으로써 형성된다. 리세스는 본드 패드(303 및 304)가 유전체층 내로 임베드(embed)되게 하도록 형성될 수 있다. 다른 실시예에서, 본드 패드(303 및 304)가 유전체층 상에 형성될 수 있으므로 리세스가 생략된다. 일부 실시예에서, 본드 패드(303 및 304)는 구리, 티타늄, 니켈, 금, 팔라듐 등 또는 이 물질들의 조합으로 이루어진 얇은 시드층(미도시됨)을 포함한다. 본드 패드(303 및 304)의 전도성 물질은 얇은 시드층 위에 퇴적될 수 있다. 전도성 물질은 전기 화학 도금 프로세스, 무전해 도금 프로세스, CVD, ALD, PVD 등 또는 이것들의 조합에 의해 형성될 수 있다. 실시예에서, 본드 패드(303 및 304)의 전도성 물질은 구리, 텅스텐, 알루미늄, 은, 금 등 또는 이 물질들의 조합이다.

[0065] 실시예에서, 본드 패드들(303 및 304)은, 예컨대, 티타늄층, 구리층, 및 니켈층과 같은 전도성 물질의 3개의 층

들을 포함하는 UBM이다. 그러나, 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자는 본드 패드(303 및 304)의 형성에 적합한 크롬/크롬-구리 합금/구리/금의 배열, 티타늄/티타늄-텅스텐/구리의 배열 또는 구리/니켈/금의 배열과 같은 물질들 및 층들의 많은 적합한 배열이 있다는 것을 인식할 것이다. 본드 패드(303 및 304)에 대하여 사용될 수 있는 임의의 적절한 물질 또는 물질층은 본 출원의 범위 내에서 포함되는 것으로 전적으로 의도된다. 일부 실시예에서, 관통 비아(306)는 기판(302)을 관통해 연장되고, 적어도 하나의 본드 패드(303)를 적어도 하나의 본드 패드(304)에 결합시킨다.

- [0066] 예증된 실시예에서, 비록 예컨대, 전도성 범프와 같은 다른 접속부들이 사용될 수 있지만, 적층 다이(308)는 와이어 본드(310)에 의해 기판(302)에 결합된다. 일 실시예에서, 적층된 다이(308)는 적층된 메모리 다이이다. 예를 들면, 적층된 다이(308)는 예컨대, LPDDR1, LPDDR2, LPDDR3, LPDDR4, 또는 이와 유사한 메모리 모듈과 같은 저전력(low-power; LP) 더블 데이터 레이트(double data rate; DDR) 메모리 모듈과 같은, 메모리 다이일 수 있다.
- [0067] 적층된 다이(308)와 와이어 본드(310)는 몰딩 물질(312)에 의해 캡슐화될 수 있다. 몰딩 물질(312)은 예를 들면, 압축 몰딩을 사용해 적층된 다이(308)와 와이어 본드(310) 상에 몰딩될 수 있다. 일부 실시예에서, 몰딩 물질(312)은 몰딩 화합물, 중합체, 에폭시, 실리콘 산화물 필러(filler) 물질 등, 또는 이들 물질들의 조합이다. 경화 단계는 몰딩 물질(312)을 경화시키도록 수행될 수 있으며, 경화는 열 경화, UV 경화 등 또는 이들의 조합일 수 있다.
- [0068] 일부 실시예에서, 적층된 다이(308)와 와이어 본드(310)는 몰딩 물질(312) 내에 매립되고, 몰딩 물질(312)의 경화 후에, 그라인딩(grinding)과 같은 평탄화 단계가 수행되어 몰딩 물질(312)의 과잉 부분을 제거시키고 제2 패키지(300)를 위해 실질적으로 평면인 표면을 제공한다.
- [0069] 제2 패키지(300)가 형성된 후에, 제2 패키지(300)는 기능 커넥터(314), 본드 패드(304), 및 금속화 패턴(106)을 경유해 제1 패키지(200)에 기계적으로 그리고 전기적으로 본딩된다. 일부 실시예에서, 적층된 다이(308)는 와이어 본드(310), 본드 패드(303 및 304), 관통 비아(306), 기능 커넥터(314), 및 관통 비아(112)를 통해 집적 회로 다이(114)에 결합될 수 있다.
- [0070] 기능 커넥터(314)와 전도성 커넥터(187)가 동일할 필요는 없지만, 기능 커넥터(314)는 위에서 설명된 전도성 커넥터(187)와 유사할 수 있고, 그 설명이 여기서 반복되지 않는다. 기능 커넥터(314)는 개구(194) 내에서, 적층된 다이(308)와의 기판(302)의 반대쪽 상에 배치될 수 있다. 일부 실시예에서, 솔더 레지스트(318)는 또한 적층된 다이(308)와 반대되는 기판(302)쪽 상에 형성될 수 있다. 기능 커넥터(314)는 기판(302) 내 전도성 피처(예컨대, 본드 패드(304))에 전기적으로 그리고 기계적으로 결합되도록 솔더 레지스트(318) 내의 개구 내에 배치될 수 있다. 솔더 레지스트(318)는 기판(302)의 구역을 외부 손상으로부터 보호하기 위해 사용될 수 있다.
- [0071] 일부 실시예에서, 기능 커넥터(314)를 본딩하기 전에, 기능 커넥터(314)는 예컨대, 무세척 플럭스와 같은 플럭스(미도시됨)로 코팅된다. 기능 커넥터(314)는 플럭스 내에 담가질 수 있거나 플럭스는 기능 커넥터(314) 상으로 분사될 수 있다. 또 다른 실시예에서, 플럭스는 금속화 패턴(106)의 표면에 도포될 수 있다.
- [0072] 일부 실시예에서, 기능 커넥터(314)는, 제2 패키지(300)가 제1 패키지(200)에 부착된 후에 남아 있는 에폭시 플럭스의 에폭시 부분 중 적어도 일부를 가지고 리플로우되기 전에 그 자신 상에 형성된 옵션인 에폭시 플럭스(미도시됨)를 가질 수 있다. 이 남아있는 에폭시 부분은 응력을 감소시키기 위한 언더필로서 작용하고, 기능 커넥터(314)를 리플로우하는 것으로부터 초래되는 조인트(joint)를 보호할 수 있다.
- [0073] 언더필(미도시됨)은 제1 패키지(200)와 기판(300) 사이에 그리고 기능 커넥터(314) 주위에 형성될 수 있다. 언더필은, 제1 패키지(200)가 부착된 후에 모세관 플로우 프로세스에 의해 형성될 수 있거나, 제1 패키지(200)가 부착되기 전에 적절한 퇴적 방법에 의해 형성될 수 있다.
- [0074] 제2 패키지(300)와 제1 패키지(200) 사이의 본딩은 솔더 본딩일 수 있다. 일 실시예에서, 제2 패키지(300)는 리플로우 프로세스에 의해 제1 패키지(200)에 본딩된다. 이 리플로우 프로세스 동안에, 기능 커넥터(314)는, 제2 패키지(300)를 제1 패키지(200)에 물리적으로 그리고 전기적으로 결합시키도록 본드 패드(304) 및 금속화 패턴(106)과 접촉한다. 본딩 프로세스 후에, 금속간 화합물(intermetallic compound; IMC)(미도시됨)은 금속화 패턴(106)과 기능 커넥터(314)의 계면에, 그리고 또한 기능 커넥터(314)와 본드 패드(304)(미도시됨) 사이의 계면에 형성될 수 있다.
- [0075] 도 25에서, 싱글레이션 프로세스는, 예를 들면, 인접 패키지 영역들 사이에서 스크라이브 라인 영역들을 따라 쏘잉(190)에 의해 수행된다. 쏘잉(190)은 제1 패키지 영역(600)을 다른 패키지 영역(미도시됨)으로부터 싱글레

이팅한다. 산출되는, 싱글레이팅된 제1 패키지(200)는 제1 패키지 영역(600)으로부터 유래한다.

- [0076] 도 26에서, 제1 패키지(200)는 전도성 커넥터(187)를 사용해 패키지 기판(400)에 실장된다. 패키지 기판(400)은 실리콘, 게르마늄, 다이아몬드 등과 같은 반도체 물질로 제조될 수 있다. 대안적으로, 실리콘 게르마늄, 실리콘 탄화물, 갈륨 비화물, 인듐 비화물, 인듐 인화물, 실리콘 게르마늄 탄화물, 갈륨 비소 인화물, 갈륨 인듐 인화물, 이 물질들의 조합 등과 같은 복합 물질들이 또한 사용될 수 있다. 또한, 패키지 기판(400)은 SOI 기판일 수 있다. 일반적으로, SOI 기판은 예컨대, 에피택셜 실리콘, 게르마늄, 실리콘 게르마늄, SOI, SGOI 또는 이들의 조합과 같은 반도체 물질층을 포함한다. 하나의 대안적인 실시예에서, 패키지 기판(400)은 유리 섬유 강화 수지 코어와 같은 절연 코어에 기초한다. 하나의 예시적인 코어 물질은 FR4와 같은 유리 섬유 수지이다. 코어 물질을 위한 대체재는 BT(bismaleimide-triazine) 수지, 또는 대안적으로 다른 PCB 물질 또는 막을 포함한다. ABF 또는 다른 라미네이트와 같은 빌드 업(build up) 막이 패키지 기판(400)을 위해 사용될 수 있다.
- [0077] 패키지 기판(400)은 능동 및 수동 디바이스들을 포함할 수 있다(미도시됨). 당업자는, 트랜지스터, 커패시터, 저항기, 이들의 조합들 등과 같은 매우 다양한 디바이스들이 패키지 구조물(500)을 위한 설계의 구조적 및 기능적 요구들을 생성하기 위해 사용될 수 있다는 것을 인식할 것이다. 디바이스는 임의의 적절한 방법을 사용해서 형성될 수 있다.
- [0078] 패키지 기판(400)은 금속화층과 비아(미도시됨)와, 금속화층 및 비아 위의 본드 패드(402)를 또한 포함할 수 있다. 금속화층은 능동 및 수동 디바이스 위에 형성될 수 있고, 기능 회로를 형성하기 위해 다양한 디바이스들을 접속시키기 위해 설계된다. 금속화층은 전도성 물질의 층들을 상호접속시키는 비아를 사용해 유전체(예컨대, 로우-k 유전체 물질)와 전도성 물질(예컨대, 구리)의 교번층들로 형성될 수 있고, 임의의 적절한 프로세스(예컨대, 퇴적, 다마신, 이중 다마신 등)를 통해 형성될 수 있다. 일부 실시예에서, 패키지 기판(400)은 능동 및 수동 장치들을 실질적으로 포함하지 않는다.
- [0079] 일부 실시예에서, 전도성 커넥터(187)는 제1 패키지(200)를 본드 패드(402)에 부착시키기 위해 리플로우된다. 전도성 커넥터(187)는, 패키지 기판(400) 내의 금속화층을 포함해서, 패키지 기판(400)을 제1 패키지(200)에 전기적으로 그리고/또는 물리적으로 결합시킨다. 일부 실시예에서, 수동 디바이스(예컨대, 표면 실장 디바이스(surface mount devices; SMD), 예증되지 않음)는 패키지 기판(400) 상에 실장되기 전에 제1 패키지(200)(예컨대, 본드 패드(402)에 본딩됨)에 부착될 수 있다. 이러한 실시예에서, 수동 디바이스는 전도성 커넥터(187)와 동일한, 제1 패키지(200)의 표면에 본딩될 수 있다.
- [0080] 전도성 커넥터(187)는, 제1 패키지(200)가 패키지 기판(400)에 부착된 후에 남아 있는 에폭시 플럭스의 에폭시 부분 중 적어도 일부를 사용해 그 자신이 리플로우되기 전에 그 자신 상에 형성된 에폭시 플럭스(미도시됨)를 가질 수 있다. 이 남아있는 에폭시 부분은 응력을 감소시키기 위한 언더필로서 작용하고, 전도성 커넥터(187)를 리플로우하는 것으로부터 초래되는 조인트를 보호할 수 있다. 일부 실시예에서, 언더필(미도시됨)은 제1 패키지(200)와 패키지 기판(400) 사이에 그리고 전도성 커넥터(187) 주위에 형성될 수 있다. 언더필은, 제1 패키지(200)가 부착된 후에 모세관 플로우 프로세스에 의해 형성될 수 있거나, 제1 패키지(200)가 부착되기 전에 적절한 퇴적 방법에 의해 형성될 수 있다.
- [0081] 도 27 내지 42는 일부 다른 실시예에 따라 적층된 비아 구조물의 형성을 예증한다. 도 27 내지 42는 영역(650)을 예증한다. 도 27 내지 42의 실시예에서, 적층된 비아 구조물(132)의 비아는 전도성 필라 주위에 형성된다.
- [0082] 도 27에서, 유전체층(133)은 봉합재(130), 관통 비아(112), 및 집적 회로 다이(114)(예를 들면, 다이 커넥터(126)) 상에 퇴적된다. 그런 다음, 유전체층(133)이 패터닝되어 개구(134)를 형성한다. 그런 다음, 시드층(136)이 유전체층(133) 위에 그리고 유전체층(133)을 관통해 연장되는 개구(134) 내에 형성된다.
- [0083] 도 28에서, 포토 레지스트(138)는 시드층(136) 상에 형성되고 패터닝된다. 그런 다음, 포토 레지스트(138)가 패터닝되어, 포토 레지스트(138)를 관통해 시드층(136)을 노출시키는 개구(140)를 형성한다. 개구(140)의 폭은 개구(134)의 폭보다 작다.
- [0084] 도 29에서, 전도성 물질은 시드층(136)의 노출된 부분 상에 형성된다. 전도성 물질은 예컨대, 전기 도금 또는 무전해 도금 등과 같은 도금에 의해 형성될 수 있다. 전도성 물질은 구리, 티타늄, 텅스텐, 알루미늄 등과 같은 금속을 포함할 수 있다. 시드층(136)의 하부 부분과 전도성 물질의 조합은 전도성 필라(702)를 형성한다.
- [0085] 도 30에서, 포토 레지스트(138)와 그 위에 전도성 물질이 형성되지 않는 시드층(136)의 부분이 제거된다.
- [0086] 도 31에서, 유전체층(146)이 유전체층(133) 상에와 전도성 필라(702) 주위에 퇴적된다. 그런 다음, 유전체층

(146)이 패터닝된다. 패터닝은 개구(134)를 노출시키도록 개구(148)를 형성한다. 그런 다음, 시드층(150)이 유전체층(146) 위에, 유전체층(133)을 관통해 개구(148) 내에, 그리고 유전체층(133)을 관통해 개구(134) 내에 형성된다. 시드층(150)은 전도성 필라(702)의 측부를 따라 연장된다.

- [0087] 도 32에서, 포토 레지스트(152)는 시드층(150) 상에 형성되고 패터닝된다. 패터닝은 시드층(150)을 노출시키도록 포토 레지스트를 관통해 개구(154)를 형성한다. 개구(154)는 전도성 필라(702)를 둘러싼다. 패터닝된 포토 레지스트(152)의 부분은 전도성 필라(702) 위에 배치된다.
- [0088] 도 33에서, 전도성 물질은 시드층(150)의 노출된 부분 상에 형성된다. 전도성 물질은 예컨대, 전기 도금 또는 무전해 도금 등과 같은 도금에 의해 형성될 수 있다. 전도성 물질은 구리, 티타늄, 텅스텐, 알루미늄 등과 같은 금속을 포함할 수 있다. 시드층(150)의 하부 부분과 전도성 물질의 조합은 전도성 필라(702) 주위에 전도성 비아(704)를 형성한다. 전도성 비아(704)는 유전체층(133) 둘 다를 관통해 연장된다.
- [0089] 도 34에서, 포토 레지스트(152)와 그 위에 전도성 물질이 형성되지 않는 시드층(150)의 부분이 제거된다.
- [0090] 도 35에서, 유전체층(160)은 유전체층(146)과 전도성 비아(704) 상에 퇴적된다. 그런 다음, 유전체층(160)이 패터닝된다. 패터닝은 전도성 비아(704)와 전도성 필라(702)의 부분을 노출시키도록 개구(162)를 형성한다. 그런 다음, 시드층(164)이 유전체층(160) 위에 그리고 유전체층(160)을 관통하는 개구(162) 내에 형성된다. 시드층(164)은 전도성 필라(702)의 상단 표면과 측벽을 따라 연장된다.
- [0091] 도 36에서, 포토 레지스트(166)는 시드층(164) 상에 형성되고 패터닝된다. 패터닝은 시드층(164)을 노출시키도록 포토 레지스트를 관통해 개구(168)를 형성한다. 개구(168)는 전도성 필라(702) 위에 있고, 전도성 필라(702)의 폭과 거의 동일한 폭을 가질 수 있다.
- [0092] 도 37에서, 전도성 물질은 시드층(164)의 노출된 부분 상에 형성된다. 전도성 물질은 예컨대, 전기 도금 또는 무전해 도금 등과 같은 도금에 의해 형성될 수 있다. 전도성 물질은 구리, 티타늄, 텅스텐, 알루미늄 등과 같은 금속을 포함할 수 있다. 시드층(164)의 하부 부분과 전도성 물질의 조합은 전도성 필라(702) 상에 전도성 필라(706)를 형성한다.
- [0093] 도 38에서, 포토 레지스트(166)와 그 위에 전도성 물질이 형성되지 않는 시드층(164)의 부분이 제거된다. 전도성 필라(702)의 상단 표면과 측벽을 따라 시드층(164)의 부분은 제거되지 않는다.
- [0094] 도 39에서, 유전체층(174)은 유전체층(160)과 전도성 비아(704) 상에 그리고 전도성 필라(702와 706) 주위에 퇴적된다. 유전체층(174)이 패터닝된다. 패터닝은 전도성 비아(704)와 전도성 필라(702와 706)의 부분을 노출시키도록 개구(176)를 형성한다. 그런 다음, 시드층(178)이 유전체층(174) 위에 그리고 유전체층(174)을 관통하는 개구(176) 내에 형성된다. 시드층(178)은 전도성 필라(702와 706)의 측벽을 따라 그리고 전도성 필라(706)의 상단 표면을 따라 연장된다.
- [0095] 도 40에서, 포토 레지스트(180)는 시드층(178) 상에 형성되고 패터닝된다. 패터닝은 시드층(178)을 노출시키도록 포토 레지스트(180)를 관통해 개구(182)를 형성한다. 개구(182)는 전도성 필라(702와 706) 위에 있다.
- [0096] 도 41에서, 전도성 물질은 시드층(178)의 노출된 부분 상에 형성된다. 전도성 물질은 예컨대, 전기 도금 또는 무전해 도금 등과 같은 도금에 의해 형성될 수 있다. 전도성 물질은 구리, 티타늄, 텅스텐, 알루미늄 등과 같은 금속을 포함할 수 있다. 시드층(178)의 하부 부분과 전도성 물질의 조합은, 전도성 필라(702와 706) 주위에 전도성 비아(708)를 포함하는, 패드(184)를 형성한다. 전도성 비아(708)는 유전체층(160과 174) 둘 다를 관통해 연장된다. 전도성 비아(708)는 전도성 필라(702와 706) 위에서 연장될 수 있다.
- [0097] 도 42에서, 포토 레지스트(180)와 그 위에 전도성 물질이 형성되지 않는 시드층(178)의 부분이 제거된다.
- [0098] 실시예는 장점을 달성할 수 있다. 금속화 패턴(142 및 156)의 다수의 계면으로부터 유전체층(133 및 146)의 계면을 오프셋함으로써, 추가적인 패키지 응력 집중이 회피될 수 있고, 그럼으로써, 금속화 패턴(142 및 156)의 계면에서 균열(crack)이 형성되는 기회를 감소시킬 수 있다. 또한, 시드층(136, 150, 164, 및 178)은 인접하게 적층된 비아들 사이의 확산 차단층으로서 작용할 수 있다. 전도성 필라(702 및 706)가 형성되는 실시예에서, 전도성 필라는 코어 구조물로서 작용하여, 적층된 비아 구조물(132)을 강화할 수 있다.
- [0099] 실시예에서, 디바이스는, 몰딩 화합물; 몰딩 화합물 내에 캡슐화된 집적 회로 다이; 집적 회로 다이에 인접한 관통 비아; 및 집적 회로 다이, 몰딩 화합물, 및 관통 비아 위의 재배선 구조물을 포함하고, 재배선 구조물은 집적 회로 다이와 관통 비아에 전기적으로 접속되며, 재배선 구조물은, 몰딩 화합물 위에 배치된 제1 유전체층;

제1 유전체층을 관통해 연장되는 제1 전도성 비아; 제1 유전체층 및 제1 전도성 비아 위에 배치된 제2 유전체층; 및 제2 유전체층을 관통하고 제1 전도성 비아의 일부분 내로 연장되는 제2 전도성 비아를 포함하고, 제1 전도성 비아와 제2 전도성 비아 사이의 계면은 비평면이다.

[0100] 일부 실시예에서, 제1 전도성 비아와 제2 전도성 비아 사이의 계면은 제1 평면에 놓인 제1 부분과 제2 평면에 놓인 제2 부분을 가지며, 제1 평면은 집적 회로 다이에 근접하고, 제2 평면은 집적 회로 다이로부터 멀리 있고 (distal), 제1 유전체층과 제2 유전체층 사이의 계면은 제1 평면과 제2 평면 사이의 제3 평면 내에 놓인다. 일부 실시예에서, 재배선 구조물은, 제2 유전체층 및 제2 전도성 비아 위의 제3 유전체층; 및 제3 유전체층을 관통해 그리고 제2 전도성 비아의 일부분 내로 연장되는 제3 전도성 비아를 더 포함하고, 제2 전도성 비아와 제3 전도성 비아 사이의 계면은 비평면이다. 일부 실시예에서, 디바이스는 제3 전도성 비아에 부착된 집적 수동 디바이스(integrated passive device; IPD)를 더 포함한다.

[0101] 실시예에서, 방법은, 집적 회로 다이 - 집적 회로 다이는 다이 커넥터를 가짐 - 를 몰딩 화합물 내에 캡슐화하는 단계; 몰딩 화합물 위에 제1 유전체층을 퇴적하는 단계; 집적 회로 다이의 다이 커넥터를 노출시키는 개구를 제1 유전체층을 관통해 패터닝하는 단계; 제1 유전체층 위에 그리고 제1 개구 내에 제1 시드층을 퇴적하는 단계; 제1 시드층 상에 제1 유전체층을 관통해 연장되는 제1 전도성 비아 - 제1 전도성 비아는 제1 유전체층을 관통해 연장되는 제1 전도성 비아의 부분 내에 제1 리세스를 가짐 - 를 도금하는 단계; 제1 유전체층 및 제1 전도성 비아 위에 제2 유전체층을 퇴적하는 단계; 제1 유전체층 내에 제2 개구 - 제2 개구는 제1 전도성 비아의 제1 리세스를 노출시킴 - 를 패터닝하는 단계; 제2 유전체층 위에, 제2 개구 내에, 그리고 제1 리세스 내에 제2 시드층을 퇴적하는 단계; 및 제2 시드층 상에 제2 전도성 비아를 도금하는 단계를 포함하고, 제2 전도성 비아는 제1 전도성 비아의 제1 리세스 내로 그리고 제2 유전체층을 관통해 연장되고, 제2 전도성 비아는 제2 유전체층을 관통해 연장되는 제2 전도성 비아의 부분 내에 제2 리세스를 갖는다.

[0102] 일부 실시예에서, 제2 시드층은 제1 평면 내에 놓인 제1 부분과 제2 평면 내에 놓인 제2 부분을 가지며, 제1 유전체층과 제2 유전체층 사이의 제2 계면은 제3 평면 내에 놓이고, 제1 평면은 집적 회로 다이에 근접하고, 제2 평면은 집적 회로 다이로부터 멀리 있고, 제3 평면은 제1 평면과 제2 평면 사이에 있다. 일부 실시예에서, 제2 시드층은 제2 유전체층의 상단 표면, 제2 개구의 측부, 제1 전도성 비아의 최상단 표면, 제1 리세스의 측부를 규정하는 제1 전도성 비아의 부분, 및 제1 리세스의 하단부를 규정하는 제1 전도성 비아의 부분을 따라 연장된다. 일부 실시예에서, 제2 유전체층과 제2 시드층 사이의 계면은 비평면이다. 일부 실시예에서, 방법은, 제2 유전체층 및 제2 전도성 비아 위에 제3 유전체층을 퇴적하는 단계; 제2 전도성 비아의 제2 리세스를 노출시키는 제3 개구를 제3 유전체층 내에 패터닝하는 단계; 제3 유전체층 위에, 제3 개구 내에, 그리고 제2 리세스 내에 제3 시드층을 퇴적하는 단계; 및 제3 시드층 상의 제3 전도성 비아를 도금하는 단계를 포함하고, 제3 전도성 비아는 제2 전도성 비아의 제2 리세스 내로 그리고 제3 유전체층을 관통해 연장된다. 일부 실시예에서, 제2 전도성 비아는 제2 유전체층을 관통해 연장되고, 제1 유전체층 및 제3 유전체 내로 적어도 부분적으로 연장된다. 일부 실시예에서, 방법은 집적 수동 디바이스(integrated passive device; IPD)를 제3 전도성 비아에 부착하는 단계를 더 포함한다. 일부 실시예에서, 제2 시드층 상에 제3 전도성 비아를 도금하는 단계는 간극 충전 도금 프로세스를 사용해 수행된다. 일부 실시예에서, 간극 충전 도금 프로세스는  $2.0 \text{ A/dm}^2$  내지  $6.0 \text{ A/dm}^2$ 의 도금 전류 밀도를 사용해 수행되는 도금 프로세스를 포함하고, 도금액은 구리 황산화물을 포함한다. 일부 실시예에서, 제2 시드층 상에 제2 전도성 비아를 도금하는 단계는 건포멀 도금 프로세스를 사용해 수행된다. 일부 실시예에서, 건포멀 도금 프로세스는  $0.3 \text{ A/dm}^2$  내지  $0.9 \text{ A/dm}^2$ 의 도금 전류 밀도를 사용해 수행되는 도금 프로세스를 포함하고, 도금액은 구리 황산화물을 포함한다.

[0103] 실시예에서, 방법은, 다이 커넥터를 구비하는 집적 회로 다이를 몰딩 화합물 내에 캡슐화하는 단계; 제1 유전체층을 몰딩 화합물 위에 퇴적하는 단계; 제1 유전체층을 관통해 제1 개구를 패터닝하는 단계; 집적 회로 다이의 다이 커넥터 상에 제1 개구 내에 제1 전도성 필라를 형성하는 단계; 제2 유전체층을 제1 유전체층 위에 퇴적하는 단계; 제1 개구를 노출시키는 제2 개구를 제2 유전체층 내에 패터닝하는 단계; 및 제1 개구 및 제2 개구 내에서 제1 전도성 필라 주위에 제1 전도성 비아를 형성하는 단계를 포함한다.

[0104] 일부 실시예에서, 방법은, 제3 유전체층을 제2 유전체층 위에 퇴적하는 단계; 제1 전도성 비아를 노출시키는 제3 개구를 제3 유전체층 내에 패터닝하는 단계; 제1 전도성 필라 상에 제3 개구 내에 제2 전도성 필라를 형성하는 단계; 제4 유전체층을 제3 유전체층 위에 퇴적하는 단계; 제3 개구를 노출시키는 제4 개구를 제4 유전체층 내에 패터닝하는 단계; 및 제3 개구 및 제4 개구 내에서 제2 전도성 필라 주위에 제2 전도성 비아를 형성하는 단계를 더 포함한다. 일부 실시예에서, 방법은 집적 수동 디바이스(IPD)를 제2 전도성 비아에 부착하는 단계를

더 포함한다. 일부 실시예에서, 제3 유전체층이 퇴적된 후에, 제1 전도성 비아는 제1 유전체층을 관통하고, 제2 유전체층을 관통하며, 제3 유전체 내로 부분적으로 연장된다. 일부 실시예에서, 제2 전도성 비아는 제1 전도성 필라 주위에 또한 형성된다.

[0105] 전술된 설명은, 당업자가 본 개시의 양상을 더 잘 이해할 수 있도록 다수의 실시예들의 특징을 서술한다. 당업자는, 자신이 본 명세서에서 소개된 실시예의 동일한 목적을 수행하고 그리고/또는 동일한 이점을 달성하기 위한 다른 프로세스와 구조물을 설계하기 위한 기초로서 본 개시를 쉽게 이용할 수 있다는 것을 인식해야 한다. 또한, 당업자들은 등가의 구성이 본 개시의 취지 및 범위를 벗어나지 않으며 그리고 본 개시의 취지 및 범위를 벗어나지 않고 다양한 변화, 대체 및 변경을 이룰 수 있음을 알아야 한다.

[0107] **실시예들**

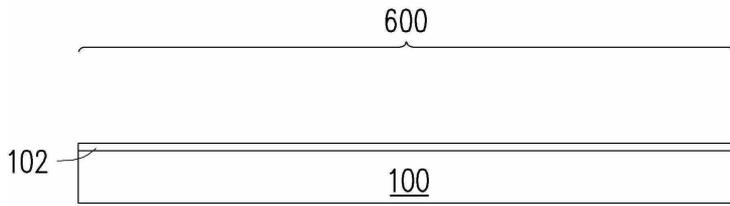
- [0108] 실시예 1. 디바이스에 있어서,
- [0109] 몰딩 화합물;
- [0110] 상기 몰딩 화합물 내에 캡슐화된 집적 회로 다이;
- [0111] 상기 집적 회로 다이에 인접한 관통 비아; 및
- [0112] 상기 집적 회로 다이, 상기 몰딩 화합물, 및 상기 관통 비아 위의 재배선 구조물
- [0113] 을 포함하고,
- [0114] 상기 재배선 구조물은 상기 집적 회로 다이 및 상기 관통 비아에 전기적으로 접속되며,
- [0115] 상기 재배선 구조물은,
- [0116] 상기 몰딩 화합물 위에 배치된 제1 유전체층;
- [0117] 상기 제1 유전체층을 관통해 연장되는 제1 전도성 비아;
- [0118] 상기 제1 유전체층 및 상기 제1 전도성 비아 위에 배치된 제2 유전체층; 및
- [0119] 상기 제2 유전체층을 관통하고 상기 제1 전도성 비아의 일부분 내로 연장되는 제2 전도성 비아
- [0120] 를 포함하고,
- [0121] 상기 제1 전도성 비아와 상기 제2 전도성 비아 사이의 계면은 비평면(non-planar)인 것인, 디바이스.
- [0122] 실시예 2. 실시예 1에 있어서,
- [0123] 상기 제1 전도성 비아와 상기 제2 전도성 비아 사이의 계면은 제1 평면에 놓인 제1 부분과 제2 평면에 놓인 제2 부분을 가지며, 상기 제1 평면은 상기 집적 회로 다이에 근접하고, 상기 제2 평면은 상기 집적 회로 다이로부터 멀리(distal) 있고, 상기 제1 유전체층과 상기 제2 유전체층 사이의 계면은 상기 제1 평면과 상기 제2 평면 사이의 제3 평면 내에 놓인 것인, 디바이스.
- [0124] 실시예 3. 실시예 1에 있어서,
- [0125] 상기 재배선 구조물은,
- [0126] 상기 제2 유전체층 및 상기 제2 전도성 비아 위의 제3 유전체층; 및
- [0127] 상기 제3 유전체층을 관통해 그리고 상기 제2 전도성 비아의 일부분 내로 연장되는 제3 전도성 비아
- [0128] 를 더 포함하고,
- [0129] 상기 제2 전도성 비아와 상기 제3 전도성 비아 사이의 계면은 비평면인 것인, 디바이스.
- [0130] 실시예 4. 실시예 3에 있어서,
- [0131] 상기 제3 전도성 비아에 부착된 집적 수동 디바이스(integrated passive device; IPD)를 더 포함하는, 디바이스.
- [0132] 실시예 5. 방법에 있어서,
- [0133] 다이 커넥터를 가지는 집적 회로 다이를 몰딩 화합물 내에 캡슐화하는 단계;

- [0134] 제1 유전체층을 상기 몰딩 화합물 위에 퇴적하는 단계;
- [0135] 상기 집적 회로 다이의 다이 커택터를 노출시키는 제1 개구를 상기 제1 유전체층을 관통해 패터닝하는 단계;
- [0136] 상기 제1 유전체층 위에 그리고 상기 제1 개구 내에 제1 시드층을 퇴적하는 단계;
- [0137] 상기 제1 시드층 상에 상기 제1 유전체층을 관통해 연장되는 제1 전도성 비아 - 상기 제1 전도성 비아는 상기 제1 유전체층을 관통해 연장되는 상기 제1 전도성 비아의 부분 내에 제1 리세스를 가짐 - 를 도금하는 단계;
- [0138] 상기 제1 유전체층 및 상기 제1 전도성 비아 위에 제2 유전체층을 퇴적하는 단계;
- [0139] 상기 제1 전도성 비아의 제1 리세스를 노출시키는 제2 개구를 상기 제2 유전체층 내에 패터닝하는 단계;
- [0140] 상기 제2 유전체층 위에, 상기 제2 개구 내에, 그리고 상기 제1 리세스 내에 제2 시드층을 퇴적하는 단계; 및
- [0141] 상기 제2 시드층 상에 제2 전도성 비아를 도금하는 단계
- [0142] 를 포함하고,
- [0143] 상기 제2 전도성 비아는 상기 제1 전도성 비아의 제1 리세스 내로 그리고 상기 제2 유전체층을 관통해 연장되고, 상기 제2 전도성 비아는 상기 제2 유전체층을 관통해 연장되는 상기 제2 전도성 비아의 부분 내에 제2 리세스를 갖는 것인, 방법.
- [0144] 실시예 6. 실시예 5에 있어서,
- [0145] 상기 제2 시드층은 제1 평면 내에 놓인 제1 부분과 제2 평면 내에 놓인 제2 부분을 가지며, 상기 제1 유전체층과 상기 제2 유전체층 사이의 제2 계면은 제3 평면 내에 놓이고, 상기 제1 평면은 상기 집적 회로 다이에 근접하고, 상기 제2 평면은 상기 집적 회로 다이로부터 멀리 있고, 상기 제3 평면은 상기 제1 평면과 상기 제2 평면 사이에 있는 것인, 방법.
- [0146] 실시예 7. 실시예 5에 있어서,
- [0147] 상기 제2 시드층은, 상기 제2 유전체층의 상단 표면, 상기 제2 개구의 측부, 상기 제1 전도성 비아의 최상단 표면, 상기 제1 리세스의 측부를 규정하는 상기 제1 전도성 비아의 부분, 및 상기 제1 리세스의 하단부를 규정하는 상기 제1 전도성 비아의 부분을 따라 연장되는 것인, 방법.
- [0148] 실시예 8. 실시예 5에 있어서,
- [0149] 상기 제2 유전체층과 상기 제2 시드층 사이의 계면은 비평면인 것인, 방법.
- [0150] 실시예 9. 실시예 5에 있어서,
- [0151] 상기 제2 유전체층 및 상기 제2 전도성 비아 위에 제3 유전체층을 퇴적하는 단계;
- [0152] 상기 제2 전도성 비아의 제2 리세스를 노출시키는 제3 개구를 상기 제3 유전체층 내에 패터닝하는 단계;
- [0153] 상기 제3 유전체층 위에, 상기 제3 개구 내에, 그리고 상기 제2 리세스 내에 제3 시드층을 퇴적하는 단계; 및
- [0154] 상기 제3 시드층 상의 제3 전도성 비아를 도금하는 단계
- [0155] 를 포함하고,
- [0156] 상기 제3 전도성 비아는 상기 제2 전도성 비아의 제2 리세스 내로 그리고 상기 제3 유전체층을 관통해 연장되는 것인, 방법.
- [0157] 실시예 10. 실시예 9에 있어서,
- [0158] 상기 제2 전도성 비아는 상기 제2 유전체층을 관통해 연장되고, 상기 제1 유전체층 및 상기 제3 유전체 내로 적어도 부분적으로 연장되는 것인, 방법.
- [0159] 실시예 11. 실시예 9에 있어서,
- [0160] 집적 수동 디바이스(integrated passive device; IPD)를 상기 제3 전도성 비아에 부착시키는 단계를 더 포함하는, 방법.
- [0161] 실시예 12. 실시예 9에 있어서,

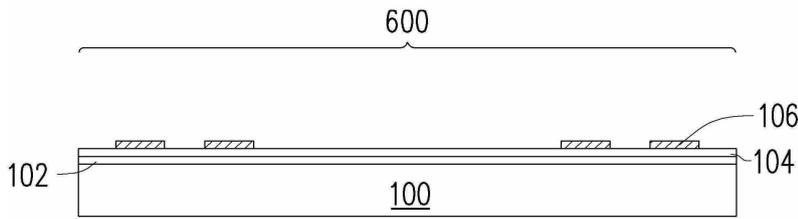
- [0162] 상기 제2 시드층 상의 상기 제3 전도성 비아를 도금하는 단계는 간극 충전 도금 프로세스를 사용해 수행되는 것인, 방법.
- [0163] 실시예 13. 실시예 12에 있어서,
- [0164] 상기 간극 충전 프로세스는  $2.0 \text{ A/dm}^2$  내지  $6.0 \text{ A/dm}^2$ 의 도금 전류 밀도를 사용해 수행되는 도금 프로세스를 포함하고, 도금액은 구리 황산화물을 포함하는 것인, 방법.
- [0165] 실시예 14. 실시예 5에 있어서,
- [0166] 상기 제2 시드층 상의 상기 제2 전도성 비아를 도금하는 단계는 컨포멀(conformal) 도금 프로세스를 사용해 수행되는 것인, 방법.
- [0167] 실시예 15. 실시예14에 있어서,
- [0168] 상기 컨포멀 도금 프로세스는  $0.3 \text{ A/dm}^2$  내지  $0.9 \text{ A/dm}^2$ 의 도금 전류 밀도를 사용해 수행되는 도금 프로세스를 포함하고, 도금액은 구리 황산화물을 포함하는 것인, 방법.
- [0169] 실시예 16. 방법에 있어서,
- [0170] 다이 커넥터를 가지는 집적 회로 다이를 몰딩 화합물 내에 캡슐화하는 단계;
- [0171] 제1 유전체층을 상기 몰딩 화합물 위에 퇴적하는 단계;
- [0172] 상기 제1 유전체층을 관통해 제1 개구를 패터닝하는 단계;
- [0173] 상기 집적 회로 다이의 다이 커넥터 상에 상기 제1 개구 내에 제1 전도성 필라를 형성하는 단계;
- [0174] 제2 유전체층을 상기 제1 유전체층 위에 퇴적하는 단계;
- [0175] 상기 제1 개구를 노출시키는 제2 개구를 상기 제2 유전체층 내에 패터닝하는 단계; 및
- [0176] 상기 제1 개구 및 상기 제2 개구 내에서 상기 제1 전도성 필라 주위에 제1 전도성 비아를 형성하는 단계를 포함하는, 방법.
- [0177] 실시예 17. 실시예 16에 있어서,
- [0179] 제3 유전체층을 상기 제2 유전체층 위에 퇴적하는 단계;
- [0180] 상기 제1 전도성 비아를 노출시키는 제3 개구를 상기 제3 유전체층 내에 패터닝하는 단계;
- [0181] 상기 제1 전도성 필라 상에 상기 제3 개구 내에 제2 전도성 필라(pillar)를 형성하는 단계;
- [0182] 제4 유전체층을 상기 제3 유전체층 위에 퇴적하는 단계;
- [0183] 상기 제3 개구를 노출시키는 제4 개구를 상기 제4 유전체층 내에 패터닝하는 단계; 및
- [0184] 상기 제3 개구 및 상기 제4 개구 내에서 상기 제2 전도성 필라 주위에 제2 전도성 비아를 형성하는 단계를 더 포함하는, 방법.
- [0185] 실시예 18. 실시예 17에 있어서,
- [0187] 집적 수동 디바이스(integrated passive device; IPD)를 상기 제2 전도성 비아에 부착하는 단계를 더 포함하는, 방법.
- [0188] 실시예 19. 실시예 17에 있어서,
- [0189] 상기 제3 유전체층이 퇴적된 후에, 상기 제1 전도성 비아는 상기 제1 유전체층을 관통하고, 상기 제2 유전체층을 관통하며, 부분적으로 상기 제3 유전체 내로 연장되는 것인, 방법.
- [0190] 실시예 20. 실시예 17에 있어서,
- [0191] 상기 제2 전도성 비아는 또한, 상기 제1 전도성 필라 주위에 형성되는 것인, 방법.

도면

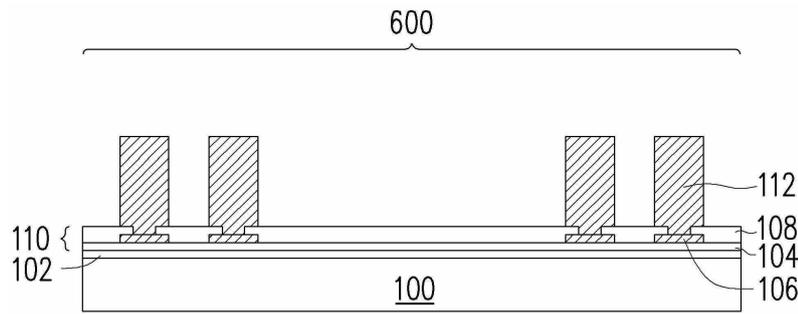
도면1



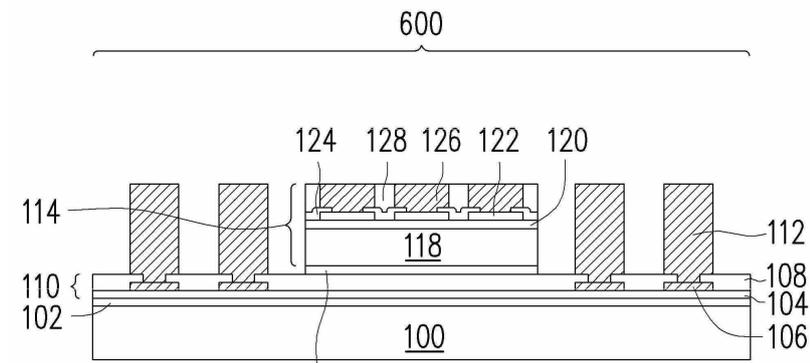
도면2



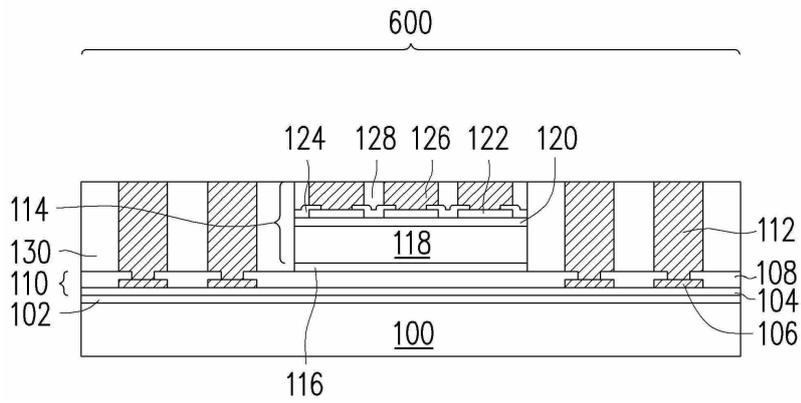
도면3



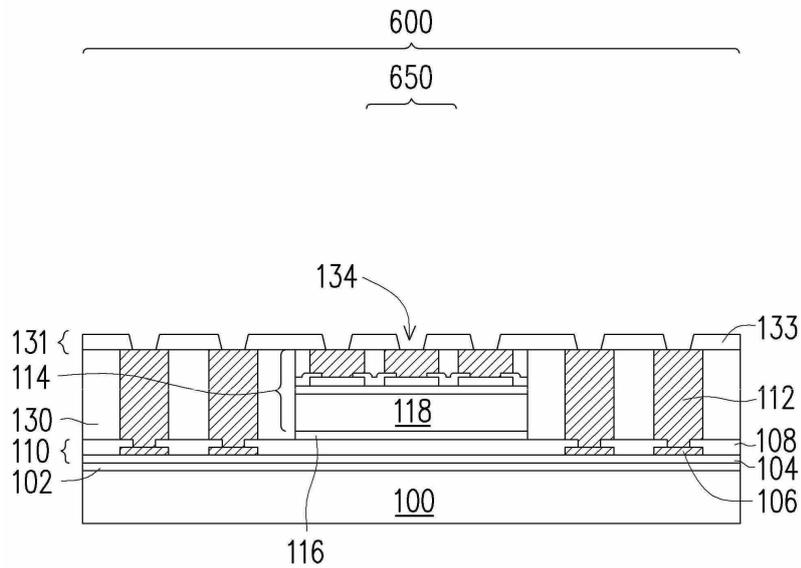
도면4



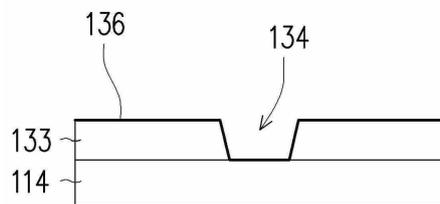
도면5



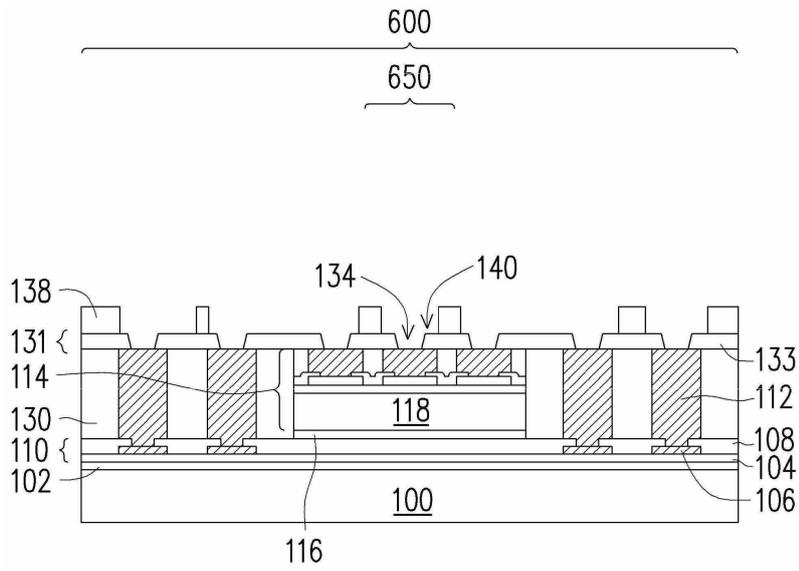
도면6a



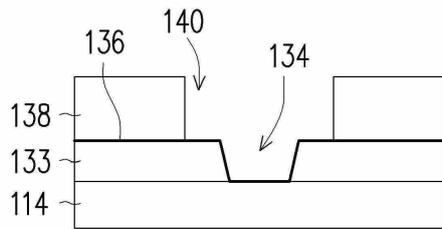
도면6b



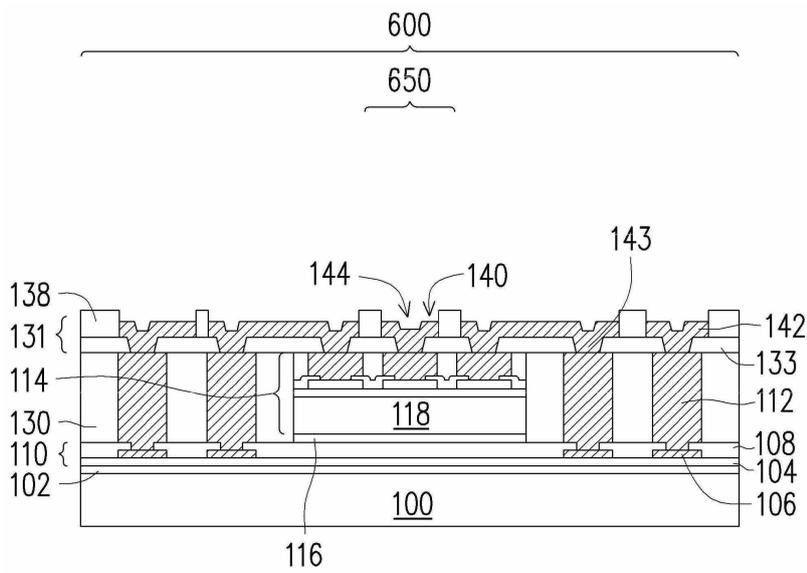
도면7a



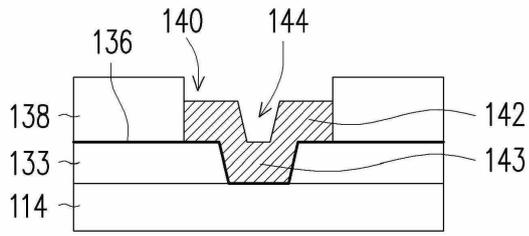
도면7b



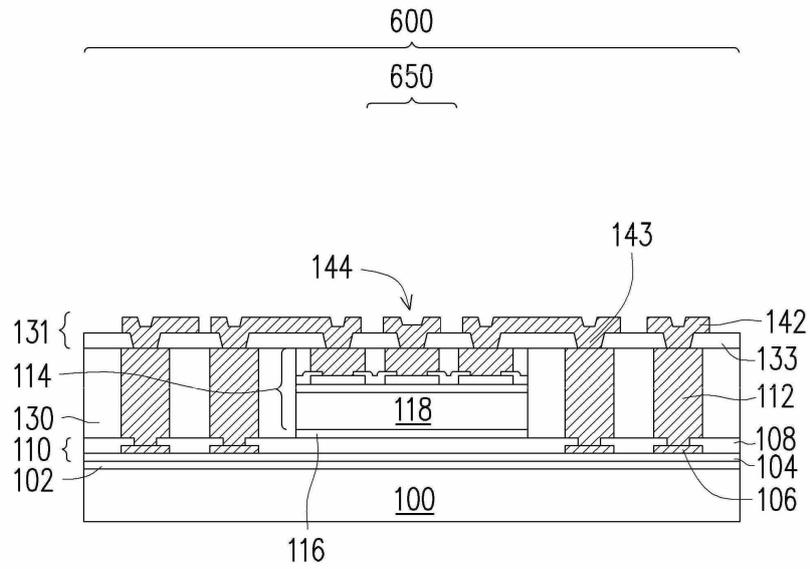
도면8a



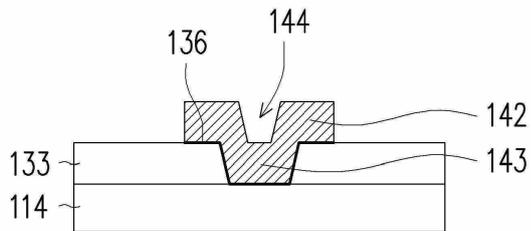
도면8b



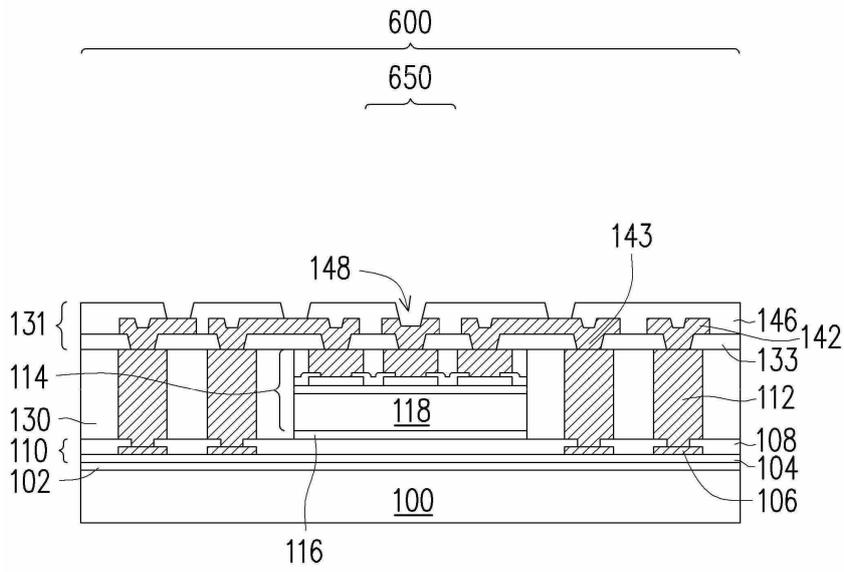
도면9a



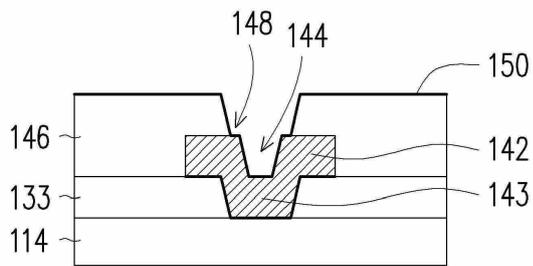
도면9b



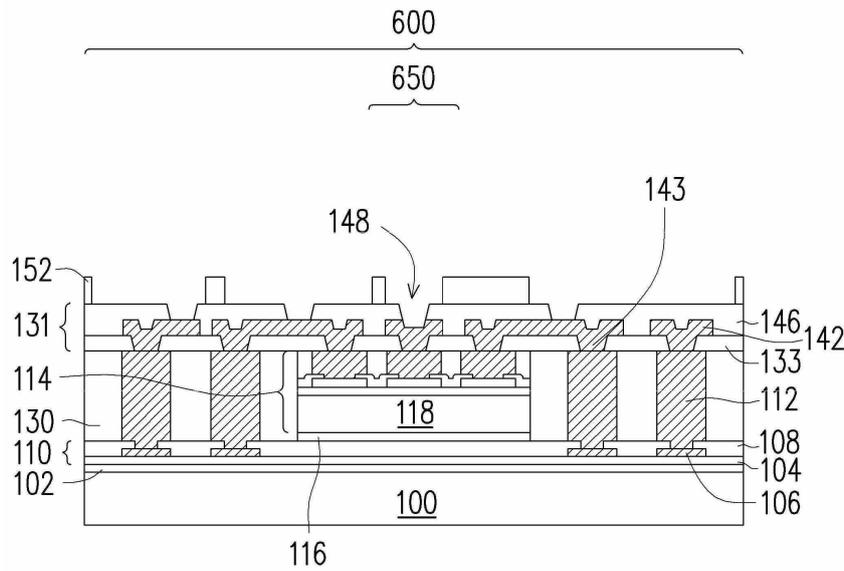
도면10a



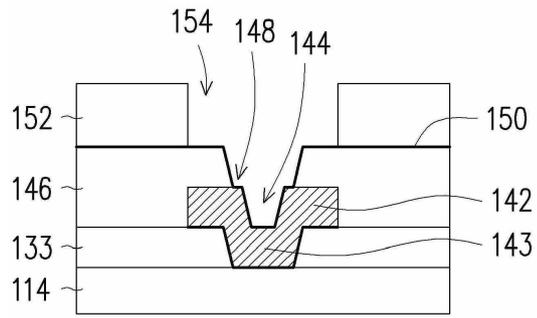
도면10b



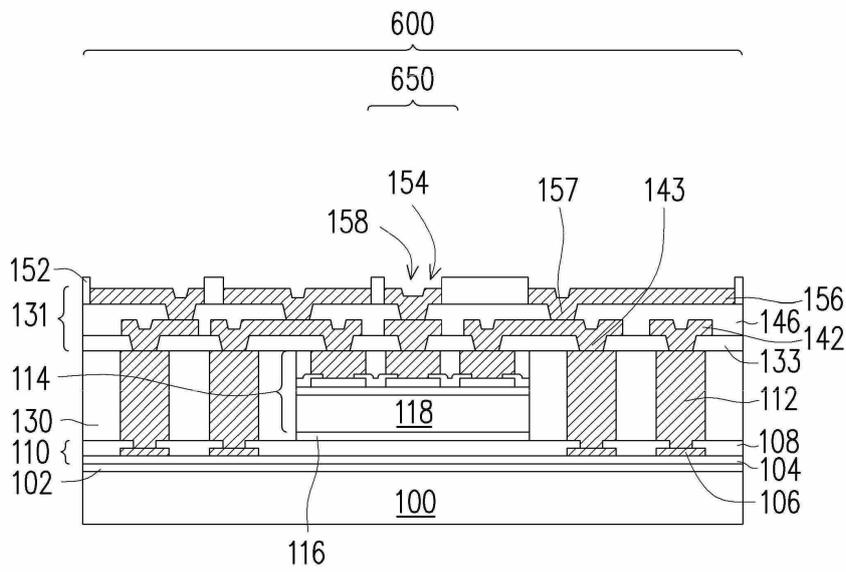
도면11a



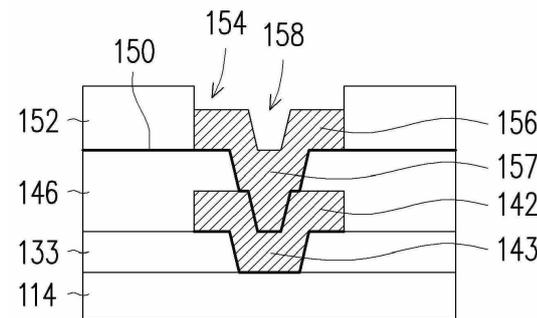
도면11b



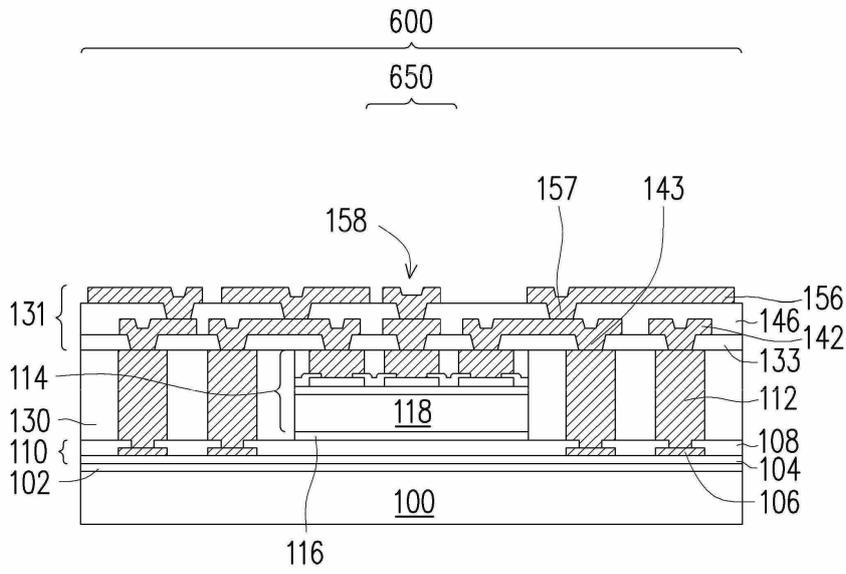
도면12a



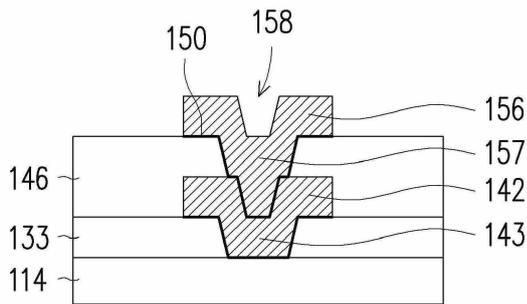
도면12b



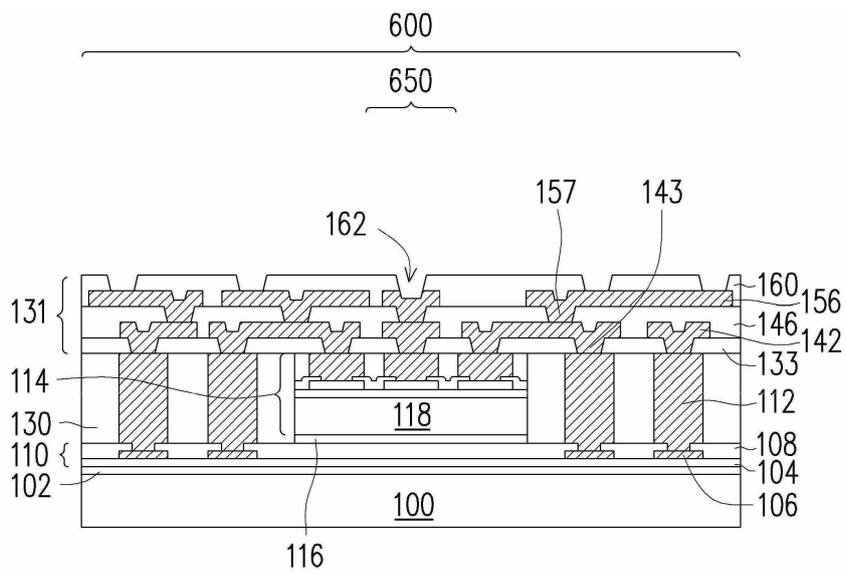
도면13a



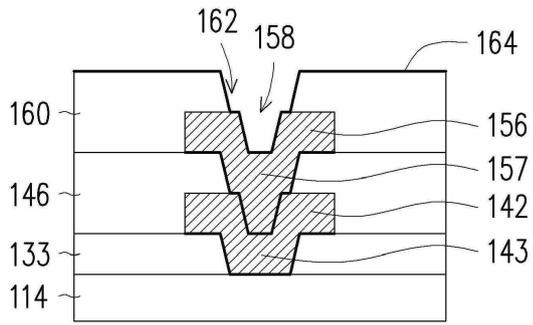
도면13b



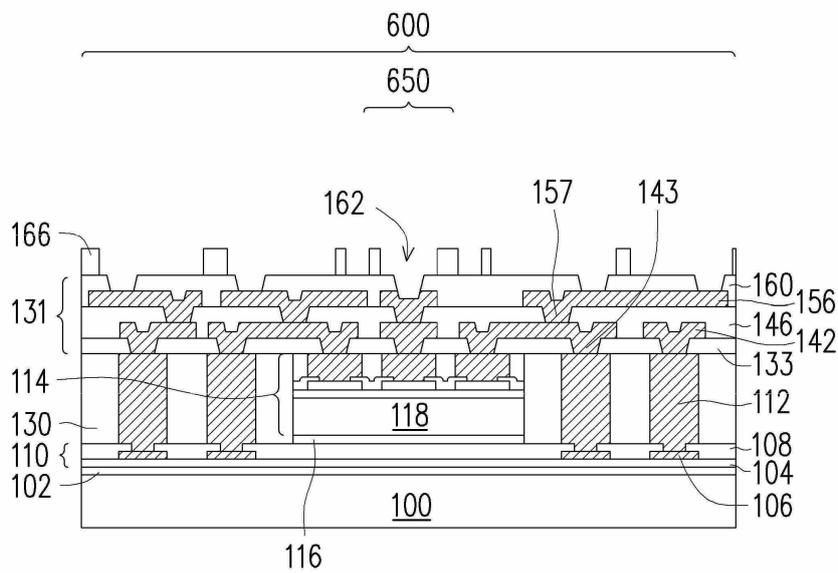
도면14a



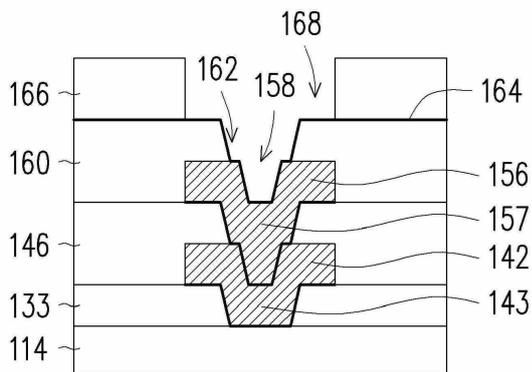
도면14b



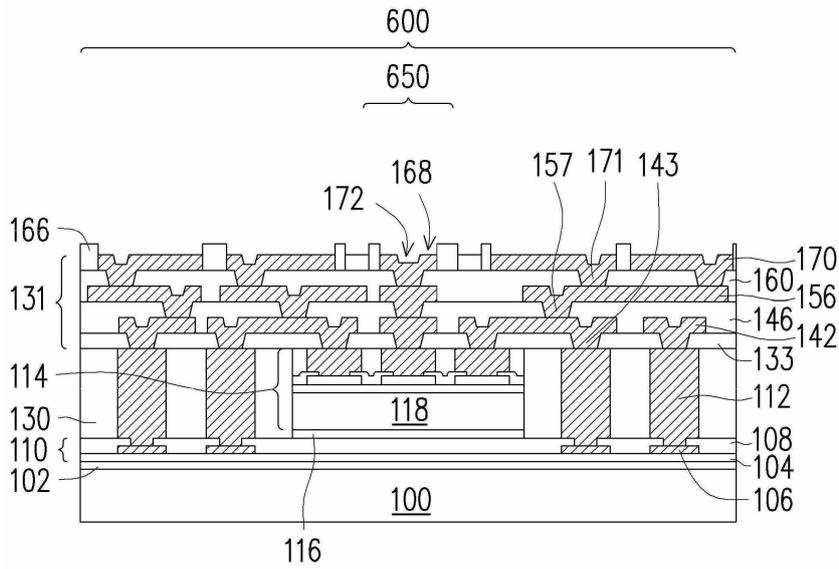
도면15a



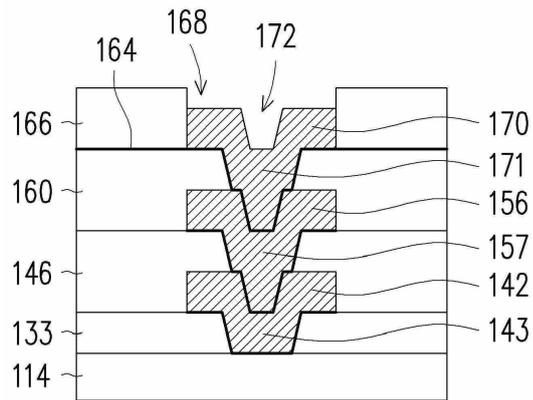
도면15b



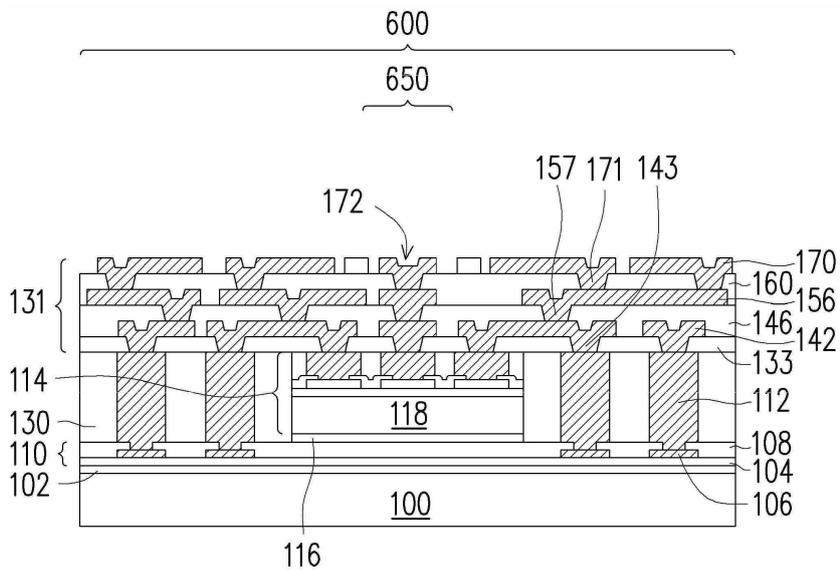
도면16a



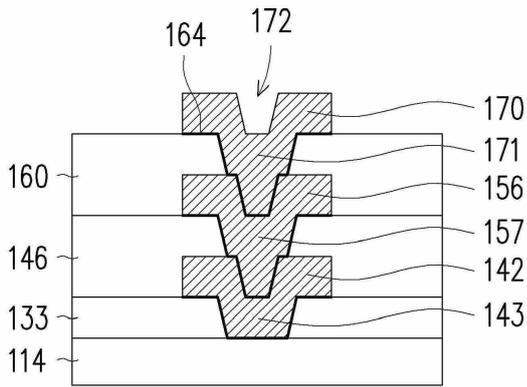
도면16b



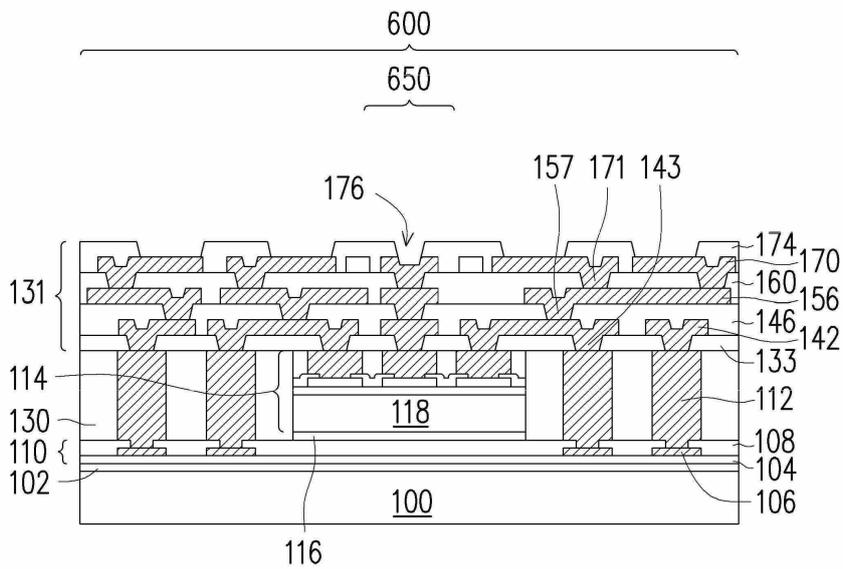
도면17a



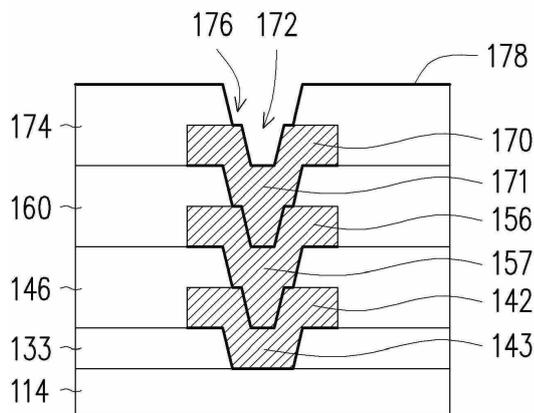
도면17b



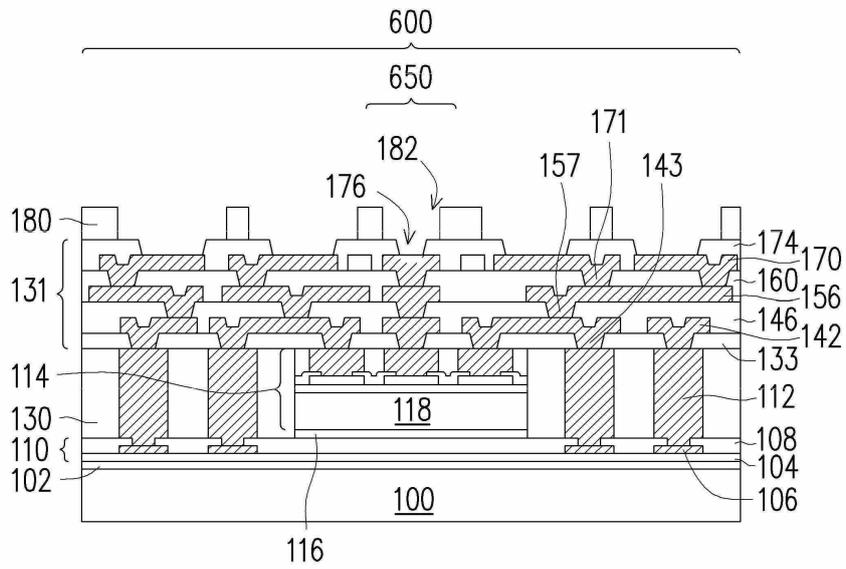
도면18a



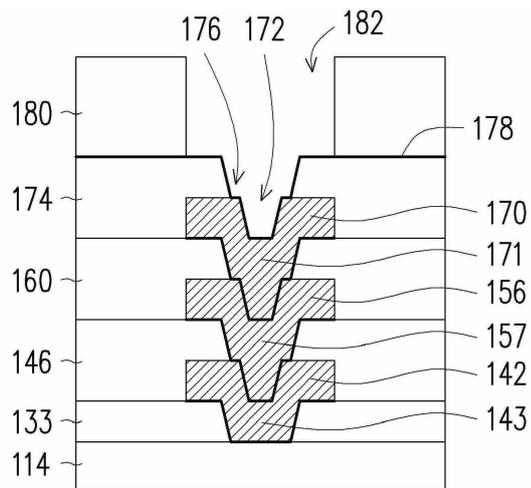
도면18b



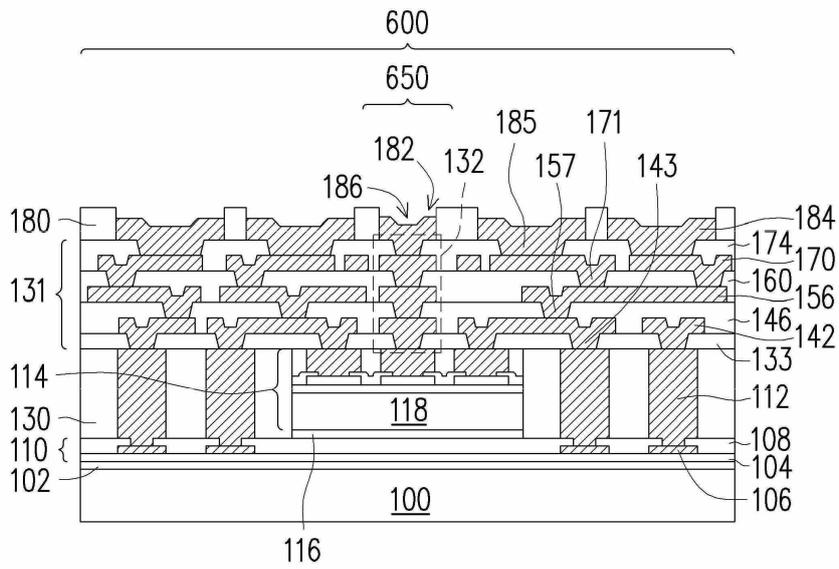
도면19a



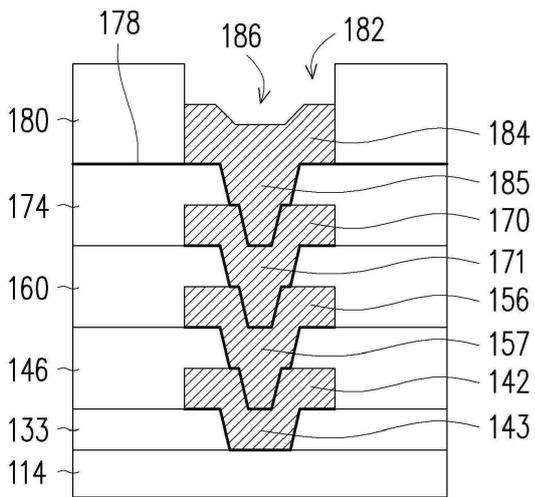
도면19b



도면20a

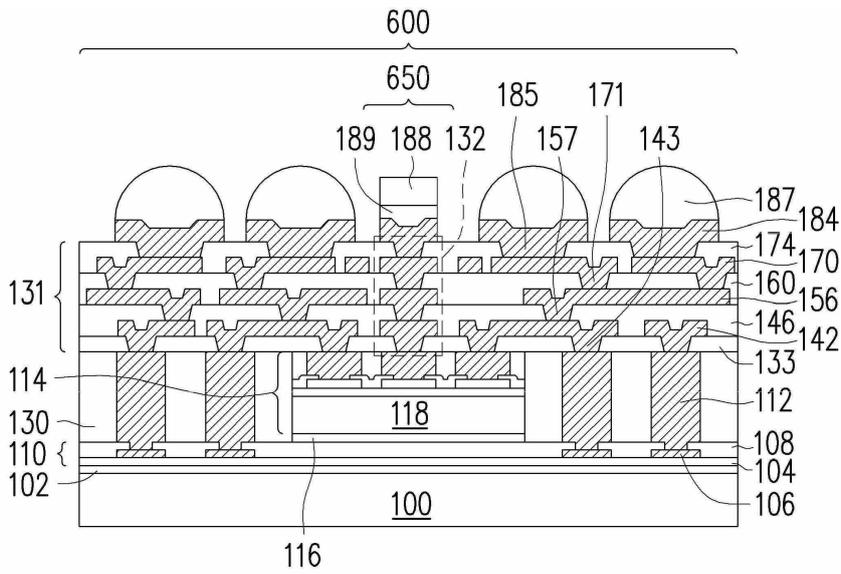


도면20b

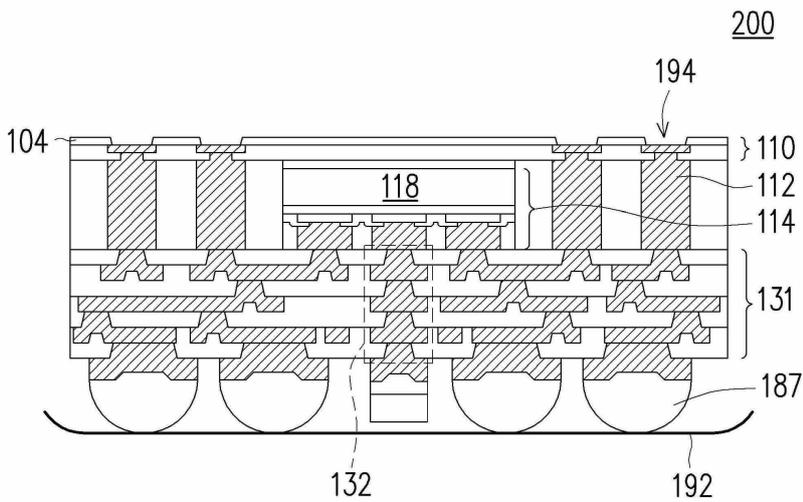




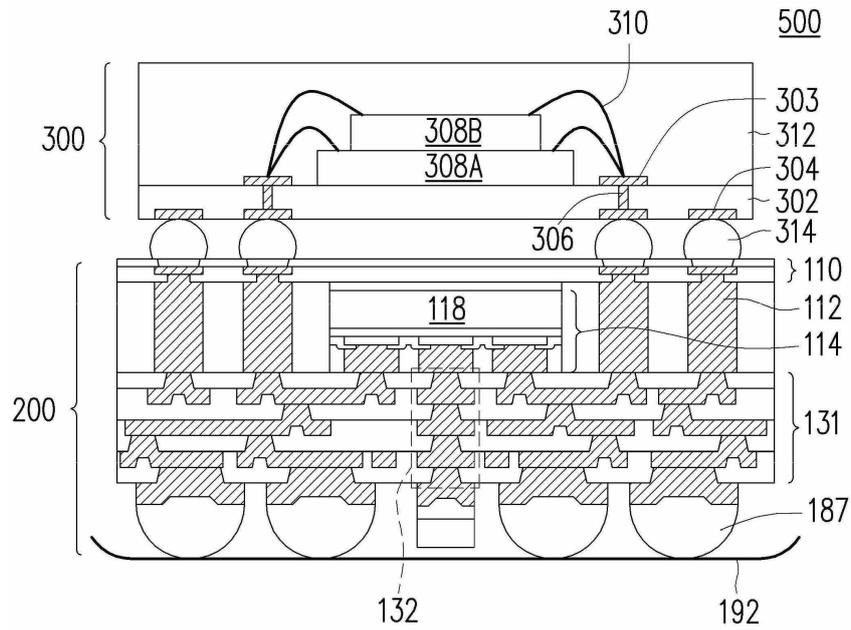
도면22



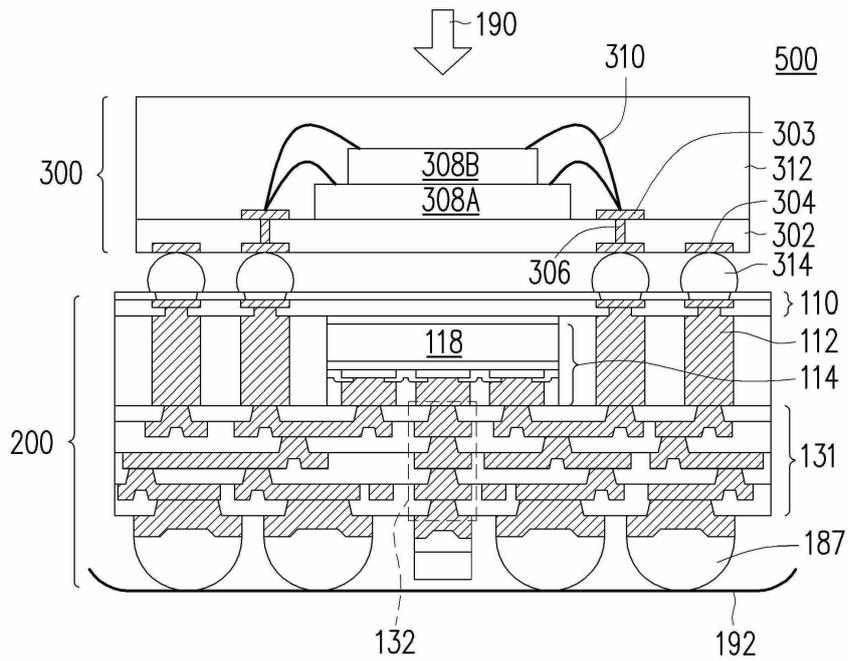
도면23



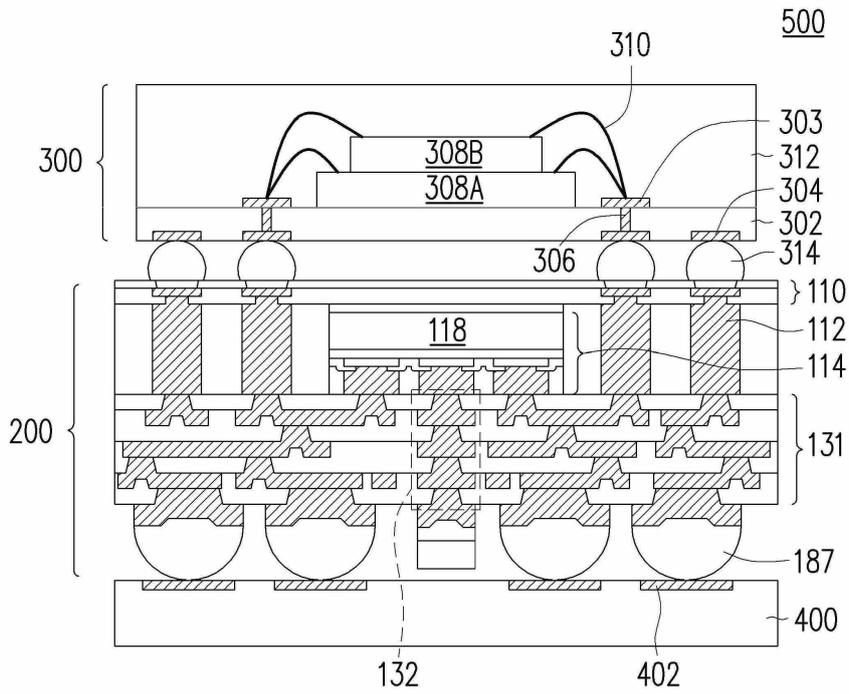
도면24



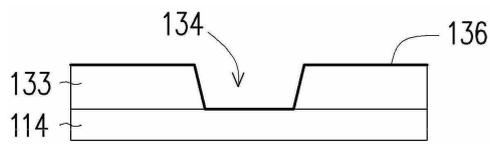
도면25



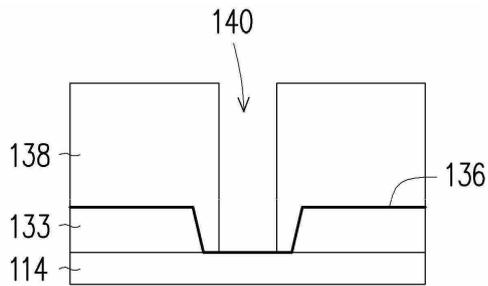
도면26



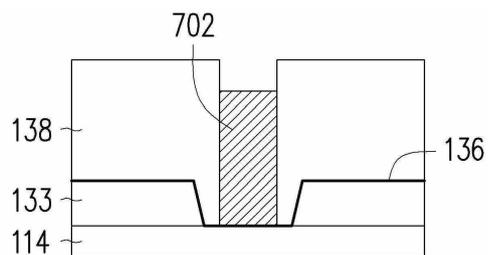
도면27



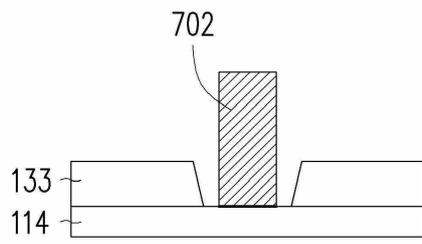
도면28



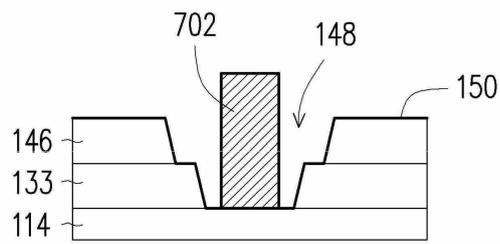
도면29



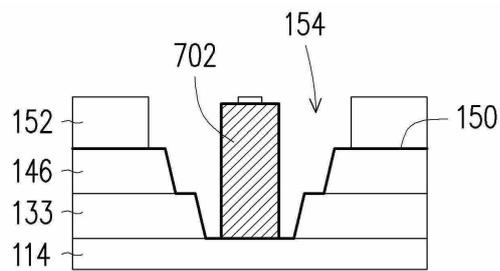
도면30



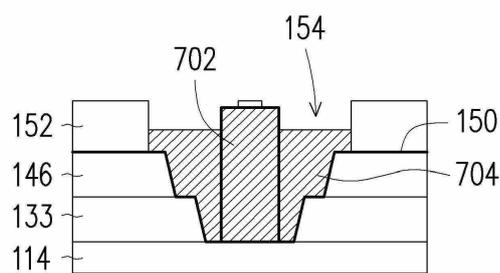
도면31



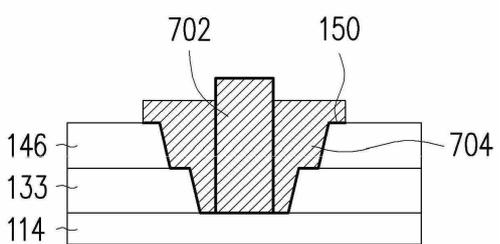
도면32



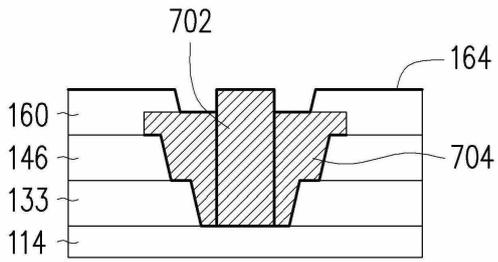
도면33



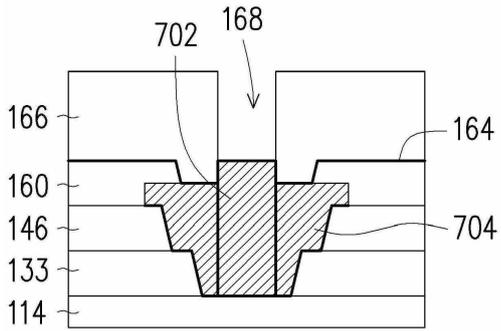
도면34



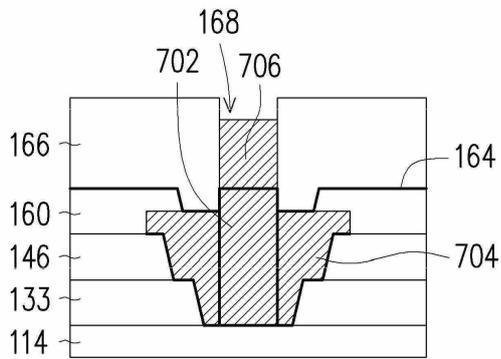
도면35



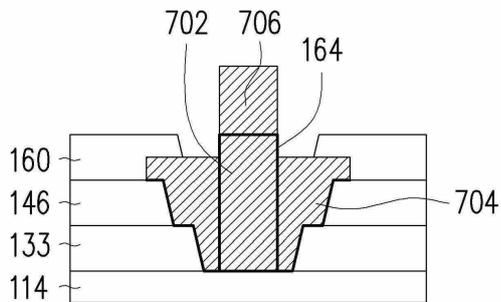
도면36



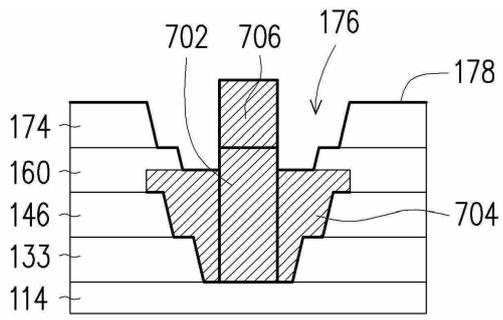
도면37



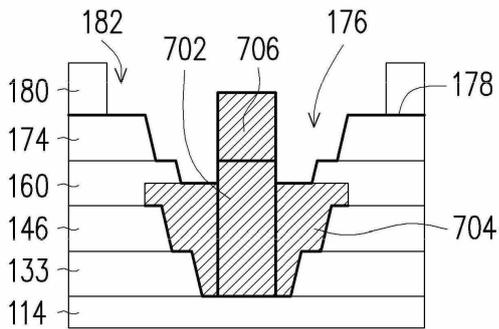
도면38



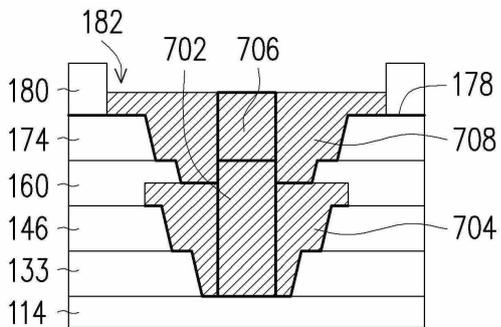
도면39



도면40



도면41



도면42

