(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。Int. Cl.
G11C 7/00 (2006.01)

(45) 공고일자 2006년03월29일
(11) 등록번호 10-0564567
(24) 등록일자 2006년03월21일

(21) 출원번호 10-2003-0035607
(22) 출원일자 2003년06월03일

(65) 공개번호 10-2004-0105008
(43) 공개일자 2004년12월14일

(73) 특허권자 삼성전자주식회사
경기도 수원시 영통구 매탄동 416

(72) 발명자 조백형
경기도오산시부산동779-1번지운암주공아파트310동603호

조우영
경기도화성군태안읍반월리신영통현대아파트211동1103호

오형록
경기도성남시분당구서현동시범단지삼성아파트102동504호

(74) 대리인 리앤목특허법인

심사관 : 이인용

(54) 상 변화 메모리의 기입 드라이버 회로

요약

상 변화 메모리의 기입 드라이버 회로가 개시된다. 본 발명의 실시예에 따른 기입 드라이버 회로는 펄스 선택 회로, 전류 제어 회로 및 전류 구동 회로를 구비한다. 펄스 선택 회로는 데이터의 논리 레벨에 응답하여 리셋 펄스 및 셋 펄스 중 하나와 상기 데이터를 출력한다. 전류 제어 회로는 바이어스 전압을 수신하며, 상기 데이터가 제 1 레벨이면 상기 리셋 펄스의 인에이블 구간동안 제어 신호를 제 2 레벨로 출력하고, 상기 데이터가 제 2 레벨이면 상기 셋 펄스의 인에이블 구간동안 상기 제어 신호를 제 1 레벨로 출력한다. 전류 구동 회로는 상기 리셋 펄스 또는 상기 셋 펄스의 인에이블 구간동안 상기 제어 신호에 응답하여 기입 전류를 제 1 노드를 통하여 상기 상 변화 메모리 어레이로 출력하고, 상기 리셋 펄스 또는 상기 셋 펄스의 디스에이블 구간동안 상기 제 1 노드를 방전(discharge)시킨다. 본 발명에 따른 기입 드라이버 회로는 데이터의 논리 레벨에 따라 리셋 펄스 또는 셋 펄스를 선택하고 또한 리셋 펄스 또는 셋 펄스에 따라 상 변화 메모리 어레이로 인가되는 전류 레벨을 조절할 수 있는 장점이 있다.

대표도

도 6

명세서

도면의 간단한 설명

본 발명의 상세한 설명에서 인용되는 도면을 보다 충분히 이해하기 위하여 각 도면의 간단한 설명이 제공된다.

도 1은 PRAM 단위 셀의 등가 회로를 나타낸 것이다.

도 2는 상 변화 물질의 동작 원리를 설명하는 도면이다.

도 3은 일반적인 기입 동작을 위한 상 변화 메모리 장치의 블록도이다.

도 4는 도 3의 상 변화 메모리 장치의 기입동작의 타이밍도이다.

도 5는 본 발명의 제 1 실시예에 따른 기입 드라이버 회로를 설명하는 블록도이다.

도 6은 도 5의 기입 드라이버 회로를 설명하는 회로도이다.

도 7은 본 발명의 제 2 실시예에 따른 기입 드라이버 회로를 설명하는 회로도이다.

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 상 변화 메모리 장치(phase-change memory device)에 관한 것으로서, 특히, 상 변화 메모리 어레이에 데이터를 기입하는 기입 드라이버 회로에 관한 것이다.

PRAM(Phase Random Access Memory)은 온도 변화에 따른 상 전이에 따라 저항이 변화되는 GST(Ge-Sb-Te)과 같은 물질을 이용하여 데이터를 저장하는 비휘발성 메모리 소자이다. PRAM은 DRAM의 모든 장점과 불 휘발성, 저소비전력 라는 특징을 가진다.

기입 동작 시, 상 변화 물질(GST)에 전류를 흐르게 하면 상 변화 물질(GST)이 결정 상태(crystalline state) 또는 비결정 상태(amorphous state)로 전이된다.

상 변화 물질(GST)의 결정 상태 또는 비결정 상태는 상 변화 물질(GST)에 흐르는 전류의 크기와 양에 좌우된다. 상 변화 물질(GST)에 큰 전류를 짧은 시간동안 흐르게 하면 상 변화 물질(GST)은 비결정 상태로 변화되는데 이러한 상태를 보통 리셋(reset) 상태라고 부르며 데이터 "1"에 대응된다.

상 변화 물질(GST)에 리셋 전류보다 작은 전류를 긴 시간동안 흐르게 하면 상 변화 물질(GST)은 결정 상태로 변화되는데 이러한 상태를 보통 셋(set) 상태라고 부르며 데이터 "0"에 대응된다.

도 1은 PRAM 단위 셀의 등가 회로를 나타낸 것이다.

단위 셀(100)은 하나의 트랜지스터(TR)와 하나의 가변 저항체(GST)를 구비한다. 가변 저항체(GST)가 상 변화 물질이다. 워드라인(WL)은 트랜지스터(TR)의 게이트에 연결되며, 비트라인(BL)은 상 변화 물질(GST)과 연결된다.

상 변화 물질(GST)은 도 2에 도시한 바와 같이 비정질 상태에서 결정 상태로 변화함에 따라 비저항이 { 10}^{3 } 단위로 변화하는 특성을 가진 물질로서, 온도 및 가열시간에 따라 상 변화 물질(GTS)이 결정화되거나 비결정화 됨으로써 정보를 저장한다.

상 변화 물질(GST)의 상 변화를 위해서는 일반적으로 900℃이상의 고온이 필요하며 이는 메모리 셀로 인가되는 전류를 이용한 주울 열(Joule Heating)에 의하여 얻게 된다.

기입동작을 살펴보면, 상 변화 물질(GST)에 전류(i)를 흐르게 하여 용융점(Melting Temperature : Tm)이상으로 상 변화 물질(GST)을 가열한 뒤 급속히 냉각시키면 상 변화 물질(GST)은 비결정(Amorphous) 상태로 정보 "1"를 저장한다. 비결정(Amorphous) 상태를 리셋 상태(reset)로 부른다.

상 변화 물질(GST)에 전류(ii)를 흐르게 하여 상 변화 물질(GST)을 결정화 온도(Crystallization Temperature: Tc) 이상으로 가열한 뒤 일정시간을 유지한 후 냉각시키면 상 변화 물질(GST)이 결정화 상태로 정보 "0"을 저장한다. 결정 상태를 셋 상태(set)로 부른다.

외부에서 인가되는 데이터에 따라 상 변화 물질(GST)이 결정화(Set) 혹은 비결정화(Reset)되는데 이것은 전류의 크기와 양에 좌우된다. 비결정화에 필요한 전류를 리셋 전류(i), 결정화에 필요한 전류를 셋 전류(ii)라고 부르는데 리셋 전류(i)는 보통 셋 전류(ii)보다 크며 인가되는 시간은 상대적으로 작다.

독출 동작을 살펴보면, 비트라인과 워드라인을 선택하여 특정 메모리 셀을 선택한 후, 외부에서 전류를 흘려 상 변화 물질(GST)의 저항에 따른 전압 변화 차이를 센스 앰프 회로를 이용하여 측정하여 "1"과 "0"을 구분한다.

도 3은 일반적인 기입 동작을 위한 상 변화 메모리 장치의 블록도이다.

도 4는 도 3의 상 변화 메모리 장치의 기입동작의 타이밍도이다.

도 3을 참조하면, 로우 어드레스(Row Address)를 수신하는 로우 선택부(320)에 의해 워드라인이 선택되고, 컬럼 어드레스(Column Address)를 수신하는 컬럼 선택부(340)에 의하여 비트 라인이 선택된다. 워드라인 및 비트 라인에 의해 선택된 상 변화 메모리 셀은 외부에서 인가되는 데이터(DATA)에 따라 "1"혹은 "0"을 저장한다.

도 4를 참조하여 좀더 상세히 상 변화 메모리 장치(300)의 동작을 설명한다. 데이터(DATA)를 수신한 데이버 버퍼(350)는 기입 제어신호(WMDL)를 발생한다. 기입 제어 신호(WMDL)는 데이터(DATA)와 동일한 논리 레벨을 가진다.

제어 로직(360)은 외부로부터 입력되는 제어 신호들(/CS, /WE, /UB, /LB, /OE)에 응답하여 기입 드라이버(330)를 제어하는 드라이버 제어 신호(PWD)를 발생한다. 드라이버 제어 신호(PWD)가 하이 레벨인 경우에 기입 드라이버(330)가 동작된다.

드라이버 제어 신호(PWD)는 데이터(DATA)가 "1"인 경우와 "0"인 경우에 따라 서로 다른 펄스 폭을 갖는다. 이것은 앞에서 설명한 바와 같이 상 변화 물질(GST)을 결정화 또는 비결정화 하는데 걸리는 시간이 서로 다르기 때문이다.

기입 제어 신호(WMDL)가 하이 레벨이고 드라이버 제어 신호(PWD)가 하이 레벨이면 비트라인은 리셋 전류를 상 변화 메모리 어레이(310)로 인가하고 기입 제어 신호(WMDL)가 로우 레벨이고 드라이버 제어 신호(PWD)가 하이 레벨이면 비트라인은 셋 전류를 상 변화 메모리 어레이(310)로 인가한다.

위에서 설명된 것과 같이 상 변화 메모리 장치에 데이터 "1" 또는 "0"을 저장하기 위해서는 데이터에 따라 기입 전류의 크기와 시간을 모두 제어해야 한다. 따라서 본 발명은 상 변화 메모리 어레이에 데이터를 저장하기 위한 기입 드라이버 회로를 제안하다.

발명이 이루고자 하는 기술적 과제

본 발명이 이루고자하는 기술적 과제는 상 변화 메모리에 데이터를 기입하는 기입 드라이버 회로를 제공하는데 있다.

발명의 구성 및 작용

상기 기술적 과제를 달성하기 위한 본 발명의 제 1 실시예에 따른 기입 드라이버 회로는 펄스 선택 회로, 전류 제어 회로 및 전류 구동 회로를 구비한다.

펄스 선택 회로는 데이터의 논리 레벨에 응답하여 리셋 펄스 및 셋 펄스 중 하나와 상기 데이터를 출력한다. 전류 제어 회로는 바이어스 전압을 수신하며, 상기 데이터가 제 1 레벨이면 상기 리셋 펄스의 인에이블 구간동안 제어 신호를 제 2 제어레벨로 출력하고, 상기 데이터가 제 2 레벨이면 상기 셋 펄스의 인에이블 구간동안 상기 제어 신호를 제 1 제어레벨로 출력한다.

전류 구동 회로는 상기 리셋 펄스 또는 상기 셋 펄스의 인에이블 구간동안 상기 제어 신호에 응답하여 기입 전류를 제 1 노드를 통하여 상기 상 변화 메모리 어레이로 출력하고, 상기 리셋 펄스 또는 상기 셋 펄스의 디스에이블 구간동안 상기 제 1 노드를 방전(discharge)시킨다.

상기 기입 드라이버 회로는 상기 바이어스 전압의 레벨 변동에 응답하여 상기 제어 신호의 레벨이 상승 또는 하강된다. 상기 리셋 펄스 및 상기 셋 펄스는 전류 펄스이다. 상기 리셋 펄스의 인에이블 구간이 상기 셋 펄스의 인에이블 구간보다 짧다.

상기 펄스 선택 회로에서 상기 리셋 펄스가 선택되는 경우의 상기 기입 전류의 전류 레벨이 상기 셋 펄스가 선택되는 경우의 상기 기입 전류의 전류 레벨보다 높다.

상기 펄스 선택 회로는 제 1 전송부, 제 2 전송부, 버퍼부 및 제 1 인버터를 구비한다. 제 1 전송부는 상기 데이터의 논리 레벨에 응답하여 상기 리셋 펄스를 출력한다. 제 2 전송부는 상기 데이터의 논리 레벨에 응답하여 상기 셋 펄스를 출력한다.

상기 버퍼부는 상기 데이터를 버퍼링하여 상기 전류 제어 회로로 출력한다. 상기 제 1 인버터는 상기 제 1 전송부 또는 제 2 전송부의 출력을 반전하여 상기 전류 구동 회로로 인가한다.

상기 제 1 전송부 및 상기 제 2 전송부는 상기 데이터 및 반전 데이터에 응답하여 턴 온 또는 턴 오프 되는 전송 게이트이고, 상기 제 1 전송부 및 상기 제 2 전송부 중 하나가 턴 온 되면 다른 하나는 턴 오프 된다.

상기 버퍼부는 상기 데이터를 반전하여 상기 반전 데이터를 발생하는 제 2 인버터 및 상기 반전 데이터를 반전하여 상기 전류 제어 회로로 출력하는 제 3 인버터를 구비한다.

상기 전류 제어 회로는 제 1 트랜지스터, 제 1 레벨 제어부, 제 2 레벨 제어부, 제 1 제어 트랜지스터 및 제 2 제어 트랜지스터를 구비한다.

제 1 트랜지스터는 제 1 전압에 소스가 연결되고 게이트와 드레인이 공통 연결된다. 제 1 레벨 제어부는 상기 바이어스 전압에 응답하여 턴 온 되어 상기 제어 신호의 레벨을 제어한다.

제 2 레벨 제어부는 상기 펄스 선택 회로에서 출력되는 상기 데이터에 응답하여 상기 제어 신호가 제 1 제어레벨 또는 제 2 제어레벨로 발생되도록 제어한다. 제 1 제어 트랜지스터는 상기 리셋 펄스 또는 상기 셋 펄스에 응답하여 상기 전류 제어 회로의 동작을 제어한다.

제 2 제어 트랜지스터는 상기 리셋 펄스 또는 상기 셋 펄스의 디스에이블 구간동안 상기 제 1 트랜지스터를 턴 오프 시키고 상기 제어 신호를 제 3 제어레벨로 출력한다.

상기 제 1 레벨 제어부는 상기 제 1 트랜지스터의 드레인과 상기 제 1 제어 트랜지스터의 드레인 사이에 직렬 연결되며 게이트에 상기 바이어스 전압이 인가되는 제 1 및 제 2 레벨 트랜지스터이고, 상기 제 2 레벨 제어부는 상기 제 1 트랜지스터의 드레인과 상기 제 1 제어 트랜지스터의 드레인 사이에 직렬 연결되며 게이트에 상기 데이터가 인가되는 제 3 및 제 4 레벨 트랜지스터이다.

상기 제 1 제어 트랜지스터는 드레인이 상기 제 2 및 제 4 레벨 트랜지스터의 소스에 공통 연결되며 소스가 제 2 전압에 연결되고 게이트에 상기 리셋 펄스 또는 셋 펄스가 인가되며, 상기 제 2 제어 트랜지스터는 제 1 전압에 소스가 연결되고 상기 제 1 트랜지스터의 드레인에 드레인이 연결되며 게이트에 상기 리셋 펄스 또는 셋 펄스가 인가된다.

상기 제 1 내지 제 4 레벨 트랜지스터는 엔모스 트랜지스터이고 상기 제 1 제어 트랜지스터는 엔모스 트랜지스터이고 상기 제 2 제어 트랜지스터는 피모스 트랜지스터이며, 상기 제 1 트랜지스터는 피모스 트랜지스터이다.

상기 전류 구동 회로는 풀 업 트랜지스터 및 풀 다운 트랜지스터를 구비한다. 풀 업 트랜지스터는 제 1 전압에 소스가 연결되고 상기 제 1 노드에 드레인이 연결되며 상기 제어 신호가 게이트로 인가된다. 풀 다운 트랜지스터는 상기 제 1 노드에 드레인이 연결되고 제 2 전압에 소스가 연결되며 게이트에 상기 리셋 펄스 또는 셋 펄스가 반전된 신호가 인가된다.

상기 제어 신호의 제 2 제어레벨은 상기 제어 신호의 제 1 제어레벨보다 상기 풀 업 트랜지스터를 더 크게 턴 온 시키는 전압 레벨이고, 상기 제어 신호의 제 3 제어레벨은 상기 풀 업 트랜지스터를 턴 오프 시키는 전압 레벨이다.

상기 기술적 과제를 달성하기 위한 본 발명의 제 2 실시예에 따른 상 변화 메모리 어레이의 기입 드라이버 회로는 펄스 선택 회로, 전류 제어 회로 및 전류 구동 회로를 구비한다.

펄스 선택 회로는 데이터의 논리 레벨에 응답하여 리셋 펄스 및 셋 펄스 중 하나와 상기 데이터를 반전시킨 반전 데이터를 출력한다. 전류 제어 회로는 바이어스 전압을 수신하며, 상기 리셋 펄스 또는 상기 셋 펄스의 인에이블 구간동안 제어 신호를 제 2 제어레벨로 출력하고, 상기 리셋 펄스 또는 상기 셋 펄스의 디스에이블 구간동안 상기 제어 신호를 제 1 제어레벨로 출력한다.

전류 구동 회로는 상기 반전 데이터의 논리 레벨에 응답하여 상기 리셋 펄스 또는 상기 셋 펄스의 인에이블 구간동안 기입 전류를 제 1 레벨 또는 제 2 레벨로 제 1 노드를 통하여 상기 상 변화 메모리 어레이로 출력하고, 상기 리셋 펄스 또는 상기 셋 펄스의 디스에이블 구간동안 상기 제 1 노드를 방전(discharge)시킨다.

본 발명과 본 발명의 동작상의 이점 및 본 발명의 실시에 의하여 달성되는 목적을 충분히 이해하기 위해서는 본 발명의 바람직한 실시예를 예시하는 첨부 도면 및 도면에 기재된 내용을 참조하여야 한다.

이하, 첨부한 도면을 참조하여 본 발명의 바람직한 실시예를 설명함으로써, 본 발명을 상세히 설명한다. 각 도면에 제시된 동일한 참조부호는 동일한 부재를 나타낸다.

도 5는 본 발명의 제 1 실시예에 따른 기입 드라이버 회로를 설명하는 블록도이다.

도 5를 참조하면, 기입 드라이버 회로(330)는 펄스 선택 회로(510), 전류 제어 회로(520) 및 전류 구동 회로(530)를 구비한다. 펄스 선택 회로(510)는 데이터(DATA)의 논리 레벨에 응답하여 리셋 펄스(P_RESET) 및 셋 펄스(P_SET) 중 하나와 데이터(DATA)를 출력한다.

펄스 선택 회로(510)는 상 변화 메모리 어레이의 선택된 셀에 "1" 또는 "0"을 기입하기 위하여 리셋 펄스(P_RESET) 또는 셋 펄스(P_SET)를 전류 제어 회로(520)로 선택적으로 인가하는 역할을 한다.

여기서 리셋 펄스(P_RESET) 및 셋 펄스(P_SET)는 전류 펄스이다. 그리고, 리셋 펄스(P_RESET)의 인에이블 구간이 셋 펄스(P_SET)의 인에이블 구간보다 짧다.

전류 제어 회로(520)는 바이어스 전압(DC_BIAS)을 수신하며, 데이터(DATA)가 제 1 레벨이면 리셋 펄스(P_RESET)의 인에이블 구간동안 제어 신호(CTRLS)를 제 2 제어레벨로 출력하고, 데이터(DATA)가 제 2 레벨이면 셋 펄스(P_SET)의 인에이블 구간동안 제어 신호(CTRLS)를 제 1 제어레벨로 출력한다.

전류 제어 회로(520)는 리셋 펄스(P_RESET)또는 셋 펄스(P_SET)의 인에이블 구간동안 전류 구동 회로(530)로 공급될 전류의 양을 제어하는 기능을 한다. 리셋 펄스(P_RESET)에 대응되는 기입 전류의 전류 레벨이 셋 펄스(P_SET)에 대응되는 기입 전류의 전류 레벨보다 높다.

바이어스 전압(DC_BIAS)은 일정한 전압 레벨을 가지며 전류 제어 회로(520)가 안정한 동작을 수행하도록 한다. 그리고, 외부의 옵션 패드(Option PAD)를 통하여 바이어스 전압(DC_BIAS)의 전압 레벨의 변경이 가능하다.

바이어스 전압(DC_BIAS)의 레벨에 따라 리셋 펄스(P_RESET)와 셋 펄스(P_SET)에 대응되는 기입 전류의 레벨이 변경된다. 즉, 기입 드라이버 회로(330)는 바이어스 전압(DC_BIAS)의 레벨 변동에 응답하여 제어 신호(CTRLS)의 레벨을 상승 또는 하강시킬 수 있다.

전류 구동 회로(530)는 리셋 펄스(P_RESET) 또는 셋 펄스(P_SET)의 인에이블 구간동안 제어 신호(CTRLS)에 응답하여 기입 전류(I_BL)를 제 1 노드(N1)를 통하여 상 변화 메모리 어레이로 출력하고, 리셋 펄스(P_RESET) 또는 셋 펄스(P_SET)의 디스에이블 구간동안 제 1 노드(N1)를 방전(discharge)시킨다.

도 6은 도 5의 기입 드라이버 회로를 설명하는 회로도이다.

도 6을 참조하면, 펄스 선택 회로(510)는 제 1 전송부(TRM1), 제 2 전송부(TRM2), 버퍼부(610) 및 제 1 인버터(INV1)를 구비한다.

제 1 전송부(TRM1)는 데이터(DATA)의 논리 레벨에 응답하여 리셋 펄스(P_RESET)를 출력한다. 제 2 전송부(TRM2)는 데이터(DATA)의 논리 레벨에 응답하여 셋 펄스(P_SET)를 출력한다. 제 1 전송부(TRM1) 및 제 2 전송부(TRM2)는 데이터(DATA) 및 반전 데이터에 응답하여 턴 온 또는 턴 오프 되는 전송 게이트(TG1, TG2)이다.

제 1 전송부(TRM1) 및 제 2 전송부(TRM2) 중 하나가 턴 온 되면 다른 하나는 턴 오프 된다. 버퍼부(610)는 데이터(DATA)를 버퍼링하여 전류 제어 회로(520)로 출력한다. 버퍼부(610)는 데이터(DATA)를 반전하여 반전 데이터(DATA)를 발생하는 제 2 인버터(INV2) 및 반전 데이터(DATA)를 반전하여 전류 제어 회로(520)로 출력하는 제 3 인버터(INV3)를 구비한다.

제 1 인버터(INV1)는 제 1 전송부(TRM1) 또는 제 2 전송부(TRM2)의 출력을 반전하여 전류 구동 회로(530)로 인가한다.

설명의 편의를 위하여 데이터(DATA)의 제 1 레벨을 데이터(DATA)의 하이 레벨로, 데이터(DATA)의 제 2 레벨을 데이터(DATA)의 로우 레벨로 가정한다. 데이터(DATA)가 하이 레벨이면 제 1 전송부(TRM1)의 전송 게이트(TG1)는 턴 온 되고 제 2 전송부(TRM2)의 전송 게이트(TG2)는 턴 오프 된다. 그러면 제 1 전송부(TRM1)는 리셋 펄스(P_RESET)를 전류 제어 회로(520)로 인가하고 제 1 인버터(INV1)는 리셋 펄스(P_RESET)의 반전 신호를 전류 구동 회로(530)로 인가한다.

반대로, 데이터(DATA)가 로우 레벨이면 제 2 전송부(TRM2)의 전송 게이트(TG2)는 턴 온 되고 제 1 전송부(TRM1)의 전송 게이트(TG1)는 턴 오프 된다. 그러면 제 2 전송부(TRM2)는 셋 펄스(P_SET)를 전류 제어 회로(520)로 인가하고 제 1 인버터(INV1)는 셋 펄스(P_SET)의 반전 신호를 전류 구동 회로(530)로 인가한다.

전류 제어 회로(520)는 제 1 트랜지스터(TR1), 제 1 레벨 제어부(LVLC1), 제 2 레벨 제어부(LVLC2), 제 1 제어 트랜지스터(CTR1) 및 제 2 제어 트랜지스터(CTR2)를 구비한다.

제 1 트랜지스터(TR1)는 제 1 전압(VDD)에 소스가 연결되고 게이트와 드레인이 공통 연결된다. 제 1 트랜지스터(TR1)는 피모스 트랜지스터이다. 제 1 레벨 제어부(LVLC1)는 바이어스 전압(DC_BIAS)에 응답하여 턴 온 되어 제어 신호(CTRLS)의 레벨을 제어한다.

좀 더 설명하면, 제 1 레벨 제어부(LVLC1)는 제 1 트랜지스터(TR1)의 드레인과 제 1 제어 트랜지스터(CTR1)의 드레인 사이에 직렬 연결되며 게이트에 바이어스 전압(DC_BIAS)이 인가되는 제 1 및 제 2 레벨 트랜지스터(LTR1, LTR2)이다.

제 2 레벨 제어부(LVLC2)는 펄스 선택 회로(510)에서 출력되는 데이터(DATA)에 응답하여 제어 신호(CTRLS)가 제 1 제어레벨 또는 제 2 제어레벨로 발생되도록 제어한다. 제 2 레벨 제어부(LVLC2)는 제 1 트랜지스터(TR1)의 드레인과 제 1 제어 트랜지스터(CTR1)의 드레인 사이에 직렬 연결되며 게이트에 데이터(DATA)가 인가되는 제 3 및 제 4 레벨 트랜지스터(LTR3, LTR4)이다. 제 1 내지 제 4 레벨 트랜지스터(LTR1, LTR2, LTR3, LTR4)는 엔모스 트랜지스터이다.

제 1 제어 트랜지스터(CTR1)는 리셋 펄스(P_RESET) 또는 셋 펄스(P_SET)에 응답하여 전류 제어 회로(520)의 동작을 제어한다. 제 1 제어 트랜지스터(CTR1)는 드레인이 제 2 및 제 4 레벨 트랜지스터(LTR2, LTR4)의 소스에 공통 연결되며 소스가 제 2 전압(VSS)에 연결되고 게이트에 리셋 펄스(P_RESET) 또는 셋 펄스(P_SET)가 인가된다. 제 1 제어 트랜지스터는 엔모스 트랜지스터이다.

제 2 제어 트랜지스터(CTR2)는 리셋 펄스(P_RESET) 또는 셋 펄스(P_SET)의 디스에이블 구간동안 제 1 트랜지스터(TR1)를 턴 오프 시키고 제어 신호(CTRLS)를 제 3 제어레벨로 출력한다. 제 2 제어 트랜지스터(CTR2)는 제 1 전압(VDD)에 소스가 연결되고 제 1 트랜지스터(TR1)의 드레인에 드레인이 연결되며 게이트에 리셋 펄스(P_RESET) 또는 셋 펄스(P_SET)가 인가된다. 제 2 제어 트랜지스터(CTR2)는 피모스 트랜지스터이다.

전류 구동 회로(530)는 풀 업 트랜지스터(PUTR) 및 풀 다운 트랜지스터(PDTR)를 구비한다. 풀 업 트랜지스터(PUTR)는 제 1 전압(VDD)에 소스가 연결되고 제 1 노드(N1)에 드레인이 연결되며 제어 신호(CTRLS)가 게이트로 인가된다.

풀 다운 트랜지스터(PDTR)는 제 1 노드(N1)에 드레인이 연결되고 제 2 전압(VSS)에 소스가 연결되며 게이트에 리셋 펄스(P_RESET) 또는 셋 펄스(P_SET)가 반전된 신호가 인가된다.

리셋 펄스(P_RESET) 또는 셋 펄스(P_SET)의 인에이블 구간동안 풀 다운 트랜지스터(PDTR)는 턴 오프 되고 풀 업 트랜지스터(PUTR)는 턴 온 된다. 제어 신호(CTRLS)의 레벨에 따라 풀 업 트랜지스터(PUTR)가 턴 온 되는 정도가 제어되며 따라서 상변화 메모리 어레이로 인가되는 기입 전류(I_BL)의 양이 제어된다.

리셋 펄스(P_RESET) 또는 셋 펄스(P_SET)의 디스에이블 구간에서는 풀 업 트랜지스터(PUTR)는 턴 오프 되고 풀 다운 트랜지스터(PDTR)는 턴 온 된다. 그러면 기입 전류(I_BL)가 출력되는 제 1 노드(N1)는 제 2 전압(VSS)에 연결되어 방전된다.

바이어스 전압(DC_BIAS)은 제 1 레벨 제어부(LVLC1)를 턴 온 시킨다. 데이터(DATA)가 제 2 레벨, 즉 로우 레벨로 인가되면 셋 펄스(P_SET)가 전류 제어 회로(520)의 제 1 제어 트랜지스터(CTR1) 및 제 2 제어 트랜지스터(CTR2)로 인가된다. 셋 펄스(P_SET)의 인에이블 구간동안 제 1 제어 트랜지스터(CTR1)는 턴 온 되고 제 2 제어 트랜지스터(CTR2)는 턴 오프 된다.

그러면 제 1 트랜지스터(TR1)는 턴 온 된다. 로우 레벨의 데이터(DATA)는 제 2 레벨 제어부(LVLC2)의 제 3 및 제 4 레벨 트랜지스터(LTR3, LTR4)를 턴 오프 시킨다. 제 1 제어 트랜지스터(CTR1), 제 1 및 제 2 레벨 트랜지스터들(LTR3, LTR4)이 턴 온 되면 제어 신호(CTRLS)는 제 1 제어레벨로 발생되어 풀 업 트랜지스터(PUTR)를 턴 온 시킨다. 여기서 제 1 제어레벨은 로우 레벨이다.

셋 펄스(P_SET)의 인에이블 구간동안 풀 업 트랜지스터(PUTR)는 턴 온 되고 풀 다운 트랜지스터(PDTR)는 턴 오프 된다. 그리고, 셋 펄스(P_SET)가 디스에이블 되면 제 2 제어 트랜지스터(CTR2)가 턴 온 되고 제어 신호(CTRLS)는 하이 레벨로 발생된다. 그러면 풀 업 트랜지스터(PUTR)는 턴 오프 되고 풀 다운 트랜지스터(PDTR)는 턴 온 되어 제 1 노드(N1)를 방전시킨다.

데이터(DATA)가 제 1 레벨, 즉 하이 레벨로 인가되면 리셋 펄스(P_RESET)가 전류 제어 회로(520)의 제 1 제어 트랜지스터(CTR1) 및 제 2 제어 트랜지스터(CTR2)로 인가된다. 리셋 펄스(P_RESET)의 인에이블 구간동안 제 1 제어 트랜지스터(CTR1)는 턴 온 되고 제 2 제어 트랜지스터(CTR2)는 턴 오프 된다.

그러면 제 1 트랜지스터(TR1)는 턴 온 된다. 하이 레벨의 데이터(DATA)는 제 2 레벨 제어부(LVLC2)의 제 3 및 제 4 레벨 트랜지스터(LTR3, LTR4)를 턴 온 시킨다. 제 1 제어 트랜지스터(CTR1), 제 1 내지 제 4 레벨 트랜지스터들(LTR1, LTR2, LTR3, LTR4)이 모두 턴 온 되면 제어 신호(CTRLS)는 제 2 제어레벨로 발생되어 풀 업 트랜지스터(PUTR)를 턴 온 시킨다. 여기서 제 2 제어레벨은 로우 레벨로서 앞서 설명된 제 1 제어레벨 보다 더 낮은 레벨이다.

따라서, 데이터(DATA)가 하이 레벨이면 데이터(DATA)가 로우 레벨이어서 제 1 및 제 2 레벨 트랜지스터(LTR1, LTR2)만이 턴 온 된 경우보다 제어 신호(CTRLS)의 레벨이 더욱 낮아지고 전류 구동 회로(530)의 풀 업 트랜지스터(PUTR)는 더 많이 턴 온 된다. 그러면, 기입 전류(I_BL)의 레벨이 데이터(DATA)가 로우 레벨일 때 보다 높아진다.

즉, 데이터(DATA)가 하이 레벨인 경우 리셋 펄스(P_RESET)가 전류 제어 회로(520)로 인가되고 이 경우의 기입 전류(I_BL)의 레벨은 데이터(DATA)가 로우 레벨인 경우 셋 펄스(P_SET)가 전류 제어 회로(520)로 인가되는 경우의 기입 전류(I_BL)의 레벨보다 더 높아진다.

셋 펄스(P_SET)나 리셋 펄스(P_RESET)가 디스에이블 되는 구간에는 제 2 제어 트랜지스터(CTR2)가 턴 온 되고 제어 신호(CTRLS)는 제 3 제어레벨 즉, 하이 레벨로 발생된다. 그러면 풀 업 트랜지스터(PUTR)는 턴 오프 된다. 이 때 풀 다운 트랜지스터(PDTR)는 턴 온 되므로 제 1 노드(N1)는 제 2 전압(VSS)에 의해서 방전된다.

도 7은 본 발명의 제 2 실시예에 따른 기입 드라이버 회로를 설명하는 회로도이다.

도 7을 참조하면, 기입 드라이버 회로(700)는 펄스 선택 회로(710), 전류 제어 회로(720) 및 전류 구동 회로(730)를 구비한다.

펄스 선택 회로(710)는 데이터(DATA)의 논리 레벨에 응답하여 리셋 펄스(P_RESET) 및 셋 펄스(P_SET) 중 하나와 데이터(DATA)를 반전시킨 반전 데이터를 출력한다. 펄스 선택 회로(710)는 도 6의 제 3 인버터(INV3)를 구비하지 않는 것 이외에는 도 6의 펄스 선택 회로(510)와 동일한 구성을 가진다. 따라서 구성에 대한 상세한 설명을 생략한다.

전류 제어 회로(720)는 바이어스 전압(DC_BIAS)을 수신하며, 리셋 펄스(P_RESET) 또는 셋 펄스(P_SET)의 인에이블 구간동안 제어 신호(CTRLS)를 제 2 레벨로 출력하고, 리셋 펄스(P_RESET) 또는 셋 펄스(P_SET)의 디스에이블 구간동안 제어 신호(CTRLS)를 제 1 제어레벨로 출력한다.

전류 제어 회로(720)는 도 6의 제 2 레벨 제어부(LVLC2)를 구비하지 않는 것 이외에는 도 6의 전류 제어 회로(520)와 동일한 구성을 가진다. 따라서 구성에 대한 상세한 설명을 생략한다.

전류 구동 회로(730)는 반전 데이터의 논리 레벨에 응답하여 리셋 펄스(P_RESET) 또는 셋 펄스(P_SET)의 인에이블 구간동안 기입 전류(I_BL)를 제 1 레벨 또는 제 2 레벨로 제 1 노드(N1)를 통하여 상 변화 메모리 어레이로 출력하고, 리셋 펄스(P_RESET) 또는 셋 펄스(P_SET)의 디스에이블 구간동안 제 1 노드(N1)를 방전(discharge)시킨다.

전류 구동 회로(730)는 제 2 레벨 제어부(LVLC2), 풀 업 트랜지스터(PUTR) 및 풀 다운 트랜지스터(PDTR)를 구비한다.

제 2 레벨 제어부(LVLC2)는 반전 데이터가 제 2 레벨이면 리셋 펄스(P_RESET)의 인에이블 구간동안 제어 신호(CTRLS)에 응답하여 기입 전류(I_BL)를 제 1 레벨로 제 1 노드(N1)를 통하여 출력한다.

제 2 레벨 제어부(LVLC2)는 제 1 전압(VDD)에 소스가 연결되고 게이트에 반전 데이터가 인가되는 제 3 레벨 트랜지스터(LTR3) 및 제 3 레벨 트랜지스터(LTR3)의 드레인에 소스가 연결되고 제어 신호(CTRLS)가 게이트에 연결되며 드레인이 제 1 노드(N1)에 연결되는 제 4 레벨 트랜지스터(LTR4)를 구비한다.

풀 업 트랜지스터(PUTR)는 반전 데이터(DATA)가 제 1 레벨이면 셋 펄스(P_SET)의 인에이블 구간동안 제어 신호(CTRLS)에 응답하여 기입 전류(I_BL)를 제 2 레벨로 제 1 노드(N1)를 통하여 출력한다. 풀 업 트랜지스터(PUTR)는 제 1 전압(VDD)에 소스가 연결되고 제 1 노드(N1)에 드레인이 연결되며 제어 신호(CTRLS)가 게이트로 인가된다.

풀 다운 트랜지스터(PDTR)는 데이터(DATA)의 논리 레벨에 상관없이 리셋 펄스(P_RESET) 또는 셋 펄스(P_SET)의 디스에이블 구간동안 제 1 노드(N1)를 방전(discharge)시킨다. 풀 다운 트랜지스터(PDTR)는 제 1 노드(N1)에 드레인이 연결되고 제 2 전압(VSS)에 소스가 연결되며 게이트에 리셋 펄스(P_RESET) 또는 셋 펄스(P_SET)가 반전된 신호가 인가된다.

도 7의 기입 드라이버 회로(700)가 도 6의 기입 드라이버 회로(600)와 다른 점은 전류 제어 회로(720)에 데이터(DATA)가 인가되지 아니하고 데이터(DATA)가 반전된 반전 데이터가 전류 구동 회로(730)의 제 2 레벨 제어부(LVLC2)로 입력되어 데이터(DATA)의 논리 레벨에 따라 기입 전류(I_BL)의 레벨을 제어한다.

데이터(DATA)가 제 2 레벨, 즉 로우 레벨이면 제 2 인버터(INV2)는 반전 데이터를 제 1 레벨 즉, 하이 레벨로 발생한다. 반전 데이터(DATA)가 하이 레벨이면 제 2 레벨 제어부(LVLC2)의 제 3 레벨 트랜지스터(LTR3)는 턴 오프 된다. 그러면 제 4 레벨 트랜지스터(LTR4)도 동작되지 않는다.

데이터(DATA)가 제 2 레벨이면 셋 펄스(P_SET)가 제 2 전송부(TRM2)를 통하여 제 1 제어 트랜지스터(CTR1) 및 제 2 제어 트랜지스터(CTR2)로 인가된다. 그러면 제 1 제어 트랜지스터(CTR1)는 셋 펄스(P_SET)의 인에이블 구간동안 턴 온 되고 제 2 제어 트랜지스터(CTR2)는 셋 펄스(P_SET)의 인에이블 구간동안 턴 오프 된다.

전류 제어 회로(720)의 제 1 레벨 제어부(LVLC1)의 제 1 및 제 2 레벨 트랜지스터(LTR1, LTR2)는 바이어스 전압(DC_BIAS)에 의해서 턴 온 되어 있다. 따라서, 셋 펄스(P_SET)의 인에이블 구간동안 제어 신호(CTRLS)는 제 1 제어레벨로 풀 업 트랜지스터(PUTR)로 인가되고 풀 업 트랜지스터(PUTR)는 턴 온 된다. 제어 신호(CTRLS)의 제 1 제어레벨은 풀 업 트랜지스터(PUTR) 및 제 4 레벨 트랜지스터(LTR4)를 턴 온 시키는 레벨이다.

제어 신호(CTRLS)는 데이터(DATA)의 논리 레벨에 상관없이 셋 펄스(P_SET) 또는 리셋 펄스(P_RESET)의 인에이블 구간동안 제 1 제어레벨로 출력된다.

제 3 및 제 4 레벨 트랜지스터(LTR3, LTR4)가 동작되지 아니하고 풀 업 트랜지스터(PUTR)만 제어 신호(CTRLS)의 제 1 레벨에 의해서 턴 온 되는 경우 기입 전류(I_BL)는 제 2 레벨로 출력된다. 즉, 기입 전류(I_BL)의 제 2 레벨은 셋 펄스(P_SET)가 펄스 선택 회로(710)에서 선택되는 경우 상 변화 메모리 어레이로 인가되는 전류 레벨이다.

데이터(DATA)가 제 1 레벨, 즉 하이 레벨이면 제 2 인버터(INV2)는 반전 데이터를 제 2 레벨 즉, 로우 레벨로 발생한다. 반전 데이터(DATA)가 로우 레벨이면 제 2 레벨 제어부(LVLC2)의 제 3 레벨 트랜지스터(LTR3)는 턴 온 된다.

데이터(DATA)가 제 1 레벨이면 리셋 펄스(P_RESET)가 제 1 전송부(TRM1)를 통하여 제 1 제어 트랜지스터(CTR1) 및 제 2 제어 트랜지스터(CTR2)로 인가된다. 그러면 제 1 제어 트랜지스터(CTR1)는 리셋 펄스(P_RESET)의 인에이블 구간동안 턴 온 되고 제 2 제어 트랜지스터(CTR2)는 리셋 펄스(P_RESET)의 인에이블 구간동안 턴 오프 된다.

전류 제어 회로(720)의 제 1 레벨 제어부(LVLC1)의 제 1 및 제 2 레벨 트랜지스터(LTR1, LTR2)는 바이어스 전압(DC_BIAS)에 의해서 턴 온 되어 있다. 따라서, 리셋 펄스(P_RESET)의 인에이블 구간동안 제어 신호(CTRLS)는 제 1 제어레벨로 전류 구동 회로(730)의 제 4 레벨 트랜지스터(LTR4) 및 풀 업 트랜지스터(PUTR)로 인가되고 제 4 레벨 트랜지스터(LTR4) 및 풀 업 트랜지스터(PUTR)는 턴 온 된다.

제 3 레벨 트랜지스터(LTR3) 및 제 4 레벨 트랜지스터(LTR4)가 모두 턴 온 되므로 기입 전류(I_BL)는 제 1 레벨로 출력된다. 즉, 기입 전류(I_BL)의 제 1 레벨은 리셋 펄스(P_RESET)가 펄스 선택 회로(710)에서 선택되는 경우 상 변화 메모리 어레이로 인가되는 전류 레벨이다.

기입 전류(I_BL)의 제 1 레벨은 기입 전류(I_BL)의 제 2 레벨보다 더 큰 전류 레벨이다.

데이터(DATA)의 논리 레벨이 하이 레벨이건 로우 레벨이건 리셋 펄스(P_RESET) 또는 셋 펄스(P_SET)의 디스에이블 구간동안 제어 신호(CTRLS)는 제 1 제어레벨, 즉 하이 레벨로 발생되어 풀 업 트랜지스터(PUTR)를 턴 오프 시킨다. 그리고 리셋 펄스(P_RESET) 또는 셋 펄스(P_SET)의 디스에이블 구간동안 풀 다운 트랜지스터(PDTR)는 턴 온 되어 제 1 노드(N1)를 방전시킨다.

이상에서와 같이 도면과 명세서에서 최적 실시예가 개시되었다. 여기서 특정한 용어들이 사용되었으나, 이는 단지 본 발명을 설명하기 위한 목적에서 사용된 것이지 의미한정이나 특허청구범위에 기재된 본 발명의 범위를 제한하기 위하여 사용된 것은 아니다. 그러므로 본 기술분야의 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 타 실시예가 가능하다는 점을 이해할 것이다. 따라서, 본 발명의 진정한 기술적 보호범위는 첨부된 특허청구범위의 기술적 사상에 의해 정해져야 할 것이다.

발명의 효과

상술한 바와 같이 본 발명에 따른 기입 드라이버 회로는 데이터의 논리 레벨에 따라 리셋 펄스 또는 셋 펄스를 선택하고 또한 리셋 펄스 또는 셋 펄스에 따라 상 변화 메모리 어레이로 인가되는 전류 레벨을 조절할 수 있는 장점이 있다.

(57) 청구의 범위

청구항 1.

상 변화 메모리 어레이의 기입 드라이버 회로에 있어서,

데이터의 논리 레벨에 응답하여 리셋 펄스 및 셋 펄스 중 하나와 상기 데이터를 출력하는 펄스 선택 회로 ;

바이어스 전압을 수신하며, 상기 데이터가 제 1 레벨이면 상기 리셋 펄스의 인에이블 구간동안 제어 신호를 제 2 제어레벨로 출력하고, 상기 데이터가 제 2 레벨이면 상기 셋 펄스의 인에이블 구간동안 상기 제어 신호를 제 1 제어레벨로 출력하는 전류 제어 회로 ; 및

상기 리셋 펄스 또는 상기 셋 펄스의 인에이블 구간동안 상기 제어 신호에 응답하여 기입 전류를 제 1 노드를 통하여 상기 상 변화 메모리 어레이로 출력하고, 상기 리셋 펄스 또는 상기 셋 펄스의 디스에이블 구간동안 상기 제 1 노드를 방전(discharge)시키는 전류 구동 회로를 구비하는 것을 특징으로 하는 기입 드라이버 회로.

청구항 2.

제 1항에 있어서,

상기 바이어스 전압의 레벨 변동에 응답하여 상기 제어 신호의 레벨이 상승 또는 하강되는 것을 특징으로 하는 기입 드라이버 회로.

청구항 3.

제 1항에 있어서, 상기 리셋 펄스 및 상기 셋 펄스는,

전류 펄스인 것을 특징으로 하는 기입 드라이버 회로.

청구항 4.

제 1항에 있어서,

상기 리셋 펄스의 인에이블 구간이 상기 셋 펄스의 인에이블 구간보다 짧은 것을 특징으로 하는 기입 드라이버 회로.

청구항 5.

제 1항에 있어서,

상기 펄스 선택 회로에서 상기 리셋 펄스가 선택되는 경우의 상기 기입 전류의 전류 레벨이 상기 셋 펄스가 선택되는 경우의 상기 기입 전류의 전류 레벨보다 높은 것을 특징으로 하는 기입 드라이버 회로.

청구항 6.

제 1항에 있어서, 상기 펄스 선택 회로는,

상기 데이터의 논리 레벨에 응답하여 상기 리셋 펄스를 출력하는 제 1 전송부 ;

상기 데이터의 논리 레벨에 응답하여 상기 셋 펄스를 출력하는 제 2 전송부 ;

상기 데이터를 버퍼링하여 상기 전류 제어 회로로 출력하는 버퍼부 ; 및

상기 제 1 전송부 또는 제 2 전송부의 출력을 반전하여 상기 전류 구동 회로로 인가하는 제 1 인버터를 구비하는 것을 특징으로 하는 기입 드라이버 회로.

청구항 7.

제 6항에 있어서, 상기 제 1 전송부 및 상기 제 2 전송부는,

상기 데이터 및 반전 데이터에 응답하여 턴 온 또는 턴 오프 되는 전송 게이트이고, 상기 제 1 전송부 및 상기 제 2 전송부 중 하나가 턴 온 되면 다른 하나는 턴 오프 되는 것을 특징으로 하는 기입 드라이버 회로.

청구항 8.

제 6항에 있어서, 상기 버퍼부는,

상기 데이터를 반전하여 상기 반전 데이터를 발생하는 제 2 인버터 ; 및

상기 반전 데이터를 반전하여 상기 전류 제어 회로로 출력하는 제 3 인버터를 구비하는 것을 특징으로 하는 기입 드라이버 회로.

청구항 9.

제 1항에 있어서, 상기 전류 제어 회로는,

제 1 전압에 소스가 연결되고 게이트와 드레인이 공통 연결되는 제 1 트랜지스터 ;

상기 바이어스 전압에 응답하여 턴 온 되어 상기 제어 신호의 레벨을 제어하는 제 1 레벨 제어부 ;

상기 펄스 선택 회로에서 출력되는 상기 데이터에 응답하여 상기 제어 신호가 제 1 제어레벨 또는 제 2 제어레벨로 발생되도록 제어하는 제 2 레벨 제어부 ;

상기 리셋 펄스 또는 상기 셋 펄스에 응답하여 상기 전류 제어 회로의 동작을 제어하는 제 1 제어 트랜지스터 ; 및

상기 리셋 펄스 또는 상기 셋 펄스의 디스에이블 구간동안 상기 제 1 트랜지스터를 턴 오프 시키고 상기 제어 신호를 제 3 제어레벨로 출력하는 제 2 제어 트랜지스터를 구비하는 것을 특징으로 하는 기입 드라이버 회로.

청구항 10.

제 9항에 있어서, 상기 제 1 레벨 제어부는,

상기 제 1 트랜지스터의 드레인과 상기 제 1 제어 트랜지스터의 드레인 사이에 직렬 연결되며 게이트에 상기 바이어스 전압이 인가되는 제 1 및 제 2 레벨 트랜지스터이고,

상기 제 2 레벨 제어부는,

상기 제 1 트랜지스터의 드레인과 상기 제 1 제어 트랜지스터의 드레인 사이에 직렬 연결되며 게이트에 상기 데이터가 인가되는 제 3 및 제 4 레벨 트랜지스터인 것을 특징으로 하는 기입 드라이버 회로.

청구항 11.

제 10항에 있어서, 상기 제 1 제어 트랜지스터는,

드레인이 상기 제 2 및 제 4 레벨 트랜지스터의 소스에 공통 연결되며 소스가 제 2 전압에 연결되고 게이트에 상기 리셋 펄스 또는 셋 펄스가 인가되며,

상기 제 2 제어 트랜지스터는,

제 1 전압에 소스가 연결되고 상기 제 1 트랜지스터의 드레인에 드레인이 연결되며 게이트에 상기 리셋 펄스 또는 셋 펄스가 인가되는 것을 특징으로 하는 기입 드라이버 회로.

청구항 12.

제 11항에 있어서,

상기 제 1 내지 제 4 레벨 트랜지스터는 엔모스 트랜지스터이고,

상기 제 1 제어 트랜지스터는 엔모스 트랜지스터이고 상기 제 2 제어 트랜지스터는 피모스 트랜지스터이며,

상기 제 1 트랜지스터는 피모스 트랜지스터인 것을 특징으로 하는 기입 드라이버 회로.

청구항 13.

제 12항에 있어서, 상기 전류 구동 회로는,

제 1 전압에 소스가 연결되고 상기 제 1 노드에 드레인이 연결되며 상기 제어 신호가 게이트로 인가되는 풀 업 트랜지스터 ; 및

상기 제 1 노드에 드레인이 연결되고 제 2 전압에 소스가 연결되며 게이트에 상기 리셋 펄스 또는 셋 펄스가 반전된 신호가 인가되는 풀 다운 트랜지스터를 구비하는 것을 특징으로 하는 기입 드라이버 회로.

청구항 14.

제 13항에 있어서,

상기 제어 신호의 제 2 제어레벨은 상기 제어 신호의 제 1 제어레벨보다 상기 풀 업 트랜지스터를 더 크게 턴 온 시키는 전압 레벨이고, 상기 제어 신호의 제 3 제어레벨은 상기 풀 업 트랜지스터를 턴 오프 시키는 전압 레벨인 것을 특징으로 하는 기입 드라이버 회로.

청구항 15.

상 변화 메모리 어레이의 기입 드라이버 회로에 있어서,

데이터의 논리 레벨에 응답하여 리셋 펄스 및 셋 펄스 중 하나와 상기 데이터를 반전시킨 반전 데이터를 출력하는 펄스 선택 회로 ;

바이어스 전압을 수신하며, 상기 리셋 펄스 또는 상기 셋 펄스의 인에이블 구간동안 제어 신호를 제 2 제어레벨로 출력하고, 상기 리셋 펄스 또는 상기 셋 펄스의 디스에이블 구간동안 상기 제어 신호를 제 1 제어레벨로 출력하는 전류 제어 회로 ; 및

상기 반전 데이터의 논리 레벨에 응답하여 상기 리셋 펄스 또는 상기 셋 펄스의 인에이블 구간동안 기입 전류를 제 1 레벨 또는 제 2 레벨로 제 1 노드를 통하여 상기 상 변화 메모리 어레이로 출력하고, 상기 리셋 펄스 또는 상기 셋 펄스의 디스에이블 구간동안 상기 제 1 노드를 방전(discharge)시키는 전류 구동 회로를 구비하는 것을 특징으로 하는 기입 드라이버 회로.

청구항 16.

제 15항에 있어서,

바이어스 전압의 레벨 변동에 응답하여 상기 제어 신호의 레벨이 상승 또는 하강되는 것을 특징으로 하는 기입 드라이버 회로.

청구항 17.

제 15에 있어서, 상기 기입 전류의 제 1 레벨은,

상기 기입 전류의 제 2 레벨보다 더 큰 전류 레벨인 것을 특징으로 하는 기입 드라이버 회로.

청구항 18.

제 15항에 있어서, 상기 펄스 선택 회로는,

상기 데이터의 논리 레벨에 응답하여 상기 리셋 펄스를 출력하는 제 1 전송부 ;

상기 데이터의 논리 레벨에 응답하여 상기 셋 펄스를 출력하는 제 2 전송부 ;

상기 제 1 전송부 또는 제 2 전송부의 출력을 반전하여 상기 전류 구동 회로로 인가하는 제 1 인버터 ; 및

상기 데이터를 반전시켜 반전 데이터를 출력하는 제 2 인버터를 구비하는 것을 특징으로 하는 기입 드라이버 회로.

청구항 19.

제 18항에 있어서, 상기 제 1 전송부 및 상기 제 2 전송부는,

상기 데이터 및 반전 데이터에 응답하여 턴 온 또는 턴 오프 되는 전송 게이트이고, 상기 제 1 전송부 및 상기 제 2 전송부 중 하나가 턴 온 되면 다른 하나는 턴 오프 되는 것을 특징으로 하는 기입 드라이버 회로.

청구항 20.

제 15항에 있어서, 상기 전류 제어 회로는,

제 1 전압에 소스가 연결되고 게이트와 드레인이 공통 연결되는 제 1 트랜지스터 ;

상기 바이어스 전압에 응답하여 턴 온 되어 상기 제어 신호의 레벨을 제어하는 제 1 레벨 제어부 ;

상기 리셋 펄스 또는 상기 셋 펄스에 응답하여 상기 전류 제어 회로의 동작을 제어하는 제 1 제어 트랜지스터 ; 및

상기 리셋 펄스 또는 상기 셋 펄스의 디스에이블 구간동안 상기 제 1 트랜지스터를 턴 오프 시키고 상기 제어 신호를 제 1 제어레벨로 출력하는 제 2 제어 트랜지스터를 구비하는 것을 특징으로 하는 기입 드라이버 회로.

청구항 21.

제 20항에 있어서, 상기 제 1 레벨 제어부는,

상기 제 1 트랜지스터의 드레인과 상기 제 1 제어 트랜지스터의 드레인 사이에 직렬 연결되며 게이트에 상기 바이어스 전압이 인가되는 제 1 및 제 2 레벨 트랜지스터이고,

상기 제 1 제어 트랜지스터는,

드레인이 상기 제 2 레벨 트랜지스터의 소스에 연결되며 소스가 제 2 전압에 연결되고 게이트에 상기 리셋 펄스 또는 셋 펄스가 인가되며,

상기 제 2 제어 트랜지스터는,

제 1 전압에 소스가 연결되고 상기 제 1 트랜지스터의 드레인에 드레인이 연결되며 게이트에 상기 리셋 펄스 또는 셋 펄스가 인가되는 것을 특징으로 하는 기입 드라이버 회로.

청구항 22.

제 21항에 있어서, 상기 제 1 및 제 2 레벨 트랜지스터는,

엔모스 트랜지스터이며,

상기 제 1 제어 트랜지스터는 엔모스 트랜지스터이고 상기 제 2 제어 트랜지스터는 피모스 트랜지스터이며,

상기 제 1 트랜지스터는 피모스 트랜지스터인 것을 특징으로 하는 기입 드라이버 회로.

청구항 23.

제 15항에 있어서, 상기 전류 구동 회로는,

상기 반전 데이터가 제 2 레벨이면 상기 리셋 펄스의 인에이블 구간동안 상기 제어 신호에 응답하여 상기 기입 전류를 제 1 레벨로 제 1 노드를 통하여 출력하는 제 2 레벨 제어부 ;

상기 반전 데이터가 제 1 레벨이면 상기 셋 펄스의 인에이블 구간동안 상기 제어 신호에 응답하여 상기 기입 전류를 제 2 레벨로 상기 제 1 노드를 통하여 출력하는 풀 업 트랜지스터 ; 및

상기 데이터의 논리 레벨에 상관없이 상기 리셋 펄스 또는 셋 펄스의 디스에이블 구간동안 상기 제 1 노드를 방전(discharge)시키는 풀 다운 트랜지스터를 구비하는 것을 특징으로 하는 기입 드라이버 회로.

청구항 24.

제 23항에 있어서, 상기 제 2 레벨 제어부는,

제 1 전압에 소스가 연결되고 게이트에 반전 데이터가 인가되는 제 3 레벨 트랜지스터 ; 및

상기 제 3 레벨 트랜지스터의 드레인에 소스가 연결되고 상기 제어 신호가 게이트에 연결되며 드레인이 상기 제 1 노드에 연결되는 제 4 레벨 트랜지스터를 구비하는 것을 특징으로 하는 기입 드라이버 회로.

청구항 25.

제 24항에 있어서,

상기 제어 신호의 제 2 제어레벨은 상기 풀 업 트랜지스터 및 상기 제 4 레벨 트랜지스터를 턴 온 시키는 전압 레벨이고, 상기 제어 신호의 제 1 제어레벨은 상기 풀 업 트랜지스터 및 상기 제 4 레벨 트랜지스터를 턴 오프 시키는 전압 레벨인 것을 특징으로 하는 기입 드라이버 회로.

청구항 26.

제 23항에 있어서, 상기 풀 업 트랜지스터는,

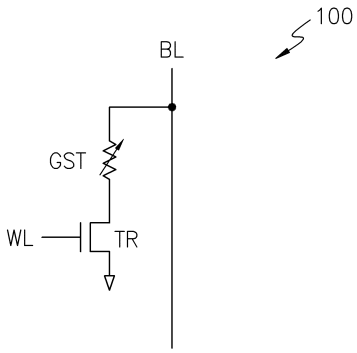
상기 제 1 전압에 소스가 연결되고 상기 제 1 노드에 드레인이 연결되며 상기 제어 신호가 게이트로 인가되고,

상기 풀 다운 트랜지스터는,

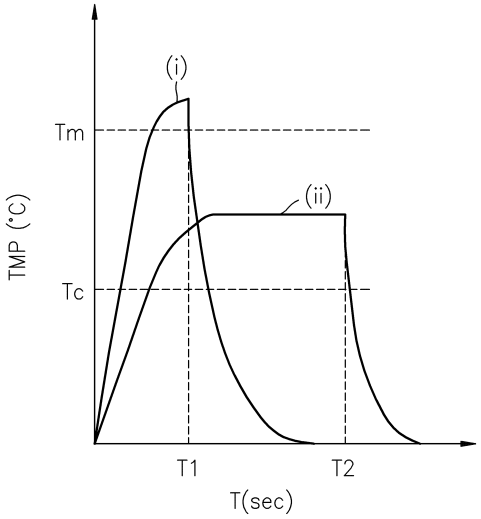
상기 제 1 노드에 드레인이 연결되고 제 2 전압에 소스가 연결되며 게이트에 상기 리셋 펄스 또는 셋 펄스가 반전된 신호가 인가되는 것을 특징으로 하는 기입 드라이버 회로.

도면

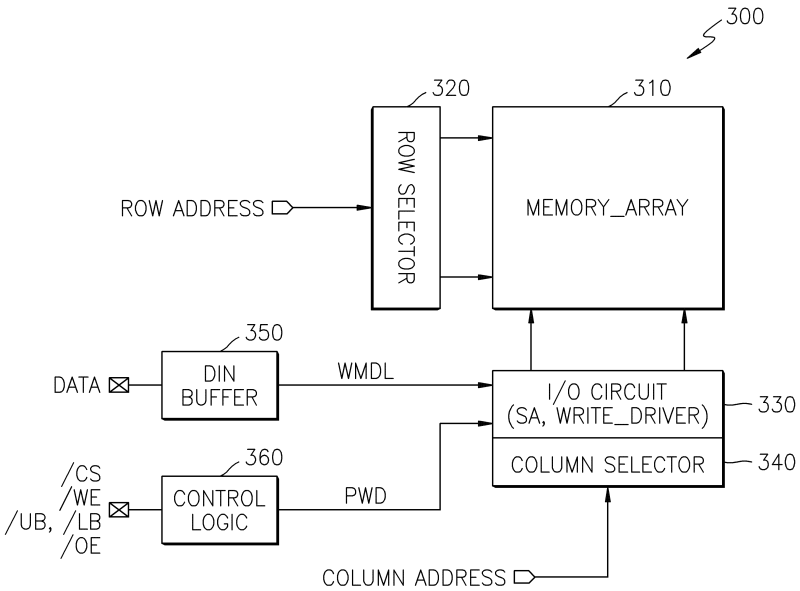
도면1



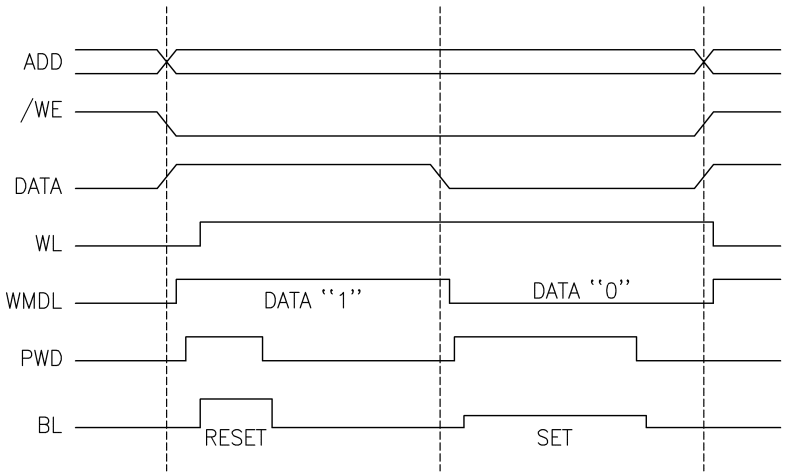
도면2


(i)
Tm
(ii)
TMP (°C)
Tc
T1
T2
T(sec)

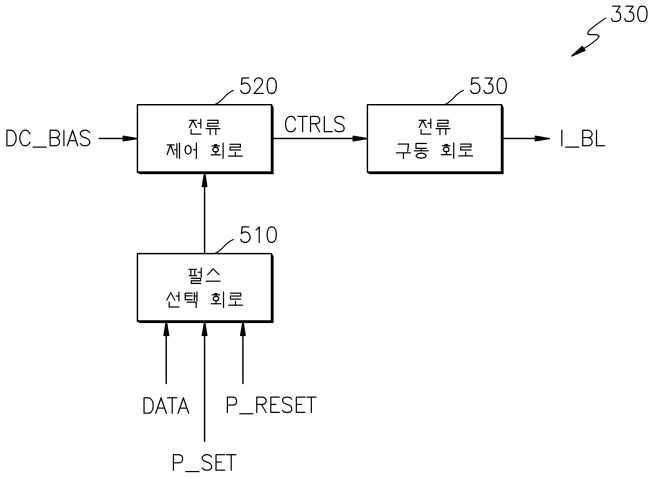
도면3


300
320
310
ROW SELECTOR
MEMORY_ARRAY
ROW ADDRESS
350
DIN BUFFER
DATA
WMDL
I/O CIRCUIT (SA, WRITE_DRIVER)
330
COLUMN SELECTOR
340
360
/CS
/WE
/UB, /LB
/OE
CONTROL LOGIC
PWD
COLUMN ADDRESS

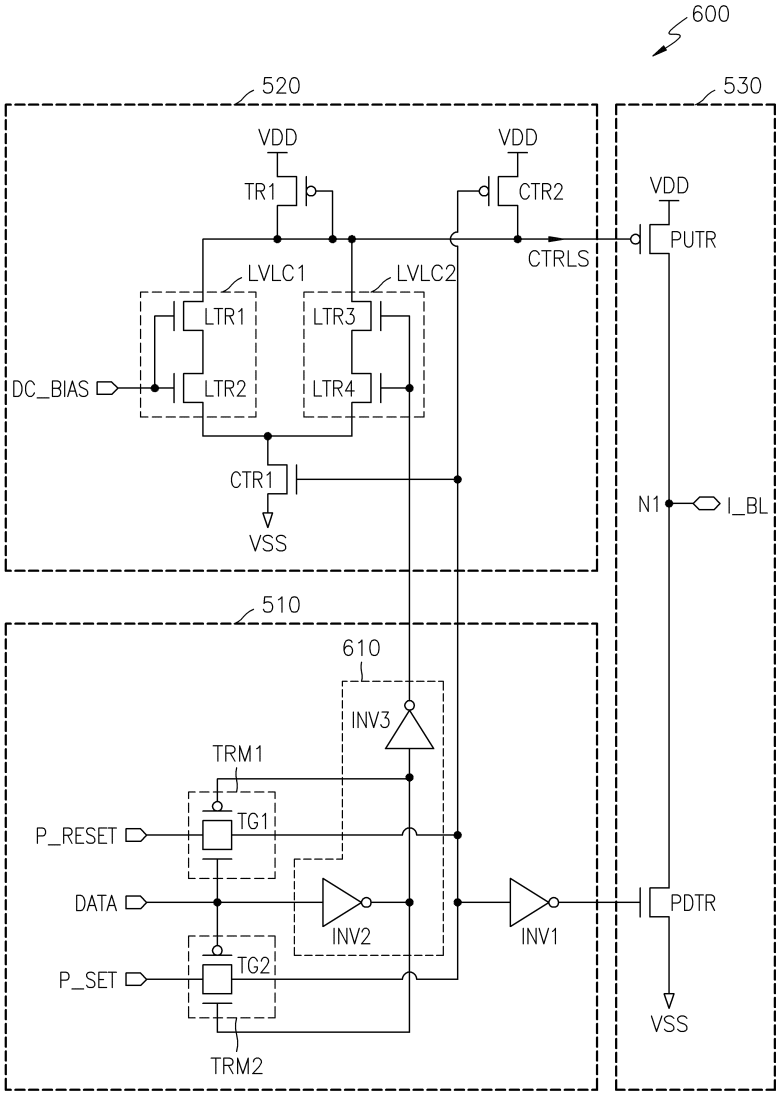
도면4


ADD
/WE
DATA
WL
WMDL
DATA "1"
DATA "0"
PWD
BL
RESET
SET

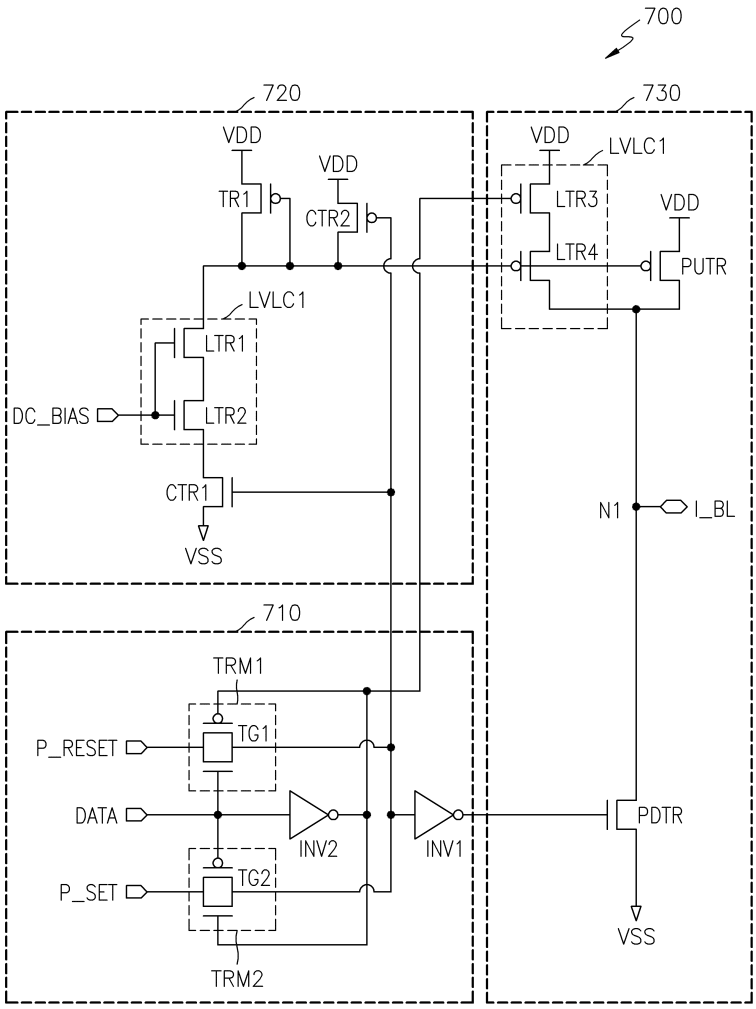
도면5


330
520
530
DC_BIAS
전류
제어 회로
CTRLS
전류
구동 회로
I_BL
510
펄스
선택 회로
DATA
P_RESET
P_SET

도면6


600
520
530
VDD
VDD
TR1
CTR2
VDD
PUTR
CTRLS
LVLC1
LVLC2
LTR1
LTR3
DC_BIAS
LTR2
LTR4
CTR1
VSS
N1
I_BL
510
610
INV3
TRM1
TG1
P_RESET
DATA
INV2
INV1
PDTR
TG2
P_SET
VSS
TRM2

도면7


700
720
730
VDD
VDD
VDD
LVLC1
TR1
CTR2
LTR3
VDD
LTR4
PUTR
LVLC1
LTR1
DC_BIAS
LTR2
CTR1
VSS
N1
I_BL
710
TRM1
TG1
P_RESET
DATA
INV2
INV1
PDTR
TG2
P_SET
VSS
TRM2