



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I549229 B

(45)公告日：中華民國 105 (2016) 年 09 月 11 日

(21)申請案號：104102433

(22)申請日：中華民國 104 (2015) 年 01 月 23 日

(51)Int. Cl. : H01L21/8247(2006.01)

H01L45/00 (2006.01)

(30)優先權：2014/01/24 美國

61/930,967

(71)申請人：旺宏電子股份有限公司(中華民國) MACRONIX INTERNATIONAL CO., LTD.
(TW)

新竹縣科學工業園區力行路 16 號

(72)發明人：龍翔瀾 LUNG, HSIANG-LAN (TW)；吳昭誼 WU, CHAO-I (TW)；簡維志 CHIEN,
WEI-CHIH (TW)

(74)代理人：祁明輝；林素華

(56)參考文獻：

US 6625054B2

US 6797979B2

US 7385235B2

US 7492641B2

US 7569846B2

審查人員：李景松

申請專利範圍項數：19 項 圖式數：17 共 52 頁

(54)名稱

應用於系統單晶片之記憶體裝置內的多相變化材料

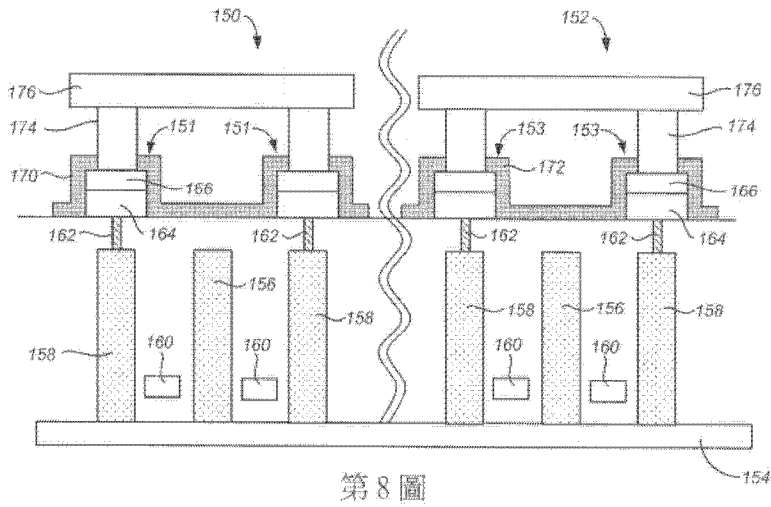
MULTIPLE PHASE CHANGE MATERIALS IN A MEMORY DEVICE FOR SYSTEM ON A CHIP
APPLICATION

(57)摘要

一種裝置包括第一組記憶胞以及第二組記憶胞，第一組記憶胞與第二組記憶胞具有記憶體元件以及位於第一與第二組記憶胞上的第一與第二覆蓋材料。第一與第二覆蓋材料可以包括較低與較高密度的氮化矽。記憶體元件可以包括可程式電阻記憶體材料，而覆蓋材料可以接觸記憶體元件。第一與第二組記憶胞可以具有共同的記憶胞結構。伴隨著位於頂電極以及底電極之間的記憶體材料，第一組記憶胞之第一記憶胞可以包括頂電極與底電極，而第一覆蓋材料接觸記憶體材料。控制電路可以應用不同的寫入演算法至第一與第二組記憶胞。藉由使用不同的覆蓋材料形成第一與第二覆蓋層，第一與第二組記憶胞可以具有不同的操作記憶體特性，但具有相同的記憶胞結構。

A device includes first and second pluralities of memory cells with memory elements and first and second capping materials on the first and second pluralities of memory cells. First and second capping materials can comprise lower and higher density silicon nitrides. The memory elements can include a programmable resistance memory material, and the capping materials can contact the memory elements. The first and second pluralities of memory cells can have a common cell structure. The first memory cells in the can comprise a top and bottom electrodes with a memory material therebetween and the first capping material contacting the memory material. Control circuits can apply different write algorithms to the first and second pluralities of memory cells. The first and second sets of memory cells can have different operational memory characteristics by forming the first and second capping layers using different capping materials but with the same cell structure.

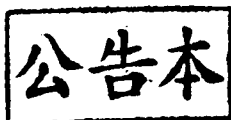
指定代表圖：



第 8 圖

符號簡單說明：

- 150 . . . 第一記憶體陣列
- 151 . . . 第一記憶胞
- 152 . . . 第二記憶體陣列
- 153 . . . 第二記憶胞
- 154 . . . 基板
- 156 . . . 源極線
- 158 . . . 插塞
- 160 . . . 字元線
- 162 . . . 底電極
- 164 . . . 相變化材料
- 166 . . . 頂電極
- 170 . . . 第一覆蓋材料
- 172 . . . 第二覆蓋材料
- 174 . . . 通孔
- 176 . . . 位元線



申請日: 104. 1. 23

IPC分類:

H01L 21/8241 2006.01

H01L 45/00 2006.01

【發明摘要】**【中文發明名稱】** 應用於系統單晶片之記憶體裝置內的多相變化材料**【英文發明名稱】** MULTIPLE PHASE CHANGE MATERIALS IN A MEMORY DEVICE FOR SYSTEM ON A CHIP APPLICATION**【中文】**

一種裝置包括第一組記憶胞以及第二組記憶胞，第一組記憶胞與第二組記憶胞具有記憶體元件以及位於第一與第二組記憶胞上的第一與第二覆蓋材料。第一與第二覆蓋材料可以包括較低與較高密度的氮化矽。記憶體元件可以包括可程式電阻記憶體材料，而覆蓋材料可以接觸記憶體元件。第一與第二組記憶胞可以具有共同的記憶胞結構。伴隨著位於頂電極以及底電極之間的記憶體材料，第一組記憶胞之第一記憶胞可以包括頂電極與底電極，而第一覆蓋材料接觸記憶體材料。控制電路可以應用不同的寫入演算法至第一與第二組記憶胞。藉由使用不同的覆蓋材料形成第一與第二覆蓋層，第一與第二組記憶胞可以具有不同的操作記憶體特性，但具有相同的記憶胞結構。

【英文】

A device includes first and second pluralities of memory cells with memory elements and first and second capping materials on the first and second pluralities of memory cells. First and second capping materials can comprise lower and higher density silicon nitrides. The memory elements can include a programmable resistance memory material, and the capping materials can contact the memory elements. The first and second pluralities of memory cells can have a common cell structure. The first memory cells in the can comprise a top and bottom electrodes with a memory material therebetween and the first capping material contacting the memory material. Control circuits can apply different write algorithms to the first and second pluralities of memory cells. The first and second sets of memory



cells can have different operational memory characteristics by forming the first and second capping layers using different capping materials but with the same cell structure.

【指定代表圖】：第(8)圖。

【代表圖之符號簡單說明】

150：第一記憶體陣列

151：第一記憶胞

152：第二記憶體陣列

153：第二記憶胞

154：基板

156：源極線

158：插塞

160：字元線

162：底電極

164：相變化材料

166：頂電極

170：第一覆蓋材料

172：第二覆蓋材料

174：通孔

176：位元線

【特徵化學式】

：無

【發明說明書】

【中文發明名稱】 應用於系統單晶片之記憶體裝置內的多相變化材料

【英文發明名稱】 MULTIPLE PHASE CHANGE MATERIALS IN A MEMORY
DEVICE FOR SYSTEM ON A CHIP APPLICATION

【技術領域】

【0001】 本技術是有關於具有兩種型式之記憶體的積體電路裝置，例如伴隨著系統單晶片(System-On-Chip, SOC)的應用，及前述裝置之製造方法。

【先前技術】

【0002】 一般而言，系統單晶片(System-On-Chip, SOC)技術係將一個電子系統的多個子系統整合在單一的積體電路內，且可包括數位、類比、混合訊號以及射頻功能。各種的子系統可被整合於包括微處理器、微控制器核心、數位訊號處理器(Digital Signal Processors, DSPs)、可結構化邏輯單元、記憶塊、定時源、外部介面以及電源管理電路等的積體電路內。SOC由上述的硬體以及控制子系統的軟體所組成。詞彙「系統單晶片」可被用於敘述特定應用積體電路(Application Specific Integrated Circuits, ASIC)，現在藉由單一積體電路即可提供先前藉由結合一個電路板上之多個積體電路達到的許多功能。這類的整合程度顯著地減少尺寸以及系統的電源消耗，通常也降低製造成本。

【0003】 爲了滿足用於SOC之各種功能的記憶體性能需求，典型地於用於記憶體應用的積體電路中的各種位置埋置提供不同用途的不同型

式記憶電路，記憶體應用如隨機存取記憶體(Random Access Memory, RAM)、快閃記憶體以及唯讀記憶體(Read Only Memory, ROM)。然而，整合用於各種記憶體應用的不同型式之記憶體裝置可以是困難的，且造成高度複雜的設計以及製造過程。

【0004】 因此，想要提供滿足不同的記憶體性能需求之單一積體電路上的記憶體如SOC之多種功能所要求的，同時對付設計整合的問題。也想要提供用於製造這類裝置的方法。

【發明內容】

【0005】 一種裝置包括第一組記憶胞以及第二組記憶胞。第一組記憶胞包括位於第一組記憶胞上的一第一覆蓋材料。第二組記憶胞包括位於第二組記憶胞上的一第二覆蓋材料。第一覆蓋材料不同於第二覆蓋材料。電路係耦合至第一組記憶胞與第二組記憶胞，調整電路以實施不同的寫入過程至第一組記憶胞與第二組記憶胞(例如第一與第二組記憶胞之一者中應用於較高速程式設計之較短的寫脈衝或寫入操作，而另一組中應用於較久的資料保持之較長的寫脈衝或寫入操作)，或者爲了不同的循環耐久規格而分配第一組記憶胞與第二組記憶胞(例如用於存取之主記憶體的規格通常在第一與第二組記憶胞之一者中，或者長期儲存於另一組)。

【0006】 此裝置的範例可以包括下列的一或多者。第一覆蓋材料包括氮化矽。第二覆蓋材料可以包括具有大於第一覆蓋材料之氮化矽密度的氮化矽。記憶胞可以具有包括可程式電阻記憶體材料的記憶體元件，第一覆蓋材料與第二覆蓋材料可以接觸對應第一與第二組記憶胞之記憶體元件。第一與第二組記憶胞中的記憶胞可以具有包括銻銻碲 $\text{Ge}_x\text{Sb}_y\text{Te}_z$ 相變化材料之記憶體元件，第一覆蓋材料可

以包括較低密度的氮化矽，而第二覆蓋材料可以包括較高密度的氮化矽，較高密度的氮化矽沉積於較第一覆蓋材料高的溫度。第一覆蓋材料通常包括具有1.95折射率的材料，也可以包括具有大於1.8折射率以及小於2.016折射率的材料。第一覆蓋材料通常包括具有2.6克/立方公分之密度的材料，也可以包括具有大於2.4克/立方公分以及小於3.2克/立方公分之密度的材料。第二覆蓋材料可以包括具有大於等於2.016折射率以及小於2.2折射率的材料；第二覆蓋材料包括具有大於等於3.2克/立方公分以及小於3.5克/立方公分之密度的材料。

【0007】 第一與第二組記憶胞可以具有共同的記憶胞結構。第一與第二組記憶胞可以具有包括相變化材料的記憶體元件。第一覆蓋材料可以包括一第一氮化矽層，而第二覆蓋材料可以包括較第一氮化矽層之密度高的一第二氮化矽層，且第一與第二組記憶胞中的記憶胞可以具有包括銻銻碲 $\text{Ge}_x\text{Sb}_y\text{Te}_z$ 的記憶體元件。第一組記憶胞中的記憶胞可以包括一頂電極、一底電極以及一記憶體材料，此記憶體材料位於頂電極以及底電極之間，伴隨著接觸記憶體材料的第一覆蓋材料。控制電路可以應用寫入演算法至第一組記憶胞，並應用不同的寫入演算法至第二組記憶胞。

【0008】 記憶體裝置的另一範例包括第一組記憶胞、第二組記憶胞以及電路。第一組記憶胞具有伴隨著記憶體元件的記憶胞結構，以及第一組記憶胞中接觸記憶體元件之氮化矽的第一覆蓋層，其中記憶體元件包括相變化材料。第二組記憶胞具有伴隨著記憶體元件的記憶胞結構，以及第二組記憶胞中接觸記憶體元件之氮化矽的第一覆蓋層，其中記憶體元件包括相變化材料。第一組記憶胞之記

憶胞結構與第二組記憶胞之記憶胞結構僅差異於第一覆蓋層以及第二覆蓋層的材料。第一覆蓋層中之氮化矽的密度小於第二覆蓋層中之氮化矽的密度。調整電路以實施較第二組記憶胞之速度快的寫入操作至第一組記憶胞。

【0009】 如下可以實施用於提供記憶體裝置之第一組記憶胞與第二組記憶胞的方法範例，其中記憶體裝置具有第一與第二操作記憶體特性。使用第一覆蓋材料形成第一覆蓋層於第一組記憶胞上。使用不同於第一覆蓋材料的第二覆蓋材料形成第二覆蓋層於第二組記憶胞上。形成第一組記憶胞與第二組記憶胞以具有相同的記憶胞結構。

【0010】 提供記憶胞的方法範例可以包括下列的一或多項。第一覆蓋材料可以包括矽氧化物(SiO_x)、氮化矽(SiN_x)以及硫氟氧碳化物($\text{S}_o\text{O}_x\text{F}_y\text{C}_z$)中的至少一者。第二覆蓋材料可以包括氮化矽(SiN_x)、氧化鋁(Al_2O_3)、二氧化鈦(HfO_2)以及五氧化二鉭(Ta_2O_5)中的至少一者。第一與第二覆蓋材料可以係相同的材料，而第一覆蓋層與第二覆蓋層可以在不同的溫度下進行形成步驟。第一覆蓋層與第二覆蓋層的形成步驟可以不相同且可以包括使用相同的記憶體材料於第一與第二組記憶胞，選擇第一覆蓋層與第二覆蓋層的形成步驟使得第一組記憶胞具有較第二組記憶胞快的轉換速率特性，而第二組記憶胞具有較第一組記憶胞好的資料保持特性。第一與第二覆蓋材料皆可使用氮化矽，第一覆蓋層與第二覆蓋層的形成步驟可以在較低的溫度下實施來形成第一覆蓋層，而在較高的溫度下實施來形成第二覆蓋層。記憶胞可以具有包括可程式電組記憶體材料的記憶體元件，且第一覆蓋材料與第二覆蓋材料可

以接觸對應第一與第二組記憶胞的記憶體元件。此方法更可以包括形成控制電路以應用寫入演算法至第一組記憶胞，且應用不同的寫入演算法至第二組記憶胞。

【0011】 在探討下列圖式、實施例以及申請專利範圍時可以了解本發明的其他方面以及優點。

【圖式簡單說明】

【0012】 第1圖繪示用於寫資料值至可程式電阻記憶胞之實施方法的波形圖。

第2-6圖繪示先前技術所提出的不同形式之記憶胞，係可以做為實施例所述技術之一部分。

第2圖繪示先前技術之蕈狀(mushroom-type)記憶胞的剖面圖。

第3圖繪示先前技術之橋式(bridge-type)記憶胞的剖面圖。

第4圖繪示先前技術之通孔中主動型(active-in-via type)記憶胞的剖面圖。

第5圖繪示先前技術之微孔型(pore-type)記憶胞的剖面圖。

第6圖繪示先前技術之金屬-氧化物(metal-oxide)記憶胞的剖面圖。

第7圖繪示一實施例之包括記憶體陣列之積體電路的方塊圖，其中記憶體陣列包括多組記憶胞，記憶胞具有不同覆蓋材料。

第7A圖繪示第7圖之積體電路的一替代方案。

第7B圖繪示第7圖之積體電路的另一替代方案。

第8圖繪示本發明之一實施例。

第9圖繪示用於製作記憶體陣列之一範例的製造流程圖，其中記憶胞的陣列具有不同的操作特性。

第10A圖以及第10B圖係取自不同覆蓋記憶胞的TEM圖所繪製之圖式，第10A圖繪示第一記憶胞，而第10B圖繪示第二記憶胞，且第一記憶胞與第二記憶胞具有不同的操作特性。

第11圖繪示較低密度之氮化矽覆蓋材料之記憶胞在進行150°C持續30分鐘之處理前與處理後的電阻分佈圖。

第12圖繪示較高密度之氮化矽覆蓋材料之記憶胞在進行150°C持續30分鐘之處理前與處理後的電阻分佈圖。

第13圖繪示低溫氮化矽覆蓋材料記憶胞之烘烤時間對資料保持失敗之機率的變化圖。

第14圖繪示用於低溫氮化矽覆蓋材料之記憶胞以及高溫氮化矽覆蓋材料之記憶胞的設定脈衝寬度對設定/重置電阻比值的變化圖。

第15A圖繪示低溫氮化矽覆蓋材料之記憶胞的參數變化圖。

第15B圖繪示高溫氮化矽覆蓋材料之記憶胞的參數變化圖。

第16圖繪示高溫氮化矽覆蓋材料之記憶胞其溫度的倒數對生命期之自然對數(lifetime on logarithmic scale of hours)(刻度:小時)的變化圖。

第17圖繪示對於較高溫重置狀態以及較低溫設定狀態兩者的循環耐久變化圖。

【實施方式】

【0013】 下列敘述將典型地參照具體的結構實施例和方法。應該理解的是，無意將本發明限制到具體公開的實施例和方法，本發明可以使用其它特徵，元件，方法和實施例來實踐。描述較佳的實施例以說明本發明，而不是限制其範圍，此範圍由申請專利範圍定義。

本發明所屬技術領域具有通常知識者將理解到下列敘述的各種等效的變化。在各個實施例中類似的元素通常具有類似的元件符號。

【0014】 在此敘述的技術包括於積體電路上使用可程式電阻記憶胞的陣列，其中調整某些記憶胞以符合較久的資料保持記憶體規格和/或較低的循環耐久規格，並調整某些記憶胞以符合較快速度的記憶體規格和/或較高的循環耐久規格。

【0015】 第1圖繪示用於寫資料值至可程式電阻記憶胞之實施方法的波形圖，其中資料值係藉由第一以及第二可程式電阻範圍表示。舉例來說，第一電阻範圍的電阻值可以低於第二電阻範圍的電阻值。資料值係寫在一寫入周期中。寫入周期包括用來寫入第一資料值之交替驗證操作與寫入操作的第一序列，以及用來寫入第二資料值之交替驗證操作與寫入操作的第二序列，其中第一資料值係藉由第一可程式電阻範圍表示，第二資料值係藉由第二可程式電阻範圍表示。可以實施驗證操作於寫入序列開始之前以及序列中的寫脈衝之後。若驗證操作判定記憶胞不具有藉由先前之寫脈衝預測的電阻範圍，可以接著施加另一寫脈衝。

【0016】 如第1圖之範例所繪示，可以施加包括驗證脈衝與設定脈衝的設定周期序列來設定根據相變化材料的可程式電阻記憶胞，以寫入藉由第一電阻範圍(例如低電阻或低R)表示的第一資料值。於設定周期中，可以施加設定狀態驗證操作(set state verify operation)(例如212)至記憶胞。若此記憶胞驗證失敗，接著施加設定脈衝(例如232)至記憶胞。某些實施例中，係施加單一周期以設定記憶胞。根據記憶胞的特性可以說明設定脈衝的持續時

間、幅度以及形狀。其他的實施例中，反覆地施加設定周期直到記憶胞通過發出設定操作已成功之訊號的驗證操作，或直到達到周期的最大值，發出設定操作已失敗的訊號。

【0017】 爲了進行重置操作(reset operation)以寫入藉由第二電阻範圍(例如高電阻或高R)表示的第二資料值，可以施加包括驗證脈衝與重置脈衝(reset pulse)的重置周期序列。重置周期中，係施加重置狀態驗證操作(reset state verify operation)(例如220)。若此記憶胞的驗證操作失敗，接著施加重置脈衝(例如244)至記憶胞。某些實施例中，係施加單一周期以重置記憶胞。根據記憶胞的特性可以說明重置脈衝的持續時間、幅度以及形狀。其他的實施例中，反覆地施加重置周期直到記憶胞通過發出重置操作已成功之訊號的重置驗證操作，或直到達到周期的最大值，發出重置操作已失敗的訊號。

【0018】 這些寫入操作所需要的時間長度係關鍵性能指標。因此，被調整來用於高速規格的可程式電阻陣列可以要求較短的寫脈衝，或要求寫入操作僅於一個周期或數個周期內成功，或要求上述兩者，且因此時間少於用在此敘述之長保持的可程式電阻陣列，長保持的可程式電阻陣列可要求較長的脈衝或更多個周期，或者要求上述兩者。

【0019】 第2圖至第6圖繪示使用可程式電阻記憶體元件之基本記憶胞結構，可程式電阻記憶體元件可以應用於在此敘述之具覆蓋層之記憶體陣列中。如此所述，單一積體電路上的記憶胞可以發展於不同的可程式電阻陣列中，記憶胞之覆蓋層中具有不同的材料或多種材料的組合。藉由應用不同的寫入操作至不同的陣列可以調整積

體電路上的邏輯來操作。並且，如此所述，不同的陣列可以具有不同的耐久特性，使得相較於同一積體電路上之另一陣列，一陣列可以接受較多數目的讀/寫周期。並且，不同的陣列可以具有不同的保持特性，使得相較於其他陣列，一陣列可以較長時間的可靠地保持數據。

【0020】 第2圖至第5圖繪示基於相變化材料的記憶胞。相變化材料的實施例包括基於記憶體材料的相變化，相變化材料包括基於硫屬化物(chalcogenide)的材料以及其他材料。硫族元素(chalcogens)包括氧(O)、硫(S)、硒(Se)和碲(Te)四種元素中的任何一種，形成週期表中第6A族的一部分。硫屬化物包括具有較正電性的元素或自由基的硫族元素的化合物。硫化物合金(chalcogenide alloy)包括硫屬化物與其他材料如過渡金屬的結合。硫化物合金通常含有元素週期表第4A族中的一或多種元素，如鍺(Ge)和錫(Sn)。通常，硫化物合金包括銻(Sb)，鎵(Ga)，銦(In)以及銀(Ag)中的一或多者的組成。技術文獻中已描述許多根據記憶體材料的相變化，包括以下合金：鎵/銻、銦/銻、銦/硒、銻/碲，鍺/碲、鍺/銻/碲、銦/銻/碲、鎵/硒/碲、錫/銻/碲、銦/銻/鍺、銀/銦/銻/碲、鍺/錫/銻/碲、鍺/銻/硒/碲和碲/鍺/銻/硫。鍺/銻/碲合金的家族中，廣大範圍的合金組成係可行的。這些組成物可以被表徵為 $\text{Te}_a\text{Ge}_b\text{Sb}_{100-(a+b)}$ 。一項研究已敘述最有用的合金為沉積的材料中碲(Te)的平均濃度低於70%，典型地約低於60%且範圍大致上從約23%至約58%，而最佳的濃度為約48%至58%的碲。此材料中鍺(Ge)的平均濃度約高於5%，且範圍從約8%至約30%，通常維持在50%以下。鍺的濃度範圍可以從約8%至約40%。此組合物中主要構

成元素的其餘部分是銻(Sb)。這些百分比係原子百分比，組成元素的原子總和為100%。(專利Ovshinsky 5,687,112，第10-11欄)。特別是經由另一研究員評定的合金包括 $\text{Ge}_2\text{Sb}_2\text{Te}_5$ 、 GeSb_2Te_4 以及 GeSb_4Te_7 (Noboru Yamada, “Potential of Ge-Sb-Te Phase-Change Optical Disks for High-Data-Rate Recording”，國際光學工程學會(The International Society for Optical Engineering, SPIE)第3109卷，第28-37頁(1997))。更普遍地，過渡金屬如鉻(Cr)，鐵(Fe)，鎳(Ni)，鈮(Nb)，鈀(Pd)，鉑(Pt)及其混合物或合金可與鍺/銻/碲結合以形成具有可程式電阻性質的相變化合金。Ovshinsky(專利5,687,112)之第11-13欄給出可能有用之記憶體材料的具體範例，透過引用的形式合併這些範例。

【0021】 使用雜質摻雜硫屬化物以及其他相變化材料，一些實施例中，使用摻雜的硫屬化物修改記憶體元件的導電性、轉換溫度、熔化溫度以及其他性質。用於摻雜硫屬化物的代表性雜質包括氮、矽、氧、二氧化矽、氮化矽、銅、銀、金、鋁、氧化鋁、氧化鋇、氧化鋇、氮化鋇、鈦和氧化鈦。請參照如美國專利第6,800,504號以及美國專利申請公開號第2005/0029502號。

【0022】 相變化合金能夠在第一結構態與第二結構態之間轉換，其中第一結構態中的材料大致上是非晶質的固相，而第二結構態中的材料大致上是記憶胞之主動通道區域中在其局部秩序內之晶質的固相。這些合金至少係雙穩態的。

【0023】 用於形成硫屬化物材料之一例示性方法在1毫托(mTorr)至100毫托的壓力下，使用PVD濺鍍(PVD-sputtering)或使用氬氣、氮氣

和/或氮氣作為氣體源的磁控濺鍍(magnetron-sputtering)方法。通常在室溫下完成沉積。可以使用具有長寬比1至5的準直儀以改進填充性能(fill-in performance)。為了改進填充性能，也可以使用數十伏特至數百伏特的直流偏壓。另一方面，可以同時使用直流偏壓以及準直儀的組合。

【0024】 用於形成硫屬化物材料之一例示性方法使用化學氣相沉積(Cheical Vapor Deposition, CVD)如美國專利公開號第 2006/0172067 號 “Chemical Vapor Deposition of Chalcogenide Materials” 所公開，此專利案透過引用形式合併。

【0025】 選擇性地實施在真空或氮氣環境中的沉積後退火處理以改進硫屬化物材料的結晶態。退火溫度典型地自100°C至400°C，伴隨著小於30分鐘的退火時間。

【0026】 第2圖繪示先前技術之蕈狀(mushroom-type)記憶胞10的簡化剖面圖，如記憶體陣列中所發現的。記憶胞10包括可以是位元線的一頂電極12、一加熱器或底電極14、圍繞底電極的絕緣體16、耦合至頂電極12與底電極14的記憶體材料18、耦合至底電極14的一接點20以及一存取裝置22如耦合至接點的二極體22。記憶體材料18係為可程式電阻記憶體材料，例如相變化記憶體材料。當記憶體材料18具有一主動區域24，繪示於此範例中的記憶胞10包括相變化記憶體材料，其中在陣列的操作過程中施加偏壓條件下主動區域24會產生相變化。絕緣介電材料36作為覆蓋層，圍住此記憶胞並且接觸相變化材料。

- 【0027】 第3圖繪示先前技術之橋式(bridge-type)記憶胞28的簡化剖面圖。記憶胞28包括分開第一電極32與第二電極34的介電間隔物30。介電材料36作為覆蓋層，且圍繞記憶體材料18。記憶體材料18延伸穿過介電間隔物30以接觸第一電極32與第二電極34，從而定義第一電極32與第二電極34之間的電極間電流路徑，電流路徑具有藉由介電間隔物30之寬度38定義的路徑長度。記憶胞28包括耦合至第二電極34的存取裝置22。
- 【0028】 第4圖繪示通孔中主動型(active-in-via type)記憶胞40的剖面圖。記憶胞40包括接觸第一電極32之頂面42以及第二電極34之底面44的記憶體材料18。介電材料36圍繞記憶體材料18。於此範例中記憶體材料18具有實質上與第一電極32以及第二電極34之寬度相同的寬度46以定義藉由介電材料36圍繞的多層柱狀體，介電材料36作為覆蓋層。如在文中所使用的，詞彙「實質上」意在容許製造公差。記憶胞40包括耦合至第一電極32的存取裝置22，如二極體或電晶體。
- 【0029】 第5圖繪示微孔型(pore type)記憶胞48的剖面圖。記憶胞48包括記憶體材料18。介電材料36圍繞記憶體材料18，且介電材料36作為覆蓋層。記憶體材料18接觸第一電極32之頂面以及第二電極34之底面。此記憶胞包括耦合至第一電極32的存取裝置22，如二極體或電晶體。
- 【0030】 繪示於第2圖至第5圖中，圍繞記憶胞內相變化材料的介電材料36可包括例如二氧化矽(SiO_2)、氮化矽(Si_3N_4)、矽氮氧化物(SiO_xN_y)或氧化鋁(Al_2O_3)。

、鈣鈦礦錳氧化物 ($\text{Pr}_{1-x}\text{Ca}_x\text{MnO}_3$, PCMO) 以及鑷鈣錳氧化 (LaCaMnO) 所組成之群組中的一或多種金屬氧化物。於一些實施例中，記憶體元件可包括氧化鎢/銅或銀、氧化鈦/銅或銀、氧化鎳/銅或銀、氧化鋁/銅或銀、氧化銅/銅或銀、氧化銦/銅或銀、氧化銻/銅或銀、氮氧化鈦 (TiNO) /銅或銀、鉻摻雜的銦酸鋇 (SrZrO_3) /銅或銀、鉻摻雜的鈦酸鋇 (SrTiO_3) /銅或銀、鈣鈦礦錳氧化物 (PCMO) /銅或銀、鑷鈣錳氧化 (LaCaMnO) /銅或銀以及二氧化矽/銅或銀。

● 【0035】 舉例來說，襯墊層52可包括一層氮化鈦或氮化矽以氮化鈦的兩層。其他的材料也可以用於襯墊層52。

● 【0036】 如第6圖所示，金屬氧化物環64於接觸頂電極62的水平圍繞金屬-氧化物層60。舉例來說，金屬氧化物環64可包括鈦氮氧化物 (TiNO_x)、二氧化矽 (SiO_2)、鈦氧化物 (TiO_x)、鋁氧化物 (AlO_x)、鎢氧化物 (WO_x) 等，且較佳的選擇使得金屬氧化物環64的材料具有較記憶體元件59之中央部分高的電阻，記憶體元件59之中央部分也就是金屬-氧化物層60。

● 【0037】 於繪示的實施例中，導電元件56包括鎢，氧化鎢製成的金屬-氧化物層60，鈦氮氧化物 (TiNO_x) 製成的金屬氧化物環64，且襯墊層52可包括氮化鈦或氮化矽以氮化鈦的兩層。

【0038】 除了上述之記憶體胞如相變化記憶體胞以及金屬氧化物記憶體胞，可以應用固態電解質(導電橋)記憶體胞以及磁阻(magnetoresistive)記憶體胞至本技術。

【0039】 第7圖係為一實施例之包括記憶體陣列112之積體電路110的方塊

圖，其中記憶體陣列112包括多組記憶胞組113，此範例中有4組。不同的記憶胞組113其差異在於覆蓋材料的組成，覆蓋材料係用作圍繞可程式電阻材料的介電材料(例如36、58)，且爲了下列討論而將覆蓋材料標號爲覆蓋材料A至覆蓋材料D。本發明之一方面，陣列112中多於一組記憶胞內的記憶胞具有共同的記憶胞結構，意義上係設計施加的製造過程以實現相同的記憶胞結構於整個陣列，除了覆蓋層(例如第2圖至第5圖中的層36，以及第6圖中的層58)。因此，於可以保存製造步驟的實施例中，多組記憶胞組中之一組的記憶胞與其他記憶胞組中的記憶胞可以僅差在覆蓋層的組成。

【0040】 字元線解碼器與驅動器114係耦合至多條字元線116，且與多條字元線116電子通訊，其中多條字元線116沿著記憶體陣列112中的列排列。爲了讀取、設定以及重置陣列112中的記憶胞(未繪示)，頁緩衝區118與沿著記憶體陣列112中的欄排列之多條位元線120電子通訊。提供位址於匯流排122至字元線解碼器與驅動器114以及頁緩衝區118。方塊124中的感測放大器以及輸入資料結構透過資料匯流排126耦合至頁緩衝區118，感測放大器以及輸入資料結構包括用於讀取、設定以及重置模式之電壓源和/或電流源。透過自積體電路110上之輸入/輸出埠的輸入資料線128，或自積體電路110之外部或內部的資料源提供資料至方塊124中的輸入資料結構。積體電路110上可包括其他電路如通用處理器或特定用途應用電路，或結合提供系統單晶片功能的模組，其中系統單晶片功能藉由陣列112支援。透過輸出資料線132自方塊124中的感測放大器供應資料至積體電路110上的輸入/輸出埠，或至積

體電路110之外部或內部的其他資料目的地。

【0041】 於此範例中係使用偏壓排列狀態機(bias arrangement state machine)以實現控制器134，控制器134控制偏壓排列提供電壓以及電流源136的應用，如讀取、設定、重置以及驗證電壓和/或電流。根據被存取之陣列112的記憶胞組113中的記憶胞，控制器134控制偏壓排列提供電壓以及電流源136的應用。可使用本領域已知之特定用途邏輯電路實施控制器134。於其他的實施例中，控制器134包括通用處理器，通用處理器可被實施於相同的積體電路上以執行電腦程式來控制裝置的操作。又，在其他的實施例中，可結合特定用途邏輯電路以及通用處理器來實現控制器134。

【0042】 陣列112包括多組記憶胞組113，各組包括具有不同性質的覆蓋材料，使得各組記憶胞具有不同的操作特性，下列將更詳細地敘述。記憶胞組113係排列於陣列112中的不同位置且記憶胞之數目可不同，於實施例中記憶胞組113可以排列於陣列112的不同記憶胞中，舉例來說，陣列112之不同的記憶庫、區塊或區段。

【0043】 此外，於其他的實施例中，陣列中不同組的記憶胞可以具有不同的週邊電路(例如字元線驅動器、感測放大器、控制電路)，調整週邊電路以符合記憶胞的性能規格。週邊電路包括控制器或控制器與支持電路如偏壓供應電路、字元線驅動器等等，提供電路以應用寫入演算法至第一組記憶胞(例如多組記憶胞組113中的一組)，並應用不同的寫入演算法至第二組記憶胞(例如多組記憶胞組113中的另一組)。週邊電路也可以提供電路，調整此電路以施加較第二組記憶胞高速之寫入操作至第一組記憶胞。週邊電路可以

提供耦合至第一與第二組記憶胞之電路，調整此電路以應用不同的寫入過程至第一組記憶胞與第二組記憶胞(例如第一與第二組記憶胞之一中施加用於較高速程式設計之較短的寫脈衝或寫入操作，以而另一組中施加用於較長的資料保持之較長的寫脈衝或寫入操作)，或者爲了不同的循環耐久規格而對第一組記憶胞與第二組記憶胞進行分配(例如用於存取之主記憶體的規格通常在第一與第二組記憶胞之一中，或者長期儲存於另一組)。

【0044】 於一些實施例中，可以使用邏輯如晶片外部之主機系統上的電腦程式，或邏輯或執行於記憶體之相同晶片上的電腦程式以分配記憶胞中的一組用於通常存取且具有較多存取周期數目的記憶體(例如於主記憶體中)，且分配記憶胞中的另一組用於較少存取周期數目的記憶體(例如長期儲存)。

【0045】 藉由記憶胞的位址可以分辨陣列112中各組記憶胞的操作記憶體特性。記憶胞的這些特性決定了自控制器134至耦合偏壓電路(偏壓排列供應電壓、電源流136)傳來之訊號的特性，以施加脈衝去操作(例如讀取以及寫入操作)陣列112的記憶胞。舉例來說，寫入操作可以包括設定操作以及重置操作。第一組記憶胞的設定操作可施加第一設定脈衝至第一組記憶胞中的相變化記憶胞，而第二組記憶胞的設定操作中可施加第二設定脈衝至第二組記憶胞中的相變化記憶胞，對於脈衝寬度與脈衝高度中的至少一者，第一設定脈衝與第二設定脈衝具有不同的數值，脈衝寬度與脈衝高度係基於多組記憶胞的操作記憶體與特性。類似地，第一組記憶胞的重置操作可施加第一重置脈衝至第一組記憶胞中的相變化記憶胞，而第二組記憶胞的重置操作中可施加第二重置脈衝至第二組

記憶胞中的相變化記憶胞，對於脈衝寬度與脈衝高度中的至少一者，第一重置脈衝與第二重置脈衝具有不同的數值。於一些實施例中，驅動器以及感測放大器可由各種型式的電路所組成，且/或可操作至不同的狀態，其中各種型式的電路對應多組記憶胞且具有不同的性能性質，不同的狀態係基於進行操作於不同的記憶胞。

【0046】 第7A圖繪示第7圖之積體電路的一替代方案。於此範例中，記憶體陣列112中的記憶胞組113表示記憶胞組113的替代排列。於第7A圖的排列中，舉例來說，雖然連接至不同組的字元線驅動器，但所有的組可以共享相同的全域位元線，或相同的欄解碼電路。第7B圖繪示第7圖之積體電路的另一替代方案。於此範例中，舉例來說，記憶體陣列112A的操作特性可以提供快的轉換速率，因此適合用於RAM應用，而舉例來說，記憶體陣列112B的操作特性可以提供良好的資料保持特性因而適合用於快閃記憶體應用。於此例中，用於陣列112A的一些或所有週邊電路可以獨立於用於陣列112B的週邊電路，允許最佳化電路以符合特定的性能需求。於繪示的此範例中，陣列112A包括專用的週邊電路，週邊電路包括字元線解碼器與驅動器114A、頁緩衝區118A以及高速緩衝記憶體124A。類似地，陣列112B包括專用的週邊電路，週邊電路包括字元線解碼器與驅動器114B、頁緩衝區118B以及高速緩衝記憶體124B。陣列112A與陣列112B共享控制器134以及方塊136中的偏壓排列供應電壓與電流源。為了資料流通，積體電路110上的其他電路130與陣列112A與陣列112B耦合。

【0047】 舉例來說，第7圖至第7B圖，可以使用脈衝/驗證步驟的序列來實

現用於多組記憶胞組113中之一或多組的寫入操作。因此，用於多組記憶胞組113中各組之單一脈衝的長度可以係相同的。然而相較於具有較慢回應時間的記憶胞組113，平均而言，具有較快回應時間的記憶胞組113在脈衝/驗證過程中成功輸入的脈衝較少。不同記憶胞組113的記憶胞可以因此具有不同的寫入速度。於一些實施例中，脈衝/驗證過程可能僅需要一單一脈衝。

【0048】 第8圖繪示使用蕈狀記憶胞實施的本技術之一實施例。此技術也可以使用其他形式的記憶胞實現，如上述第3圖至第6圖所討論的。如第8圖所示，第一記憶體陣列150包括第一記憶胞151，第二記憶體陣列152包括第二記憶胞153，其中第一記憶體陣列150以及第二記憶體陣列152係形成於基板154上且對應至第7-7B圖之兩組不同的記憶胞組113。第一記憶體陣列150以及第二記憶體陣列152具有插塞158以及字元線160，於此範例中字元線160的功用為閘極電極。插塞158連接至基板154的汲極區域(未繪示)。源極線156係接地的，作為共同源極。源極線156以及插塞158係由導電材料所製成，金屬或其類似物，如鎢、鋁、鈷、銅等。加熱器或底電極162係耦合至插塞158且與相變化材料164接觸。加熱器或底電極162可以包括氮化鈦或另一導電材料。舉例來說，相變化材料164可以是摻雜的或無摻雜的 $\text{Ge}_2\text{Sb}_2\text{Te}_5$ 。頂電極166形成於相變化材料164上。頂電極166也是由導電材料所製成，可以與底電極162的導電材料相同或不同。

【0049】 於此範例中，施加第一覆蓋材料170至第一記憶體陣列150以共形地(conformably)覆蓋相變化材料164以及頂電極166。施加第二覆蓋材料172至第二記憶體陣列152以共形地覆蓋相變化材料164

以及頂電極166。移除部分之第一覆蓋材料170以及第二覆蓋材料172以形成開口並暴露頂電極166的頂表面。接著於開口中形成通孔174以連接頂電極166以及位元線176。

【0050】 第一記憶體陣列150與第二記憶體陣列152之間唯一的差異為第一覆蓋材料170以及第二覆蓋材料172。於此範例中，使用在低加工溫度(200°C)沉積之氮化矽(SiN_x)覆蓋第一記憶體陣列150；這提供適合用於RAM應用之快速轉換以及高循環耐久度等特性。製得的第一覆蓋材料170可以具有低密度(小於3.2克/立方公分)以及低折射率(小於2.016)。於一些範例中，可以使用另一覆蓋層於第一覆蓋材料170的頂部上。於一些範例中，可以使用矽氧化物(SiO_x)以及氮化矽(SiN_x)之覆蓋材料的組成做為第一覆蓋材料170。於一些範例中，可以使用在低加工溫度(200°C)沉積之氮化矽與在高加工溫度(400°C)沉積之氮化矽的組成來覆蓋第一記憶體陣列150。另外，第一覆蓋材料170可以包括以不同沉積溫度形成之氮化矽(SiN_x)層的組成。於其他範例中，用於第一記憶體陣列150之第一覆蓋材料170可以包括低介電常數(low K)材料，如硫氟氧碳化物($\text{S}_o\text{O}_x\text{F}_y\text{C}_z$)。

【0051】 於此範例中，使用在高加工溫度(400°C)沉積之氮化矽覆蓋第二記憶體陣列152；這提供好的資料保持特性以及可能較低的循環耐久度，適合用於相似於快閃記憶體規格之非揮發性、相對低資料速度的規格。製得的第二覆蓋材料172可以具有高密度(大於等於3.2克/立方公分)以及高折射率(大於等於2.016)。於其他範例中，用於第二記憶體陣列152之第二覆蓋材料172可以包括高介電常數(high K)材料，如氧化鋁(Al_2O_3)、二氧化鈦(HfO_2)以及五氧

化二鉬(Ta_2O_5)。

【0052】 第9圖係用於第8圖之實施例的例示性製造流程。繪示的製造流程並未顯示所有的製造步驟，而是指出第一記憶體陣列150以及第二記憶體陣列152之記憶胞的形成步驟。簡單地說，步驟202中於基板154上形成源極線156以及插塞(plugs)158。步驟206中，於插塞158上形成在一些範例中可以做為加熱器的底電極162。步驟210中於底電極162上沉積相變化材料164。步驟214中於相變化材料164上形成頂電極166。步驟218中，圖案化相變化材料164以及頂電極166以製得如第8圖所示之相變化材料以及頂電極結構。於此範例中，步驟226中較低密度之覆蓋材料222係沉積於現有的基板上，特別是與第一記憶體陣列150與第二記憶體陣列152兩者之相變化材料164以及頂電極166接觸。於此範例中，可以使用在低溫如200°C溫度下沉積之 SiN_x 進行此製程。對於反應氣體，可以使用流量50 sccm (Standard Cubic Centimeters per Minute，每分鐘標準立方公分)之 SiH_4 、30 sccm之氨氣以及500 sccm之氮氣做為反應氣體。

【0053】 接著，步驟230中自第二記憶體陣列152之相變化材料164與頂電極166移除第一覆蓋材料222。接著，步驟234中於現有基板上沉積高密度覆蓋材料238，包括覆蓋第一記憶體陣列150之低密度覆蓋材料222以及頂電極166(請參照第10A圖)，且包括接觸第二記憶體陣列152之相變化材料164(請參照第10B圖)。步驟242中，移除部分之覆蓋材料222與覆蓋材料238來形成導電通孔174於頂電極166上，其中覆蓋材料222與覆蓋材料238覆蓋第一記憶體陣列150與第二記憶體陣列152兩者之各個頂電極166。步驟246中係形

成位元線176延伸於第一記憶體陣列150與第二記憶體陣列152中的通孔174上。於此範例中，可以使用在高溫如400°C溫度下沉積之 SiN_x 進行此製程。對於反應氣體，可以使用流量220 sccm之 SiH_4 、125 sccm之氨氣以及5000 sccm之氮氣做為反應氣體。

【0054】 第10A圖以及第10B圖係取自不同之覆蓋記憶體胞151與覆蓋記憶體胞153的TEM圖所繪製之圖式，覆蓋記憶體胞151與覆蓋記憶體胞153符合第8圖中第一記憶體陣列150與第二記憶體陣列152之記憶體胞。形成硬質遮罩240於頂電極166上。做為第一覆蓋材料222之下層之20奈米的低密度氮化矽以及做為第二覆蓋材料238之上層之30奈米的高密度氮化矽係覆蓋第一記憶體陣列150之記憶體胞151(請參照第10A圖)，其中使用低溫製程製作低密度氮化矽(LT SiN)，使用高溫製程製作高密度氮化矽(HT SiN)，而下層與上層組成第一覆蓋材料170。製得的記憶體胞可提供高程式設計速率。於此範例中，製程之低溫以及高溫分別為200°C以及400°C。可視製造環境的特性以及沉積層所欲具有的性質而選擇適當的製程溫度。製得的記憶體胞151具有快速轉換、低密度以及低折射率的性質。

【0055】 第10B圖繪示第二記憶體陣列152之記憶體胞153。製得的記憶體胞係提供絕佳的資料保持特性。第二記憶體陣列152之記憶體胞153係以第二覆蓋材料238覆蓋，於此範例中，第二覆蓋材料238例如是50奈米的高溫氮化矽(HT SiN)，製得的記憶體胞153具有良好資料保持的性質。

【0056】 第11圖繪示低溫氮化矽(LT SiN)覆蓋材料之記憶體胞在進行150°C持續30分鐘之處理前與處理後的電阻分佈圖。曲線250係為起始電阻值對在起始狀態、低電阻狀態之記憶體胞的數目值作圖之標繪

曲線。此數目值代表具有指定電阻值之陣列中的記憶胞數目。曲線252係電阻值對已位於重置狀態、高電阻狀態之記憶胞的數目值作圖之標繪曲線。曲線254係電阻值對記憶胞的數目值作圖之標繪曲線，而此記憶胞是如曲線252所示之從重置狀態、高電阻狀態被變化至設定狀態、低電阻狀態後之記憶胞。曲線250與曲線254彼此緊密地跟隨，這顯示用於低溫氮化矽記憶胞之起始電阻相當接近於設定狀態低電阻之狀態。

【0057】 曲線256與曲線258係電阻值對記憶胞數目值作圖的標繪曲線，其中曲線256是電阻值對於在設定狀態、低電阻狀態之記憶胞數目值作圖的相關曲線，曲線258是電阻值對於在重置狀態、高電阻狀態之記憶胞數目值作圖的相關曲線，而曲線256與曲線258兩者皆在記憶胞進行150°C持續30分鐘之烘烤後做為耐久度的測量。可以看到在進行150°C持續30分鐘之烘烤後曲線256與曲線258幾乎重合。然而，如下所述這些具有快速轉換速率的低溫氮化矽記憶胞，其保持性係弱的。於一些範例中，可使用復新操作 (refresh operation) 以保存具有此覆蓋材料之記憶胞的資料。

【0058】 第12圖繪示高溫氮化矽 (HT SiN) 覆蓋材料之記憶胞在進行150°C持續30分鐘之處理前與處理後的電阻分佈圖。曲線250-2係起始電阻值對在起始狀態、低電阻狀態之記憶胞的數目值作圖之標繪曲線。曲線252-2係電阻值對於在重置狀態、高電阻狀態之記憶胞的數目值作圖之標繪曲線。曲線254-2係電阻值對記憶胞的數目值作圖之標繪曲線，而此記憶胞是如曲線252-2所示之從重置狀態、高電阻狀態被變化至設定狀態、低電阻狀態後之記憶胞。

【0059】 曲線256-2與曲線258-2係電阻值對記憶胞數目作圖的標繪曲線，

其中曲線256是電阻值對於在設定狀態、低電阻狀態之記憶胞的數目值作圖的相關曲線，曲線258是電阻值對於在重置狀態、高電阻狀態之記憶胞的數目值作圖的相關曲線，曲線256與曲線258兩者皆在記憶胞進行150°C持續30分鐘之烘烤後做為耐久度的測量。可以看到設定曲線254-2與設定曲線256-2緊密地彼此平行，而重置曲線252-2與重置曲線258-2亦緊密地彼此平行。因此，即使在進行150°C持續30分鐘之烘烤後，設定曲線與重置曲線之間仍有顯著地電阻差異。因此，如第12圖所示，在進行150°C持續30分鐘之烘烤後，具有高溫氮化矽覆蓋材料之記憶胞的電阻值分佈維持良好的記憶窗口(memory window)，這與具有低溫氮化矽覆蓋材料之記憶胞的電阻值分佈相反。

【0060】 具有一覆蓋材料之記憶胞的起始電阻值與具有不同覆蓋材料之記憶胞的起始電阻值可以不同。對於低溫氮化矽覆蓋材料之記憶胞，起始電阻值與設定(SET)電阻值近似；請參照第11圖。高溫氮化矽覆蓋材料之記憶胞的起始電阻值與在重置(RESET)狀態的電阻值近似；請參照第12圖。第13圖繪示外推85°C低溫氮化矽覆蓋材料記憶胞之保持資料。

【0061】 可以藉由記憶胞上之覆蓋層來影響相變化記憶體之設定(SET)速度以及資料保持性。低密度氮化矽以及低加工溫度之覆蓋材料提供較快的設定速度，但相對地資料保持性不佳。另一方面，高密度氮化矽以及高加工溫度之覆蓋材料雖提供絕佳的資料保持性，但設定速度較慢。基於這些發現，本技術可以提供雙功能相變化記憶體以滿足結合埋置DRAM以及埋置快閃功能於SOC晶片上的需求，以加強性能、減少功率以及降低成本。

【0062】 第13圖係為覆蓋具有 $\text{Ge}_2\text{Sb}_2\text{Te}_5$ 記憶體材料之低溫氮化矽記憶胞在 85°C 下，烘烤時間對資料保持失敗之累進機率的變化圖。此圖顯示快速轉換的低溫氮化矽覆蓋材料之記憶胞在 85°C 下烘烤約1000小時(循環圈數10次之記憶胞)可以具有0.1%的失敗比例。在許多未長時間儲存資料之應用中，這樣的失敗比例不一定是問題；此外，可以排定復新操作以有效率地消除任何這方面的問題。

【0063】 第14圖繪示用於低溫氮化矽覆蓋材料之記憶胞以及高溫氮化矽覆蓋材料之記憶胞的設定脈衝寬度(set pulse width)對設定/重置電阻比值作圖的變化圖。此變化圖顯示 10×10 記憶體陣列於7個不同的晶片，包括3個低溫氮化矽覆蓋材料之記憶胞以及4個高溫氮化矽覆蓋材料之記憶胞的測試數據結果。結果顯示對於10X記憶窗口，被測試的低溫氮化矽覆蓋材料之記憶胞可以於50奈米秒(ns)內被設定，而被測試的高溫氮化矽覆蓋材料之記憶胞需要一微秒(microsecond)才能到達相同的記憶窗口。爲了闡述達到從重置至設定之轉換的快速轉換速率的設定條件，係製作對於摻雜 $\text{Ge}_2\text{Sb}_2\text{Te}_5$ 記憶體材料之記憶胞的設定操作(set operation)之參數變化圖(shmoo plots，測試結果與測試條件的關係圖，顯示了不同測試條件下的測試結果)。其中第15A圖係關於低溫氮化矽覆蓋材料之記憶胞的參數變化圖，而第15B圖係關於高溫氮化矽覆蓋材料之記憶胞的參數變化圖。且係根據電阻值對參數變化圖中的長方形繪上深淺不同的色彩。如第15A圖所示，低溫氮化矽覆蓋材料之記憶胞的設定操作在60微安培至125微安培範圍之電流下，於20奈米秒之內完成。然而，如第15B圖所示，高溫氮化矽覆蓋材料之記憶胞在75微安培至150微安培範圍之電流下，需約

640奈米秒完成設定操作。此參數變化圖顯示對於低溫氮化矽覆蓋材料之記憶胞，超過90%的位元可以在20奈米秒之內被設定，而所有的位元可以在低於30奈米秒之內被設定。

【0064】 另一方面，具有 $\text{Ge}_2\text{Sb}_2\text{Te}_5$ 記憶體材料之高溫氮化矽覆蓋材料之記憶胞係表現出更為良好的資料保持性。這繪示於第16圖中，第16圖繪示溫度的倒數($1/kT$)對生命期之自然對數(刻度：小時)的圖示，其中 k 係波茲曼常數而 T 係溫度，以及預估的電子伏特活化能 E_a 為 2.5eV 。沿著第16圖之頂部亦標示出溫度 85°C 與 120°C 的曲線，而對應生命期100年以及400年的虛線亦繪示於第16圖中。基於此，可預測出在 85°C 下生命期100年的失敗比例約10 ppm，而預測在 85°C 下生命期400年的失敗比例約0.1%。

【0065】 第17圖是低溫氮化矽覆蓋之記憶胞的循環耐久度圖示，其中對於較高溫的重置(Reset)狀態以及較低溫的設定(Set)狀態兩者皆以電阻值對循環圈數作圖。高溫氮化矽覆蓋材料之記憶胞的循環耐久度約為 10^8 ，較快閃記憶體更為良好。雖然低溫氮化矽覆蓋材料之記憶胞可能不具有如高溫氮化矽覆蓋材料之記憶胞可達到的資料保持生命期，如第16圖所示，但是低溫氮化矽覆蓋材料之記憶胞具有優良的循環耐久度。低溫氮化矽覆蓋材料之記憶胞的循環耐久度可以超過 10^9 個循環圈數。

【0066】 上述任何以及所有的專利案、專利申請案以及專利公開案以引用形式併入。

【0067】 上列敘述可能使用如上、下、頂部、底部、覆蓋、低於等詞彙。這些詞彙可被用於敘述以及申請專利範圍中以協助理解本發明，

並非用以限制本發明。

【0068】 綜上所述，雖然本發明已以較佳實施例揭露如上，然其並非用以限定本發明。本發明所屬技術領域中具有通常知識者，在不脫離本發明之精神和範圍內，當可作各種之更動、附加與取代，且本發明之保護範圍當視後附之申請專利範圍所界定者為準。

【符號說明】

- 【0069】 10、28、40、48、50：記憶胞
12、62、166：頂電極
14、54、162：底電極
16：絕緣體
18：記憶體材料
20：接點
22：存取裝置
24：主動區域
30：介電間隔物
32：第一電極
34：第二電極
36、58：介電材料
38、46：寬度
42：頂面
44：底面
52：襯墊層
56：導電元件
59：記憶體元件

- 60：金屬-氧化物層
- 64：金屬氧化物環
- 110：積體電路
- 112、112A、112B：記憶體陣列
- 113：記憶胞組
- 114、114A、114B：字元線解碼器與驅動器
- 116：字元線
- 118、118A、118B：頁緩衝區
- 120、176：位元線
- 122：匯流排
- 124：方塊
- 124A、124B：高速緩衝記憶體
- 126：資料匯流排
- 128：輸入資料線
- 130：其他電路
- 132：輸出資料線
- 134：控制器
- 136：電源流
- 150：第一記憶體陣列
- 151：第一記憶胞
- 152：第二記憶體陣列
- 153：第二記憶胞
- 154：基板
- 156：源極線
- 158：插塞

- 160：字元線
- 164：相變化材料
- 170：第一覆蓋材料
- 172：第二覆蓋材料
- 174：通孔
- 212：設定狀態驗證操作
- 220：重置狀態驗證操作
- 222、238：覆蓋材料
- 232：設定脈衝
- 240：硬質遮罩
- 244：重置脈衝
- 202、206、210、214、218、226、230、234、242、246：步驟
- 250、250-2、252、252-2、254、254-2、256、256-2、258、
258-2：曲線

【發明申請專利範圍】

- 【第1項】 一記憶體裝置，包括：
- 一第一組記憶胞以及一第一覆蓋材料，該第一覆蓋材料位於該第一組記憶胞上；
- 一第二組記憶胞以及一第二覆蓋材料，該第二覆蓋材料位於該第二組記憶胞上；以及
- 該第一覆蓋材料不同於該第二覆蓋材料。
- 【第2項】 如申請專利範圍第1項所述之裝置，該第一覆蓋材料包括氮化矽。
- 【第3項】 如申請專利範圍第2項所述之裝置，該第二覆蓋材料之氮化矽的密度大於該第一覆蓋材料之氮化矽的密度。
- 【第4項】 如申請專利範圍第1項所述之裝置，其中該第一組記憶胞以及該第二組記憶胞具有複數個記憶體元件，該些記憶體元件包括一可程式電阻記憶體材料，且該第一覆蓋材料以及該第二覆蓋材料接觸對應該第一組記憶胞與該第二組記憶胞之該些記憶體元件。
- 【第5項】 如申請專利範圍第1項所述之裝置，其中：
- 複數個記憶胞位於該第一組記憶胞與該第二組記憶胞中，該些記憶胞具有包括一鍺銻碲 $\text{Ge}_x\text{Sb}_y\text{Te}_z$ 相變化材料的複數個記憶體元件；
- 該第一覆蓋材料包括氮化矽；以及
- 該第二覆蓋材料包括密度高於該第一覆蓋材料之氮化矽，且在較該第一覆蓋材料之氮化矽高的溫度下沉積。

- 【第6項】 如申請專利範圍第2項所述之裝置，其中該第一覆蓋材料包括一材料，該材料具有大於1.8以及小於2.016的折射率。
- 【第7項】 如申請專利範圍第1項所述之裝置，其中該第一覆蓋材料包括一材料，該材料具有大於2.4克/立方公分以及小於3.2克/立方公分的密度。
- 【第8項】 如申請專利範圍第1項所述之裝置，其中該第一組記憶胞的複數個記憶胞具有一記憶胞結構，且該第二組記憶胞的複數個記憶胞具有共同的一記憶胞結構。
- 【第9項】 如申請專利範圍第8項所述之裝置，該第一組記憶胞以及該第二組記憶胞中的該些記憶胞具有複數個記憶體元件，該些記憶體元件包括相變化材料。
- 【第10項】 如申請專利範圍第8項所述之裝置，其中該第一覆蓋材料包括一第一氮化矽層，該第二覆蓋材料包括一第二氮化矽層，該第二氮化矽層的密度大於該第一氮化矽層的密度；以及位於該第一組記憶胞與該第二組記憶胞中的該些記憶胞具有包括鍺銻碲 $\text{Ge}_x\text{Sb}_y\text{Te}_z$ 的複數個記憶體元件。
- 【第11項】 如申請專利範圍第1項所述之裝置，其中該第一組記憶胞之複數個記憶胞包括一頂電極、一底電極以及一記憶體材料，該記憶體材料位於該頂電極以及該底電極之間，該第一覆蓋材料接觸該記憶體材料。
- 【第12項】 如申請專利範圍第1項所述之裝置，包括一電路以應用一寫入演算法至第一組記憶胞，且應用不同的另一寫入演算法至第二組記憶胞。
- 【第13項】 一種記憶體裝置，包括：
一第一組記憶胞，具有一記憶胞結構以及氮化矽之一第一覆蓋層

，該記憶胞結構具有包括相變化材料的複數個記憶體元件，該第一覆蓋層接觸該第一組記憶胞中的該些記憶體元件；

一第二組記憶胞，具有一記憶胞結構以及氮化矽之一第二覆蓋層，該記憶胞結構具有包括相變化材料的複數個記憶體元件，該第二覆蓋層接觸該第二組記憶胞中的該些記憶體元件，該第一組記憶胞與該第二組記憶胞僅差異於該第一覆蓋層與該第二覆蓋層的材料；

該第一覆蓋層中的氮化矽的密度小於該第二覆蓋層中的氮化矽的密度；以及

一電路，調整該電路以施加相較於該第二組記憶胞高速的寫入操作至該第一組記憶胞。

【第14項】 一種提供一記憶體裝置之一第一組記憶胞以及一第二組記憶胞之方法，其中該第一組記憶胞具有第一操作記憶體特性，該第二組記憶胞具有第二操作記憶體特性，包括：

使用一第一覆蓋材料形成一第一覆蓋層於該第一組記憶胞上；

使用一第二覆蓋材料形成一第二覆蓋層於該第二組記憶胞上，該第二覆蓋材料不同於該第一覆蓋材料；以及

形成該第一組記憶胞以及該第二組記憶胞以具有相同的記憶胞結構。

【第15項】 如申請專利範圍第14項所述之方法，其中：

該第一覆蓋材料包括矽氧化物(SiO_x)、氮化矽(SiN_x)以及硫氟氧碳化物($\text{S}_o\text{O}_x\text{F}_y\text{C}_z$)中的至少一者；以及

該第二覆蓋材料包括矽氧化物(SiO_x)、氮化矽(SiN_x)、氧化鋁(Al_2O_3)、二氧化鈦(HfO_2)以及五氧化二鉭(Ta_2O_5)中的至少一者。

【第16項】 如申請專利範圍第14項所述之方法，其中：

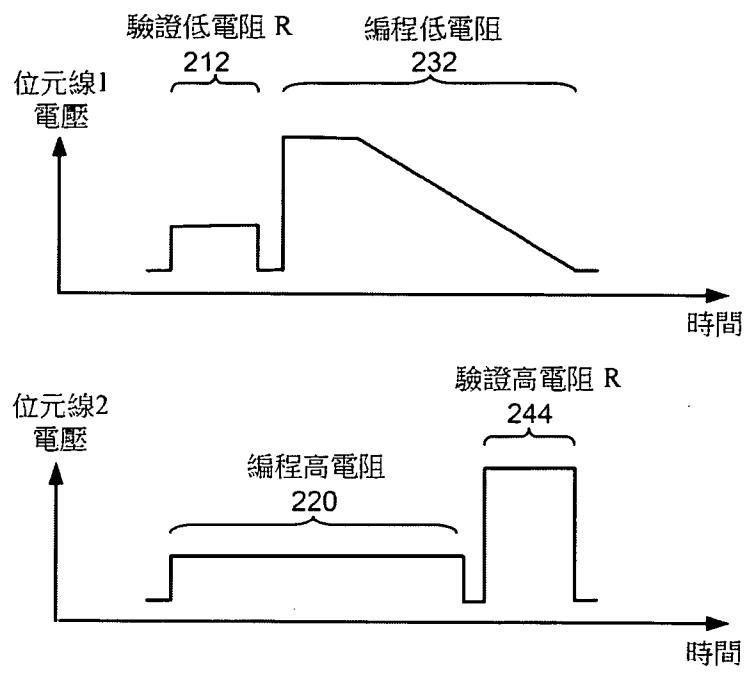
該第一覆蓋材料以及該第二覆蓋材料係相同的材料；以及
該第一覆蓋層以及該第二覆蓋層的形成步驟係在不同的溫度下進行。

【第17項】 如申請專利範圍第14項所述之方法，其中：
使用氮化矽於該第一覆蓋材料以及該第二覆蓋材料兩者；以及
該第一覆蓋層的形成步驟係在第一溫度進行來形成第一覆蓋層，
而該第二覆蓋層的形成步驟係在第二溫度進行來形成第二覆蓋層，
該第二溫度高於該第一溫度。

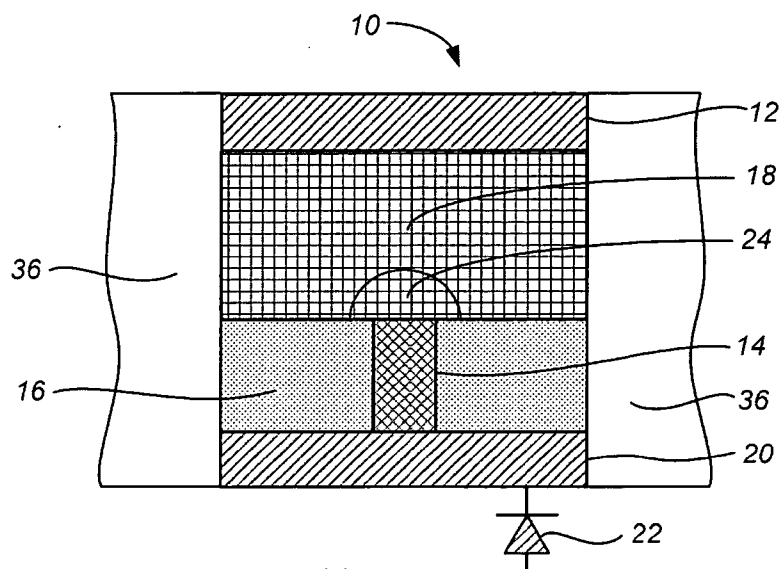
【第18項】 如申請專利範圍第17項所述之方法，其中該第一組記憶胞與該第二組記憶胞具有複數個記憶體元件，該些記憶體元件包括一可程式電阻記憶體材料，而該第一覆蓋材料與該第二覆蓋材料接觸該些記憶體元件，該些記憶體元件對應該第一組記憶胞與該第二組記憶胞。

【第19項】 如申請專利範圍第14項所述之方法，更包括形成複數個控制電路，調整該些控制電路以應用一寫入演算法(write algorithm)至該第一組記憶胞，並且應用不同的另一寫入演算法至該第二組記憶胞。

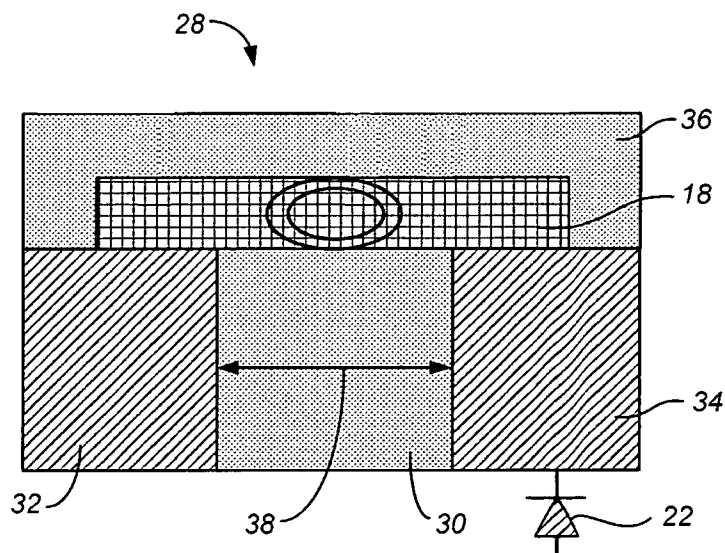
【發明圖式】



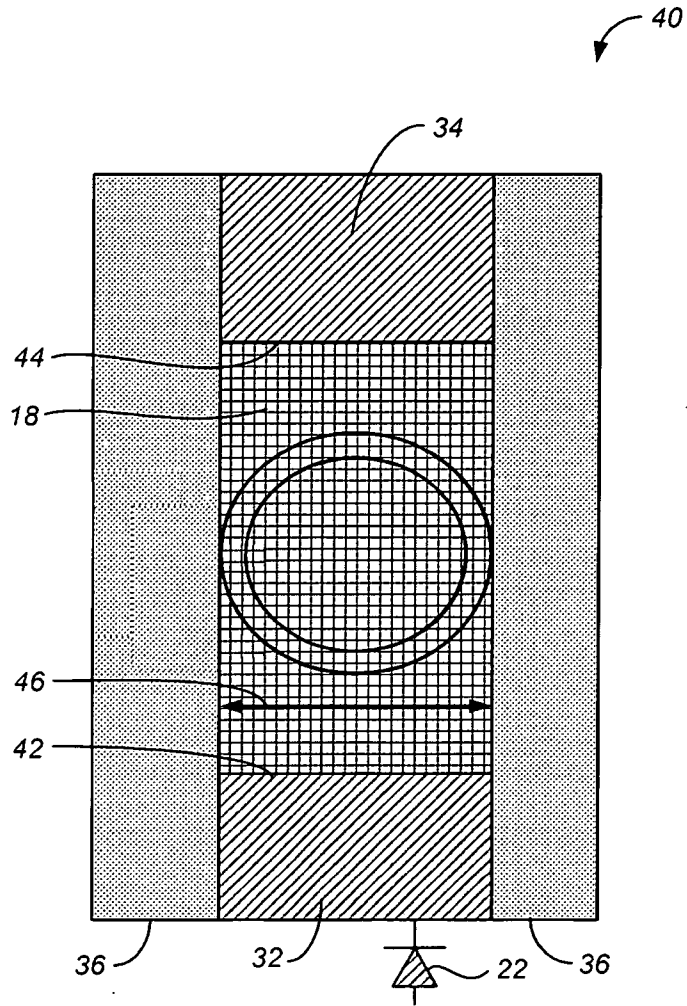
第 1 圖



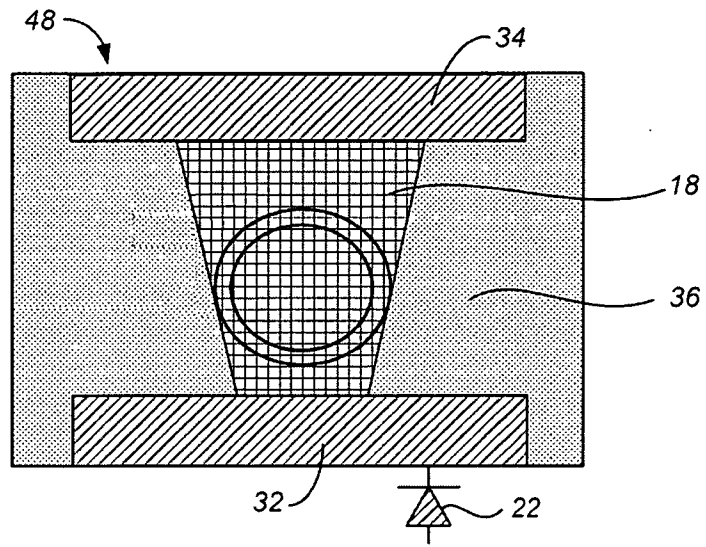
第 2 圖



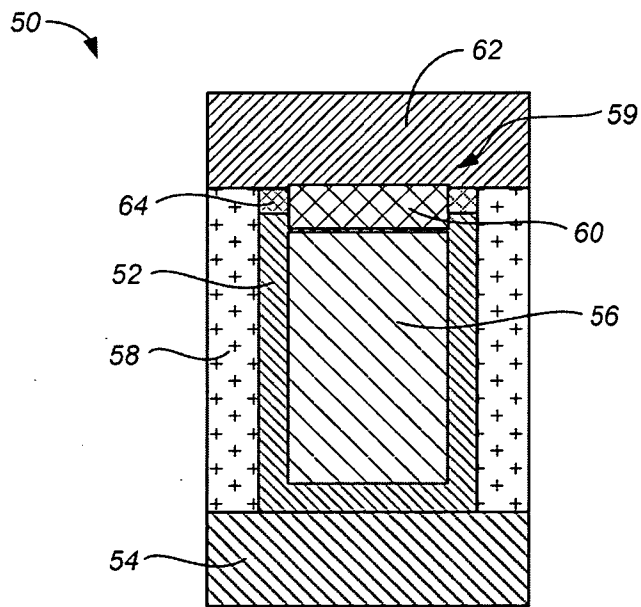
第 3 圖



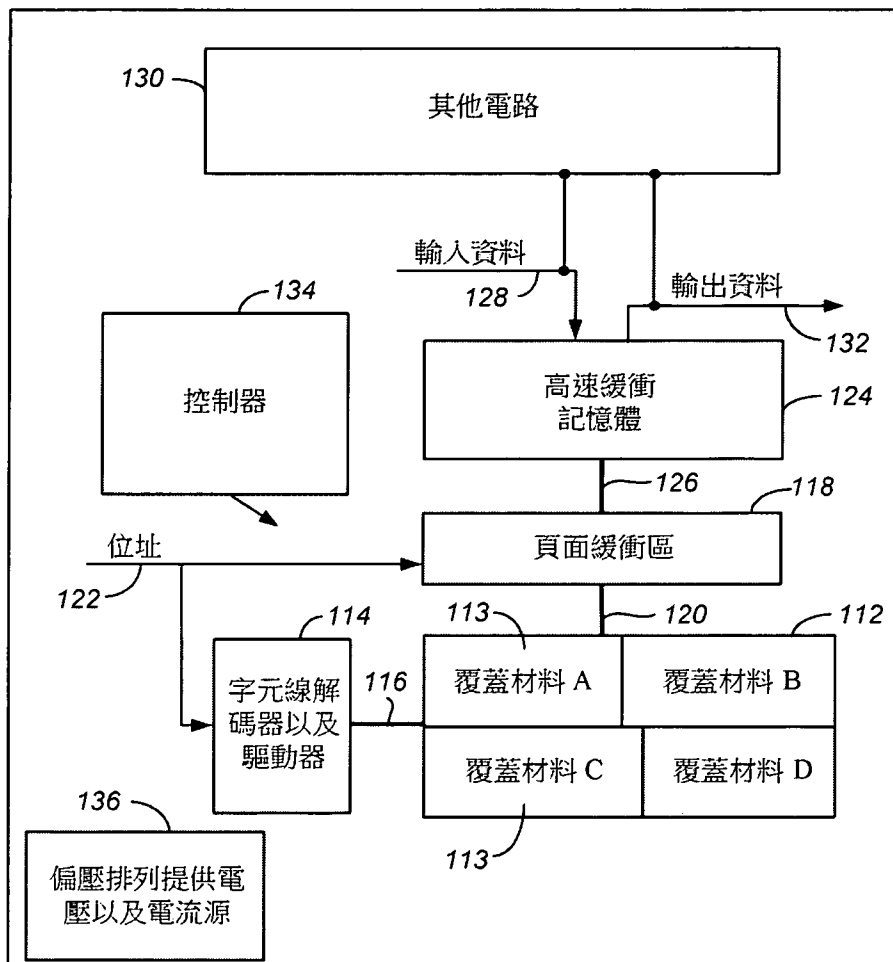
第 4 圖



第 5 圖

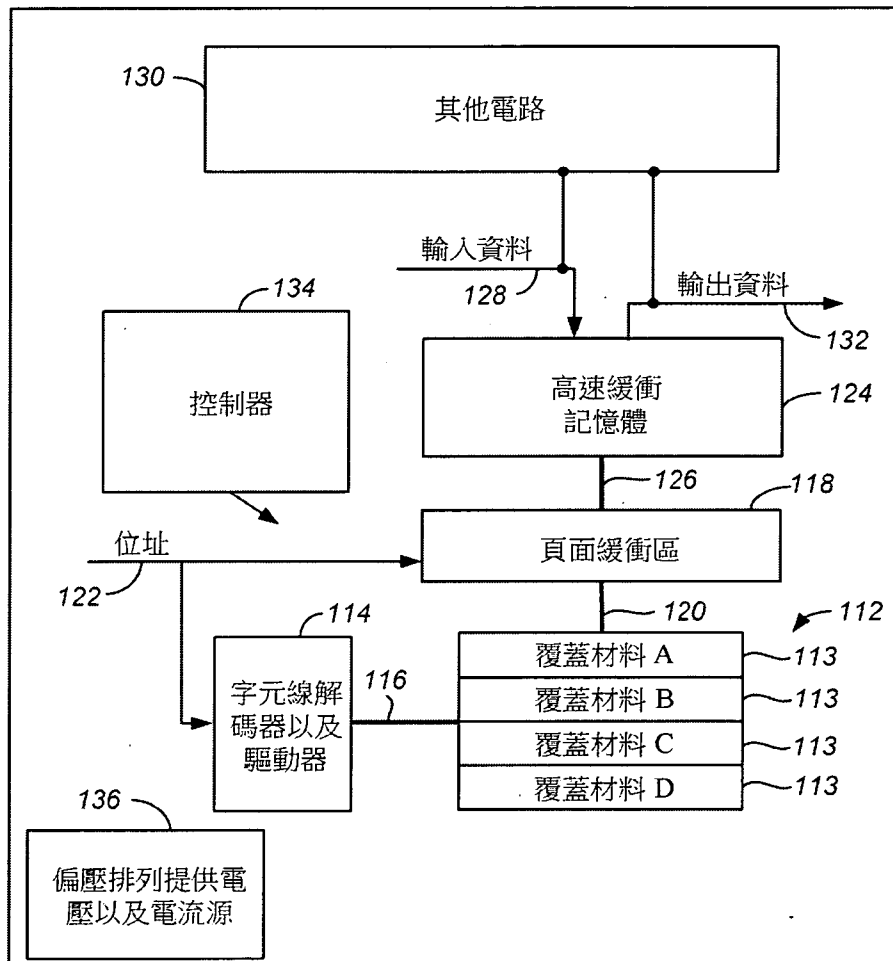


第 6 圖



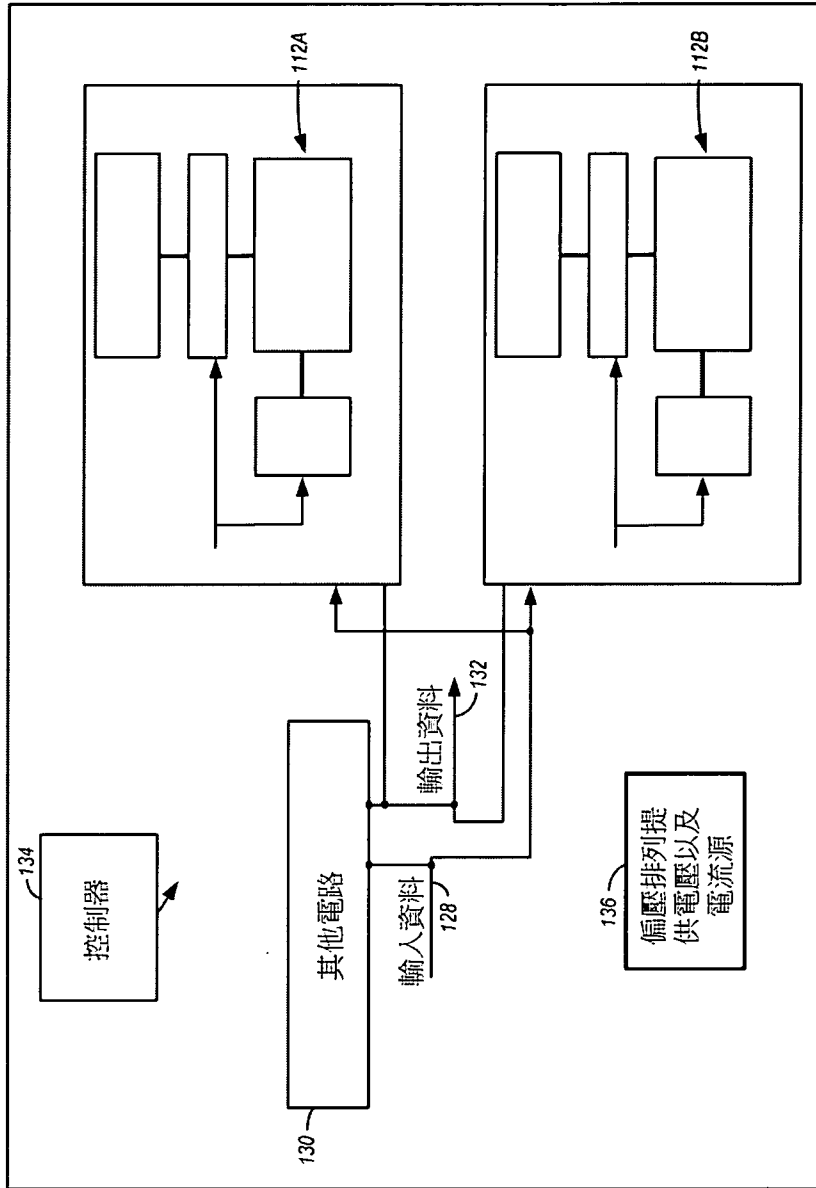
110 ↗

第 7 圖

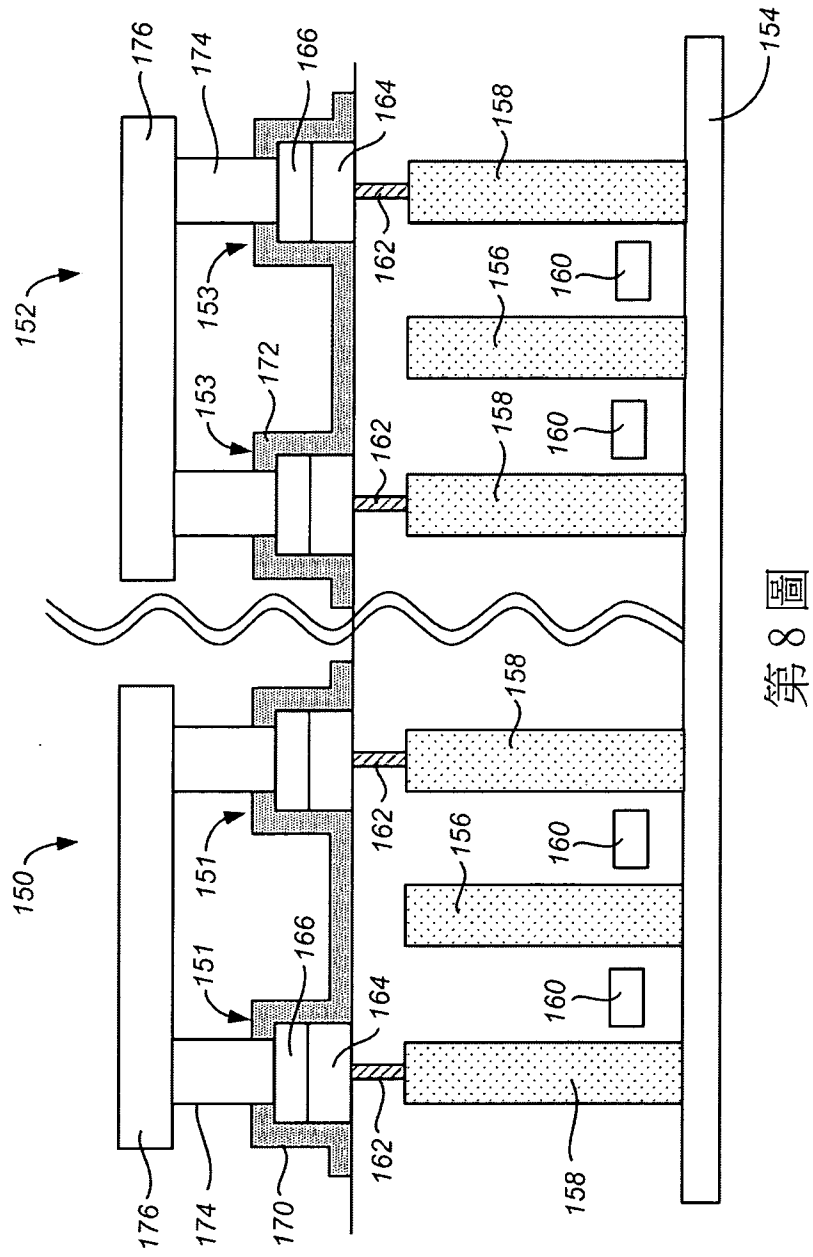


110

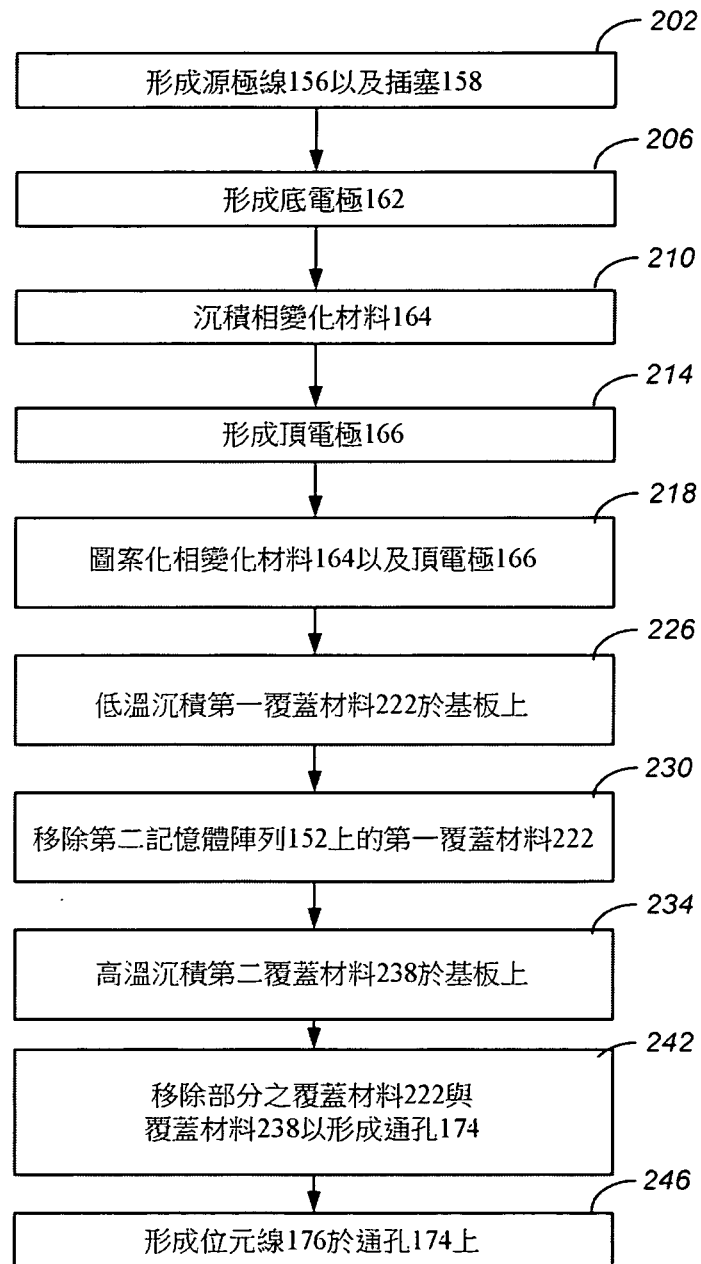
第 7A 圖



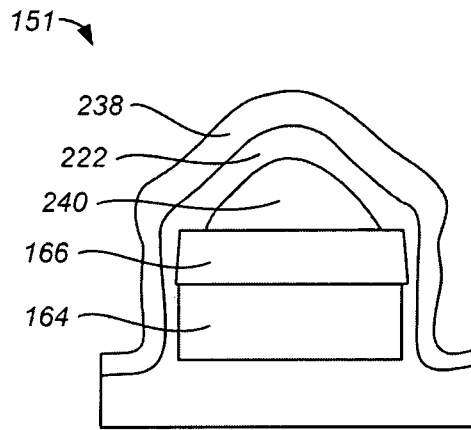
第7B圖



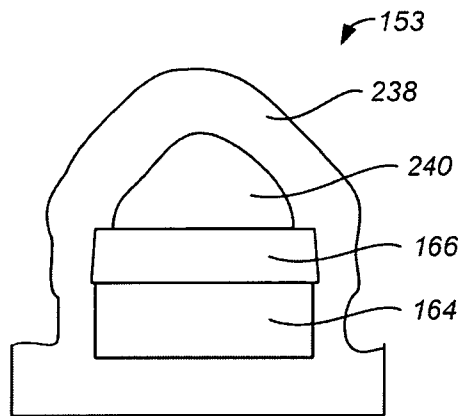
第 8 圖



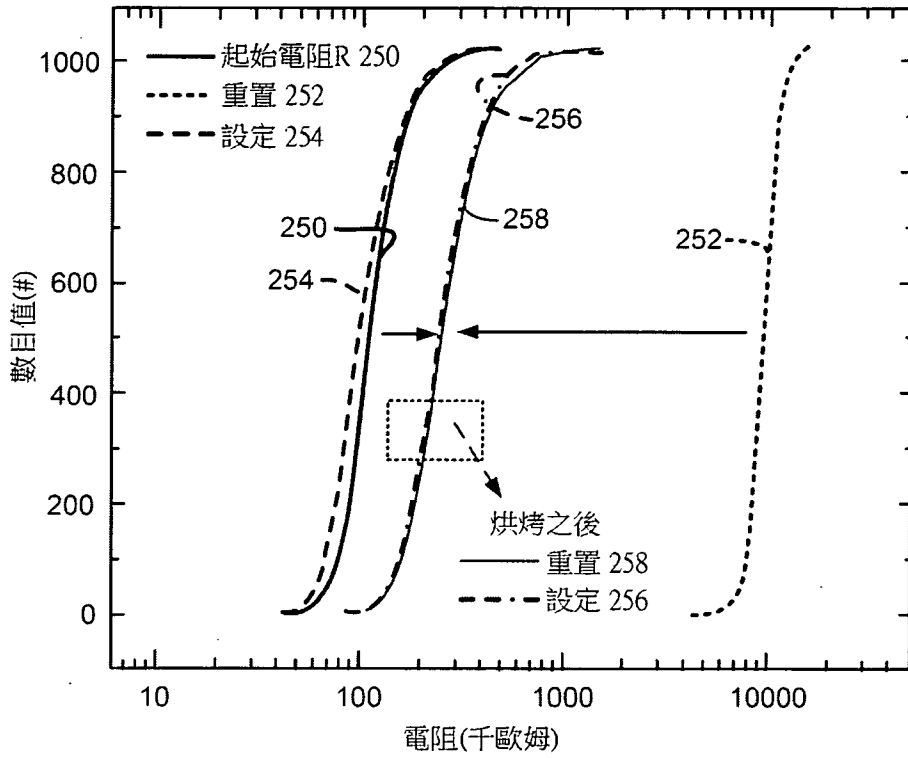
第9圖



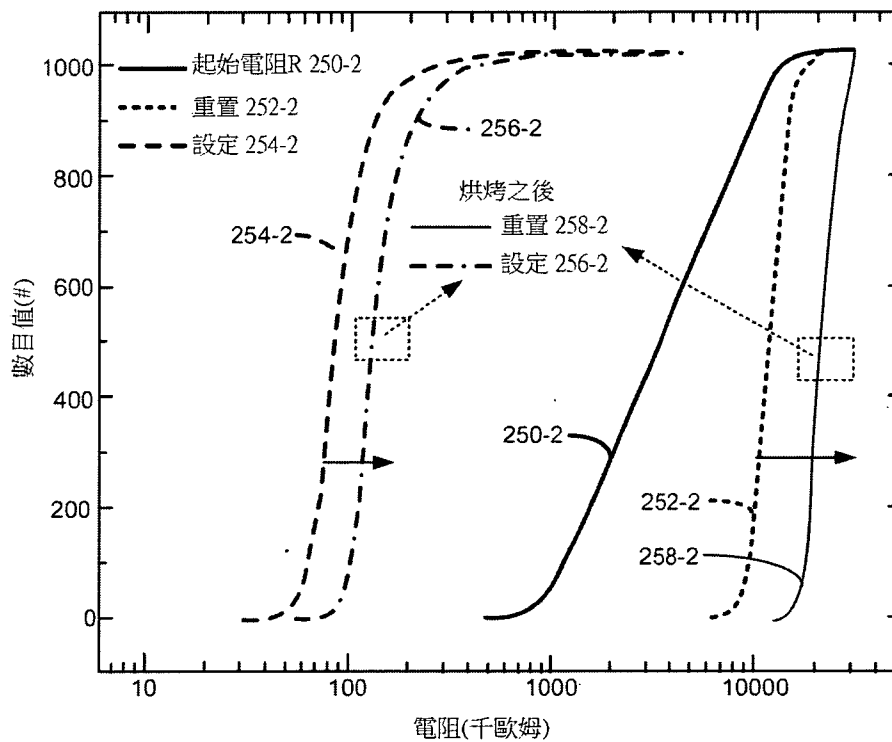
第 10A 圖



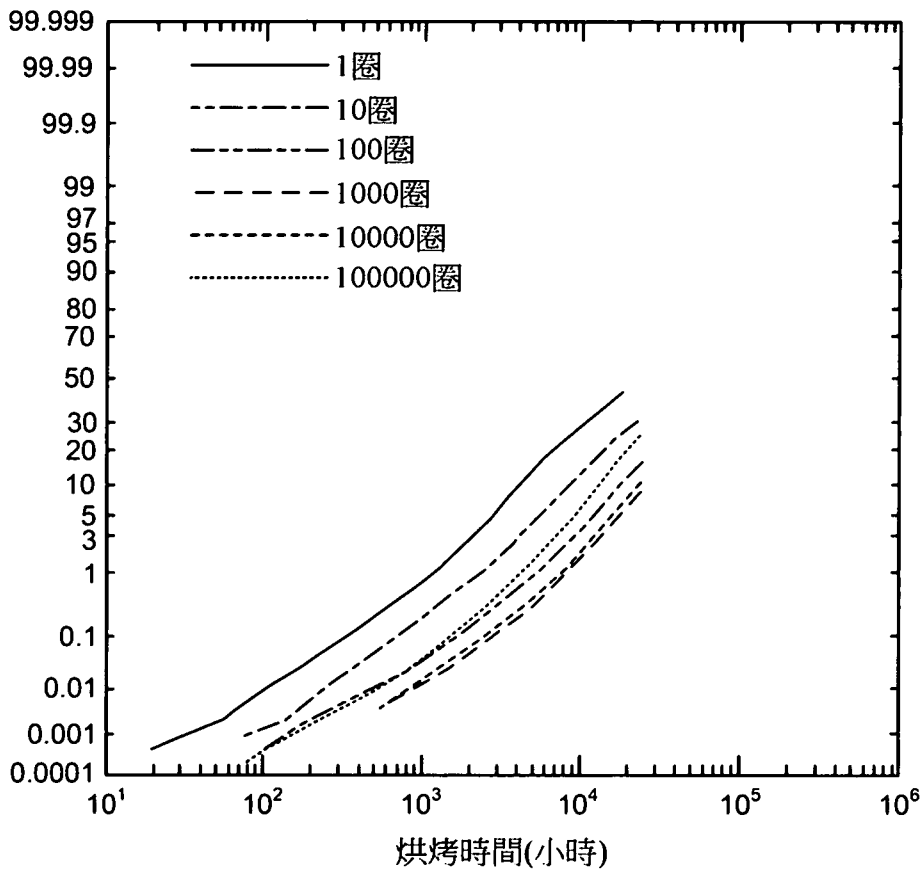
第 10B 圖



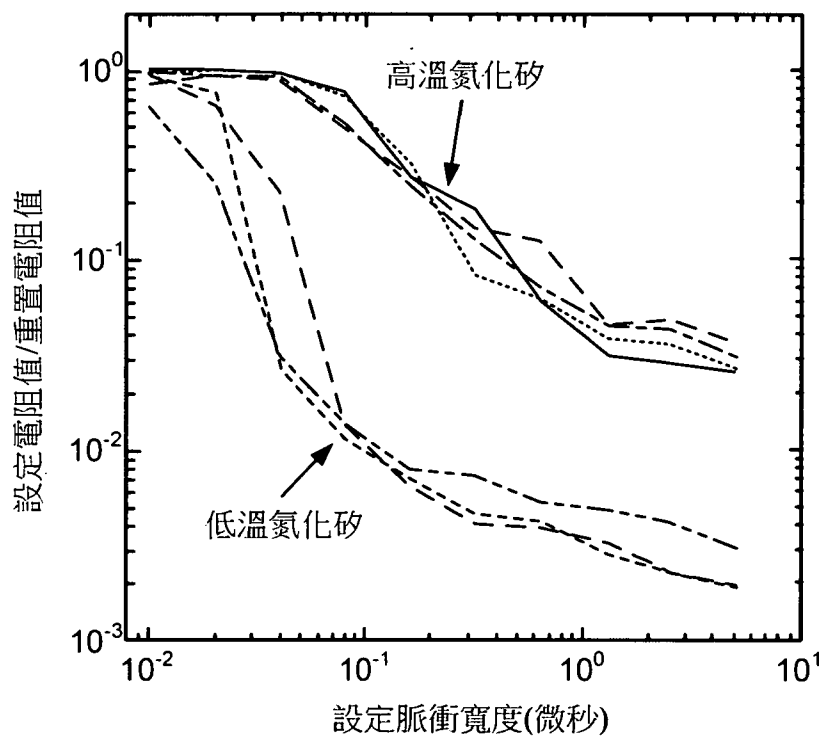
第 11 圖



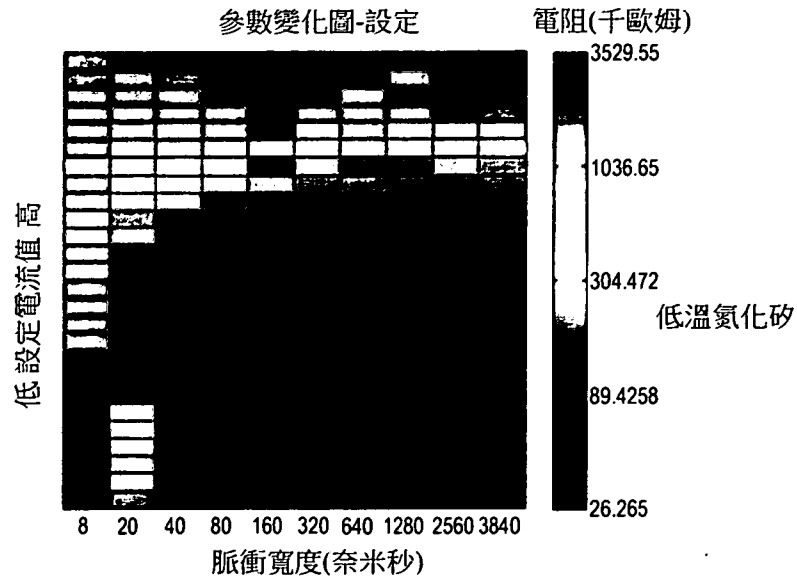
第 12 圖



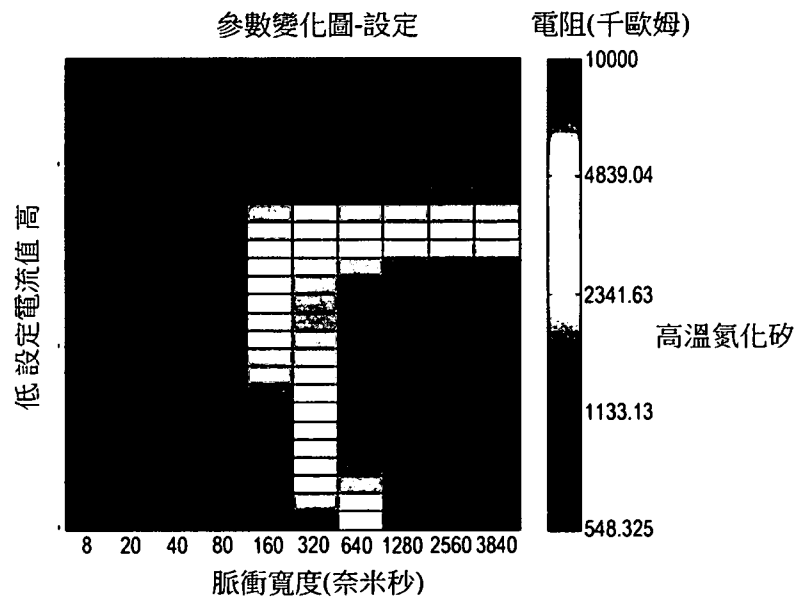
第 13 圖



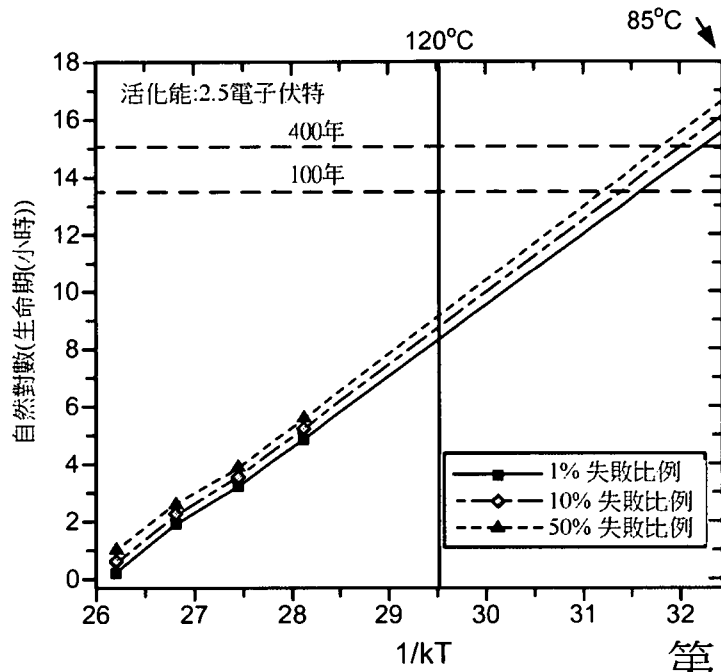
第 14 圖



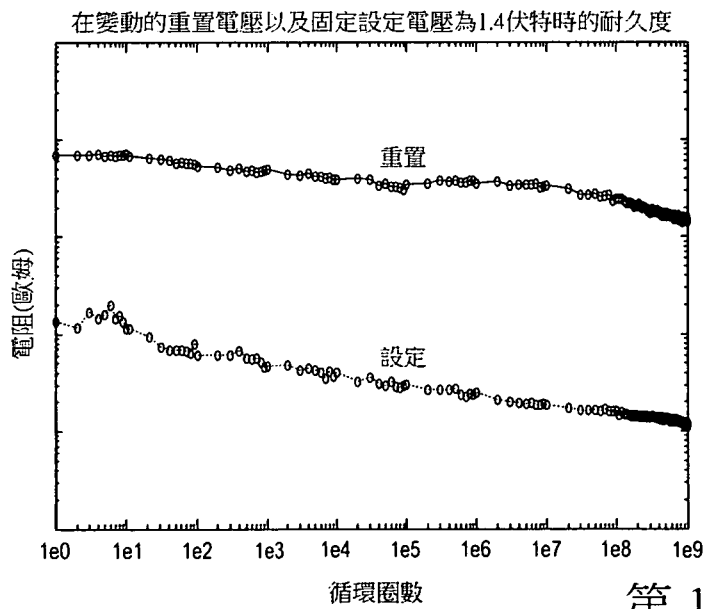
第 15A 圖



第 15B 圖



第 16 圖



第 17 圖